



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 809176

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 28.06.79 (21) 2786744/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 28.02.81. Бюллетень № 8

Дата опубликования описания 28.02.81

(51) М. Кл.³

G 06 F 7/39

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

В. А. Китаев и Р. П. Михайлов

(71) Заявитель

Опытное производственно-техническое предприятие по созданию, наладке и внедрению средств и систем автоматизации прокатного и трубного производства ОПТП «Уралчерметавтоматика»

ВСЕСОЮЗНАЯ

13

ПАТЕНТНО-
ТЕХНИЧЕСКАЯ

БИБЛИОТЕКА

(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ

1

Изобретение относится к вычислительной технике и может быть использовано для обработки результатов измерений в составе автоматических систем управления и контроля.

Известно устройство для деления, содержащее сумматор делимого, регистр делителя, сумматор частного, регистр сдвига, блоки передачи кодов, ключ, элемент ИЛИ [1].

Однако это устройство выполняет операцию деления двух чисел в ограниченном диапазоне задаваемых позиционным двоичным кодом операндов и недостаточно надежно в работе.

Известно другое устройство, которое содержит регистры делимого и делителя, блоки выявления нулевого состояния этих регистров, блок сравнения, регистр памяти, триггеры управления, элементы И и ИЛИ, буферный регистр, счетчик, и выполняет деление двух чисел, заданных любым кодом [2].

Однако это устройство сложно по логике и управлению, имеет большой объем аппаратуры и недостаточное быстроедействие.

2

Наиболее близким техническим решением к предлагаемому является устройство для деления, содержащее счетчик делимого, соединенный выходом с блоком фиксации окончания деления, буферный счетчик, к поразрядным выходам которого подключены сигнальными входами поразрядные элементы И, последовательно соединенные друг с другом, распределитель импульсов, счетчик делителя, ключ, входы которого подключены к выходам переполнения счетчика делителя и буферного счетчика, а выход — к входам счетчика частного и счетному входу триггера, коммутатор, элемент ИЛИ и два блока сравнения, состоящие из узлов поразрядного сравнения (групп элементов И), выход каждого из которых подключен к управляющему входу следующего узла поразрядного сравнения того же блока сравнения, входы первого и второго блоков сравнения подключены к поразрядным выходам счетчика делителя и буферного счетчика соответственно, а выходы через элемент ИЛИ подключены к управляющему входу коммутатора, информационный вход которого соединен с тактовой шиной устройства, а выходы подключены к пораз-

рядным входам счетчиков делимого, делителя и буферного счетчика, выход триггера соединен с управляющими входами счетчика делителя и буферного счетчика [3].

Недостатки известного устройства связаны с его схемным построением. При наличии в делителе хотя бы двух находящихся рядом нулей в процессе деления возникает сбой, так как одновременно срабатывают два (или больше — по количеству рядом стоящих нулей) соседних элемента И, а на вход распределителя через элемент ИЛИ поступает только один запускаящий его сигнал, который подключает выход распределителя на следующий (очередной) разряд регистров делимого и делителя, в то время как его необходимо подключить к более старшему (ненулевому по значению делителя) разряду. Этот сбой вносит погрешность в результат деления. Кроме того, из-за отсутствия в известном устройстве управления всеми поразрядными элементами И возможно (в начальный момент счета) появление помехи от элемента И младшего разряда регистра, работающего в направлении сложения или вычитания.

При выполнении операций деления в известном устройстве только на один цикл вычитания необходимо $10 \cdot n$ счетных импульсов, где n — число десятичных разрядов регистра делителя (буферного регистра), а, следовательно, для выполнения всей операции — $10 \cdot n \cdot m$ импульсов, где m — количество циклов вычитания в процессе деления двух чисел, равное значению частного.

Цель изобретения — повышение быстродействия и точности устройства.

Поставленная цель достигается тем, что в устройстве для деления, содержащем счетчик делимого, счетчик частного, блок задания делителя, блок фиксации окончания деления, буферный счетчик, блок сравнения и коммутатор, причем вход коммутатора соединен с тактовым входом устройства, а выходы соединены с соответствующими поразрядными входами буферного счетчика и счетчика делимого, выход которого соединен со входом блока фиксации окончания деления, блок сравнения, состоящий из поразрядных узлов сравнения, первые входы которых соединены с соответствующими поразрядными выходами буферного счетчика, выход каждого поразрядного узла сравнения соединен с управляющим входом последующего поразрядного узла сравнения, вторые входы поразрядных узлов сравнения соединены с соответствующими поразрядными выходами блока задания делителя, выходы поразрядных узлов сравнения соединены с управляющими входами коммутатора, выход старшего поразрядного узла сравнения подключен ко входу счетчика частного и ко входу установки буферного счетчика.

На чертеже приведена блок-схема устройства.

Устройство для деления содержит тактовый вход 1, коммутатор 2 импульсов, счетчик 3 делимого, блок 4 фиксации окончания деления, буферный счетчик 5, блок 6 сравнения, блок 7 задания кода делителя и счетчик 8 частного. Блок 6 сравнения состоит из поразрядных узлов 9 сравнения.

Блок 7 задания кода делителя может быть выполнен, например, в виде коммутатора, подключающего один из регистров, в которые записано в параллельном коде значение делителя, или в виде регистра.

Тактовый вход 1 устройства связан с поразрядными входами счетчиков 3 и 5 через коммутатор 2 импульсов, управляющие входы которого подключены к выходам соответствующих поразрядных узлов 9 сравнения. Выход счетчика 3 делимого подключен ко входу блока 4 фиксации окончания деления. Выходы буферного счетчика 5 соединены поразрядно со входами поразрядных узлов 9 сравнения, на другие входы которых подается код делителя с выходов блока 7. Выход старшего поразрядного узла 9 сравнения подключен к входу счетчика 8 частного, с которого и снимается результат деления.

Устройство работает следующим образом.

После запуска устройства тактовые импульсы со входа 1 поступают на вход коммутатора 2, с выхода которого, в соответствии с сигналом с выхода первого поразрядного узла сравнения (если код делителя по первому выходу блока 7 не равен «0»), поступают на счетные входы первых разрядов счетчиков 3 и 5. Процесс продолжается до совпадения кода первого разряда счетчика 5 со значением первого разряда делителя в блоке 7. После чего сигналом первого поразрядного узла 9 сравнения отключается в коммутаторе 2 канал первого разряда и подключается канал второго разряда счетчиков 3 и 5. Таким образом, устройство работает до совпадения кодов на входах последнего старшего поразрядного узла 9 сравнения, по сигналу с которого в коммутаторе 2 отключается канал последнего разряда и записывается «1» в счетчик 8, а разряды счетчика 5 устанавливаются в исходное нулевое состояние. На этом один цикл вычитания операции деления заканчивается. После установки счетчика 5 в исходное состояние в коммутаторе 2 включен канал первого разряда и начинается второй цикл вычитания операции деления. Окончание операции деления определяется блоком 4 по моменту перехода через «0» числа в счетчике 3 делимого.

В процессе операции деления поразрядные узлы 9 сравнения подключают в коммутаторе 2 только тот последующий канал,

в котором значение разряда делителя отличается от «0».

Так, если первые (младшие) разряды делителя, например два, равны «0», то в исходном состоянии устройства, когда счетчик 5 находится в состоянии «0», первыми двумя поразрядными узлами 9 сравнения блока 6 сравнения фиксируется совпадение и в коммутаторе 2 подключается канал разряда счетчиков 3 и 5, в котором нет совпадения, т. е. третий.

Точно так же устройство работает и при наличии любого количества «0» в других разрядах делителя. Таким образом, в коммутаторе 2 подключается канал очередного и только значащего разряда делителя, а процесс сравнения производится только в тех разрядах, в которых значение делителя отлично от «0», обеспечивая тем самым повышение быстродействия устройства.

Для выполнения одного цикла вычитания в предлагаемом устройстве необходимо максимум $9 \cdot k$ счетных импульсов, где k — число значащих (отличных от «0») десятичных разрядов делителя, а для выполнения всей операции деления, следовательно, необходимо $9 \cdot k \cdot m$, где m — значение частного от деления, равное количеству циклов вычитания всей операции деления двух чисел.

В предлагаемом устройстве принципиально возможно производить вычисление в произвольной системе счисления, а не обязательно в десятичной, что зависит от конструкции применяемых блоков.

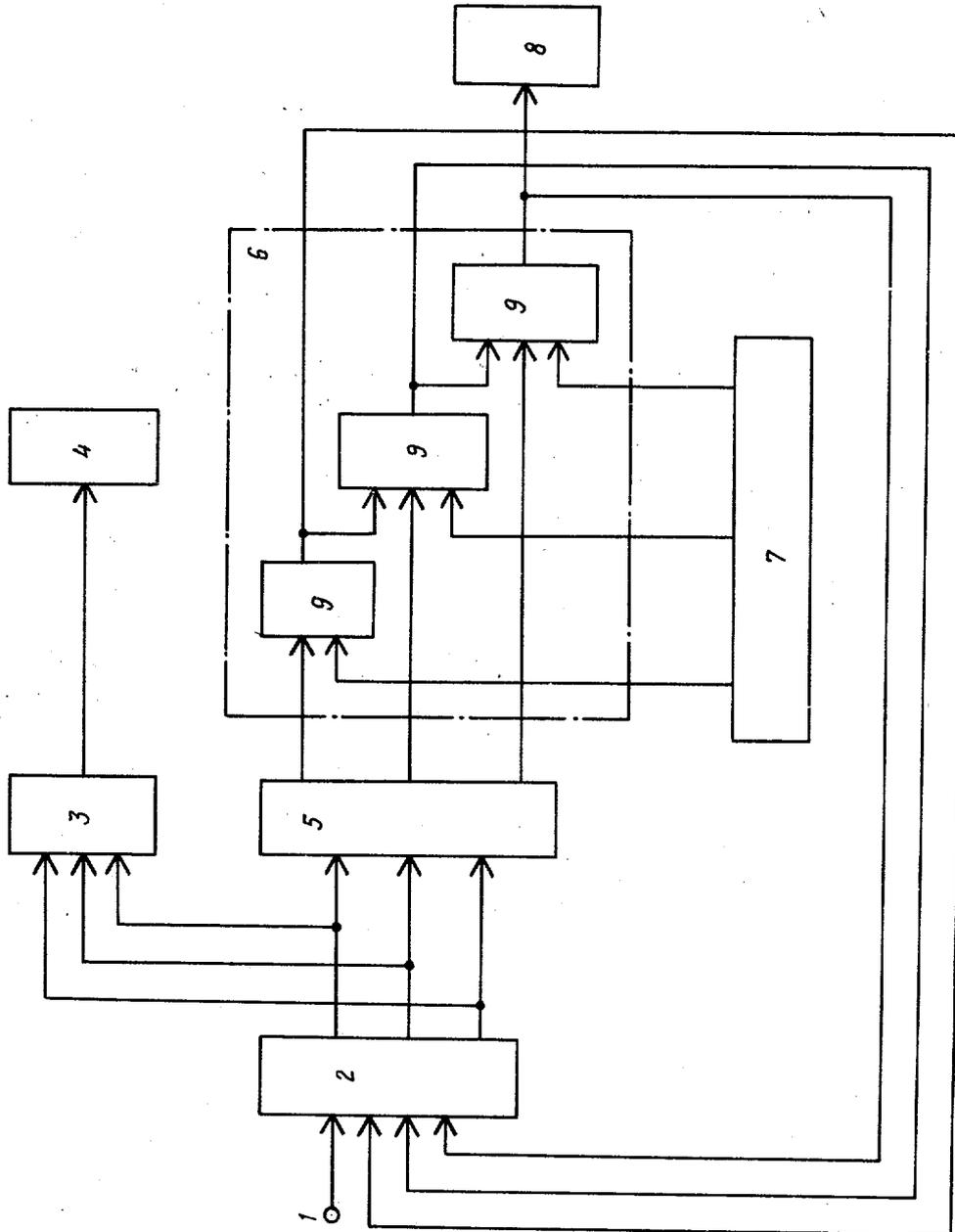
Формула изобретения

Устройство для деления, содержащее счетчик делимого, счетчик частного, блок задания делителя, блок фиксации окончания деления, буферный счетчик, блок сравнения и коммутатор, причем вход коммутатора соединен с тактовым входом устройства, а выходы соединены с соответствующими поразрядными входами буферного счетчика и счетчика делимого, выход которого соединен со входом блока фиксации окончания деления, блок сравнения, состоящий из поразрядных узлов сравнения, первые входы которых соединены с соответствующими поразрядными выходами буферного счетчика, выход каждого поразрядного узла сравнения соединен с управляющим входом последующего поразрядного узла сравнения, отличающееся тем, что, с целью повышения точности и быстродействия, вторые входы поразрядных узлов сравнения соединены с соответствующими поразрядными выходами блока задания делителя, выходы поразрядных узлов сравнения соединены с управляющими входами коммутатора, выход старшего поразрядного узла сравнения подключен ко входу счетчика частного и ко входу установки буферного счетчика.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 549808, кл. G 06 F 7/50, 1075.
2. Авторское свидетельство СССР № 512468, кл. G 06 F 7/39, 1974.
3. Авторское свидетельство СССР № 547766, кл. G 06 F 7/39, 1975 (прототип).



Редактор Н. Кешеля
Заказ 18/59

Составитель В. Березкин
Техред А. Бойкас
Тираж 756

Корректор Н. Стец
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4