



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0132169
(43) 공개일자 2016년11월17일

(51) 국제특허분류(Int. Cl.)
G11C 16/10 (2006.01) G11C 16/24 (2006.01)
G11C 16/34 (2006.01)
(52) CPC특허분류
G11C 16/10 (2013.01)
G11C 16/24 (2013.01)
(21) 출원번호 10-2015-0063228
(22) 출원일자 2015년05월06일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
한주현
경기도 용인시 수지구 동천로 64 507동 2401호
(동천동, 동문굿모닝힐5차아파트)
(74) 대리인
강신섭, 문용호, 이용우

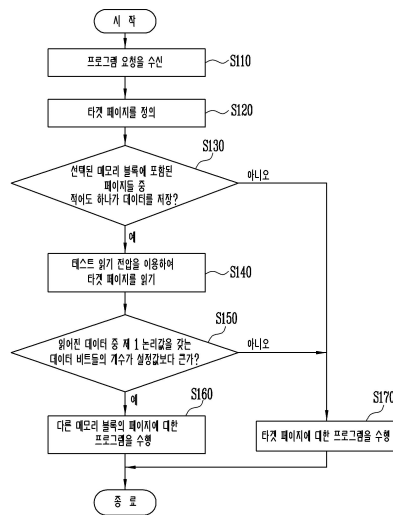
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 반도체 메모리 장치를 포함하는 메모리 시스템 및 그것의 프로그램 방법

(57) 요약

본 발명의 실시 예에 따른 메모리 시스템의 프로그램 방법은, 프로그램 요청에 따라 선택된 메모리 블록에 포함된 타겟 페이지를 정의하는 단계, 프로그램 전에 선택된 메모리 블록에 포함된 페이지들 중 적어도 하나가 데이터를 저장할 때 타겟 페이지를 테스트 읽기 전압을 이용하여 읽는 단계, 그리고 타겟 페이지로부터 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들이 설정값보다 적거나 같을 때 타겟 페이지에 대한 프로그램을 수행하는 단계를 포함한다.

대표도 - 도5



(52) CPC특허분류
G11C 16/34 (2013.01)

명세서

청구범위

청구항 1

복수의 메모리 블록들을 갖는 반도체 메모리 장치를 포함하는 메모리 시스템의 프로그램 방법에 있어서:

프로그램 요청을 수신하는 단계;

상기 프로그램 요청에 따라, 선택된 메모리 블록에 포함된 타겟 페이지를 정의하는 단계;

상기 프로그램 요청에 대응하는 프로그램 전에, 상기 선택된 메모리 블록에 포함된 페이지들 중 적어도 하나가 데이터를 저장할 때 상기 타겟 페이지를 테스트 읽기 전압을 이용하여 읽는 단계; 및

상기 타겟 페이지로부터 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들이 설정값보다 적거나 같을 때, 상기 타겟 페이지에 대한 프로그램을 수행하는 단계를 포함하는 프로그램 방법.

청구항 2

제 1 항에 있어서,

상기 읽어진 데이터에 포함된 상기 데이터 비트들 중 상기 제 1 논리값을 갖는 데이터 비트들의 개수가 상기 설정값보다 클 때, 상기 선택된 메모리 블록과 다른 메모리 블록의 페이지에 상기 프로그램을 수행하는 단계를 더 포함하는 프로그램 방법.

청구항 3

제 1 항에 있어서,

상기 읽어진 데이터에 포함된 상기 데이터 비트들 중 상기 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 클 때, 상기 타겟 페이지에 대한 부분 소거를 수행하는 단계; 및

상기 부분 소거 이후 상기 타겟 페이지에 대한 상기 프로그램을 수행하는 단계를 더 포함하는 프로그램 방법.

청구항 4

제 1 항에 있어서,

상기 선택된 메모리 블록에 포함된 상기 페이지들이 상기 데이터를 저장하지 않을 때, 상기 타겟 페이지에 대한 상기 프로그램을 수행하는 단계를 더 포함하는 프로그램 방법.

청구항 5

제 1 항에 있어서,

상기 선택된 메모리 블록에 포함된 상기 페이지들은 데이터를 저장할 때 소거 상태 및 복수의 프로그램 상태들을 갖고,

상기 테스트 읽기 전압은 상기 소거 상태의 전압 범위와 상기 복수의 프로그램 상태들 중 가장 낮은 프로그램 상태의 전압 범위 사이의 읽기 마진에 속하는 프로그램 방법.

청구항 6

제 1 항에 있어서,

상기 타겟 페이지를 테스트 읽기 전압을 이용하여 읽는 단계는,

읽기 동작 시 상기 테스트 읽기 전압을 생성하도록 상기 반도체 메모리 장치를 제어하는 단계; 및

상기 타겟 페이지에 대한 상기 읽기 동작을 수행하도록 상기 반도체 메모리 장치를 제어하는 단계를 포함하는 프로그램 방법.

청구항 7

제 1 항에 있어서,

상기 타겟 페이지를 정의하는 단계는,

논리 블록 어드레스들과 물리 블록 어드레스들 사이의 매핑 정보를 참조하여, 상기 프로그램 요청에 포함된 논리 블록 어드레스를 상기 타겟 페이지에 대응하는 물리 블록 어드레스로 변환하는 단계를 포함하는 프로그램 방법.

청구항 8

복수의 페이지들을 갖는 메모리 블록들을 포함하는 반도체 메모리 장치; 및

프로그램 요청에 따라 상기 반도체 메모리 장치에 대한 프로그램을 수행하기 전에, 타겟 페이지를 포함하는 메모리 블록의 페이지들 중 적어도 하나가 데이터를 저장하는지 여부에 따라 테스트 읽기 전압을 이용하여 상기 타겟 페이지를 읽도록 구성되는 컨트롤러를 포함하되,

상기 컨트롤러는 상기 타겟 페이지로부터 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 적거나 같을 때 상기 타겟 페이지에 대한 프로그램을 수행하는 메모리 시스템.

청구항 9

제 8 항에 있어서,

상기 컨트롤러는 상기 타겟 페이지를 포함하는 상기 메모리 블록의 상기 페이지들이 데이터를 저장하지 않을 때, 상기 타겟 페이지에 대한 상기 프로그램을 수행하는 메모리 시스템.

청구항 10

제 8 항에 있어서,

상기 복수의 페이지들은 데이터를 저장할 때 소거 상태 및 복수의 프로그램 상태들을 갖고,

상기 테스트 읽기 전압은 상기 소거 상태의 전압 범위와 상기 복수의 프로그램 상태들 중 가장 낮은 프로그램 상태의 전압 범위 사이의 읽기 마진에 속하는 메모리 시스템.

청구항 11

제 8 항에 있어서,

상기 컨트롤러는 상기 읽어진 데이터에 포함된 상기 데이터 비트들 중 상기 제 1 논리값을 갖는 데이터 비트들의 개수가 상기 설정값보다 클 때, 상기 타겟 페이지를 포함하는 상기 메모리 블록과 다른 메모리 블록의 페이지에 상기 프로그램을 수행하는 메모리 시스템.

청구항 12

제 8 항에 있어서,

상기 컨트롤러는 상기 읽어진 데이터에 포함된 상기 데이터 비트들 중 상기 제 1 논리값을 갖는 데이터 비트들의 개수가 상기 설정값보다 클 때, 상기 타겟 페이지에 대한 부분 소거를 수행하고, 이후 상기 타겟 페이지에 대한 상기 프로그램을 수행하는 메모리 시스템.

청구항 13

복수의 페이지들을 갖는 메모리 블록들을 포함하는 반도체 메모리 장치; 및

프로그램 요청에 따라 상기 반도체 메모리 장치에 대한 프로그램을 수행하기 전에, 타겟 페이지를 포함하는 제 1 메모리 블록의 페이지들 중 정해진 개수 이상의 페이지가 데이터를 저장하는지 여부에 따라 테스트 읽기 전압을 이용하여 상기 타겟 페이지를 읽도록 구성되는 컨트롤러를 포함하되,

상기 컨트롤러는 상기 타겟 페이지로부터 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터

비트들의 개수가 설정값보다 적거나 같을 때 상기 타겟 페이지에 대한 프로그램을 수행하는 메모리 시스템.

청구항 14

제 13 항에 있어서,

상기 컨트롤러는 상기 제 1 메모리 블록의 상기 페이지들 중 정해진 개수 미만의 페이지가 데이터를 저장할 때, 상기 타겟 페이지에 대한 상기 프로그램을 수행하는 메모리 시스템.

청구항 15

제 13 항에 있어서,

상기 복수의 페이지들은 데이터를 저장할 때 소거 상태 및 복수의 프로그램 상태들을 갖고,

상기 테스트 읽기 전압은 상기 소거 상태의 전압 범위와 상기 복수의 프로그램 상태들 중 가장 낮은 프로그램 상태의 전압 범위 사이의 읽기 마진에 속하는 메모리 시스템.

청구항 16

제 13 항에 있어서,

상기 컨트롤러는 상기 읽어진 데이터에 포함된 상기 데이터 비트들 중 상기 제 1 논리값을 갖는 데이터 비트들의 개수가 상기 설정값보다 클 때, 제 2 메모리 블록의 페이지에 상기 프로그램을 수행하는 메모리 시스템.

청구항 17

제 13 항에 있어서,

상기 컨트롤러는 상기 읽어진 데이터에 포함된 상기 데이터 비트들 중 상기 제 1 논리값을 갖는 데이터 비트들의 개수가 상기 설정값보다 클 때, 상기 타겟 페이지에 대한 부분 소거를 수행하고, 이후 상기 타겟 페이지에 대한 상기 프로그램을 수행하는 메모리 시스템.

청구항 18

제 13 항에 있어서,

상기 컨트롤러는,

읽기 동작 시 상기 테스트 읽기 전압을 생성하도록 상기 반도체 메모리 장치를 제어하고, 상기 타겟 페이지에 대한 상기 읽기 동작을 수행하도록 상기 반도체 메모리 장치를 제어함으로써 상기 테스트 읽기 전압을 이용하여 상기 타겟 페이지를 읽는 메모리 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 좀 더 구체적으로는 반도체 메모리 장치를 포함하는 메모리 시스템 및 그것의 프로그램 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic

RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다. 플래시 메모리는 크게 노어 타입과 낸드 타입으로 구분된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시 예는 향상된 신뢰성을 갖는 메모리 시스템 및 그것의 프로그램 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0005] 본 발명의 실시 예에 따른 메모리 시스템의 프로그램 방법은, 프로그램 요청을 수신하는 단계; 상기 프로그램 요청에 따라, 선택된 메모리 블록에 포함된 타겟 페이지를 정의하는 단계; 상기 프로그램 요청에 대응하는 프로그램 전에, 상기 선택된 메모리 블록에 포함된 페이지들 중 적어도 하나가 데이터를 저장할 때 상기 타겟 페이지를 테스트 읽기 전압을 이용하여 읽는 단계; 및 상기 타겟 페이지로부터 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들이 설정값보다 적거나 같을 때, 상기 타겟 페이지에 대한 프로그램을 수행하는 단계를 포함한다.

[0006] 실시 예로서, 상기 프로그램 방법은 상기 읽어진 데이터에 포함된 상기 데이터 비트들 중 상기 제 1 논리값을 갖는 데이터 비트들의 개수가 상기 설정값보다 클 때, 상기 선택된 메모리 블록과 다른 메모리 블록의 페이지에 상기 프로그램을 수행하는 단계를 더 포함할 수 있다.

[0007] 실시 예로서, 상기 프로그램 방법은 상기 읽어진 데이터에 포함된 상기 데이터 비트들 중 상기 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 클 때, 상기 타겟 페이지에 대한 부분 소거를 수행하는 단계; 및 상기 부분 소거 이후 상기 타겟 페이지에 대한 상기 프로그램을 수행하는 단계를 더 포함할 수 있다.

[0008] 실시 예로서, 상기 프로그램 방법은 상기 선택된 메모리 블록에 포함된 상기 페이지들이 상기 데이터를 저장하지 않을 때, 상기 타겟 페이지에 대한 상기 프로그램을 수행하는 단계를 더 포함할 수 있다.

[0009] 실시 예로서, 상기 선택된 메모리 블록에 포함된 상기 페이지들은 데이터를 저장할 때 소거 상태 및 복수의 프로그램 상태들을 갖고, 상기 테스트 읽기 전압은 상기 소거 상태의 전압 범위와 상기 복수의 프로그램 상태들 중 가장 낮은 프로그램 상태의 전압 범위 사이의 읽기 마진에 속할 수 있다.

[0010] 실시 예로서, 상기 타겟 페이지를 테스트 읽기 전압을 이용하여 읽는 단계는, 읽기 동작 시 상기 테스트 읽기 전압을 생성하도록 상기 반도체 메모리 장치를 제어하는 단계; 및 상기 타겟 페이지에 대한 상기 읽기 동작을 수행하도록 상기 반도체 메모리 장치를 제어하는 단계를 포함할 수 있다.

[0011] 실시 예로서, 상기 타겟 페이지를 정의하는 단계는, 논리 블록 어드레스들과 물리 블록 어드레스들 사이의 매핑 정보를 참조하여, 상기 프로그램 요청에 포함된 논리 블록 어드레스를 상기 타겟 페이지에 대응하는 물리 블록 어드레스로 변환하는 단계를 포함할 수 있다.

[0012] 본 발명의 다른 일면은 반도체 메모리 장치를 포함하는 메모리 시스템에 관한 것이다. 본 발명의 실시 예에 따른 메모리 시스템은, 복수의 페이지들을 갖는 메모리 블록들을 포함하는 반도체 메모리 장치; 및 프로그램 요청에 따라 상기 반도체 메모리 장치에 대한 프로그램을 수행하기 전에, 타겟 페이지를 포함하는 메모리 블록의 페이지들 중 적어도 하나가 데이터를 저장하는지 여부에 따라 테스트 읽기 전압을 이용하여 상기 타겟 페이지를 읽도록 구성되는 컨트롤러를 포함한다. 상기 컨트롤러는 상기 타겟 페이지로부터 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 적거나 같을 때 상기 타겟 페이지에 대한 프로그램을 수행한다.

[0013] 본 발명의 다른 실시 예에 따른 메모리 시스템은, 복수의 페이지들을 갖는 메모리 블록들을 포함하는 반도체 메모리 장치; 및 프로그램 요청에 따라 상기 반도체 메모리 장치에 대한 프로그램을 수행하기 전에, 타겟 페이지를 포함하는 제 1 메모리 블록의 페이지들 중 정해진 개수 이상의 페이지가 데이터를 저장하는지 여부에 따라 테스트 읽기 전압을 이용하여 상기 타겟 페이지를 읽도록 구성되는 컨트롤러를 포함한다. 상기 컨트롤러는 상기 타겟 페이지로부터 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 적거나 같을 때 상기 타겟 페이지에 대한 프로그램을 수행할 수 있다.

발명의 효과

[0014] 본 발명의 실시 예에 따르면, 향상된 신뢰성을 갖는 메모리 시스템 및 그것의 프로그램 방법이 제공된다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.

도 2는 도 1의 반도체 메모리 장치를 보여주는 블록도이다.

도 3은 도 2의 메모리 셀 어레이의 일 실시 예를 보여주는 블록도이다.

도 4는 최하위 비트 프로그램 및 최상위 비트 프로그램 시 메모리 셀들의 문턱 전압 상태들을 보여주는 다이어그램이다.

도 5는 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법을 보여주는 순서도이다.

도 6은 맵 테이블을 설명하기 위한 개념도이다.

도 7은 도 5의 S140단계의 실시 예를 보여주는 순서도이다.

도 8은 램에 저장된 오픈 블록 정보를 보여주는 개념도이다.

도 9는 프로그램 요청이 수신될 때 타겟 페이지 대신 대체 페이지에 프로그램이 수행되는 과정을 설명하기 위한 도면이다.

도 10은 본 발명의 다른 실시 예에 따른 메모리 시스템의 동작 방법을 보여주는 순서도이다.

도 11은 프로그램 요청이 수신될 때 타겟 페이지에 프로그램이 수행되는 과정을 설명하기 위한 도면이다.

도 12는 도 1의 컨트롤러를 구현하기 위한 일 실시 예를 보여주는 블록도이다.

도 13은 도 1의 메모리 시스템의 응용 예를 보여주는 블록도이다.

도 14는 도 13을 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되며 그 이외 부분의 설명은 본 발명의 요지를 모호하지 않도록 하기 위해 생략될 것이라는 것을 유의하여야 한다. 또한 본 발명은 여기에서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 여기에서 설명되는 실시 예는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.

[0017] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0018] 도 1은 본 발명의 실시 예에 따른 메모리 시스템(50)을 보여주는 블록도이다.

[0019] 도 1을 참조하면, 메모리 시스템(50)은 반도체 메모리 장치(100) 및 컨트롤러(200)를 포함한다.

[0020] 반도체 메모리 장치(100)는 컨트롤러(200)의 제어에 응답하여 동작한다. 반도체 메모리 장치(100)는 메모리 셀 어레이(110) 및 메모리 셀 어레이(110)를 구동하기 위한 주변 회로(120)를 포함한다. 메모리 셀 어레이(110)는 복수의 불휘발성 메모리 셀들을 포함한다.

[0021] 주변 회로(120)는 컨트롤러(200)의 제어에 응답하여 동작한다. 주변 회로(120)는 컨트롤러(200)의 제어에 응답하여 메모리 셀 어레이(110)에 데이터를 프로그램한다. 주변 회로(120)는 컨트롤러(200)의 제어에 응답하여 메모리 셀 어레이(110)로부터 데이터를 읽고 읽어온 데이터를 컨트롤러(200)로 출력하도록 구성된다. 주변 회로(120)는 컨트롤러(200)의 제어에 응답하여 메모리 셀 어레이(110)의 데이터를 소거하도록 구성된다.

[0022] 프로그램 동작 시에, 주변 회로(120)는 컨트롤러(200)로부터 프로그램 커맨드, 물리 블록 어드레스(Physical

Block Address), 및 프로그램될 데이터를 수신할 것이다. 물리 블록 어드레스에 의해 하나의 메모리 블록과 그것에 포함된 하나의 페이지가 선택될 것이다. 주변 회로(120)는 선택된 페이지에 프로그램될 데이터를 프로그램할 것이다.

- [0023] 읽기 동작 시에, 주변 회로(120)는 컨트롤러(200)로부터 읽기 커맨드 및 물리 블록 어드레스를 수신할 것이다. 물리 블록 어드레스에 의해 하나의 메모리 블록과 그것에 포함된 하나의 페이지가 선택될 것이다. 주변 회로(120)는 선택된 페이지로부터 데이터를 읽고, 읽어진 데이터를 컨트롤러(200)에 출력할 것이다.
- [0024] 소거 동작 시에, 주변 회로(120)는 컨트롤러(200)로부터 소거 커맨드 및 물리 블록 어드레스를 수신할 것이다. 물리 블록 어드레스에 의해 하나의 메모리 블록 또는 하나의 메모리 블록에 포함된 적어도 하나의 페이지가 선택될 것이다. 주변 회로(120)는 선택된 영역에 저장된 데이터를 소거할 것이다.
- [0025] 실시 예로서, 반도체 메모리 장치(100)는 플래시 메모리 장치(Flash Memory Device)일 수 있다.
- [0026] 컨트롤러(200)은 반도체 메모리 장치(100)의 제반 동작을 제어한다. 컨트롤러(200)는 호스트(미도시)로부터의 요청(request)에 응답하여 반도체 메모리 장치(100)를 액세스하도록 구성된다.
- [0027] 컨트롤러(200)는 램(210), 메모리 제어부(220) 및 비교기(230)를 포함한다.
- [0028] 램(210)은 메모리 제어부(220)의 제어에 따라 동작한다. 메모리 제어부(220)는 반도체 메모리 장치(100)의 읽기 동작, 프로그램 동작, 소거 동작, 그리고 배경(background) 동작을 제어하도록 구성된다. 메모리 제어부(220)는 반도체 메모리 장치(100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0029] 호스트가 프로그램 요청을 전송할 때, 메모리 제어부(220)는 프로그램 요청에 해당하는 페이지(즉, 이하 타겟 페이지)를 식별한다. 메모리 제어부(220)는 프로그램 요청에 포함된 논리 블록 어드레스(Logical Block Address)를 물리 블록 어드레스(Physical Block Address)로 변환할 것이다. 그러한 물리 블록 어드레스는 타겟 페이지를 가리킨다.
- [0030] 실시 예로서, 메모리 제어부(220)는 플래시 변환 레이어(Flash Translation Layer, FTL)의 기능을 수행한다. 메모리 제어부(220)는 메모리 셀 어레이(100)에 대응하는 물리 블록 어드레스들과 그것들에 대응하는 논리 블록 어드레스들 사이의 매핑 관계를 포함하는 맵 테이블을 램(210)에 저장 및 관리한다. 메모리 제어부(220)는 맵 테이블을 참조하여 프로그램 요청에 포함된 논리 블록 어드레스를 물리 블록 어드레스로 변환할 것이다. 예를 들면, 메모리 제어부(220)는 어떠한 논리 블록 어드레스에도 할당되지 않은 물리 블록 어드레스를 식별하고, 식별된 물리 블록 어드레스를 프로그램 요청에 포함된 논리 블록 어드레스에 매핑할 것이다.
- [0031] 호스트가 프로그램 요청을 전송할 때, 호스트로부터 프로그램될 데이터가 수신된다. 메모리 제어부(220)는 프로그램될 데이터를 램(210)에 임시 저장할 수 있다. 램(210)은 호스트 및 반도체 메모리 장치(100) 사이의 버퍼 메모리로서 사용될 수 있다.
- [0032] 본 발명의 실시 예에 따르면, 메모리 제어부(220)는 프로그램 요청에 따라 반도체 메모리 장치(100)에 프로그램을 커맨드하기 전에, 타겟 페이지를 포함하는 메모리 블록이 오픈 블록인지 여부를 판별하고, 판별 결과에 따라 테스트 읽기 전압을 이용하여 타겟 페이지를 읽는다. 실시 예로서, 타겟 페이지를 포함하는 메모리 블록으로서, 데이터를 저장하는 적어도 하나의 페이지를 갖는 메모리 블록은 오픈 블록으로서 정의될 수 있다. 다른 말로, 타겟 페이지를 포함하는 메모리 블록이면서, 이미 프로그램된 페이지를 갖는 메모리 블록은 오픈 블록으로서 정의될 수 있다. 실시 예로서, 타겟 페이지를 포함하는 메모리 블록이면서, 메모리 블록 내 정해진 개수 이상의 페이지가 데이터를 저장할 때 해당 메모리 블록은 오픈 블록으로서 정의될 수 있다.
- [0033] 컨트롤러(200)는 타겟 페이지로부터 읽어진 데이터를 획득할 것이다. 비교기(230)는 타겟 페이지로부터 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들의 개수를 설정값과 비교한다. 제 1 논리값을 갖는 데이터 비트들의 개수는 타겟 페이지의 메모리 셀들 중 테스트 읽기 전압보다 높은 문턱 전압들을 갖는 메모리 셀들의 개수를 의미할 것이다. 반면, 제 2 논리값을 갖는 데이터 비트들의 개수는 타겟 페이지의 메모리 셀들 중 테스트 읽기 전압보다 낮거나 같은 문턱 전압들을 갖는 메모리 셀들의 개수를 의미할 것이다.
- [0034] 테스트 읽기 전압보다 높은 문턱 전압을 갖는 메모리 셀들의 개수가 설정값보다 큰 것은, 타겟 페이지에 대한 프로그램 동작이 아직 수행되지 않았음에도 불구하고 많은 메모리 셀들의 문턱 전압들이 상승하였음을 의미한다. 상승된 문턱 전압들을 갖는 메모리 셀들에 대해 프로그램 동작이 수행될 때, 해당 메모리 셀들에 저장된 데이터는 낮은 신뢰성을 제공할 것이다.

- [0035] 본 발명의 실시 예에 따르면, 메모리 제어부(220)는 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 클 때, 타겟 페이지를 포함하는 메모리 블록과 다른 메모리 블록의 페이지에 프로그램을 수행할 수 있다. 메모리 제어부(220)는 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 적거나 같을 때, 타겟 페이지에 대한 프로그램을 수행한다. 이에 따라, 프로그램될 데이터는 안정적으로 메모리 셀 어레이(100)에 저장될 수 있다. 따라서, 향상된 신뢰성을 갖는 메모리 시스템 및 그것의 프로그램 방법이 제공된다.
- [0036] 도 2는 도 1의 반도체 메모리 장치(100)를 보여주는 블록도이다. 도 3은 도 2의 메모리 셀 어레이(110)의 일 실시 예를 보여주는 블록도이다.
- [0037] 도 2를 참조하면, 반도체 메모리 장치(100)는 메모리 셀 어레이(110) 및 주변 회로(120)를 포함한다.
- [0038] 메모리 셀 어레이(110)는 복수의 메모리 셀들을 포함한다. 복수의 메모리 셀들은 행 라인들(RL)을 통해 어드레스 디코더(121)에 연결되고, 비트 라인들(BL)을 통해 읽기 및 쓰기 회로(123)에 연결된다.
- [0039] 도 3을 참조하면, 메모리 셀 어레이(110)는 제 1 내지 제 z 메모리 블록들(BLK1~BLKz)을 포함한다. 제 1 내지 제 z 메모리 블록들(BLK1~BLKz)은 제 1 내지 제 m 비트 라인들(BL1~BLm)에 공통 연결된다. 제 1 내지 제 m 비트 라인들(BL1~BLm)은 도 2의 비트 라인들(BL)을 구성한다.
- [0040] 도 3에서, 설명의 편의를 위해 복수의 메모리 블록들(BLK1~BLKz) 중 하나(BLK1)에 포함된 요소들이 도시되고, 나머지 메모리 블록들(BLK2~BLKz) 각각에 포함된 요소들은 생략된다. 나머지 메모리 블록들(BLK2~BLKz) 각각은 제 1 메모리 블록(BLK1)과 마찬가지로 구성됨이 이해될 것이다.
- [0041] 메모리 블록(BLK1)은 복수의 셀 스트링들(CS1~CSm)을 포함한다. 제 1 내지 제 m 셀 스트링들(CS1~CSm)은 각각 제 1 내지 제 m 비트 라인들(BL1~BLm)에 연결된다.
- [0042] 복수의 셀 스트링들(CS1~CSm) 각각은 드레인 선택 트랜지스터(DST), 직렬 연결된 복수의 메모리 셀들(MC1~MCn) 및 소스 선택 트랜지스터(SST)를 포함한다. 드레인 선택 트랜지스터(DST)는 드레인 선택 라인(DSL1)에 연결된다. 제 1 내지 제 n 메모리 셀들(MC1~MCn)은 각각 제 1 내지 제 n 워드 라인들(WL1~WLn)에 연결된다. 소스 선택 트랜지스터(SST)는 소스 선택 라인(SSL1)에 연결된다.
- [0043] 드레인 선택 트랜지스터(DST)의 드레인 측은 해당 비트 라인에 연결된다. 소스 선택 트랜지스터(SST)의 소스 측은 기준 전압 노드에 연결된다. 실시 예로서, 소스 선택 트랜지스터(SST)의 소스 측은 공통 소스 라인(미도시)에 연결되고, 그러한 공통 소스 라인은 제어 로직(125)에 의해 제어될 수 있다.
- [0044] 제 1 내지 제 m 셀 스트링들(CS1~CSm) 중 하나의 워드 라인에 연결된 메모리 셀들은 하나의 페이지(PG)를 구성한다. 따라서, 하나의 메모리 블록(BLK1)은 복수의 페이지들을 포함한다.
- [0045] 드레인 선택 라인(DSL1), 제 1 내지 제 n 워드 라인들(WL1~WLn) 및 소스 선택 라인(SSL1)은 도 2의 행 라인들(RL)에 포함된다. 드레인 선택 라인(DSL1), 제 1 내지 제 n 워드 라인들(WL1~WLn) 및 소스 선택 라인(SSL1)은 어드레스 디코더(121)에 의해 제어된다. 제 1 내지 제 m 비트 라인들(BL1~BLm)은 읽기 및 쓰기 회로(123)에 의해 제어된다.
- [0046] 다시 도 2를 참조하면, 주변 회로(120)은 어드레스 디코더(121), 전압 발생기(122), 읽기 및 쓰기 회로(123), 입출력 버퍼(124) 및 제어 로직(125)을 포함한다.
- [0047] 어드레스 디코더(121)은 행 라인들(RL)을 통해 메모리 셀 어레이(110)에 연결된다. 어드레스 디코더(121)은 제어 로직(125)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디코더(121)은 제어 로직(125)을 통해 물리 블록 어드레스(PA)를 수신한다.
- [0048] 반도체 메모리 장치(100)의 프로그램 동작은 페이지(도 3의 PG 참조) 단위로 수행된다. 반도체 메모리 장치(100)의 읽기 동작은 페이지 단위로 수행된다. 프로그램 동작 또는 읽기 동작 시에 수신되는 물리 블록 어드레스(PA)는 블록 어드레스 및 행 어드레스를 포함한다.
- [0049] 어드레스 디코더(121)는 수신된 물리 블록 어드레스(PA) 중 블록 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(121)은 디코딩된 블록 어드레스에 따라 복수의 메모리 블록들(BLK1~BLKz, 도 3 참조) 중 하나의 메모리 블록을 선택한다.

- [0050] 어드레스 디코더(121)는 수신된 물리 블록 어드레스(PA) 중 행 어드레스를 디코딩하여 선택된 메모리 블록 중 하나의 워드 라인을 선택하도록 구성된다. 이에 따라 하나의 페이지가 선택된다.
- [0051] 프로그램 동작 시에, 어드레스 디코더(121)는 전압 발생기(122)로부터의 고 전압의 프로그램 전압을 선택된 워드 라인에 인가하고, 전압 발생기(122)로부터의 프로그램 패스 전압을 비선택된 워드 라인들에 인가한다. 프로그램 패스 전압은 프로그램 전압보다 낮을 수 있다. 테스트 읽기 전압을 이용한 읽기 동작 시에, 어드레스 디코더(121)는 전압 발생기(122)로부터의 테스트 읽기 전압을 선택된 워드 라인에 인가하고, 전압 발생기(122)로부터의 읽기 패스 전압을 비선택된 워드 라인들에 인가할 수 있다. 읽기 패스 전압은 테스트 읽기 전압보다 높을 수 있다.
- [0052] 전압 발생기(122)는 제어 로직(125)의 제어에 응답하여 동작한다. 전압 발생기(122)는 반도체 메모리 장치(100)에 공급되는 외부 전원 전압을 이용하여 내부 전원 전압을 생성한다. 예를 들면, 전압 발생기(122)는 외부 전원 전압을 레귤레이팅하여 내부 전원 전압을 생성한다. 이렇게 생성된 내부 전원 전압은 어드레스 디코더(121), 읽기 및 쓰기 회로(123), 입출력 버퍼(124) 및 제어 로직(125)에 제공되어 반도체 메모리 장치(100)의 동작 전압으로서 사용된다.
- [0053] 전압 발생기(122)는 외부 전원 전압 및 내부 전원 전압 중 적어도 하나를 이용하여 복수의 전압들을 생성한다. 실시 예로서, 전압 발생기(122)는 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(125)의 제어에 응답하여 복수의 펌핑 커패시터들을 선택적으로 활성화함으로써 복수의 전압들을 생성한다. 예를 들면, 전압 발생기(122)는 프로그램 동작 시에 고 전압의 프로그램 전압 및 프로그램 전압보다 낮은 레벨의 프로그램 패스 전압을 생성한다. 예를 들면, 전압 발생기(122)는 테스트 읽기 전압을 이용한 읽기 동작 시에 테스트 읽기 전압 및 읽기 전압보다 높은 레벨의 읽기 패스 전압을 발생한다. 생성된 전압들은 어드레스 디코더(121)에 제공된다.
- [0054] 읽기 및 쓰기 회로(123)는 비트 라인들(BL)을 통해 메모리 셀 어레이(110)에 연결된다. 읽기 및 쓰기 회로(123)는 제어 로직(125)의 제어에 응답하여 동작한다.
- [0055] 읽기 및 쓰기 회로(123)는 프로그램 동작 시 입출력 버퍼(124)를 통해 수신된 프로그램될 데이터(DATA)를 비트 라인들(BL)에 전달한다. 프로그램될 데이터(DATA)는 선택된 페이지에 저장된다. 읽기 및 쓰기 회로(123)는 읽기 동작 시 메모리 셀 어레이(110)의 선택된 페이지로부터 비트 라인들(BL)을 통해 데이터(DATA)를 읽고, 읽어진 데이터를 입출력 버퍼(124)로 출력한다.
- [0056] 입출력 버퍼(124)는 데이터 라인들(DL)을 통해 읽기 및 쓰기 회로(123)에 연결된다. 입출력 버퍼(124)는 제어 로직(125)의 제어에 응답하여 동작한다. 입출력 버퍼(124)는 컨트롤러(200)와 통신한다.
- [0057] 제어 로직(125)은 반도체 메모리 장치(100)의 제반 동작을 제어하도록 구성된다. 제어 로직(125)은 커맨드(CMD) 및 물리 블록 어드레스(PA)를 수신할 수 있다. 읽기 동작 시, 커맨드(CMD)는 읽기 커맨드일 것이다. 프로그램 동작 시, 커맨드(CMD)는 프로그램 커맨드일 것이다. 소거 동작 시, 커맨드(CMD)는 소거 커맨드일 것이다. 제어 로직(125)은 수신된 커맨드(CMD)에 응답하여 어드레스 디코더(121), 전압 발생기(122), 읽기 및 쓰기 회로(123) 및 입출력 버퍼(124)를 제어하도록 구성된다.
- [0058] 반도체 메모리 장치(100)의 설정값을 변경하기 위한 파라미터 설정 정보가 커맨드(CMD)로서 수신될 수 있다. 파라미터 설정 정보는 테스트 읽기 전압을 설정하는 정보를 포함할 수 있다. 파라미터 설정 정보가 수신될 때, 제어 로직(125)은 파라미터 설정 정보에 따라 읽기 동작 시 테스트 읽기 전압을 생성하도록 전압 발생기(122)를 제어할 수 있다.
- [0059] 도 4는 최하위 비트(Least Significant Bit: LSB) 프로그램 및 최상위 비트(Most Significant Bit: MSB) 프로그램 시 메모리 셀들의 문턱 전압 상태들을 보여주는 다이어그램이다. 도 4에서, 가로축은 문턱 전압을 나타내고, 세로축은 메모리 셀들의 수를 나타낸다. 도 4를 참조한 설명에서, 메모리 셀 당 2 비트들이 저장된다고 가정한다. 하지만, 본 발명의 기술적 사상은 이에 한정되지 않음이 이해될 것이다. 예를 들면, 메모리 셀 당 3 비트들이 저장되고, 메모리 셀들은 8개의 문턱 전압 상태들을 가질 수 있다.
- [0060] 도 4를 참조하면, 프로그램 전, 메모리 셀들은 소거 상태(E)를 갖는다. 예를 들면, 소거 상태(E)에 해당하는 전압 범위는 접지 전압보다 낮을 수 있다.
- [0061] LSB 프로그램에 의해, 메모리 셀들은 2개의 문턱 전압 상태들(E, LP)을 갖게 된다. 메모리 셀들은 소거 상태(E)

또는 하위 프로그램 상태(Lower Program State, LP)를 갖도록 프로그램된다. 각 메모리 셀은 논리값 "1" 또는 논리값 "0"에 해당하는 하나의 데이터 비트가 저장된다.

- [0062] LSB 프로그램 후에, MSB 프로그램이 수행된다. MSB 프로그램에 의해, 메모리 셀들은 4개의 문턱 전압 상태들(E, UP1, UP2, UP3)을 갖게 된다. 프로그램될 데이터에 따라, 소거 상태(E) 및 하위 프로그램 상태(LP)의 메모리 셀들은 소거 상태(E) 및 제 1 내지 제 3 상위 프로그램 상태들(Uppwer Program States, UP1~UP3)을 갖도록 프로그램된다. 예를 들면, 소거 상태(E)의 메모리 셀은 소거 상태(E) 또는 제 1 상위 프로그램 상태(UP1)를 갖도록 프로그램되고, 하위 프로그램 상태(LP)의 메모리 셀은 제 2 상위 프로그램 상태(UP2) 또는 제 3 상위 프로그램 상태(UP3)를 갖도록 프로그램될 수 있다. 제 1 상위 프로그램 상태(UP1)는 MSB 프로그램에 의한 복수의 프로그램 상태들(UP1~UP3) 중 가장 낮은 전압 범위의 프로그램 상태이다. 이에 따라 각 메모리 셀에 2개의 데이터 비트들이 저장된다.
- [0063] 소거 상태(E)를 갖는 메모리 셀들의 문턱 전압들은 다양한 원인들에 기인하여 증가할 수 있다. 예를 들면, 메모리 블록 내 페이지들 각각에 대한 액세스(예를 들면, 프로그램 동작 또는 읽기 동작) 시에, 해당 메모리 블록의 비트 라인들(BL1~BLm, 도 3 참조) 및 워드 라인들(WL1~WLn, 도 3 참조)에 인가되는 전압들에 의해 소거 상태(E)를 갖는 메모리 셀들의 문턱 전압들이 의도치 않게 상승할 수 있다. 다른 예로서, 해당 메모리 셀들과 인접한 메모리 셀들이 소거 상태(E) 및 프로그램 상태들(LP, UP1~UP3)을 갖는 경우, 위 인접한 메모리 셀들이 갖는 높은 문턱 전압들로부터의 커플링으로 인해 소거 상태(E)를 갖는 메모리 셀들의 문턱 전압들이 상승할 수 있다. 즉, 메모리 블록 내 특정 페이지들에 대한 프로그램 동작들이 수행된 경우, 동일한 메모리 블록의 아직 프로그램되지 않은 페이지 내 메모리 셀들은 변형된 소거 상태(EE)를 가질 수 있다. 다른 말로, 타겟 페이지를 포함하는 메모리 블록이 오픈 블록인 경우, 타겟 페이지의 메모리 셀들은 변형된 소거 상태(EE)를 가질 수 있다.
- [0064] 도 4와 같이 소거 상태(E)를 갖는 메모리 셀들의 문턱 전압들이 의도치 않게 상승하여, 메모리 셀들이 변형된 소거 상태(EE)를 갖는다고 가정한다. 변형된 소거 상태(EE)의 메모리 셀들 중 일부(도 4의 빗금친 영역)는 테스트 읽기 전압(Vtst)보다 높은 문턱 전압들을 갖는다. 이후 LSB 프로그램이 수행될 때, 하위 프로그램 상태(LP)로 프로그램될 메모리 셀들은 과도하게 높은 문턱 전압들을 갖게 될 수 있다. 즉 하위 프로그램 상태(LP)는 제 2 전압 범위(RG2)보다 더 넓고 더 높아진 전압 범위를 가지고, 소거 상태(E)로 프로그램될 메모리 셀들은 여전히 변형된 소거 상태(EE)를 가질 수 있다. 이에 따라, 메모리 셀들에 저장된 데이터의 신뢰성은 저하된다. 이후 MSB 프로그램이 수행될 때, 메모리 셀들에 저장될 MSB 데이터의 신뢰성도 저하될 것이다.
- [0065] 본 발명의 실시 예에 따르면, 컨트롤러(200)는 타겟 페이지를 포함하는 메모리 블록이 오픈 블록인지 여부를 판별하고, 판별 결과에 따라 테스트 읽기 전압(Vtst)을 이용하여 타겟 페이지를 읽도록 구성된다. 실시 예로서, 테스트 읽기 전압(Vtst)은 접지 전압보다 높을 수 있다. 실시 예로서, 테스트 읽기 전압(Vtst)은 소거 상태(E)의 전압 범위(RG1)와 하위 프로그램 상태(LP)의 전압 범위(RG2) 사이의 읽기 마진에 속할 수 있다. 다른 실시 예로서, 테스트 읽기 전압(Vtst)은 소거 상태(E)의 전압 범위(RG1)과 복수의 상위 프로그램 상태들(UP1~UP3) 중 가장 낮은 프로그램 상태(UP1)의 전압 범위(RG3) 사이의 읽기 마진에 속할 수 있다.
- [0066] 타겟 페이지의 메모리 셀들 중 테스트 읽기 전압(Vtst)보다 높은 문턱 전압들을 갖는 메모리 셀들의 개수가 설정값보다 적거나 같을 때, 컨트롤러(200)는 타겟 페이지에 대한 프로그램을 수행할 것이다. 타겟 페이지의 메모리 셀들 중 테스트 읽기 전압(Vtst)보다 높은 문턱 전압들을 갖는 메모리 셀들의 개수가 설정값보다 클 때, 컨트롤러(200)는 다른 메모리 블록의 페이지에 대한 프로그램을 수행할 것이다. 이에 따라, 프로그램될 데이터는 타겟 페이지 혹은 다른 페이지에 안정적으로 저장된다. 따라서, 향상된 신뢰성을 갖는 메모리 시스템 및 그것의 프로그램 방법이 제공된다.
- [0067] 도 5는 본 발명의 실시 예에 따른 메모리 시스템(50)의 동작 방법을 보여주는 순서도이다. 도 6은 맵 테이블(MPT)을 설명하기 위한 개념도이다. 도 7은 도 5의 S140단계의 실시 예를 보여주는 순서도이다.
- [0068] 도 1 및 도 5를 참조하면, S110단계에서, 호스트(미도시)로부터 프로그램 요청이 수신된다. 프로그램 요청은 논리 블록 어드레스를 포함한다.
- [0069] S120단계에서, 타겟 페이지가 정의된다. 메모리 제어부(220)는 프로그램 요청에 포함된 논리 블록 어드레스를 물리 블록 어드레스로 변환할 것이다. 그러한 물리 블록 어드레스는 타겟 페이지를 정의할 것이다.
- [0070] S130단계에서, 선택된 메모리 블록에 포함된 페이지들 중 적어도 하나가 데이터를 저장하는지 여부가 판별된다. 선택된 메모리 블록이 오픈 블록인지 여부가 판별된다. 선택된 메모리 블록은 타겟 페이지를 포함하는 메모리

블록이다. 메모리 제어부(220)는 램(210)의 맵 테이블 중 선택된 메모리 블록과 관련된 매핑 정보를 조회하고, 선택된 메모리 블록에 포함된 페이지들 중 적어도 하나가 이미 프로그램되었는지 여부를 판별할 것이다.

[0071] 다른 실시 예로서, 메모리 제어부(220)는 선택된 메모리 블록의 페이지들 중 정해진 개수 이상의 페이지가 데이터를 저장하는지 여부를 판별할 수 있다. 메모리 제어부(220)는 램(210)의 맵 테이블 중 선택된 메모리 블록과 관련된 매핑 정보를 조회함으로써, 선택된 메모리 블록의 페이지들 중 정해진 개수 이상의 페이지가 이미 프로그램되었는지 여부를 판별할 수 있다.

[0072] 도 6을 참조하면, 맵 테이블(MPT)은 메모리 블록들(BLK1~BLKz) 각각의 페이지들(PG1~PGn)에 매핑된 논리 블록 어드레스들을 보여준다. 도 6에서, 제 1 메모리 블록(BLK1)의 제 1 및 제 2 페이지들(PG1, PG2)은 각각 제 1 및 제 2 논리 블록 어드레스들(LA1, LA2)에 매핑된다. 제 1 메모리 블록(BLK1)의 제 n 페이지(PGn)는 어떠한 논리 블록 어드레스에도 매핑되지 않는다. 즉 제 1 메모리 블록(BLK1)의 제 n 페이지(PGn)는 데이터를 저장하지 않는다. 제 1 메모리 블록(BLK1)은 이미 데이터를 저장하는 적어도 하나의 페이지들(PG1, PG2)을 포함한다. 제 1 메모리 블록(BLK1)의 제 n 페이지(PGn)가 타겟 페이지일 때, 제 1 메모리 블록(BLK1)은 오픈 블록으로서 식별될 것이다. 제 2 메모리 블록(BLK2)의 제 1 내지 제 n 페이지들(PG1~PGn)은 데이터를 저장하지 않는다. 제 2 메모리 블록(BLK2)의 어느 하나의 페이지가 타겟 페이지로서 정의될 때, 제 2 메모리 블록(BLK2)은 오픈 블록으로서 식별되지 않는다. 제 z 메모리 블록(BLKz)의 제 1 및 제 2 페이지들(PG1, PG2)은 각각 제 p 및 제 p+1 논리 블록 어드레스들(LAp, LAp+1)에 매핑된다. 제 z 메모리 블록(BLKz)의 제 n 페이지(PGn)는 데이터를 저장하지 않는다. 제 z 메모리 블록(BLKz)의 제 n 페이지(PGn)가 타겟 페이지로서 정의될 때, 제 z 메모리 블록(BLKz)은 오픈 블록으로서 식별될 것이다.

[0073] 다시 도 1 및 도 5를 참조하면, S140단계에서, 테스트 읽기 전압(Vtst)을 이용하여 타겟 페이지가 읽힌다. 도 7을 참조하면, S210단계에서, 파라미터 정보가 전송되어 읽기 동작 시 테스트 읽기 전압(Vtst)을 생성하도록 반도체 메모리 장치(100)를 제어한다. 파라미터 정보에 따라, 제어 로직(125, 도 2 참조)은 테스트 읽기 전압(Vtst)을 생성하도록 전압 발생기(122, 도 2 참조)를 설정할 것이다. 이후 S220단계에서, 타겟 페이지에 대한 읽기 동작이 수행된다. 메모리 제어부(220)는 읽기 커맨드 및 타겟 페이지에 대응하는 물리 블록 어드레스를 반도체 메모리 장치(100)로 전송할 것이다. 반도체 메모리 장치(100)는 읽기 커맨드에 응답하여 타겟 페이지에 대한 읽기 동작을 수행할 것이다. 전압 발생기(122)는 테스트 읽기 전압(Vtst)을 생성하고, 생성된 테스트 읽기 전압(Vtst)은 어드레스 디코더(121, 도 2 참조)에 의해 타겟 페이지에 연결된 워드 라인에 인가될 것이다. 읽기 및 쓰기 회로(123, 도 2 참조)는 타겟 페이지로부터 데이터를 읽을 것이다. 타겟 페이지로부터 읽어지는 데이터는 타겟 페이지의 메모리 셀들의 문턱 전압들이 테스트 읽기 전압보다 높은지 여부에 따라 결정될 것이다. 읽어진 데이터는 컨트롤러(200)로 출력될 것이다. 그에 따라, 메모리 제어부(220)는 타겟 페이지의 데이터를 획득한다.

[0074] 다시 도 1 및 도 5를 참조하면, S150단계에서, 읽어진 데이터 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 큰지 여부가 판별된다. 읽어진 데이터는 비교기(230)에 제공될 것이다. 비교기(230)는 읽어진 데이터 중 제 1 논리값을 갖는 데이터 비트들을 카운트하고, 카운트된 값이 설정값보다 큰지 여부를 판별할 것이다. 실시 예로서, 설정값은 1일 수 있다. 다른 말로, 타겟 페이지의 메모리 셀들 중 테스트 읽기 전압보다 높은 문턱 전압을 갖는 메모리 셀들의 개수가 1보다 큰지 여부가 판별될 수 있다.

[0075] 읽어진 데이터 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 클 때 S160단계가 수행된다. 읽어진 데이터 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 클 때 S170단계가 수행된다.

[0076] S160단계에서, 선택된 메모리 블록과 다른 메모리 블록의 페이지(이하, 대체 페이지)에 대한 프로그램이 수행된다. 메모리 제어부(220)는 프로그램 요청에 포함된 논리 블록 어드레스와 타겟 페이지에 대응하는 물리 블록 어드레스 사이의 매핑을 취소하고, 프로그램 요청에 포함된 논리 블록 어드레스를 대체 페이지에 대응하는 물리 블록 어드레스에 매핑할 것이다. 그러한 매핑은 맵 테이블에 업데이트될 것이다. 메모리 제어부(220)는 프로그램 커맨드, 대체 페이지에 대응하는 물리 블록 어드레스 및 프로그램될 데이터를 반도체 메모리 장치(100)에 제공한다. 반도체 메모리 장치(100)는 프로그램될 데이터를 대체 페이지에 프로그램할 것이다.

[0077] S170단계에서, 타겟 페이지에 대한 프로그램이 수행된다. 메모리 제어부(220)는 프로그램 커맨드, 타겟 페이지에 대응하는 물리 블록 어드레스, 및 프로그램될 데이터를 반도체 메모리 장치(100)에 제공할 것이다. 반도체 메모리 장치(100)는 프로그램될 데이터를 타겟 페이지에 프로그램할 것이다.

- [0078] 도 8은 램(210)에 저장된 오픈 블록 정보(OBI)를 보여주는 개념도이다.
- [0079] 도 1 및 도 8을 참조하면, 동작 속도의 향상을 위해, 메모리 제어부(220)는 맵 테이블(MPT, 도 6 참조)을 참조하여 램(210)에 오픈 블록 정보(OBI)를 저장 및 관리할 수 있다. 오픈 블록 정보(OBI)는 제 1 내지 제 z 메모리 블록들(BLK1~BLKz) 각각이 오픈 블록인지 여부를 나타낸다. 도 8에서, 제 2 및 제 z 메모리 블록들(BLK2, BLKz)은 오픈 블록들이고, 제 1 및 제 3 메모리 블록들(BLK1, BLK3)은 오픈 블록들이 아님이 예시된다.
- [0080] 오픈 블록 정보(OBI)가 관리되는 경우, 메모리 제어부(220)는 타겟 페이지가 속한 메모리 블록을 오픈 블록 정보(OBI) 내에서 서치하고, 해당 메모리 블록이 오픈 블록인지 여부를 빠르게 판별할 수 있다. 즉, 오픈 블록 정보(OBI)가 관리되는 경우, 도 5의 S130단계는 빠르게 수행될 수 있다.
- [0081] 도 9는 프로그램 요청이 수신될 때 타겟 페이지 대신 대체 페이지에 프로그램이 수행되는 과정을 설명하기 위한 도면이다. 도 9에서, 타겟 페이지(TP)는 제 1 메모리 블록(BLK1)에 포함되고, 대체 페이지(SP)는 제 2 메모리 블록(BLK2)에 포함되는 것으로 예시된다.
- [0082] 도 9를 참조하면, 컨트롤러(200)는 호스트로부터 프로그램 요청을 수신(A)한다(A). 만약 타겟 페이지(TP)가 속한 제 1 메모리 블록(BLK1)이 오픈 블록이면, 컨트롤러(200)는 테스트 읽기 전압(Vtst, 도 4 참조)을 이용하여 타겟 페이지(TP)로부터 데이터를 읽는다(B). 만약 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 크면, 컨트롤러(200)는 타겟 페이지(TP) 대신 대체 페이지(SP)에 프로그램을 수행한다(C). 프로그램될 데이터는 대체 페이지(SP)에 저장된다.
- [0083] 도 10은 본 발명의 다른 실시 예에 따른 메모리 시스템(50)의 동작 방법을 보여주는 순서도이다.
- [0084] 도 1 및 도 10을 참조하면, S310단계 내지 S340단계는 도 5의 S110단계 내지 S140단계와 마찬가지로 동작한다. 이하 중복되는 설명은 생략된다.
- [0085] S350단계에서, 읽어진 데이터 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 큰지 여부가 판별된다. 만약 그렇다면, S360단계가 수행된다. 만약 그렇지 않다면 S370단계가 수행된다.
- [0086] S360단계에서, 타겟 페이지에 대한 부분 소거가 수행된다. 이 실시 예에 따르면, 읽어진 데이터 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 클 때, 타겟 페이지에 대한 부분 소거가 수행된다.
- [0087] 메모리 제어부(200)는 타겟 페이지에 대한 부분 소거를 수행하도록 반도체 메모리 장치(100)를 제어할 것이다. 실시 예로서, 컨트롤러(200)는 타겟 페이지에 대해 부분 소거를 수행할 수 있다. 예를 들면, 반도체 메모리 장치(100)는 해당 부분 소거 커맨드에 응답하여, 선택된 메모리 블록의 기판(substrate), 즉 메모리 셀들의 바디들에 고 전압의 소거 전압을 인가할 것이다. 그리고 반도체 메모리 장치(100)는 타겟 페이지와 연결된 워드 라인(예를 들면, WLn-1)에 접지 전압을 인가하고, 나머지 워드 라인들(예를 들면, WL1~WLn-2 및 WLn)을 플로트(float)할 것이다. 타겟 페이지의 메모리 셀들은 소거 전압과 접지 전압에 의한 전기장(electric field)에 의해 감소된 문턱 전압들을 갖게 된다. 실시 예로서, 컨트롤러(200)는 타겟 페이지를 포함한 서브 블록에 대해 부분 소거를 수행할 수 있다. 예를 들면, 반도체 메모리 장치(100)는 해당 부분 소거 커맨드에 응답하여, 선택된 메모리 블록의 기판(substrate)에 고 전압의 소거 전압을 인가할 것이다. 그리고, 반도체 메모리 장치(100)는 타겟 페이지가 속한 서브 블록과 연결된 워드 라인들(예를 들면, WLn-1 및 WLn)에 접지 전압을 인가하고, 나머지 워드 라인들(WL1~WLn-2)을 플로트할 것이다. 서브 블록에 포함된 메모리 셀들은 소거 전압과 접지 전압에 의한 전기장(electric field)에 의해 감소된 문턱 전압들을 갖게 된다.
- [0088] 타겟 페이지에 대한 부분 소거에 따라, 타겟 페이지는 소거 상태(E, 도 4 참조)를 갖게 된다.
- [0089] S370단계에서, 타겟 페이지에 대한 프로그램이 수행된다. 메모리 제어부(220)는 프로그램 커맨드, 타겟 페이지에 대응하는 물리 블록 어드레스, 및 프로그램될 데이터를 반도체 메모리 장치(100)에 제공할 것이다.
- [0090] 이 실시 예에 따르면, 변형된 소거 상태(EE, 도 4 참조)를 갖는 타겟 페이지는 부분 소거에 의해 소거 상태(E)를 갖게 되고, 이후 타겟 페이지에 대한 프로그램이 수행된다. 따라서, 향상된 신뢰성을 갖는 메모리 시스템 및 그것의 프로그램 방법이 제공된다.

- [0091] 도 11은 프로그램 요청이 수신될 때 타겟 페이지에 프로그램이 수행되는 과정을 설명하기 위한 도면이다. 도 11에서, 타겟 페이지(TP)는 제 1 메모리 블록(BLK1)에 포함되는 것으로 예시된다.
- [0092] 도 11을 참조하면, 컨트롤러(200)는 호스트로부터 프로그램 요청을 수신한다(D). 제 1 메모리 블록(BLK1)이 오픈 블록이면, 컨트롤러(200)는 테스트 읽기 전압(Vtst)을 이용하여 타겟 페이지(TP)로부터 데이터를 읽는다(E). 만약 읽어진 데이터에 포함된 데이터 비트들 중 제 1 논리값을 갖는 데이터 비트들의 개수가 설정값보다 크면, 컨트롤러(200)는 타겟 페이지(TP)에 대한 부분 소거를 수행한다(F). 타겟 페이지(TP)에 대한 부분 소거 이후, 컨트롤러(200)는 타겟 페이지(TP)에 대한 프로그램을 수행할 것이다(G). 프로그램될 데이터는 타겟 페이지(TP)에 저장된다.
- [0093] 프로그램될 데이터가 높은 중요도를 갖는 경우, 대체 페이지(SP)에 대해 프로그램이 수행될 수 있다. 이때, 타겟 페이지(TP)는 낮은 신뢰성을 갖는 메모리 셀들로 고려되어, 무효 페이지로서 맵 테이블(MPT)에 업데이트될 수 있다. 반면, 프로그램될 데이터가 낮은 중요도를 갖는 경우, 타겟 페이지(TP)에 대한 부분 소거 이후 타겟 페이지(TP)에 대해 프로그램이 수행될 수 있다.
- [0094] 도 12는 도 1의 컨트롤러(200)를 구현하기 위한 일 실시 예(1200)를 보여주는 블록도이다.
- [0095] 도 12를 참조하면, 컨트롤러(1200)는 램(1210, Random Access Memory), 프로세싱 유닛(1220, processing unit), 호스트 인터페이스(1230, host interface), 메모리 인터페이스(1240, memory interface) 및 에러 정정 블록(1250)을 포함한다.
- [0096] 프로세싱 유닛(1220)은 컨트롤러(1200)의 제반 동작을 제어한다. 램(1210)은 프로세싱 유닛(1220)의 동작 메모리, 반도체 메모리 장치(100, 도 1 참조) 및 호스트 사이의 캐시 메모리, 그리고 반도체 메모리 장치(100) 및 호스트 사이의 버퍼 메모리 중 적어도 하나로서 이용될 수 있다. 프로세싱 유닛(1220) 및 램(1210)은 도 1의 메모리 제어부(220) 및 비교기(230)의 기능을 수행할 것이다. 예를 들면, 프로세싱 유닛(1220)은 프로그램 명령, 데이터 파일, 데이터 구조 등을 램(1210)에 로드하고, 로드된 데이터를 실행함으로써 메모리 제어부(220) 및 비교기(230)의 기능을 수행할 것이다.
- [0097] 추가적으로, 램(1210)은 도 1의 램(210)으로 이용된다. 도 12에는 하나의 램(1210)이 제공되는 것이 도시되나, 2 이상의 램들이 제공될 수 있음이 이해될 것이다.
- [0098] 호스트 인터페이스(1230)는 호스트 및 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 실시 예로서, 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜, 사유(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트와 통신하도록 구성된다.
- [0099] 메모리 인터페이스(1240)는 반도체 메모리 장치(100)와 인터페이스한다. 에러 정정 블록(1250)은 에러 정정 코드(Error Correction Code)를 이용하여 반도체 메모리 장치(100)로부터 읽어진 데이터에 포함된 에러를 검출하고, 정정하도록 구성된다.
- [0100] 컨트롤러(1200) 및 반도체 메모리 장치(100, 도 1 참조)는 하나의 반도체 장치로 집적될 수 있다. 실시 예로서, 컨트롤러(1200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 것이다.
- [0101] 컨트롤러(1200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 컨트롤러(1200) 및 반도체 메모리 장치(100)가 반도체 드라이브(SSD)로 이용되는 경우, 호스트의 동작 속도는 획기적으로 개선된다.
- [0102] 다른 예로서, 컨트롤러(1200) 및 반도체 메모리 장치(100)는 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선

전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레메틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

[0103] 실시 예로서, 컨트롤러(200) 및 반도체 메모리 장치(100)는 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 컨트롤러(200) 및 반도체 메모리 장치(100)는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline integrated circuit (SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline Package(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 실장될 수 있다.

[0104] 도 13은 도 1의 메모리 시스템(50)의 응용 예(2000)를 보여주는 블록도이다.

[0105] 도 13을 참조하면, 메모리 시스템(2000)은 반도체 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 반도체 메모리 장치(2100)는 복수의 반도체 메모리 칩들을 포함한다. 복수의 반도체 메모리 칩들은 복수의 그룹들로 분할된다.

[0106] 도 13에서, 복수의 그룹들은 각각 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(2200)와 통신하는 것으로 도시되어 있다. 각 반도체 메모리 칩은 도 1을 참조하여 설명된 반도체 메모리 장치(100)와 마찬가지로 구성되고, 동작할 것이다.

[0107] 각 그룹은 하나의 공통 채널을 통해 컨트롤러(2200)와 통신하도록 구성된다. 컨트롤러(2200)는 도 1을 참조하여 설명된 컨트롤러(1200)와 마찬가지로 구성되고, 복수의 채널들(CH1~CHk)을 통해 반도체 메모리 장치(2100)의 복수의 메모리 칩들을 제어하도록 구성된다.

[0108] 도 13에서, 하나의 채널에 복수의 반도체 메모리 칩들이 연결되는 것으로 설명되었다. 그러나, 하나의 채널에 하나의 반도체 메모리 칩이 연결되도록 메모리 시스템(2000)이 변형될 수 있음이 이해될 것이다.

[0109] 도 14는 도 13을 참조하여 설명된 메모리 시스템(2000)을 포함하는 컴퓨팅 시스템(3000)을 보여주는 블록도이다.

[0110] 도 14를 참조하면, 컴퓨팅 시스템(3000)은 중앙 처리 장치(3100), 램(3200, RAM, Random Access Memory), 사용자 인터페이스(3300), 전원(3400), 시스템 버스(3500), 그리고 메모리 시스템(2000)을 포함한다.

[0111] 메모리 시스템(2000)은 시스템 버스(3500)를 통해, 중앙처리장치(3100), 램(3200), 사용자 인터페이스(3300), 그리고 전원(3400)에 전기적으로 연결된다. 사용자 인터페이스(3300)를 통해 제공되거나, 중앙 처리 장치(3100)에 의해서 처리된 데이터는 메모리 시스템(2000)에 저장된다.

[0112] 도 14에서, 반도체 메모리 장치(2100)는 컨트롤러(2200)를 통해 시스템 버스(3500)에 연결되는 것으로 도시되어 있다. 그러나, 반도체 메모리 장치(2100)는 시스템 버스(3500)에 직접 연결되도록 구성될 수 있다. 이때, 컨트롤러(2200)의 기능은 중앙 처리 장치(3100) 및 램(3200)에 의해 수행될 것이다.

[0113] 도 14에서, 도 13를 참조하여 설명된 메모리 시스템(2000)이 제공되는 것으로 도시되어 있다. 그러나, 메모리 시스템(2000)은 도 1을 참조하여 설명된 메모리 시스템(50)으로 대체될 수 있다.

[0114] 본 발명의 실시 예에 따르면, 컨트롤러(200)는 타겟 페이지를 포함하는 메모리 블록이 오픈 블록일 때, 프로그램 전에 테스트 읽기 전압을 이용하여 타겟 페이지에 대한 읽기를 수행한다. 읽어진 데이터에 기반하여, 타겟

페이지 내 메모리 셀들의 문턱 전압들이 의도치 않게 상승하였는지 여부가 판별된다. 판별 결과에 따라 타겟 페이지에 대한 프로그램이 수행된다. 따라서, 향상된 신뢰성을 갖는 메모리 시스템 및 그것의 프로그램 방법이 제공된다.

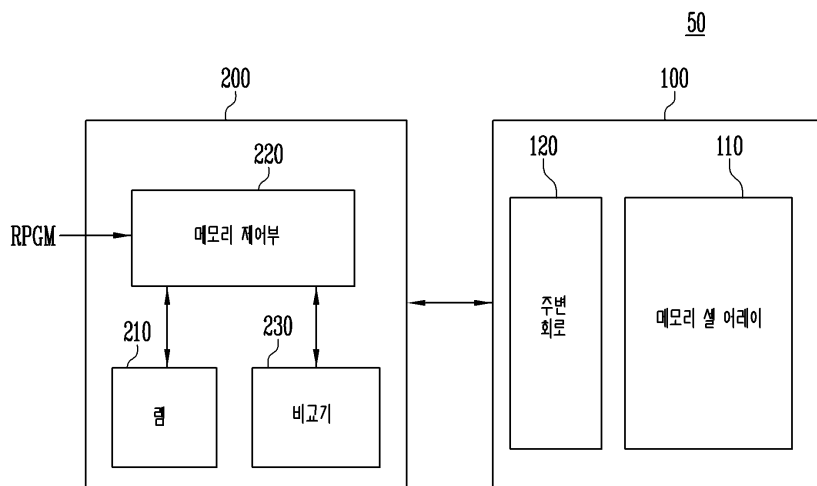
[0115] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 다양한 변경이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

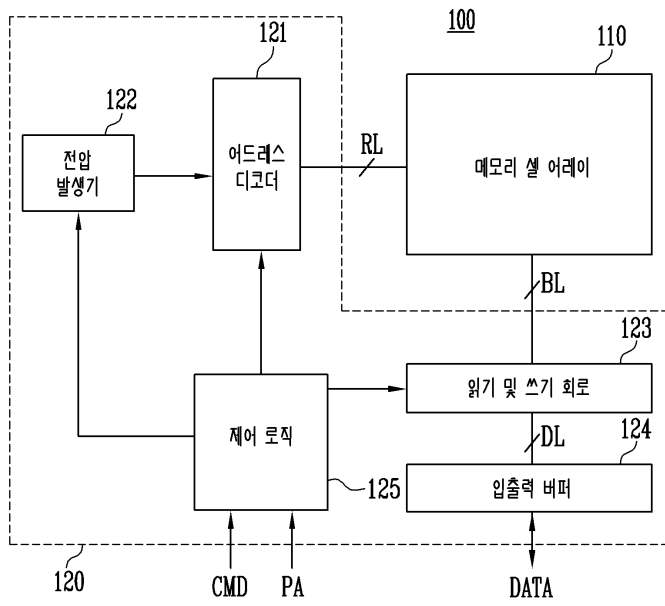
- [0116] 100: 반도체 메모리 장치
- 110: 메모리 셀 어레이
- 120: 주변 회로
- 200: 컨트롤러
- 210: 램
- 220: 메모리 제어부
- 230: 비교기
- BLK1~BLKz: 제 1 내지 제 z 메모리 블록들

도면

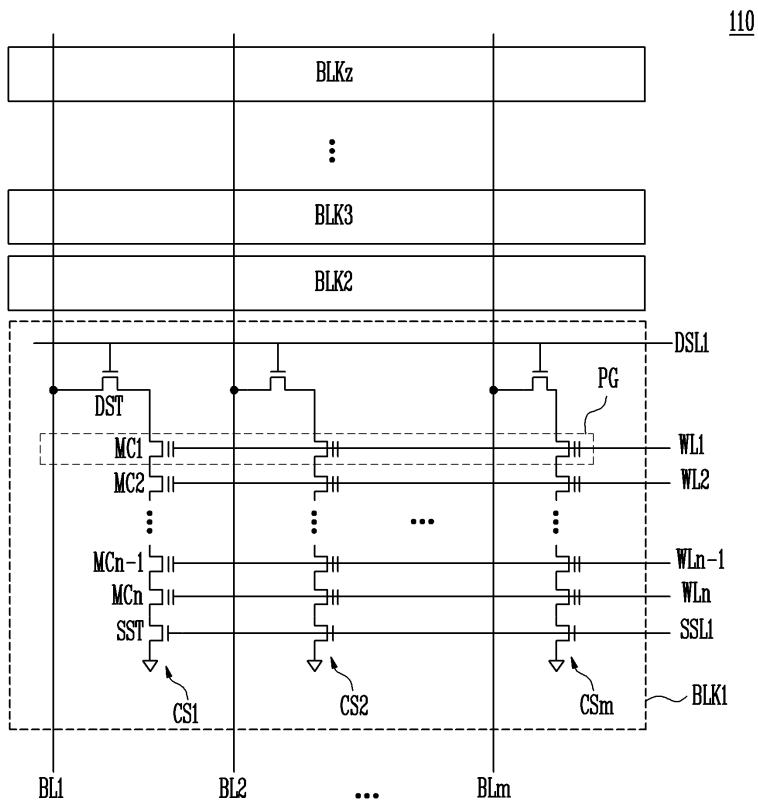
도면1



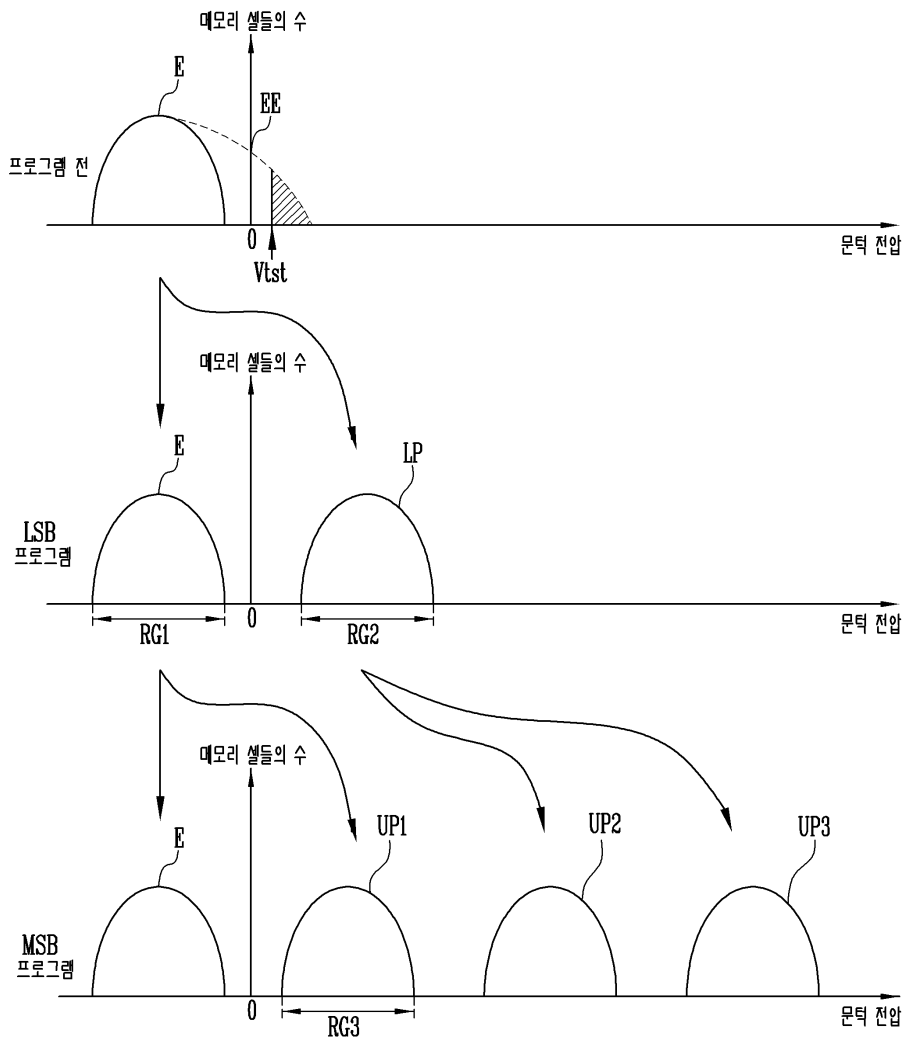
도면2



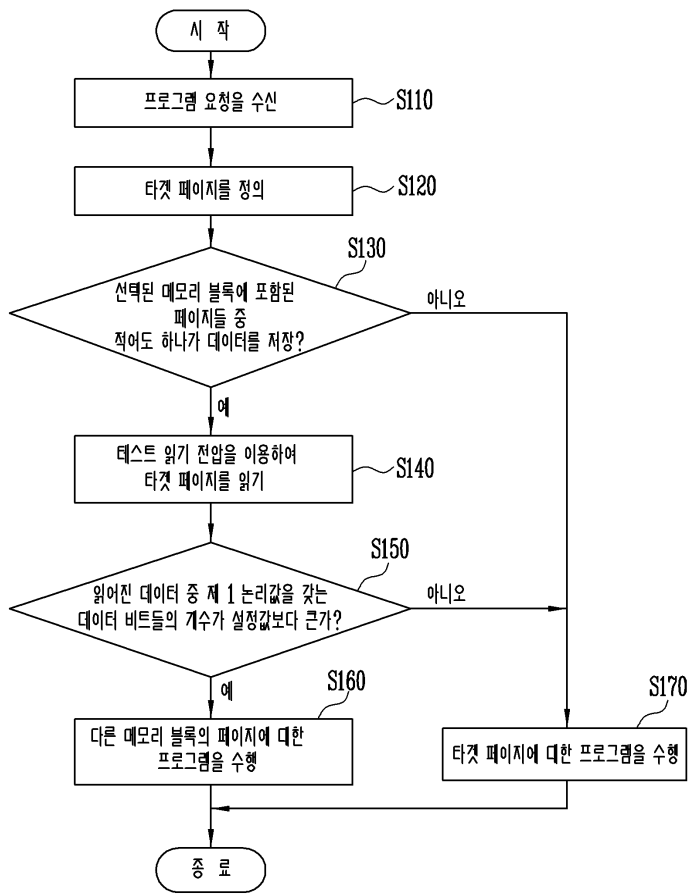
도면3



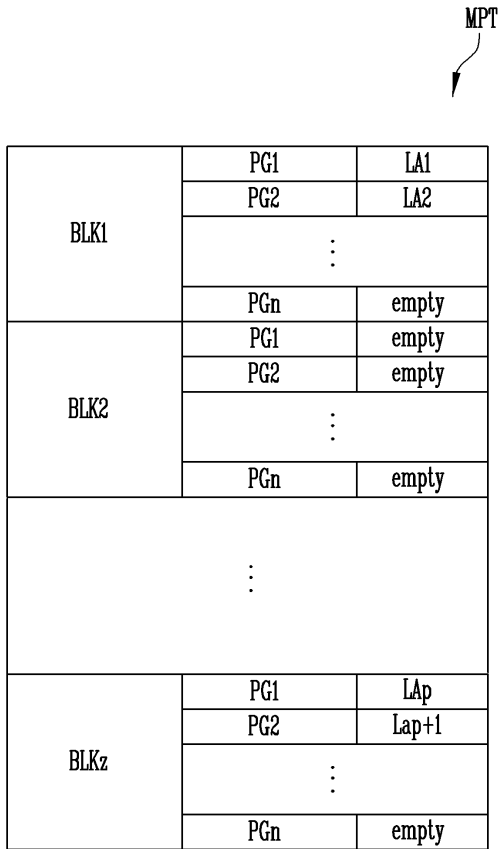
도면4



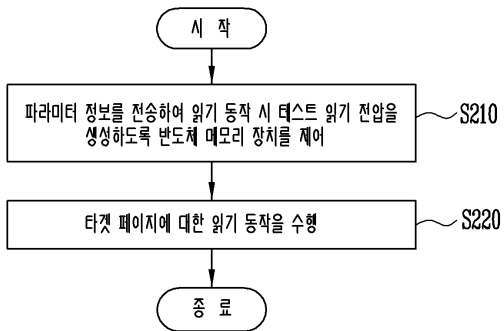
도면5



도면6



도면7

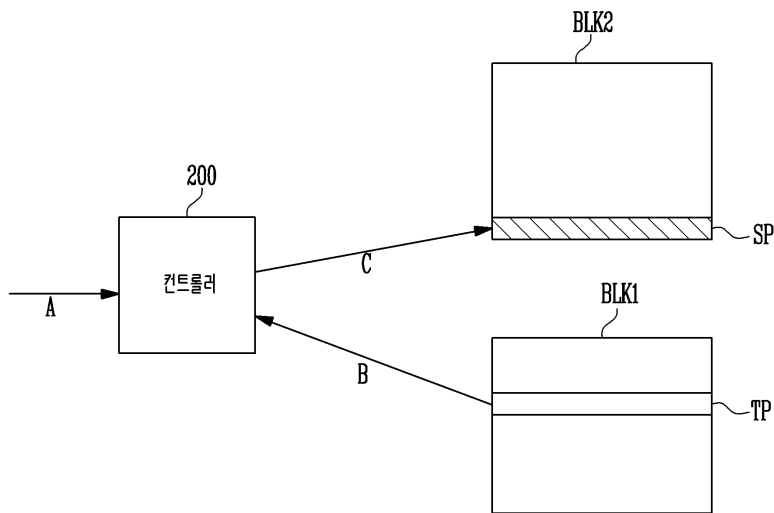


도면8

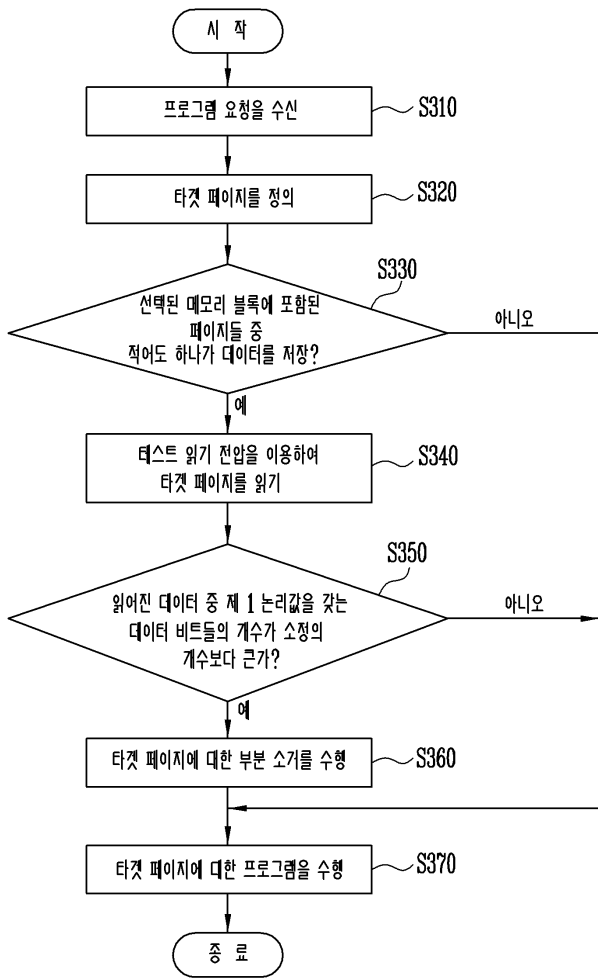
OBI

memory block	open block
BLK1	No
BLK2	Yes
BLK3	No
⋮	
BLKz	Yes

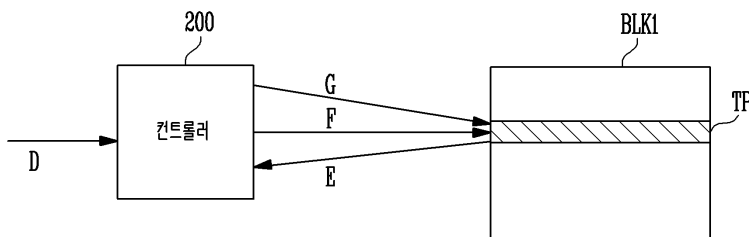
도면9



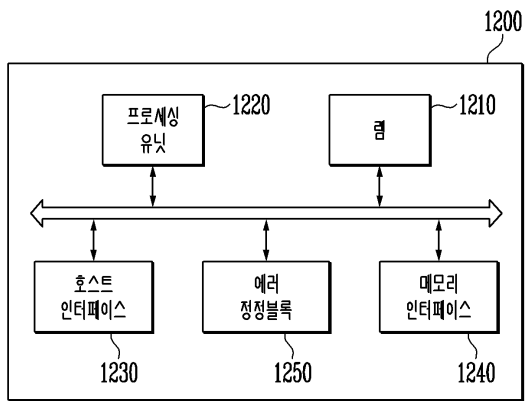
도면10



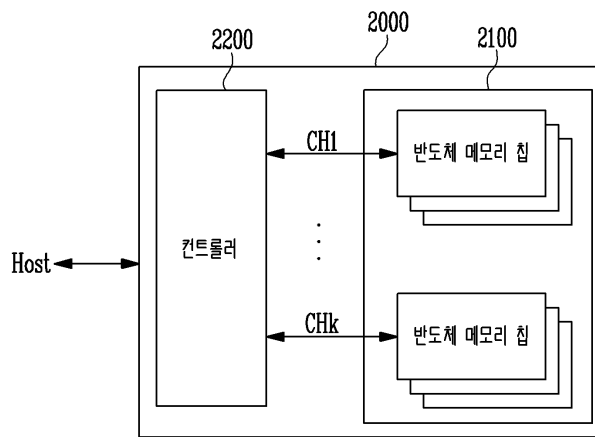
도면11



도면12



도면13



도면14

