



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0168207
(43) 공개일자 2023년12월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 29/786 (2006.01)
H10K 50/19 (2023.01) H10K 59/131 (2023.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 29/786 (2021.01)
(21) 출원번호 10-2023-7037728
(22) 출원일자(국제) 2022년04월01일
심사청구일자 없음
(85) 번역문제출일자 2023년11월01일
(86) 국제출원번호 PCT/IB2022/053053
(87) 국제공개번호 WO 2022/219447
국제공개일자 2022년10월20일
(30) 우선권주장
JP-P-2021-069693 2021년04월16일 일본(JP)
(뒷면에 계속)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
오카모토 유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
카와시마 스스무
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

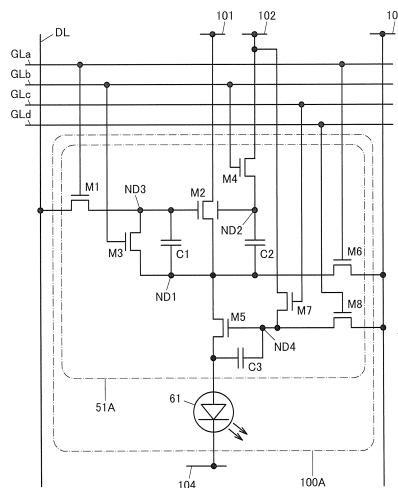
전체 청구항 수 : 총 42 항

(54) 발명의 명칭 표시 장치

(57) 요약

신규 표시 장치를 제공한다. 구동 회로를 포함하는 제 1 층과, 복수의 화소 회로를 포함하는 제 2 층과, 복수의 발광 소자를 포함하는 제 3 층을 포함하고, 제 1 층 위에 제 2 층이 제공되고, 제 2 층 위에 제 3 층이 제공되고, 구동 회로와 복수의 화소 회로 사이에 도전층이 제공된 표시 장치. 구동 회로는 복수의 화소 회로의 동작을 제어하는 기능을 가진다. 복수의 화소 회로 중 하나는 복수의 발광 소자 중 하나에 전기적으로 접속된다. 화소 회로는 발광 소자의 발광 휘도를 제어하는 기능을 가진다.

대표도 - 도1



(52) CPC특허분류

H10K 50/19 (2023.02)
H10K 59/131 (2023.02)
G09G 2300/0852 (2013.01)
G09G 2310/08 (2013.01)
G09G 2330/021 (2013.01)

(72) 발명자

오누키 타츠야

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

코바야시 히데토모

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

코즈마 무네히로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

마츠자키 타카노리

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

야마자키 슌페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

(30) 우선권주장

JP-P-2021-081559	2021년05월13일	일본(JP)
JP-P-2021-100982	2021년06월17일	일본(JP)
JP-P-2021-132894	2021년08월17일	일본(JP)
JP-P-2021-208061	2021년12월22일	일본(JP)
JP-P-2022-001844	2022년01월07일	일본(JP)

명세서

청구범위

청구항 1

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터와, 제 1 스위치 내지 제 5 스위치와, 제 1 용량 소자 내지 제 3 용량 소자와, 표시 소자를 포함하고,

상기 제 1 트랜지스터는 백 게이트를 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 제 1 스위치에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트와 소스 사이에 상기 제 2 스위치 및 상기 제 1 용량 소자를 포함하고,

상기 제 1 트랜지스터의 백 게이트는 상기 제 3 스위치에 전기적으로 접속되고,

상기 제 1 트랜지스터의 백 게이트와 소스 사이에 상기 제 2 용량 소자를 포함하고,

상기 제 1 트랜지스터의 소스는 상기 제 4 스위치 및 상기 제 2 트랜지스터의 드레인에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 5 스위치에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트와 소스 사이에 상기 제 3 용량 소자를 포함하고,

상기 제 2 트랜지스터의 소스는 상기 표시 소자의 한쪽의 단자에 전기적으로 접속되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 스위치는 제 1 배선과 제 1 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 2 스위치는 제 1 트랜지스터의 게이트와 소스 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 3 스위치는 제 2 배선과 제 1 트랜지스터의 백 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 4 스위치는 제 3 배선과 제 1 트랜지스터의 소스 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 5 스위치는 제 4 배선과 제 2 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 스위치 내지 제 5 스위치는 트랜지스터인, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 4 스위치 및 상기 제 5 스위치는 p채널형 트랜지스터인, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 4 스위치 및 상기 제 5 스위치는 채널이 형성되는 반도체층에 실리콘을 포함하는 트랜지스터인, 반도체 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 채널이 형성되는 반도체층에 산화물 반도체를 포함하는, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 산화물 반도체는 인듐 및 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 표시 소자는 탠덤 구조의 유기 EL 소자인, 반도체 장치.

청구항 9

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터와, 제 1 스위치 내지 제 5 스위치와, 제 1 용량 소자 내지 제 3 용량 소자와, 제 1 표시 소자와, 제 2 표시 소자를 포함하고,

상기 제 1 트랜지스터는 백 게이트를 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 제 1 스위치에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트와 소스 사이에 상기 제 2 스위치 및 상기 제 1 용량 소자를 포함하고,

상기 제 1 트랜지스터의 백 게이트는 상기 제 3 스위치에 전기적으로 접속되고,

상기 제 1 트랜지스터의 백 게이트와 소스 사이에 상기 제 2 용량 소자를 포함하고,

상기 제 1 트랜지스터의 소스는 상기 제 4 스위치 및 상기 제 2 트랜지스터의 드레인에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 5 스위치에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트와 소스 사이에 상기 제 3 용량 소자를 포함하고,

상기 제 2 트랜지스터의 소스는 상기 제 1 표시 소자의 한쪽의 단자 및 상기 제 2 표시 소자의 한쪽의 단자에 전기적으로 접속되는, 반도체 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 스위치는 제 1 배선과 제 1 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 2 스위치는 제 1 트랜지스터의 게이트와 소스 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 3 스위치는 제 2 배선과 제 1 트랜지스터의 백 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 4 스위치는 제 3 배선과 제 1 트랜지스터의 소스 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 5 스위치는 제 4 배선과 제 2 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지는, 반도체 장치.

청구항 11

제 9 항 또는 제 10 항에 있어서,

상기 제 1 용량 소자는 제 1 트랜지스터의 게이트와 소스 사이의 전위차를 유지하는 기능을 가지고,
 상기 제 2 용량 소자는 제 1 트랜지스터의 배 게이트와 소스 사이의 전위차를 유지하는 기능을 가지고,
 상기 제 3 용량 소자는 제 2 트랜지스터의 게이트와 소스 사이의 전위차를 유지하는 기능을 가지는, 반도체 장치.

청구항 12

제 9 항 내지 제 11 항 중 어느 한 항에 있어서,
 상기 제 1 트랜지스터의 드레인은 제 5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 13

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,
 상기 제 1 표시 소자의 다른 쪽의 단자는 제 6 배선에 전기적으로 접속되고,
 상기 제 2 표시 소자의 다른 쪽의 단자는 제 7 배선에 전기적으로 접속되는, 반도체 장치.

청구항 14

제 9 항 내지 제 13 항 중 어느 한 항에 있어서,
 상기 제 1 트랜지스터의 채널이 형성되는 반도체는 산화물 반도체를 포함하는, 반도체 장치.

청구항 15

제 14 항에 있어서,
 상기 산화물 반도체는 인듐 및 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 16

제 9 항 내지 제 15 항 중 어느 한 항에 있어서,
 상기 제 2 트랜지스터의 채널이 형성되는 반도체는 산화물 반도체를 포함하는, 반도체 장치.

청구항 17

제 16 항에 있어서,
 상기 산화물 반도체는 인듐 및 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 18

제 9 항 내지 제 17 항 중 어느 한 항에 있어서,
 상기 표시 소자는 탠덤 구조의 유기 EL 소자인, 반도체 장치.

청구항 19

제 9 항 내지 제 18 항 중 어느 한 항에 기재된 반도체 장치가 매트릭스 형태로 배치되고,
 상기 제 1 표시 소자가 홀수 번째 행에 배치되고,
 상기 제 2 표시 소자가 짝수 번째 행에 배치되고,
 홀수 번째 프레임 기간에 상기 제 1 표시 소자를 발광시키는 기능과,
 짝수 번째 프레임 기간에 상기 제 2 표시 소자를 발광시키는 기능을 가지는, 표시 장치.

청구항 20

반도체 장치로서,

제 1 트랜지스터 내지 제 8 트랜지스터와, 제 1 용량 소자 내지 제 3 용량 소자와, 표시 소자를 포함하고,
 상기 제 1 트랜지스터의 게이트 및 상기 제 6 트랜지스터의 게이트는 제 1 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트 및 상기 제 4 트랜지스터의 게이트는 제 2 배선에 전기적으로 접속되고,
 상기 제 7 트랜지스터의 게이트는 제 3 배선에 전기적으로 접속되고,
 상기 제 8 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 5 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 트랜지스터의 게이트, 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 1 용량 소자의 한쪽의 단자에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 6 배선에 전기적으로 접속되고,
 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 7 배선에 전기적으로 접속되고,
 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 용량 소자의 한쪽의 단자에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제 1 용량 소자의 다른 쪽의 단자, 상기 제 2 용량 소자의 다른 쪽의 단자, 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 7 배선에 전기적으로 접속되고,
 상기 제 5 트랜지스터의 게이트는 상기 제 7 트랜지스터의 소스 및 드레인 중 다른 쪽, 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 3 용량 소자의 한쪽의 단자에 전기적으로 접속되고,
 상기 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽 및 상기 제 8 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 8 배선에 전기적으로 접속되고,
 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 용량 소자의 다른 쪽의 단자 및 상기 표시 소자의 한쪽의 단자에 전기적으로 접속되고,
 상기 표시 소자의 다른 쪽의 단자는 제 9 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터는 백 게이트를 포함하고,
 상기 백 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽 및 상기 제 2 용량 소자의 한쪽의 단자와 전기적으로 접속되는, 반도체 장치.

청구항 21

제 20 항에 있어서,
 상기 제 2 트랜지스터의 채널이 형성되는 반도체는 산화물 반도체를 포함하는, 반도체 장치.

청구항 22

제 21 항에 있어서,
 상기 산화물 반도체는 인듐 및 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 23

제 20 항 내지 제 22 항 중 어느 한 항에 있어서,
 상기 제 5 트랜지스터의 채널이 형성되는 반도체는 산화물 반도체를 포함하는, 반도체 장치.

청구항 24

제 23 항에 있어서,

상기 산화물 반도체는 인듐 및 아연 중 적어도 한쪽을 포함하는, 반도체 장치.

청구항 25

제 20 항 내지 제 24 항 중 어느 한 항에 있어서,

상기 표시 소자는 탠덤 구조의 유기 EL 소자인, 반도체 장치.

청구항 26

제 20 항 내지 제 25 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽의 전위 변화에 따라 상기 제 2 트랜지스터의 게이트 전위 및 백 게이트 전위가 변화하는 기능을 가지는, 반도체 장치.

청구항 27

제 20 항 내지 제 26 항 중 어느 한 항에 있어서,

상기 표시 소자의 한쪽의 단자의 전위 변화에 따라 상기 제 5 트랜지스터의 게이트 전위가 변화하는 기능을 가지는, 반도체 장치.

청구항 28

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터와, 제 1 스위치 내지 제 6 스위치와, 제 1 용량 소자 내지 제 3 용량 소자와, 표시 소자를 포함하고,

상기 제 1 트랜지스터는 백 게이트를 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 제 1 스위치에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트와 소스 사이에 상기 제 2 스위치 및 상기 제 1 용량 소자를 포함하고,

상기 제 1 트랜지스터의 백 게이트는 상기 제 3 스위치에 전기적으로 접속되고,

상기 제 1 트랜지스터의 백 게이트와 소스 사이에 상기 제 2 용량 소자를 포함하고,

상기 제 1 트랜지스터의 소스는 상기 제 4 스위치 및 상기 제 2 트랜지스터의 드레인에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 5 스위치 및 상기 제 6 스위치에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트와 소스 사이에 상기 제 3 용량 소자를 포함하고,

상기 제 2 트랜지스터의 소스는 상기 표시 소자에 전기적으로 접속되는, 반도체 장치.

청구항 29

제 28 항에 있어서,

상기 제 1 스위치는 제 1 배선과 제 1 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 2 스위치는 제 1 트랜지스터의 게이트와 소스 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 3 스위치는 제 2 배선과 제 1 트랜지스터의 백 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 4 스위치는 제 3 배선과 제 1 트랜지스터의 소스 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 5 스위치는 제 2 배선과 제 2 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고,

상기 제 6 스위치는 제 3 배선과 제 2 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지는, 반도체 장치.

청구항 30

제 28 항 또는 제 29 항에 있어서,

상기 제 1 용량 소자는 제 1 트랜지스터의 게이트와 소스 사이의 전위차를 유지하는 기능을 가지고,

상기 제 2 용량 소자는 제 1 트랜지스터의 배 게이트와 소스 사이의 전위차를 유지하는 기능을 가지고,

상기 제 3 용량 소자는 제 2 트랜지스터의 게이트와 소스 사이의 전위차를 유지하는 기능을 가지며, 반도체 장치.

청구항 31

제 28 항 내지 제 30 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터의 채널이 형성되는 반도체는 산화물 반도체를 포함하는, 반도체 장치.

청구항 32

제 31 항에 있어서,

상기 산화물 반도체는 인듐 및 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 33

제 28 항 내지 제 32 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터의 채널이 형성되는 반도체는 산화물 반도체를 포함하는, 반도체 장치.

청구항 34

제 33 항에 있어서,

상기 산화물 반도체는 인듐 및 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 35

제 28 항 내지 제 34 항 중 어느 한 항에 있어서,

상기 표시 소자는 탠덤 구조의 유기 EL 소자인, 반도체 장치.

청구항 36

표시 장치로서,

구동 회로를 포함하는 제 1 층과,

복수의 화소 회로를 포함하는 제 2 층과,

복수의 발광 소자를 포함하는 제 3 층을 포함하고,

상기 제 2 층은 상기 제 1 층 위에 제공되고,

상기 제 3 층은 상기 제 2 층 위에 제공되고,

상기 구동 회로는 상기 복수의 화소 회로의 동작을 제어하는 기능을 가지고,

상기 복수의 화소 회로 중 하나는 상기 복수의 발광 소자 중 하나에 전기적으로 접속되고,

상기 화소 회로는 상기 발광 소자의 발광 휘도를 제어하는 기능을 가지고,

상기 구동 회로와 상기 복수의 화소 회로 사이에 도전층을 포함하는, 표시 장치.

청구항 37

제 36 항에 있어서,

상기 도전층과 상기 복수의 화소 회로는 서로 중첩되는 영역을 포함하는, 표시 장치.

청구항 38

제 36 항 또는 제 37 항에 있어서,

상기 도전층은 그물 형상의 도전층인, 표시 장치.

청구항 39

제 36 항 내지 제 38 항 중 어느 한 항에 있어서,

상기 도전층에 고정 전위가 인가되는, 표시 장치.

청구항 40

제 36 항 내지 제 39 항 중 어느 한 항에 있어서,

상기 구동 회로는 Si 트랜지스터를 포함하고,

상기 화소 회로는 OS 트랜지스터를 포함하는, 표시 장치.

청구항 41

제 36 항 내지 제 40 항 중 어느 한 항에 있어서,

상기 발광 소자는 유기 EL 소자인, 표시 장치.

청구항 42

제 41 항에 있어서,

상기 발광 소자는 텐덤 구조의 발광 소자인, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 표시 장치에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 본 발명의 일 형태의 기술분야의 일례로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.

배경 기술

[0003] 근년 스마트폰 및 태블릿 단말 등, 표시 장치를 포함한 전자 기기가 널리 보급되고 있다. 표시 장치로서는 대표적으로는 액정 표시 장치, 유기 EL(Electro Luminescence) 소자, 발광 다이오드(LED: Light Emitting Diode) 등의 발광 소자를 포함한 발광 장치, 전기 영동 방식 등에 의하여 표시를 수행하는 전자 종이 등을 들 수 있다.

[0004] 예를 들어 유기 EL 소자의 기본적인 구성은, 한 쌍의 전극 사이에 발광성 유기 화합물을 포함하는 층을 끼운 것이다. 이 소자에 전압을 인가함으로써 발광성 유기 화합물로부터 발광을 얻을 수 있다. 이와 같은 유기 EL 소자가 적용된 표시 장치는 액정 표시 장치 등에서 필요한 백라이트가 불필요하기 때문에, 얇고, 가볍고, 콘트라스트가 높으며, 소비 전력이 낮은 표시 장치를 실현할 수 있다. 예를 들어 유기 EL 소자를 사용한 표시 장치의 일례가 특허문헌 1에 기재되어 있다.

[0005] 또한 특허문헌 2에서는 유기 EL 소자의 발광 휘도를 제어하는 화소 회로에 있어서, 화소마다 트랜지스터의 문턱값 편차를 보정하여, 표시 장치의 표시 품질을 높이는 회로 구성이 개시되어 있다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본 공개특허공보 특개2002-324673호
(특허문헌 0002) 일본 공개특허공보 특개2015-132816호

발명의 내용

해결하려는 과제

- [0007] 한편 유기 EL 소자의 구성에 따라서는 구동에 높은 전압이 필요한 경우가 있다. 이와 같은 유기 EL 소자를 구동하기 위해서는 높은 전압을 생성하기 위한 전원을 제공할 필요가 있었다.
- [0008] 본 발명의 일 형태는 소형화된 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 높은 색 재현성이 실현된 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 고정세(高精細)의 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 저감된 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다.
- [0009] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재에서 추출할 수 있다.

과제의 해결 수단

- [0010] (1) 본 발명의 일 형태는 제 1 트랜지스터 및 제 2 트랜지스터와, 제 1 스위치 내지 제 5 스위치와, 제 1 용량 소자 내지 제 3 용량 소자와, 표시 소자를 포함하고, 제 1 트랜지스터는 백 게이트를 포함하고, 제 1 트랜지스터의 게이트는 제 1 스위치에 전기적으로 접속되고, 제 1 트랜지스터의 게이트와 소스 사이에 제 2 스위치 및 제 1 용량 소자를 포함하고, 제 1 트랜지스터의 백 게이트는 제 3 스위치에 전기적으로 접속되고, 제 1 트랜지스터의 백 게이트와 소스 사이에 제 2 용량 소자를 포함하고, 제 1 트랜지스터의 소스는 제 4 스위치 및 제 2 트랜지스터의 드레인에 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 제 5 스위치에 전기적으로 접속되고, 제 2 트랜지스터의 게이트와 소스 사이에 제 3 용량 소자를 포함하고, 제 2 트랜지스터의 소스는 표시 소자의 한쪽의 단자에 전기적으로 접속되는 반도체 장치이다.
- [0011] 또한 (1)에서 제 1 스위치는 제 1 배선과 제 1 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다. 또한 제 2 스위치는 제 1 트랜지스터의 게이트와 소스 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다. 또한 제 3 스위치는 제 2 배선과 제 1 트랜지스터의 백 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다. 제 4 스위치는 제 3 배선과 제 1 트랜지스터의 소스 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다. 제 5 스위치는 제 4 배선과 제 2 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다.
- [0012] 또한 (1)에서 제 1 스위치 내지 제 5 스위치로서 트랜지스터를 사용할 수 있다. 제 4 스위치 및 제 5 스위치는 p채널형 트랜지스터이어도 좋다. 또한 제 4 스위치 및 제 5 스위치는 채널이 형성되는 반도체층에 실리콘을 포함하는 트랜지스터이어도 좋다.
- [0013] (2) 본 발명의 다른 일 형태는 제 1 트랜지스터 및 제 2 트랜지스터와, 제 1 스위치 내지 제 5 스위치와, 제 1 용량 소자 내지 제 3 용량 소자와, 제 1 표시 소자와, 제 2 표시 소자를 포함하고, 제 1 트랜지스터는 백 게이트를 포함하고, 제 1 트랜지스터의 게이트는 제 1 스위치에 전기적으로 접속되고, 제 1 트랜지스터의 게이트와 소스 사이에 제 2 스위치 및 제 1 용량 소자를 포함하고, 제 1 트랜지스터의 백 게이트는 제 3 스위치에 전기적으로 접속되고, 제 1 트랜지스터의 백 게이트와 소스 사이에 제 2 용량 소자를 포함하고, 제 1 트랜지스터의 소스는 제 4 스위치 및 제 2 트랜지스터의 드레인에 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 제 5 스위치에 전기적으로 접속되고, 제 2 트랜지스터의 게이트와 소스 사이에 제 3 용량 소자를 포함하고, 제 2 트랜지스터의 소스는 제 1 표시 소자의 한쪽의 단자 및 제 2 표시 소자의 한쪽의 단자에 전기적으로 접속되는 반도체 장치이다.
- [0014] 또한 (2)에서 제 1 스위치는 제 1 배선과 제 1 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다. 제 2 스위치는 제 1 트랜지스터의 게이트와 소스 사이의 도통 또는 비도통을 선택하는 기능을

가져도 좋다. 제 3 스위치는 제 2 배선과 제 1 트랜지스터의 백 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다. 제 4 스위치는 제 3 배선과 제 1 트랜지스터의 소스 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다. 제 5 스위치는 제 4 배선과 제 2 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다.

[0015] 또한 (2)에서 제 1 용량 소자는 제 1 트랜지스터의 게이트와 소스 사이의 전위차를 유지하는 기능을 가져도 좋다. 제 2 용량 소자는 제 1 트랜지스터의 백 게이트와 소스 사이의 전위차를 유지하는 기능을 가져도 좋다. 제 3 용량 소자는 제 2 트랜지스터의 게이트와 소스 사이의 전위차를 유지하는 기능을 가져도 좋다.

[0016] 또한 (2)에서 제 1 트랜지스터의 드레인에는 제 5 배선에 전기적으로 접속되어도 좋다. 예를 들어 제 1 표시 소자의 다른 쪽의 단자는 제 6 배선에 전기적으로 접속되고, 제 2 표시 소자의 다른 쪽의 단자는 제 7 배선에 전기적으로 접속되어도 좋다.

[0017] 또한 (2)에 기재된 반도체 장치를 복수로 매트릭스 형태로 배치하여 표시 장치를 구성하여도 좋다. 예를 들어 제 1 표시 소자를 홀수 번째 행에 배치하고, 제 2 표시 소자를 짝수 번째 행에 배치한다. 홀수 번째 프레임 기간에 제 1 표시 소자를 발광시키고, 짝수 번째 프레임 기간에 제 2 표시 소자를 발광시킴으로써, 인터레이스 구동을 수행하는 기능을 가진 표시 장치를 실현할 수 있다.

[0018] (3) 본 발명의 다른 일 형태는 제 1 트랜지스터 내지 제 8 트랜지스터와, 제 1 용량 소자 내지 제 3 용량 소자와, 표시 소자를 포함하고, 제 1 트랜지스터의 게이트 및 제 6 트랜지스터의 게이트는 제 1 배선에 전기적으로 접속되고, 제 3 트랜지스터의 게이트 및 제 4 트랜지스터의 게이트는 제 2 배선에 전기적으로 접속되고, 제 7 트랜지스터의 게이트는 제 3 배선에 전기적으로 접속되고, 제 8 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 5 배선에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트, 제 3 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 1 용량 소자의 한쪽의 단자에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 6 배선에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 7 배선에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 용량 소자의 한쪽의 단자에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽, 제 1 용량 소자의 다른 쪽의 단자, 제 2 용량 소자의 다른 쪽의 단자, 제 5 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 6 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 7 트랜지스터의 소스 및 드레인 중 한쪽은 제 7 배선에 전기적으로 접속되고, 제 5 트랜지스터의 게이트는 제 7 트랜지스터의 소스 및 드레인 중 다른 쪽, 제 8 트랜지스터의 소스 및 드레인 중 한쪽, 및 제 3 용량 소자의 한쪽의 단자에 전기적으로 접속되고, 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽 및 제 8 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 8 배선에 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 용량 소자의 다른 쪽의 단자 및 표시 소자의 한쪽의 단자에 전기적으로 접속되고, 표시 소자의 다른 쪽의 단자는 제 9 배선에 전기적으로 접속되고, 제 2 트랜지스터는 백 게이트를 포함하고, 백 게이트는 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽 및 제 2 용량 소자의 한쪽의 단자와 전기적으로 접속되는 반도체 장치이다.

[0019] 또한 (3)에서 제 2 트랜지스터로서 채널이 형성되는 반도체가 산화물 반도체를 포함하는 트랜지스터를 사용하여도 좋다. 제 2 트랜지스터는 소스 및 드레인 중 한쪽과, 소스 및 드레인 중 다른 쪽과, 게이트와, 백 게이트를 포함한다. 제 2 트랜지스터는 소스 및 드레인 중 다른 쪽의 전위 변화에 따라 게이트 전위 및 백 게이트 전위가 변화하는 기능을 가질 수 있다.

[0020] 또한 (3)에서 제 5 트랜지스터로서 채널이 형성되는 반도체가 산화물 반도체를 포함하는 트랜지스터를 사용하여도 좋다. 제 5 트랜지스터는 소스 및 드레인 중 한쪽과, 소스 및 드레인 중 다른 쪽과, 게이트를 포함한다. 제 5 트랜지스터는 소스 및 드레인 중 다른 쪽의 전위 변화에 따라 게이트 전위가 변화하는 기능을 가질 수 있다.

[0021] (4) 본 발명의 다른 일 형태는 제 1 트랜지스터 및 제 2 트랜지스터와, 제 1 스위치 내지 제 6 스위치와, 제 1 용량 소자 내지 제 3 용량 소자와, 표시 소자를 포함하고, 제 1 트랜지스터는 백 게이트를 포함하고, 제 1 트랜지스터의 게이트는 제 1 스위치에 전기적으로 접속되고, 제 1 트랜지스터의 게이트와 소스 사이에 제 2 스위치 및 제 1 용량 소자를 포함하고, 제 1 트랜지스터의 백 게이트는 제 3 스위치에 전기적으로 접속되고, 제 1 트랜지스터의 백 게이트와 소스 사이에 제 2 용량 소자를 포함하고, 제 1 트랜지스터의 소스는 제 4 스위치 및 제 2 트랜지스터의 드레인에 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 제 5 스위치 및 제 6 스위치에 전기적으로 접속되고, 제 2 트랜지스터의 게이트와 소스 사이에 제 3 용량 소자를 포함하고, 제 2 트랜지스터의 소

스는 표시 소자에 전기적으로 접속되는 반도체 장치이다.

- [0022] 또한 (4)에서 제 1 스위치는 제 1 배선과 제 1 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고, 제 2 스위치는 제 1 트랜지스터의 게이트와 소스 사이의 도통 또는 비도통을 선택하는 기능을 가지고, 제 3 스위치는 제 2 배선과 제 1 트랜지스터의 백 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고, 제 4 스위치는 제 3 배선과 제 1 트랜지스터의 소스 사이의 도통 또는 비도통을 선택하는 기능을 가지고, 제 5 스위치는 제 2 배선과 제 2 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가지고, 제 6 스위치는 제 3 배선과 제 2 트랜지스터의 게이트 사이의 도통 또는 비도통을 선택하는 기능을 가져도 좋다.
- [0023] 또한 (4)에서 제 1 용량 소자는 제 1 트랜지스터의 게이트와 소스 사이의 전위차를 유지하는 기능을 가지고, 제 2 용량 소자는 제 1 트랜지스터의 백 게이트와 소스 사이의 전위차를 유지하는 기능을 가지고, 제 3 용량 소자는 제 2 트랜지스터의 게이트와 소스 사이의 전위차를 유지하는 기능을 가져도 좋다.
- [0024] 또한 (1), (2), (3), 및 (4)에서 산화물 반도체는 인듐 및 아연 중 적어도 하나를 포함하는 것이 바람직하다. 표시 소자는 싱글 구조의 유기 EL 소자 또는 탠덤 구조의 유기 EL 소자를 사용하여도 좋다.
- [0025] (5) 본 발명의 다른 일 형태는 구동 회로를 포함하는 제 1 층과, 복수의 화소 회로를 포함하는 제 2 층과, 복수의 발광 소자를 포함하는 제 3 층을 포함하고, 제 2 층은 제 1 층 위에 제공되고, 제 3 층은 제 2 층 위에 제공되고, 구동 회로는 복수의 화소 회로의 동작을 제어하는 기능을 가지고, 복수의 화소 회로 중 하나는 복수의 발광 소자 중 하나에 전기적으로 접속되고, 화소 회로는 발광 소자의 발광 휘도를 제어하는 기능을 가지고, 구동 회로와 복수의 화소 회로 사이에 도전층을 포함하는 표시 장치이다.
- [0026] 또한 (5)에서 상기 도전층과 복수의 화소 회로는 서로 중첩되는 영역을 포함하는 것이 바람직하다. 또한 상기 도전층은 그물 형상이어도 좋다.
- [0027] 또한 (5)에서 구동 회로는 예를 들어 Si 트랜지스터를 포함하여도 좋다. 또한 화소 회로는 예를 들어 OS 트랜지스터를 포함하여도 좋다. 발광 소자는 예를 들어 유기 EL 소자이어도 좋다. 또한 발광 소자는 탠덤 구조의 발광 소자이어도 좋다.

발명의 효과

- [0028] 본 발명의 일 형태에 의하여 소형화된 표시 장치를 제공할 수 있다. 또는 높은 색 재현성이 실현된 표시 장치를 제공할 수 있다. 또는 정제도가 높은 표시 장치를 제공할 수 있다. 또는 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태는 소비 전력이 저감된 표시 장치를 제공할 수 있다. 또는 신규 표시 장치를 제공할 수 있다.
- [0029] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 반드시 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재에서 추출할 수 있다.

도면의 간단한 설명

- [0030] 도 1은 반도체 장치를 설명하는 도면이다.
- 도 2는 반도체 장치를 설명하는 도면이다.
- 도 3은 반도체 장치를 설명하는 도면이다.
- 도 4는 반도체 장치를 설명하는 도면이다.
- 도 5는 반도체 장치를 설명하는 도면이다.
- 도 6은 반도체 장치의 평면 레이아웃을 설명하는 도면이다.
- 도 7은 반도체 장치를 설명하는 도면이다.
- 도 8은 반도체 장치를 설명하는 도면이다.
- 도 9는 반도체 장치를 설명하는 도면이다.
- 도 10은 반도체 장치를 설명하는 도면이다.
- 도 11은 반도체 장치를 설명하는 도면이다.

- 도 12는 반도체 장치를 설명하는 도면이다.
- 도 13은 반도체 장치를 설명하는 도면이다.
- 도 14는 반도체 장치를 설명하는 도면이다.
- 도 15는 반도체 장치를 설명하는 도면이다.
- 도 16의 (A) 내지 (C)는 트랜지스터의 회로 기호를 나타낸 도면이다.
- 도 17은 반도체 장치의 동작을 설명하는 타이밍 차트이다.
- 도 18은 반도체 장치의 동작을 설명하는 도면이다.
- 도 19는 반도체 장치의 동작을 설명하는 도면이다.
- 도 20은 반도체 장치의 동작을 설명하는 도면이다.
- 도 21은 반도체 장치의 동작을 설명하는 도면이다.
- 도 22는 반도체 장치의 동작을 설명하는 도면이다.
- 도 23은 반도체 장치의 동작을 설명하는 도면이다.
- 도 24는 반도체 장치의 동작을 설명하는 도면이다.
- 도 25는 반도체 장치를 설명하는 도면이다.
- 도 26은 반도체 장치의 동작을 설명하는 타이밍 차트이다.
- 도 27은 반도체 장치의 동작을 설명하는 도면이다.
- 도 28은 반도체 장치의 동작을 설명하는 도면이다.
- 도 29는 반도체 장치의 동작을 설명하는 도면이다.
- 도 30은 반도체 장치의 동작을 설명하는 도면이다.
- 도 31은 반도체 장치의 동작을 설명하는 도면이다.
- 도 32는 반도체 장치의 동작을 설명하는 도면이다.
- 도 33은 반도체 장치를 설명하는 도면이다.
- 도 34는 반도체 장치를 설명하는 도면이다.
- 도 35는 반도체 장치의 동작을 설명하는 타이밍 차트이다.
- 도 36은 반도체 장치의 동작을 설명하는 도면이다.
- 도 37은 반도체 장치의 동작을 설명하는 도면이다.
- 도 38은 반도체 장치의 동작을 설명하는 도면이다.
- 도 39는 반도체 장치의 동작을 설명하는 도면이다.
- 도 40은 반도체 장치의 동작을 설명하는 도면이다.
- 도 41은 반도체 장치의 동작을 설명하는 도면이다.
- 도 42는 반도체 장치를 설명하는 도면이다.
- 도 43은 반도체 장치의 동작을 설명하는 도면이다.
- 도 44는 반도체 장치를 설명하는 도면이다.
- 도 45는 반도체 장치를 설명하는 도면이다.
- 도 46은 반도체 장치를 설명하는 도면이다.
- 도 47은 반도체 장치를 설명하는 도면이다.

- 도 48은 반도체 장치를 설명하는 도면이다.
- 도 49의 (A) 및 (B)는 반도체 장치를 설명하는 도면이다.
- 도 50의 (A) 및 (B)는 반도체 장치를 설명하는 도면이다.
- 도 51은 반도체 장치를 설명하는 도면이다.
- 도 52는 반도체 장치를 설명하는 도면이다.
- 도 53은 반도체 장치를 설명하는 도면이다.
- 도 54는 반도체 장치를 설명하는 도면이다.
- 도 55의 (A)는 표시 장치를 설명하는 도면이다. 도 55의 (B1) 내지 (B7)은 화소의 구성예를 설명하는 도면이다.
- 도 56은 화소의 구성예를 설명하는 도면이다.
- 도 57의 (A1), (A2), (B), 및 (C)는 화소의 구성예를 설명하는 도면이다.
- 도 58의 (A) 내지 (D)는 발광 소자의 구성예를 설명하는 도면이다.
- 도 59의 (A) 내지 (D)는 발광 소자의 구성예를 나타낸 도면이다.
- 도 60의 (A) 내지 (D)는 발광 소자의 구성예를 나타낸 도면이다.
- 도 61의 (A) 및 (B)는 발광 소자의 구성예를 나타낸 도면이다.
- 도 62의 (A) 내지 (C)는 발광 소자의 구성예를 나타낸 도면이다.
- 도 63의 (A) 및 (B)는 표시 장치의 사시도이다.
- 도 64의 (A)는 표시 장치의 사시도이다. 도 64의 (B)는 표시 장치의 평면도이다.
- 도 65는 표시 장치의 사시도이다.
- 도 66의 (A)는 표시 장치의 사시도이다. 도 66의 (B) 및 (C)는 도전층의 일례를 나타낸 도면이다.
- 도 67은 표시 장치의 사시도이다.
- 도 68의 (A) 및 (B)는 표시 장치의 사시도이다.
- 도 69의 (A) 내지 (C)는 표시 모듈의 사시 개략도이다.
- 도 70은 표시 장치의 일례를 나타낸 단면도이다.
- 도 71은 표시 장치의 일례를 나타낸 단면도이다.
- 도 72는 표시 장치의 일례를 나타낸 단면도이다.
- 도 73은 표시 장치의 일례를 나타낸 단면도이다.
- 도 74는 표시 장치의 일례를 나타낸 단면도이다.
- 도 75는 표시 장치의 일례를 나타낸 단면도이다.
- 도 76의 (A)는 표시 장치의 블록도이다. 도 76의 (B)는 표시 장치의 동작을 설명하는 타이밍 차트이다.
- 도 77의 (A)는 표시 장치의 블록도이다. 도 77의 (B)는 표시 장치의 동작을 설명하는 타이밍 차트이다.
- 도 78의 (A)는 표시 장치의 블록도이다. 도 78의 (B)는 표시 장치의 동작을 설명하는 타이밍 차트이다.
- 도 79의 (A)는 트랜지스터의 구성예를 나타낸 상면도이다. 도 79의 (B) 및 (C)는 트랜지스터의 구성예를 나타낸 단면도이다.
- 도 80의 (A)는 결정 구조의 분류를 설명하는 도면이다. 도 80의 (B)는 CAAC-IGZO막의 XRD 스펙트럼을 설명하는 도면이다. 도 80의 (C)는 CAAC-IGZO막의 나노빔 전자 회절 패턴을 설명하는 도면이다.

도 81의 (A) 내지 (F)는 전자 기기의 일례를 설명하는 도면이다.

도 82의 (A) 내지 (F)는 전자 기기의 일례를 설명하는 도면이다.

도 83의 (A) 및 (B)는 전자 기기의 일례를 설명하는 도면이다.

도 84는 전자 기기의 일례를 설명하는 도면이다.

도 85의 (A) 내지 (C)는 트랜지스터의 Id-Vd 특성의 평가 결과를 나타낸 도면이다.

도 86은 트랜지스터의 절연 내압의 평가 결과를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하에서 실시형태에 대해서 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 아래의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0032] 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고, 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함하는 회로, 이 회로를 가지는 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 포함한 칩, 패키지에 칩을 수납한 전자 부품은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기 등은 이들 자체가 반도체 장치이며, 반도체 장치를 포함하는 경우가 있다.
- [0033] 또한 본 명세서 등에서 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0034] X와 Y가 전기적으로 접속되는 경우에는, 일례로서 X와 Y의 전기적 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 부하 등)가 X와 Y 사이에 하나 이상 접속될 수 있다.
- [0035] X와 Y가 기능적으로 접속되는 경우에는, 일례로서 X와 Y를 기능적으로 접속할 수 있는 회로(예를 들어 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로를 끼워도 X로부터 출력된 신호가 Y로 전달되는 경우에는, X와 Y는 기능적으로 접속되는 것으로 한다.
- [0036] 또한 X와 Y가 전기적으로 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉 X와 Y가 사이에 다른 소자 또는 다른 회로를 끼워 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉 X와 Y가 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되는 경우)를 포함하는 것으로 한다.
- [0037] 또한 예를 들어 'X, Y, 트랜지스터의 소스(또는 제 1 단자 등), 및 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는 '트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속된다'라고 표현할 수 있다. 또는 'X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다'라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들 표현 방법에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

- [0038] 또한 회로도상 독립된 구성 요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능 양쪽의 구성 요소의 기능을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.
- [0039] 또한 본 명세서 등에서 '용량 소자'는, 예를 들어 정전 용량이 0F보다 높은 회로 소자, 정전 용량이 0F보다 높은 배선의 영역, 기생 용량, 트랜지스터의 게이트 용량 등으로 할 수 있다. 그러므로 본 명세서 등에서 '용량 소자'는 한 쌍의 전극과, 상기 전극 사이에 포함되는 유전체를 포함하는 회로 소자뿐만 아니라, 배선과 배선 사이에 발생하는 기생 용량, 트랜지스터의 소스 및 드레인 중 한쪽과 게이트 사이에 발생하는 게이트 용량 등을 포함하는 것으로 한다. 또한 '용량 소자', '기생 용량', '게이트 용량' 등이라는 용어는 '용량' 등이라는 용어로 환언할 수 있고, 반대로 '용량'이라는 용어는 '용량 소자', '기생 용량', '게이트 용량' 등이라는 용어로 환언할 수 있다. 또한 '용량'의 '한 쌍의 전극'이라는 용어는 '한 쌍의 도전체', '한 쌍의 도전 영역', '한 쌍의 영역' 등으로 환언할 수 있다. 또한 정전 용량은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.
- [0040] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 가진다. 게이트는 소스와 드레인 사이를 흐르는 전류의 양을 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형, p채널형) 및 트랜지스터의 3개의 단자에 인가되는 전위의 높낮이에 따라 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스 및 드레인이라는 용어는 환언할 수 있는 것으로 한다. 또한 본 명세서 등에서는, 트랜지스터의 접속 관계를 설명하는 경우, '소스 및 드레인 중 한쪽'(또는 제 1 전극 또는 제 1 단자), '소스 및 드레인 중 다른 쪽'(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 가지는 경우가 있다. 이 경우, 본 명세서 등에서 트랜지스터의 게이트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 '게이트'와 '백 게이트'라는 용어는 서로 바꿀 수 있는 경우가 있다. 또한 트랜지스터가 3개 이상의 게이트를 가지는 경우, 본 명세서 등에서는 각 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부르는 경우가 있다.
- [0041] 또한 본 명세서 등에서 '노드'는 회로 구성, 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 환언할 수 있다. 또한 단자, 배선 등을 '노드'로 환언할 수 있다.
- [0042] 또한 본 명세서 등에서 '제 1', '제 2', '제 3'이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 예를 들어 본 명세서 등의 실시형태 중 하나에서 '제 1'로 언급된 구성 요소가 다른 실시형태 또는 청구범위 등에서 '제 2'로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 '제 1'로 언급된 구성 요소가 다른 실시형태 또는 청구범위 등에서 생략될 수도 있다.
- [0043] 또한 본 명세서 등에서 '위에', '아래에', '위쪽에', 또는 '아래쪽에' 등의 배치를 나타내는 어구는 구성 요소끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있는 경우가 있다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 환언할 수 있다. 예를 들어 '도전체의 상면에 위치하는 절연체'라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, '도전체의 하면에 위치하는 절연체'라고 환언할 수 있다.
- [0044] 또한 '위' 및 '아래'라는 용어는 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접촉하는 것을 한정하는 것은 아니다. 예를 들어 '절연층(A) 위의 전극(B)'이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접촉되어 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0045] 또한 본 명세서 등에서 '중첩' 등이라는 용어는 구성 요소의 적층 순서 등의 상태를 한정하는 것은 아니다. 예를 들어 '절연층(A)에 중첩되는 전극(B)'이라는 표현이면 절연층(A) 위에 전극(B)이 형성되어 있는 상태에 한정되지 않고, 절연층(A) 아래에 전극(B)이 형성되어 있는 상태 또는 절연층(A)의 오른쪽(또는 왼쪽)에 전극(B)이 형성되어 있는 상태 등을 제외하지 않는다.
- [0046] 또한 본 명세서 등에서 '인접' 및 '근접'이라는 용어는 구성 요소가 직접 접촉하는 것을 한정하는 것은 아니다. 예를 들어 '절연층(A)에 인접한 전극(B)'이라는 표현이면, 절연층(A)과 전극(B)이 직접 접촉되어 형성될 필요는

없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0047] 또한 본 명세서 등에서 '막', '층' 등이라는 용어는 상황에 따라 서로 바꿀 수 있다. 예를 들어 '도전층'이라는 용어를 '도전막'이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 '절연막'이라는 용어를 '절연층'이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 '막', '층' 등이라는 용어를 사용하지 않고, 다른 용어로 바꿀 수 있다. 예를 들어 '도전층' 또는 '도전막'이라는 용어를 '도전체'라는 용어로 변경할 수 있는 경우가 있다. 또는 '도전체'라는 용어를 '도전층' 또는 '도전막'이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 '절연층' 또는 '절연막'이라는 용어를 '절연체'라는 용어로 변경할 수 있는 경우가 있다. 또는 '절연체'라는 용어를 '절연층' 또는 '절연막'이라는 용어로 변경할 수 있는 경우가 있다.

[0048] 또한 본 명세서 등에서 '전극', '배선', '단자' 등이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어 '전극'은 '배선'의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 '전극' 또는 '배선'이라는 용어는 복수의 '전극' 또는 '배선'이 일체가 되어 형성되어 있는 경우 등도 포함한다. 또한 예를 들어 '단자'는 '배선' 또는 '전극'의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 '단자'라는 용어는 복수의 '전극', '배선', '단자' 등이 일체가 되어 형성되어 있는 경우 등도 포함한다. 그러므로 예를 들어 '전극'은 '배선' 또는 '단자'의 일부가 될 수 있고, 예를 들어 '단자'는 '배선' 또는 '전극'의 일부가 될 수 있다. 또한 '전극', '배선', '단자' 등이라는 용어는 경우에 따라 '영역' 등이라는 용어로 치환되는 경우가 있다.

[0049] 또한 본 명세서 등에서 '배선', '신호선', '전원선' 등이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 '배선'이라는 용어를 '신호선'이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 '배선'이라는 용어를 '전원선' 등이라는 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 '신호선', '전원선' 등이라는 용어를 '배선'이라는 용어로 변경할 수 있는 경우가 있다. '전원선' 등이라는 용어는 '신호선' 등이라는 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 '신호선' 등이라는 용어는 '전원선' 등이라는 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되는 '전위'라는 용어를 경우 또는 상황에 따라 '신호' 등이라는 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 '신호' 등이라는 용어는 '전위'라는 용어로 변경할 수 있는 경우가 있다.

[0050] 또한 본 명세서 등에서 '스위치'란 복수의 단자를 포함하고, 단자 간의 도통 및 비도통을 전환하는(선택하는) 기능을 가지는 것을 가리킨다. 예를 들어 스위치가 2개의 단자를 포함하고, 이들 단자 간에 도통되는 경우, 상기 스위치는 '도통 상태이다' 또는 '온 상태이다'라고 한다. 또한 이들 단자 간에 비도통인 경우, 상기 스위치는 '비도통 상태이다' 또는 '오프 상태이다'라고 한다. 또한 도통 상태 및 비도통 상태 중 한쪽의 상태로 전환하는 것, 또는 도통 상태 및 비도통 상태 중 한쪽의 상태를 유지하는 것을 '도통 상태를 제어한다'라고 하는 경우가 있다.

[0051] 즉 스위치란 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 가리킨다. 또는 스위치란 전류를 흘릴 경로를 선택하여 전환하는 기능을 가지는 것을 가리킨다. 일례로서는 전기적 스위치, 기계적 스위치 등을 사용할 수 있다. 즉 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정의 것에 한정되지 않는다.

[0052] 스위치의 일례로서는 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다. 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 '도통 상태'란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터의 '비도통 상태'란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0053] 기계적 스위치의 일례로서는, MEMS(micro electro mechanical systems) 기술을 사용한 스위치가 있다. 그 스위치는 기계적으로 움직일 수 있는 전극을 포함하고, 그 전극이 움직임으로써 도통 또는 비도통을 선택한다.

[0054] 본 명세서에서 '평행'이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 '실질적으로 평행' 또는 '대략 평행'이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 '수직'이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 '실질적으로 수직' 또는 '대략 수직'이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

- [0055] 또한 본 명세서 등에서 계수치 및 계량값에 관하여 '동일하다', '같다', '동등하다', 또는 '균일하다'(이들의 동의어를 포함함) 등이라고 하는 경우에는, 명시되어 있는 경우를 제외하고 $\pm 20\%$ 의 오차를 포함하는 것으로 한다.
- [0056] 본 명세서에 기재되는 실시형태에 대해서는 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다. 또한 도면의 이해를 돕기 위하여, 사시도 또는 상면도 등에서는, 일부의 구성 요소의 기재를 생략하는 경우가 있다.
- [0057] 또한 본 명세서에 따른 도면 등에 있어서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 크기 또는 종횡비 등에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈로 인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0058] 또한 본 명세서에 따른 도면 등에 있어서 X 방향, Y 방향, 및 Z 방향을 나타내는 화살표를 붙이는 경우가 있다. 본 명세서 등에서 'X 방향'이란 X축을 따른 방향이고, 명시하는 경우를 제외하여 순방향과 역방향을 구별하지 않는 경우가 있다. 'Y 방향' 및 'Z 방향'에 대해서도 마찬가지이다. 또한 X 방향, Y 방향, 및 Z 방향은 각각이 서로 교차되는 방향이다. 더 구체적으로는 X 방향, Y 방향, 및 Z 방향은 각각이 서로 직교하는 방향이다. 본 명세서 등에서는 X 방향, Y 방향, 및 Z 방향 중 하나를 '제 1 방향'이라고 부르는 경우가 있다. 또한 다른 하나를 '제 2 방향'이라고 부르는 경우가 있다. 또한 나머지 하나를 '제 3 방향'이라고 부르는 경우가 있다.
- [0059] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 이들을 특별히 구별해야 할 경우에는 부호에 'A', 'b', '_1', '[n]', '[m,n]' 등의 식별용 부호를 부기하여 기재하는 경우가 있다.
- [0060] (실시형태 1)
- [0061] 본 발명의 일 형태에 따른 반도체 장치(100A)에 대하여 설명한다. 본 발명의 일 형태에 따른 반도체 장치(100A)는 예를 들어 표시 장치의 화소에 사용할 수 있다.
- [0062] <구성예>
- [0063] 반도체 장치(100A)의 회로 구성예를 도 1에 나타내었다. 반도체 장치(100A)는 화소 회로(51A) 및 발광 소자(61)를 포함한다. 화소 회로(51A)는 트랜지스터(M1) 내지 트랜지스터(M8), 및 용량 소자(C1) 내지 용량 소자(C3)를 포함한다. 본 실시형태 등에서는 명시된 경우를 제외하여 트랜지스터(M1) 내지 트랜지스터(M8)는 인헨스먼트형(노멀리 오프형)의 n채널형 전계 효과 트랜지스터로 한다. 따라서 그 문턱 전압('V_{th}'라고도 함)은 0V보다 큰 것으로 한다.
- [0064] 트랜지스터(M1)의 게이트는 배선(GLa)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(DL)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(M2)의 게이트에 전기적으로 접속된다. 트랜지스터(M1)는 트랜지스터(M2)의 게이트와 배선(DL) 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.
- [0065] 또한 트랜지스터(M2)의 게이트는 용량 소자(C1)의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(101)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 용량 소자(C1)의 다른 쪽의 단자에 전기적으로 접속된다. 또한 트랜지스터(M2)는 백 게이트를 포함한다. 트랜지스터(M2)의 백 게이트는 용량 소자(C2)의 한쪽의 단자에 전기적으로 접속된다. 또한 용량 소자(C2)의 다른 쪽의 단자는 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0066] 트랜지스터(M3)의 게이트는 배선(GLb)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 용량 소자(C1)의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 용량 소자(C1)의 다른 쪽의 단자에 전기적으로 접속된다. 트랜지스터(M3)는 트랜지스터(M2)의 게이트와 소스 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.
- [0067] 또한 트랜지스터(M4)의 게이트는 배선(GLb)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(102)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 용량 소자(C2)의 한쪽의 단자에 전기적으로 접속된다. 트랜

지스터(M4)는 배선(102)과 용량 소자(C2)의 한쪽의 단자 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.

- [0068] 트랜지스터(M5)의 게이트는 용량 소자(C3)의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 또한 트랜지스터(M5)의 소스 및 드레인 중 다른 쪽은 용량 소자(C3)의 다른 쪽의 단자 및 발광 소자(61)의 한쪽의 단자(예를 들어 애노드 단자)에 전기적으로 접속된다. 또한 발광 소자(61)의 다른 쪽의 단자(예를 들어 캐소드 단자)는 배선(104)에 전기적으로 접속된다.
- [0069] 트랜지스터(M6)의 게이트는 배선(GLa)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 배선(103)에 전기적으로 접속된다. 트랜지스터(M6)는 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽과 배선(103) 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.
- [0070] 트랜지스터(M7)의 게이트는 배선(GLc)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(102)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(M5)의 게이트에 전기적으로 접속된다. 트랜지스터(M7)는 트랜지스터(M5)의 게이트와 배선(102) 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.
- [0071] 트랜지스터(M8)의 게이트는 배선(GLd)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 트랜지스터(M5)의 게이트에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 배선(103)에 전기적으로 접속된다. 트랜지스터(M8)는 트랜지스터(M5)의 게이트와 배선(103) 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.
- [0072] 또한 용량 소자(C1) 및 용량 소자(C2) 각각의 다른 쪽의 단자, 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽, 트랜지스터(M3)의 소스 및 드레인 중 다른 쪽, 트랜지스터(M5)의 소스 및 드레인 중 한쪽, 및 트랜지스터(M6)의 소스 및 드레인 중 한쪽이 전기적으로 접속되는 영역을 노드(ND1)라고도 한다.
- [0073] 또한 용량 소자(C2)의 한쪽의 단자, 트랜지스터(M2)의 백 게이트, 트랜지스터(M4)의 소스 및 드레인 중 다른 쪽이 전기적으로 접속되는 영역을 노드(ND2)라고도 한다.
- [0074] 또한 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽, 트랜지스터(M3)의 소스 및 드레인 중 한쪽, 용량 소자(C1)의 한쪽의 단자, 및 트랜지스터(M2)의 게이트가 전기적으로 접속되는 영역을 노드(ND3)라고도 한다.
- [0075] 또한 트랜지스터(M5)의 게이트, 용량 소자(C3)의 한쪽의 단자, 트랜지스터(M7)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(M8)의 소스 및 드레인 중 한쪽이 전기적으로 접속되는 영역을 노드(ND4)라고도 한다.
- [0076] 용량 소자(C1)는 노드(ND3)가 플로팅 상태일 때 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽과 트랜지스터(M2)의 게이트의 전위차를 유지하는 기능을 가진다. 용량 소자(C2)는 노드(ND2)가 플로팅 상태일 때 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽과 트랜지스터(M2)의 백 게이트의 전위차를 유지하는 기능을 가진다. 용량 소자(C3)는 노드(ND4)가 플로팅 상태일 때 트랜지스터(M5)의 소스 및 드레인 중 다른 쪽과 트랜지스터(M5)의 게이트의 전위차를 유지하는 기능을 가진다.
- [0077] 본 발명의 일 형태에 따른 화소 회로(51A)에는 다양한 반도체를 포함하는 트랜지스터를 사용할 수 있다. 예를 들어 채널 형성 영역에 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체를 포함하는 트랜지스터를 사용할 수 있다. 또한 주성분이 단일의 원소로 구성되는 단체의 반도체(예를 들어 실리콘(Si) 또는 저마늄(Ge))에 한정되지 않고, 화합물 반도체(예를 들어 실리콘 저마늄(SiGe) 또는 비소화 갈륨(GaAs)) 또는 산화물 반도체 등을 사용할 수 있다.
- [0078] 또한 본 실시형태 등에서는 n채널형 트랜지스터를 사용하여 반도체 장치(100A)를 구성하는 예를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 반도체 장치(100A)를 구성하는 트랜지스터의 일부 또는 전부에 p채널형 트랜지스터를 사용하여도 좋다.
- [0079] 일례로서 도 2에 화소 회로(51A)를 구성하는 트랜지스터 중, 트랜지스터(M6) 내지 트랜지스터(M8)에 p채널형 트랜지스터를 사용한 반도체 장치(100A)의 회로 구성예를 나타내었다. 도 2에 나타난 회로 구성에서는 트랜지스터(M6)의 게이트는 배선(GLe)에 전기적으로 접속된다.
- [0080] 또한 본 발명의 일 형태에 따른 화소 회로(51A)에는, 다양한 구조의 트랜지스터를 사용할 수 있다. 예를 들어

플레이너형, FIN형(핀형), TRI-GATE형(트라이 게이트형), 톱 게이트형, 보텀 게이트형, 더블 게이트형(채널의 위아래에 게이트가 배치되어 있는 구조) 등 다양한 구성의 트랜지스터를 사용할 수 있다. 또한 본 발명의 일 형태에 따른 트랜지스터로서 MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터 등을 사용할 수 있다.

[0081] 예를 들어 화소 회로(51A)를 구성하는 트랜지스터로서 OS 트랜지스터(채널이 형성되는 반도체층에 산화물 반도체를 포함하는 트랜지스터)를 사용하여도 좋다. 산화물 반도체는 밴드 갭이 2eV 이상이기 때문에, 오프 전류가 매우 낮다.

[0082] 실온하에서의 채널 폭 1 μ m당 OS 트랜지스터의 오프 전류값은 1aA(1×10^{-18} A) 이하, 1zA(1×10^{-21} A) 이하, 또는 1yA(1×10^{-24} A) 이하로 할 수 있다. 또한 Si 트랜지스터(채널이 형성되는 반도체층에 실리콘을 포함하는 트랜지스터)의 실온에서의 채널 폭 1 μ m당 오프 전류값은 1fA(1×10^{-15} A) 이상 1pA(1×10^{-12} A) 이하이다. 따라서 OS 트랜지스터의 오프 전류는 Si 트랜지스터의 오프 전류보다 10자릿수 정도 낮다고 할 수도 있다.

[0083] 화소 회로(51A)를 구성하는 트랜지스터에 OS 트랜지스터를 사용하면, 각 노드에 기록된 전하를 장기간 유지할 수 있다. 예를 들어 프레임마다 재기록을 할 필요가 없는 정지 화상을 표시하는 경우에, 주변 구동 회로의 동작을 정지하여도 화상 표시를 계속할 수 있다. 이와 같은 정지 화상 표시 중에 주변 구동 회로의 동작을 정지하는 구동 방법을 '아이들링스톱(idling stop) 구동'이라고도 한다. 아이들링스톱 구동을 수행함으로써, 표시 장치의 소비 전력을 저감할 수 있다.

[0084] 또한 OS 트랜지스터는 고온 환경하에서도 오프 전류가 거의 증가하지 않는다. 구체적으로는 실온 이상 200℃ 이하의 환경 온도에서도 오프 전류가 거의 증가하지 않는다. 또한 고온 환경하에서도 온 전류가 저하되기 어렵다. OS 트랜지스터를 포함하는 반도체 장치는 고온 환경에서도 동작이 안정되고, 높은 신뢰성이 얻어진다.

[0085] 또한 OS 트랜지스터는 소스와 드레인 사이의 절연 내압이 높다. 화소 회로(51A)를 구성하는 트랜지스터에 OS 트랜지스터를 사용함으로써, 전위 Va와 전위 Vc의 전위차가 큰 경우에도 동작이 안정되고, 신뢰성이 양호한 반도체 장치를 실현할 수 있다. 특히 트랜지스터(M2) 및 트랜지스터(M5) 중 한쪽 또는 양쪽에 OS 트랜지스터를 사용하는 것이 바람직하다.

[0086] OS 트랜지스터의 반도체층은 예를 들어 인듐과 M(M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 마나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘에서 선택된 1종류 또는 복수 종류)과 아연을 포함하는 것이 바람직하다. 특히 M은 알루미늄, 갈륨, 이트륨, 및 주석에서 선택된 1종류 또는 복수 종류인 것이 바람직하다.

[0087] 특히 반도체층으로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물('IGZO'이라고도 기재함)을 사용하는 것이 바람직하다. 또는 반도체층으로서 인듐(In), 알루미늄(Al), 및 아연(Zn)을 포함하는 산화물('IAZO'라고도 기재함)을 사용하여도 좋다. 또는 반도체층으로서 인듐(In), 알루미늄(Al), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물('IAGZO'라고도 기재함)을 사용하여도 좋다.

[0088] 반도체층이 In-M-Zn 산화물인 경우, 상기 In-M-Zn 산화물에서의 In의 원자수비는 M의 원자수비 이상인 것이 바람직하다. 이와 같은 In-M-Zn 산화물의 금속 원소의 원자수비로서 In:M:Zn=1:1:1 또는 그 근방의 조성, In:M:Zn=1:1:1.2 또는 그 근방의 조성, In:M:Zn=1:3:2 또는 그 근방의 조성, In:M:Zn=1:3:4 또는 그 근방의 조성, In:M:Zn=2:1:3 또는 그 근방의 조성, In:M:Zn=3:1:2 또는 그 근방의 조성, In:M:Zn=4:2:3 또는 그 근방의 조성, In:M:Zn=4:2:4.1 또는 그 근방의 조성, In:M:Zn=5:1:3 또는 그 근방의 조성, In:M:Zn=5:1:6 또는 그 근방의 조성, In:M:Zn=5:1:7 또는 그 근방의 조성, In:M:Zn=5:1:8 또는 그 근방의 조성, In:M:Zn=6:1:6 또는 그 근방의 조성, In:M:Zn=5:2:5 또는 그 근방의 조성 등을 들 수 있다. 또한 근방의 조성이란, 원하는 원자수비의 $\pm 30\%$ 의 범위를 포함하는 것이다.

[0089] 예를 들어 원자수비가 In:Ga:Zn=4:2:3 또는 그 근방의 조성이라고 기재된 경우, In의 원자수비를 4로 하였을 때, Ga의 원자수비가 1 이상 3 이하이고, Zn의 원자수비가 2 이상 4 이하인 경우를 포함한다. 또한 원자수비가 In:Ga:Zn=5:1:6 또는 그 근방의 조성이라고 기재된 경우, In의 원자수비를 5로 하였을 때, Ga의 원자수비가 0.1보다 크고 2 이하이고, Zn의 원자수비가 5 이상 7 이하인 경우를 포함한다. 또한 원자수비가 In:Ga:Zn=1:1:1 또는 그 근방의 조성이라고 기재된 경우, In의 원자수비를 1로 하였을 때, Ga의 원자수비가 0.1보다 크고 2 이하이고, Zn의 원자수비가 0.1보다 크고 2 이하인 경우를 포함한다.

[0090] 또한 트랜지스터(M2)는 발광 소자(61)를 흐르는 전류 Ie의 양을 제어하는 기능을 가진다. 즉 트랜지스터(M2)는

발광 소자(61)의 발광량을 제어하는 기능을 가진다. 따라서 트랜지스터(M2)를 '구동 트랜지스터'라고도 한다.

- [0091] 또한 트랜지스터(M5)는 트랜지스터(M2)와 발광 소자(61) 사이의 도통과 비도통을 전환하는 기능을 가진다. 트랜지스터(M5)가 오프 상태일 때 발광 소자(61)가 소광되고, 트랜지스터(M5)가 온 상태일 때 발광 소자(61)가 발광할 수 있다. 따라서 트랜지스터(M5)를 '발광 트랜지스터'라고도 한다. 구동 트랜지스터로 결정된 전류량을 확실하게 발광 소자(61)로 흘리기 위하여 트랜지스터(M5)는 소스 전위 및 드레인 전위가 어떤 값이어도 확실하게 온 상태가 될 필요가 있다.
- [0092] 화소 회로(51A)를 구성하는 트랜지스터 중, 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M6), 트랜지스터(M7), 및 트랜지스터(M8)는 스위치로서 기능한다. 따라서 반도체 장치(100A)를 도 3과 같이 나타낼 수 있다.
- [0093] 또한 트랜지스터(M5)도 스위치로서 기능한다. 따라서 반도체 장치(100A)를 도 4와 같이 나타낼 수도 있다. 트랜지스터(M1) 및 트랜지스터(M3) 내지 트랜지스터(M8)는 스위치의 기능을 실현할 수 있는 소자로 변경할 수 있다.
- [0094] 화소 회로(51A)를 구성하는 트랜지스터는 백 게이트를 포함하는 트랜지스터이어도 좋다. 백 게이트를 제공함으로써, 트랜지스터의 외부에서 발생하는 전계가 채널 형성 영역에 작용하기 어려워지기 때문에, 반도체 장치의 동작이 안정되고 반도체 장치의 신뢰성을 높일 수 있다. 또한 백 게이트의 전위를 제어함으로써 트랜지스터의 문턱 전압을 변화시킬 수 있다.
- [0095] 트랜지스터(M2)뿐만 아니라 트랜지스터(M1) 및 트랜지스터(M3) 내지 트랜지스터(M8)를 백 게이트를 포함하는 트랜지스터로 구성되는 반도체 장치(100A)의 회로 구성예를 도 5에 나타내었다. 도 5에는 트랜지스터(M1) 및 트랜지스터(M3) 내지 트랜지스터(M8) 각각에 있어서 게이트와 백 게이트를 전기적으로 접속하는 예를 나타내었다. 다만 반도체 장치를 구성하는 모든 트랜지스터에 백 게이트를 제공할 필요는 없다.
- [0096] 또한 게이트와 백 게이트를 전기적으로 접속하지 않고, 백 게이트에 임의의 전위를 인가하여도 좋다. 또한 백 게이트에 공급하는 전위는 고정 전위에 한정되지 않는다. 반도체 장치를 구성하는 트랜지스터의 백 게이트에 공급하는 전위는 트랜지스터마다 상이하여도 좋고, 같아도 좋다.
- [0097] 도 5에 나타난 반도체 장치(100A)의 평면 레이아웃의 도면을 도 6에 나타내었다. 도 6에 나타난 평면 레이아웃의 도면에서 배선(GLa) 위에 트랜지스터(M1)의 반도체층(111)이 제공되어 있다. 배선(GLa)과 반도체층(111)은 서로 중첩되는 영역을 포함한다. 또한 배선(GLa)의 일부가 트랜지스터(M1)의 백 게이트로서 기능한다. 도전체(112)는 트랜지스터(M1)의 게이트로서 기능하고, 콘택트 홀(113)에서 배선(GLa)에 전기적으로 접속된다.
- [0098] 또한 배선(GLb) 위에 트랜지스터(M3)의 반도체층(114)이 제공되어 있다. 배선(GLb)과 반도체층(114)은 서로 중첩되는 영역을 포함한다. 또한 배선(GLb)의 일부가 트랜지스터(M3)의 백 게이트로서 기능한다. 도전체(115)는 트랜지스터(M3)의 게이트로서 기능하고, 콘택트 홀(116)에서 배선(GLb)에 전기적으로 접속된다.
- [0099] 또한 배선(GLb) 위에 트랜지스터(M4)의 반도체층(117)이 제공되어 있다. 배선(GLb)과 반도체층(117)은 서로 중첩되는 영역을 포함한다. 또한 배선(GLb)의 일부가 트랜지스터(M4)의 백 게이트로서 기능한다. 도전체(118)는 트랜지스터(M4)의 게이트로서 기능하고, 콘택트 홀(119)에서 배선(GLb)에 전기적으로 접속된다.
- [0100] 또한 배선(GLa) 위에 트랜지스터(M6)의 반도체층(121)이 제공되어 있다. 배선(GLa)과 반도체층(121)은 서로 중첩되는 영역을 포함한다. 또한 배선(GLa)의 일부가 트랜지스터(M6)의 백 게이트로서 기능한다. 도전체(122)는 트랜지스터(M6)의 게이트로서 기능하고, 콘택트 홀(123)에서 배선(GLa)에 전기적으로 접속된다.
- [0101] 또한 배선(GLc) 위에 트랜지스터(M7)의 반도체층(124)이 제공되어 있다. 배선(GLc)과 반도체층(124)은 서로 중첩되는 영역을 포함한다. 또한 배선(GLc)의 일부가 트랜지스터(M7)의 백 게이트로서 기능한다. 도전체(125)는 트랜지스터(M7)의 게이트로서 기능하고, 콘택트 홀(126)에서 배선(GLc)에 전기적으로 접속된다.
- [0102] 또한 배선(GLd) 위에 트랜지스터(M8)의 반도체층(127)이 제공되어 있다. 배선(GLd)과 반도체층(127)은 서로 중첩되는 영역을 포함한다. 또한 배선(GLd)의 일부가 트랜지스터(M8)의 백 게이트로서 기능한다. 도전체(128)는 트랜지스터(M8)의 게이트로서 기능하고, 콘택트 홀(129)에서 배선(GLd)에 전기적으로 접속된다.
- [0103] 트랜지스터(M1)의 소스 및 드레인 중 한쪽은 도전층(131)을 통하여 배선(DL)에 전기적으로 접속된다. 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽은 도전층(132)을 통하여 도전층(133)에 전기적으로 접속된다.
- [0104] 또한 도전층(136) 위에 트랜지스터(M2)의 반도체층(134)이 제공되어 있다. 도전층(136)과 반도체층(134)은 서

로 중첩되는 영역을 포함한다. 도전층(136)의 일부가 트랜지스터(M2)의 백 게이트로서 기능한다. 또한 도전층(133)에 전기적으로 접속되는 도전층(135)이 트랜지스터(M2)의 게이트로서 기능한다.

- [0105] 트랜지스터(M2)의 소스 및 드레인 중 한쪽은 도전층(137)을 통하여 배선(101)에 전기적으로 접속된다. 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽은 도전층(138)에 전기적으로 접속된다. 도전층(133)과 도전층(138)이 중첩되는 영역이 용량 소자(C1)로서 기능한다. 도전층(136)과 도전층(138)이 중첩되는 영역이 용량 소자(C2)로서 기능한다.
- [0106] 또한 도전층(141) 위에 트랜지스터(M5)의 반도체층(142)이 제공되어 있다. 도전층(141)과 반도체층(142)은 서로 중첩되는 영역을 포함한다. 도전층(141)의 일부가 트랜지스터(M5)의 백 게이트로서 기능한다. 도전층(143)은 트랜지스터(M5)의 게이트로서 기능하고, 콘택트 홀(144)에서 배선(GLc)에 전기적으로 접속된다.
- [0107] 트랜지스터(M5)의 소스 및 드레인 중 한쪽은 도전층(138)에 전기적으로 접속된다. 트랜지스터(M5)의 소스 및 드레인 중 다른 쪽은 도전층(145)에 전기적으로 접속된다. 도전층(141)과 도전층(145)이 중첩되는 영역이 용량 소자(C3)로서 기능한다. 도전층(145)은 발광 소자(61)에 전기적으로 접속된다.
- [0108] 또한 트랜지스터(M5)의 소스 및 드레인 중 한쪽은 도전층(146)을 통하여 배선(102)에 전기적으로 접속된다. 트랜지스터(M5)의 소스 및 드레인 중 다른 쪽과 트랜지스터(M8)의 소스 및 드레인 중 한쪽은 도전층(147)을 통하여 도전층(141)에 전기적으로 접속된다. 트랜지스터(M8)의 소스 및 드레인 중 다른 쪽은 도전층(148)을 통하여 배선(103)에 전기적으로 접속된다.
- [0109] 또한 도전층(138)은 노드(ND1)로서 기능한다. 도전층(136)은 노드(ND2)로서 기능한다. 도전층(133)은 노드(ND3)로서 기능한다. 도전층(141)은 노드(ND4)로서 기능한다.
- [0110] 또한 도 7에 나타난 바와 같이 배선(GLe)을 제공하여 트랜지스터(M6)의 게이트와 배선(GLe)을 전기적으로 접속하여도 좋다. 또한 배선(GLf)을 제공하여 트랜지스터(M4)의 게이트와 배선(GLf)을 전기적으로 접속하여도 좋다. 배선(GLe) 및 배선(GLf)을 제공함으로써, 트랜지스터(M1) 내지 트랜지스터(M8) 각각의 온 상태와 오프 상태를 독립적으로 제어할 수 있다.
- [0111] 또한 도 8에 나타난 바와 같이 트랜지스터(M2)의 소스 및 드레인 중 한쪽 및 트랜지스터(M7)의 소스 및 드레인 중 한쪽과 배선(101)을 전기적으로 접속하여도 좋다. 또한 배선(103)과 배선(104)을 전기적으로 접속하여도 좋다. 즉 발광 소자(61)의 캐소드와 배선(103)을 전기적으로 접속하여도 좋다.
- [0112] 또한 트랜지스터(M2)의 게이트 용량이 충분히 큰 경우에는 용량 소자(C1)를 형성하지 않아도 된다. 트랜지스터(M2)의 백 게이트 용량이 충분히 큰 경우에는 용량 소자(C2)를 형성하지 않아도 된다. 트랜지스터(M5)의 게이트 용량이 충분히 큰 경우에는 용량 소자(C3)를 형성하지 않아도 된다.
- [0113] 또한 도 9에 나타난 바와 같이 트랜지스터(M2)의 소스 및 드레인 중 한쪽, 트랜지스터(M4)의 소스 및 드레인 중 한쪽, 및 트랜지스터(M7)의 소스 및 드레인 중 한쪽과 배선(101)을 전기적으로 접속하여도 좋다.
- [0114] 또한 도 10에 나타난 바와 같이 트랜지스터(M2)의 소스 및 드레인 중 한쪽, 트랜지스터(M7)의 소스 및 드레인 중 한쪽, 및 트랜지스터(M6)의 소스 및 드레인 중 다른 쪽과 배선(101)을 전기적으로 접속하여도 좋다.
- [0115] 또한 도 11에 나타난 바와 같이 트랜지스터(M2)의 소스 및 드레인 중 한쪽, 트랜지스터(M4)의 소스 및 드레인 중 한쪽, 트랜지스터(M7)의 소스 및 드레인 중 한쪽, 및 트랜지스터(M6)의 소스 및 드레인 중 다른 쪽과 배선(101)을 전기적으로 접속하여도 좋다. 도 10 및 도 11에 나타난 회로 구성에서는 트랜지스터(M8) 및 배선(GLd)의 형성을 생략할 수 있다.
- [0116] 또한 도 12에 나타난 바와 같이 트랜지스터(M4)의 소스 및 드레인 중 한쪽과 배선(102)을 전기적으로 접속하고, 트랜지스터(M7)의 소스 및 드레인 중 한쪽과 배선(106)을 전기적으로 접속하여도 좋다. 트랜지스터(M6)의 소스 및 드레인 중 다른 쪽과 배선(103)을 전기적으로 접속하고, 트랜지스터(M8)의 소스 및 드레인 중 한쪽과 배선(107)을 전기적으로 접속하여도 좋다.
- [0117] 또한 도 13에 나타난 바와 같이 트랜지스터(M6), 트랜지스터(M7), 및 트랜지스터(M8)의 일부 또는 전체를 다이오드로 변경하여도 좋다. 트랜지스터(M7)를 다이오드로 변경함으로써 배선(GLc)의 형성을 생략할 수 있다. 트랜지스터(M8)를 다이오드로 변경함으로써 배선(GLd)의 형성을 생략할 수 있다.
- [0118] 또한 도 14에 나타난 바와 같이 트랜지스터(M4), 트랜지스터(M6), 트랜지스터(M7), 및 트랜지스터(M8)의 일부 또는 전체를 다이오드로 변경하여도 좋다.

- [0119] 또한 도 15에 나타난 바와 같이 트랜지스터(M2)의 게이트와 배선(103) 사이에 트랜지스터(M9)를 제공하여도 좋다.
- [0120] 화소 회로(51A)를 구성하는 트랜지스터는 소스와 드레인 사이에 하나의 게이트를 포함하는 싱글 게이트형 트랜지스터이어도 좋고, 더블 게이트형 트랜지스터이어도 좋다. 도 16의 (A)에 더블 게이트형 트랜지스터(180A)의 회로 기호 예를 나타내었다.
- [0121] 트랜지스터(180A)는 트랜지스터(Tr1)와 트랜지스터(Tr2)가 직렬로 접속된 구성을 가진다. 도 16의 (A)에는 트랜지스터(Tr1)의 소스 및 드레인 중 한쪽이 단자 S에 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및 드레인 중 다른 쪽이 단자 D에 전기적으로 접속되는 상태를 나타내었다. 또한 도 16의 (A)에는 트랜지스터(Tr1)와 트랜지스터(Tr2)의 게이트가 전기적으로 접속되고, 단자 G에 전기적으로 접속되는 상태를 나타내었다.
- [0122] 도 16의 (A)에 나타난 트랜지스터(180A)는 단자 G의 전위를 변화시킴으로써 단자 S와 단자 D 사이의 도통 또는 비도통을 전환하는 기능을 가진다. 따라서 더블 게이트형 트랜지스터인 트랜지스터(180A)는 트랜지스터(Tr1)와 트랜지스터(Tr2)를 포함하고, 하나의 트랜지스터로서 기능한다. 즉 도 16의 (A)에서 트랜지스터(180A)의 소스 및 드레인 중 한쪽은 단자 S에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 단자 D에 전기적으로 접속되고, 게이트는 단자 G에 전기적으로 접속된다고 할 수 있다.
- [0123] 또한 화소 회로(51A)를 구성하는 트랜지스터는 트리플 게이트형 트랜지스터이어도 좋다. 도 16의 (B)에 트리플 게이트형 트랜지스터(180B)의 회로 기호 예를 나타내었다.
- [0124] 트랜지스터(180B)는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)가 직렬로 접속된 구성을 가진다. 도 16의 (B)에는 트랜지스터(Tr1)의 소스 및 드레인 중 한쪽이 단자 S에 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr3)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(Tr3)의 소스 및 드레인 중 다른 쪽이 단자 D에 전기적으로 접속되는 상태를 나타내었다. 또한 도 16의 (B)에는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)의 게이트가 전기적으로 접속되고, 단자 G에 전기적으로 접속되는 상태를 나타내었다.
- [0125] 도 16의 (B)에 나타난 트랜지스터(180B)는 단자 G의 전위를 변화시킴으로써 단자 S와 단자 D 사이의 도통 또는 비도통을 전환하는 기능을 가진다. 따라서 트리플 게이트형 트랜지스터인 트랜지스터(180B)는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)를 포함하고, 하나의 트랜지스터로서 기능한다. 즉 도 16의 (B)에서 트랜지스터(180B)의 소스 및 드레인 중 한쪽은 단자 S에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 단자 D에 전기적으로 접속되고, 게이트는 단자 G에 전기적으로 접속된다고 할 수 있다.
- [0126] 또한 화소 회로(51A)를 구성하는 트랜지스터는 4개 이상의 트랜지스터가 직렬로 접속한 구성이어도 좋다. 도 16의 (C)에 나타난 트랜지스터(180C)는 6개의 트랜지스터(트랜지스터(Tr1) 내지 트랜지스터(Tr6))가 직렬로 접속되는 상태이다. 또한 6개의 트랜지스터의 게이트가 전기적으로 접속되고, 단자 G에 전기적으로 접속되는 상태를 나타내었다.
- [0127] 도 16의 (C)에 나타난 트랜지스터(180C)는 단자 G의 전위를 변화시킴으로써 단자 S와 단자 D 사이의 도통 또는 비도통을 전환하는 기능을 가진다. 따라서 트랜지스터(180C)는 트랜지스터(Tr1) 내지 트랜지스터(Tr6)를 포함하며, 하나의 트랜지스터로서 기능한다. 즉 도 16의 (C)에서 트랜지스터(180C)의 소스 및 드레인 중 한쪽은 단자 S에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 단자 D에 전기적으로 접속되고, 게이트는 단자 G에 전기적으로 접속된다고 할 수 있다.
- [0128] 트랜지스터(180A), 트랜지스터(180B), 및 트랜지스터(180C)와 같이, 복수의 게이트를 포함하며, 복수의 게이트가 전기적으로 접속되는 트랜지스터를 '멀티 게이트형 트랜지스터' 또는 '멀티 게이트 트랜지스터'라고 부르는 경우가 있다.
- [0129] 예를 들어 트랜지스터를 포화 영역에서 동작시키는 경우, 포화 영역에서의 전기 특성을 향상시키기 위하여, 트랜지스터의 채널 길이를 길게 하는 경우가 있다. 채널 길이가 긴 트랜지스터를 실현하기 위하여 멀티 게이트 트랜지스터를 사용하여도 좋다.
- [0130] 발광 소자(61)로서는 EL 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 마이크로 LED, QLED(Quantum-dot Light Emitting Diode), 전자 방출

소자 등 다양한 표시 소자를 사용할 수 있다.

- [0131] <동작예>
- [0132] 다음으로 도면을 사용하여 도 1에 나타낸 반도체 장치(100A)의 동작예를 설명한다. 도 17은 반도체 장치(100A)의 동작예를 설명하기 위한 타이밍 차트이다. 도 18 내지 도 24는 반도체 장치(100A)의 동작예를 설명하기 위한 회로도이다.
- [0133] 배선(DL)에는 비디오 신호(Vdata)가 공급되는 것으로 한다. 배선(101)에는 전위 Va가 공급되고, 배선(102)에는 전위 V1이 공급되고, 배선(103)에는 전위 V0이 공급되고, 배선(104)에는 전위 Vc가 공급되는 것으로 한다. 또한 배선(GLa), 배선(GLb), 배선(GLc), 및 배선(GLd)의 각각에는 전위 H 및 전위 L 중 어느 한쪽이 공급되는 것으로 한다.
- [0134] 전위 Va는 애노드 전위이고, 전위 Vc는 캐소드 전위이다. 또한 전위 V1은 전위 V0보다 높은 전위이고, 트랜지스터의 게이트에 전위 V1을 인가함으로써, 상기 트랜지스터를 온 상태로 할 수 있는 전위로 한다. 또한 전위 V0은 트랜지스터의 게이트에 전위 V0을 인가함으로써, 상기 트랜지스터를 오프 상태로 할 수 있는 전위로 한다. 전위 V0은 예를 들어 0V 또는 전위 L이다. 본 실시형태 등에서는 전위 V0을 0V로 하고, 전위 V1을 3V로 한다. 또한 전위 Va를 15V로 하고, 전위 Vc를 0V로 한다.
- [0135] 반도체 장치(100A)는 배선(DL)으로부터 공급된 비디오 신호(Vdata)에 따라 발광 소자(61)를 흐르는 전류 Ie(도 23 참조)의 크기를 제어하는 기능을 가진다. 발광 소자(61)의 발광 휘도는 전류 Ie의 크기로 제어된다.
- [0136] 또한 도면에서 단자 또는 배선 등과 함께 'H', 'L', 'V0', 또는 'V1' 등의 전위를 나타내는 기호('전위 기호'라고도 함)를 기재하는 경우가 있다. 또한 단자 및 배선 등의 전위 변화를 이해하기 쉽게 하기 위하여, 전위가 변화된 단자 및 배선 등에 부기하는 전위 기호를 원으로 둘러싸서 기재하는 경우가 있다. 또한 오프 상태의 트랜지스터에 겹쳐 '×' 기호를 부여하는 경우가 있다.
- [0137] 발광 소자(61)를 흐르는 전류 Ie는 주로 비디오 신호(Vdata)와 트랜지스터(M2)의 Vth에 의하여 결정된다. 따라서 같은 비디오 신호(Vdata)를 복수의 화소 회로에 공급하여도, 각각의 화소 회로가 포함하는 트랜지스터(M2)의 Vth가 다르면 전류 Ie가 화소마다 달라진다. 따라서 트랜지스터(M2)의 Vth 편차가 표시 품질 저하의 원인 중 하나가 된다.
- [0138] 그러므로 화소마다 트랜지스터(M2)의 Vth를 취득함으로써, 전류 Ie의 편차를 저감한다. 또한 트랜지스터(M2)의 Vth를 취득하는 동작을 '문턱값 보정 동작'이라고 하는 경우가 있다.
- [0139] [Vth 보정 동작]
- [0140] 우선 기간 T11에서 리셋 동작을 수행한다. 구체적으로는 배선(GLa), 배선(GLb), 및 배선(GLd)에 전위 H를 인가하고, 배선(GLc)에 전위 L을 인가한다(도 18 참조). 또한 본 명세서 등에서 '전위 H'란 n채널형 트랜지스터를 온 상태로 하는 전위이고, p채널형 트랜지스터를 오프 상태로 하는 전위이다. 또한 '전위 L'이란 n채널형 트랜지스터를 오프 상태로 하는 전위이고, p채널형 트랜지스터를 온 상태로 하는 전위이다.
- [0141] 따라서 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M6), 및 트랜지스터(M8)가 온 상태가 되고, 트랜지스터(M7)가 오프 상태가 된다.
- [0142] 또한 노드(ND1)에는 트랜지스터(M6)를 통하여 전위 V0이 인가된다. 또한 노드(ND3)에는 트랜지스터(M6) 및 트랜지스터(M3)를 통하여 전위 V0이 인가된다. 또한 노드(ND2)에는 트랜지스터(M4)를 통하여 전위 V1이 인가된다. 또한 노드(ND4)에는 트랜지스터(M8)를 통하여 전위 V0이 인가된다. 따라서 트랜지스터(M5)는 오프 상태가 된다.
- [0143] 또한 기간 T11에서 트랜지스터(M1), 트랜지스터(M3), 및 트랜지스터(M6)를 통하여 배선(DL)과 배선(103)이 도통 상태가 된다. 따라서 기간 T11에서는 배선(DL)과 배선(103)을 같은 전위로 하거나 배선(DL)을 플로팅 상태로 하는 것이 바람직하다. 또한 화소 회로(51A)를 도 7의 구성으로 하는 경우, 배선(GLa)과 배선(GLe)이 분리되어 있기 때문에, 배선(GLa)에 전위 L을 배선(GLe)에 전위 H를 인가함으로써, 기간 T11의 리셋 동작을 수행할 수 있다.
- [0144] 다음으로 기간 T12에서 배선(GLa)에 전위 L을 인가한다(도 19 참조). 이로써 트랜지스터(M1) 및 트랜지스터(M6)가 오프 상태가 된다.

- [0145] 노드(ND2)의 전위가 전위 V_1 이기 때문에 트랜지스터(M2)는 온 상태이다. 따라서 배선(101) 및 트랜지스터(M2)를 통하여 노드(ND1)의 전위가 상승한다. 또한 트랜지스터(M3)도 온 상태이기 때문에 노드(ND3)의 전위도 상승한다. 구체적으로는 노드(ND1) 및 노드(ND3)의 전위는 전위 V_1 에서 트랜지스터(M2)의 V_{th} 를 뺀 값까지 상승한다.
- [0146] 다음으로 기간 T13에서 배선(GLb)에 전위 L을 인가한다(도 20 참조). 이로써 트랜지스터(M3) 및 트랜지스터(M4)가 오프 상태가 된다. 따라서 노드(ND1), 노드(ND2), 및 노드(ND3)가 플로팅 상태가 되고, 각 노드에 공급된 전하가 유지된다.
- [0147] [데이터 기록 동작]
- [0148] 기간 T14에서 배선(GLa)에 전위 H를 인가하고, 배선(GLc)에 전위 H를 인가하고, 배선(GLd)에 전위 L을 인가한다(도 21 참조). 이로써 트랜지스터(M1)가 온 상태가 되고, 노드(ND3)에 비디오 신호(Vdata)가 공급된다. 또한 트랜지스터(M6)가 온 상태가 되고, 노드(ND1)에 전위 V_0 이 인가된다.
- [0149] 노드(ND1)와 노드(ND2)는 용량 소자(C2)를 개재(介在)하여 용량 결합되어 있기 때문에, 노드(ND1)의 전위가 V_1-V_{th} 로부터 V_0 으로 변화되면, 노드(ND2)의 전위도 마찬가지로 변화된다. 본 실시형태 등에서는 전위 V_0 은 0V이기 때문에, 노드(ND2)의 전위는 전위 $V_1-(\text{전위 } V_1-V_{th})$ 로 나타내어진다. 즉 노드(ND2)의 전위는 V_{th} 가 된다.
- [0150] 또한 트랜지스터(M7)가 온 상태가 되고, 트랜지스터(M8)가 오프 상태가 되기 때문에, 노드(ND4)에 전위 V_1 이 인가된다. 또한 트랜지스터(M5)가 온 상태가 되기 때문에, 발광 소자(61)의 애노드 단자의 전위가 전위 V_0 이 된다.
- [0151] 다음으로 기간 T15에서 배선(GLc)에 전위 L을 인가한다(도 22 참조). 이로써 트랜지스터(M7)가 오프 상태가 되고, 노드(ND4)가 플로팅 상태가 된다.
- [0152] [발광 동작]
- [0153] 기간 T16에서 배선(GLa)에 전위 L을 인가한다(도 23 참조). 이로써 트랜지스터(M1) 및 트랜지스터(M6)가 오프 상태가 된다. 배선(101)으로부터 배선(104)으로 전류가 흐른다. 즉 발광 소자(61)를 전류 I_e 가 흐르고, 발광 소자(61)는 전류 I_e 에 대응하는 휘도로 발광한다. 또한 배선(101)으로부터 배선(104)으로 전류가 흐르면 노드(ND1) 및 발광 소자(61)의 애노드 단자의 전위가 상승한다.
- [0154] 또한 노드(ND2) 및 노드(ND3)가 플로팅 상태가 된다. 노드(ND1)와 노드(ND3)는 용량 소자(C1)를 개재하여 용량 결합된다. 기간 T16에서 노드(ND1)의 전위가 전위 V_0 으로부터 전위 V_a1 로 변화되면, 노드(ND3)의 전위도 마찬가지로 변화된다. 여기서는 노드(ND3)의 전위가 비디오 신호(Vdata)+전위 V_a1 이 된다. 즉 트랜지스터(M2)의 소스 전위가 변화되어도 트랜지스터(M2)의 게이트와 소스 사이의 전위차(전압)는 비디오 신호(Vdata)인 채 유지된다.
- [0155] 마찬가지로 노드(ND1)의 전위 변화를 따라 노드(ND2)의 전위가 $V_{th}+\text{전위 } V_a1$ 이 된다. 따라서 트랜지스터(M2)의 백 게이트와 소스 사이의 전위차는 V_{th} 인 채 유지된다.
- [0156] 또한 발광 소자(61)의 애노드 단자와 노드(ND4)는 용량 소자(C3)를 개재하여 용량 결합되어 있다. 따라서 발광 소자(61)의 애노드 단자의 전위가 전위 V_0 으로부터 전위 V_a2 로 변화되면, 노드(ND4)의 전위도 마찬가지로 변화된다. 여기서는 노드(ND4)의 전위가 전위 $V_1+\text{전위 } V_a2$ 가 된다. 즉 발광 소자(61)의 애노드 단자의 전위가 변화되어도 트랜지스터(M5)의 게이트와 소스 사이의 전위차(전압)는 전위 $V_1-\text{전위 } V_0$ 이 유지된다.
- [0157] 예를 들어 트랜지스터(M5)의 게이트가 고정 전위인 경우, 트랜지스터(M5)의 소스 전위가 상승하면 게이트와 소스 사이의 전위차가 작아진다. 게이트와 소스 사이의 전위차가 트랜지스터(M5)의 문턱 전압을 밑돌면 트랜지스터(M5)가 오프 상태가 된다. 그러므로 애노드 전위를 높이는 경우에는 게이트에도 높은 전위를 인가할 필요가 있고, 이를 위한 전원 또는 전원 회로를 추가할 필요가 있다.
- [0158] 본 발명의 일 형태에 따른 반도체 장치(100A)에서는 트랜지스터(M5)의 게이트와 소스 사이에 용량 소자(C3)를 제공하여 부트스트랩 회로를 구성함으로써, 애노드 전위를 크게 하여도 전원 회로를 추가하지 않고 트랜지스터(M5)의 온 상태를 유지할 수 있다. 따라서 전류 I_e 를 발광 소자(61)에 안정적으로 공급할 수 있다. 또한 용량 소자(C3)를 '부트스트랩 용량'이라고 부르는 경우가 있다. 또한 용량 소자(C1) 및 용량 소자(C2)는 각각 부트스트랩 용량으로서 기능한다.
- [0159] 본 발명의 일 형태에 따른 반도체 장치(100A)는 싱글 구조의 발광 소자뿐만 아니라 싱글 구조의 발광 소자보다

큰 구동 전압이 필요한 탠덤 구조의 발광 소자에도 적합하게 사용할 수 있다. 또한 발광 소자의 구조에 대해서는 나중에 설명한다.

[0160] 또한 상술한 바와 같이 발광 소자(61)를 흐르는 전류 I_e 의 양은 비디오 신호(Vdata)와 트랜지스터(M2)의 V_{th} 에 의하여 결정된다. 본 발명의 일 형태에 따른 반도체 장치(100A)에서는 문턱값 보정 동작을 수행함으로써 발광 소자(61)를 흐르는 전류 I_e 의 양을 비디오 신호(Vdata)에 의하여 제어할 수 있다.

[0161] 발광 소자(61)의 발광 휘도를 비디오 신호(Vdata)에 의하여 제어하기 위하여 발광 동작 시에는 트랜지스터(M5)를 확실하게 온 상태로 할 필요가 있다. 본 발명의 일 형태에 따른 반도체 장치(100A)에서는 발광 동작 시에 트랜지스터(M5)를 확실하게 온 상태로 할 수 있다. 본 발명의 일 형태에 따른 반도체 장치(100A)를 표시 장치에 사용하면, 정확한 전류 I_e 의 제어가 가능하므로, 중간조의 색 재현성을 높일 수 있다. 따라서 상기 표시 장치의 표시 품질을 높일 수 있다.

[0162] [소광 동작]

[0163] 기간 T17에서 배선(GLd)에 전위 H를 인가한다(도 24 참조). 이로써 트랜지스터(M8)가 온 상태가 된다. 이로써 배선(103)으로부터 노드(ND4)에 전위 V_0 가 인가되고, 트랜지스터(M5)가 오프 상태가 된다. 트랜지스터(M5)가 오프 상태가 되면, 발광 소자(61)로 전류가 흐르지 않기 때문에 발광 소자(61)의 발광이 정지된다.

[0164] 표시 소자로서 EL 소자 등의 발광 소자를 사용한 표시 장치는 1프레임 기간 중에 발광 소자를 계속 점등시킬 수 있다. 이와 같은 구동 방법을 '홀드형' 또는 '홀드형 구동'이라고도 한다. 표시 장치의 구동 방법을 홀드형 구동으로 함으로써, 표시 화면의 플리커 현상 등을 경감할 수 있다. 한편 홀드형 구동에서는 동영상 표시에서 잔상(殘像)이 느껴지거나 화상이 흐릿해지기 쉽다. 동영상을 표시하였을 때 사람이 느끼는 해상도를 '동영상 해상도'라고도 한다. 즉 홀드형 구동은 동영상 해상도가 저하되기 쉽다.

[0165] 또한 동영상 표시에서 잔상이 느껴지거나 화상이 흐릿해지는 것을 개선하는 '흑색 삽입 구동'이 알려져 있다. '흑색 삽입 구동'은 '의사적 임펄스형' 또는 '의사적 임펄스형 구동'이라고도 불린다. 흑색 삽입 구동은 1프레임 걸러 흑색 표시를 수행하거나 1프레임 중의 일정 기간 동안 흑색 표시를 수행하는 구동 방법이다.

[0166] 본 발명의 일 형태에 따른 반도체 장치(100A)는 소광 동작에 의하여 흑색 삽입 구동의 실현이 용이하다. 본 발명의 일 형태에 따른 반도체 장치(100A)를 사용한 표시 장치는 동영상 해상도가 저하되기 어려우므로 표시 품질이 높은 동영상 표시를 실현할 수 있다.

[0167] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.

[0168] (실시형태 2)

[0169] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치(100B)에 대하여 설명한다. 반도체 장치(100B)는 반도체 장치(100A)의 변형예이다. 따라서 반복적인 설명을 줄이기 위하여, 주로 반도체 장치(100B)의 반도체 장치(100A)와 상이한 점에 대하여 설명한다.

[0170] <구성예>

[0171] 반도체 장치(100B)의 회로 구성예를 도 25에 나타내었다. 반도체 장치(100B)는 화소 회로(51B) 및 발광 소자(61)를 포함한다. 화소 회로(51B)는 화소 회로(51A)에서 트랜지스터(M8)를 제외한 구성을 가진다. 따라서 트랜지스터(M8)의 게이트와 전기적으로 접속되는 배선(GLd)을 삭제할 수 있다. 또한 트랜지스터(M7)의 소스 및 드레인 중 한쪽이 배선(GLc)에 전기적으로 접속되고, 트랜지스터(M7)의 게이트가 배선(105)에 전기적으로 접속된다.

[0172] <동작예>

[0173] 다음으로 도면을 사용하여 반도체 장치(100B)의 동작예를 설명한다. 도 26은 반도체 장치(100B)의 동작예를 설명하기 위한 타이밍 차트이다. 도 27 내지 도 32는 반도체 장치(100B)의 동작예를 설명하기 위한 회로도이다.

[0174] 배선(105)에는 전위 V_2 가 인가되는 것으로 한다. 전위 V_2 는 전위 V_1 보다 높은 전위이다. 또한 전위 V_2 는 전위 H 이하의 전위이다. 본 실시형태 등에서는 전위 V_2 를 6V로 한다.

[0175] [V_{th} 보정 동작]

[0176] 우선 기간 T21에서 리셋 동작을 수행한다. 구체적으로는 배선(GLa) 및 배선(GLb)에 전위 H를 인가하고, 배선(GLc)에 전위 L을 인가한다(도 27 참조). 따라서 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4), 트랜지스

터(M6), 및 트랜지스터(M7)가 온 상태가 된다.

- [0177] 또한 노드(ND1)에는 트랜지스터(M6)를 통하여 전위 V_0 이 인가된다. 또한 노드(ND3)에는 트랜지스터(M6) 및 트랜지스터(M3)를 통하여 전위 V_0 이 인가된다. 또한 노드(ND2)에는 트랜지스터(M4)를 통하여 전위 V_1 이 인가된다. 또한 노드(ND4)에는 트랜지스터(M7)를 통하여 전위 L 이 인가된다. 따라서 트랜지스터(M5)는 오프 상태가 된다.
- [0178] 또한 상술한 기간 T11과 마찬가지로 기간 T21에서도 배선(DL)과 배선(103)을 같은 전위로 하거나 배선(DL)을 플로팅 상태로 하는 것이 바람직하다.
- [0179] 다음으로 기간 T22에서 배선(GLa)에 전위 L 을 인가한다(도 28 참조). 이로써 트랜지스터(M1) 및 트랜지스터(M6)가 오프 상태가 된다. 상술한 기간 T12와 마찬가지로 노드(ND1) 및 노드(ND3)의 전위는 전위 V_1 에서 트랜지스터(M2)의 V_{th} 를 뺀 값까지 상승한다.
- [0180] 다음으로 기간 T23에서 배선(GLb)에 전위 L 을 인가한다(도 29 참조). 이로써 트랜지스터(M3) 및 트랜지스터(M4)가 오프 상태가 된다. 노드(ND1), 노드(ND2), 및 노드(ND3)가 플로팅 상태가 되고, 각 노드에 공급된 전하가 유지된다.
- [0181] [데이터 기록 동작]
- [0182] 기간 T24에서 배선(GLa)에 전위 H 를 인가하고, 배선(GLc)에 전위 H 를 인가한다(도 30 참조). 이로써 트랜지스터(M1)가 온 상태가 되고, 노드(ND3)에 비디오 신호(V_{data})가 공급된다. 또한 트랜지스터(M6)가 온 상태가 되고, 노드(ND1)에 전위 V_0 이 인가된다. 상술한 기간 T14와 마찬가지로 노드(ND2)의 전위는 V_{th} 가 된다.
- [0183] 또한 트랜지스터(M7)가 온 상태이기 때문에 배선(GLc)으로부터 노드(ND4)에 전하가 공급된다. 노드(ND4)의 전위는 전위 H 에서 트랜지스터(M7)의 V_{th} 를 뺀 값까지 상승한다. 본 실시형태 등에서 전위 H 는 6V이다. 트랜지스터(M5) 및 트랜지스터(M7)의 V_{th} 를 1V로 하면 노드(ND4)의 전위(전위 $H - V_{th}$)는 5V가 된다. 따라서 트랜지스터(M5)는 온 상태가 된다.
- [0184] [발광 동작]
- [0185] 기간 T25에서 배선(GLa)에 전위 L 을 인가한다(도 31 참조). 이로써 트랜지스터(M1) 및 트랜지스터(M6)가 오프 상태가 된다. 상술한 기간 T16과 마찬가지로 배선(101)으로부터 배선(104)으로 전류가 흐르고, 발광 소자(61)가 전류 I_e 에 대응하는 휘도로 발광한다. 또한 노드(ND1) 및 발광 소자(61)의 애노드 단자의 전위가 상승한다. 노드(ND1)의 전위가 전위 V_{a1} 이 되고, 애노드 단자의 전위가 전위 V_{a2} 가 된다. 또한 노드(ND3)의 전위가 비디오 신호(V_{data})+전위 V_{a1} 이 되고, 노드(ND2)의 전위가 V_{th} +전위 V_{a1} 이 된다.
- [0186] 노드(ND4)는 플로팅 상태이고, 용량 소자(C3)를 통하여 노드(ND4)와 애노드 단자의 전위차가 유지된다. 따라서 발광 소자(61)의 애노드 단자의 전위 변화를 따라 노드(ND4)의 전위도 변화된다. 애노드 단자의 전위가 전위 V_0 으로부터 전위 V_{a2} 로 상승하면, 노드(ND4)의 전위는 전위 $H - V_{th}$ +전위 V_{a2} 가 된다. 즉 트랜지스터(M5)의 소스 측에 해당하는 애노드 단자의 전위가 상승하여도 트랜지스터(M5)의 온 상태가 확실하게 유지된다.
- [0187] 본 실시형태에서는 전위 H 및 전위 V_2 는 모두 6V(같은 전위)이다. 따라서 트랜지스터(M7)의 소스 및 드레인 중 한쪽의 전위 및 게이트의 전위보다 노드(ND4)의 전위가 높아지고, 트랜지스터(M7)가 오프 상태가 된다.
- [0188] [소광 동작]
- [0189] 기간 T26에서 배선(GLc)에 전위 L 을 인가한다(도 32 참조). 이로써 트랜지스터(M7)가 온 상태가 되고, 노드(ND4)의 전위가 전위 L 이 된다. 노드(ND4)의 전위가 전위 L 이 되면, 트랜지스터(M5)가 오프 상태가 되고, 발광 소자(61)의 발광이 정지된다.
- [0190] 반도체 장치(100B)는 반도체 장치(100A)와 마찬가지로, 싱글 구조의 발광 소자뿐만 아니라, 싱글 구조보다 큰 구동 전압이 필요한 탠덤 구조의 발광 소자에도 적합하게 사용할 수 있다. 또한 반도체 장치(100A)와 마찬가지로 흑색 삽입 구동을 수행할 수 있다. 본 발명의 일 형태에 따른 반도체 장치(100B)를 사용한 표시 장치는 동영상 해상도가 저하되기 어려우므로 표시 품질이 높은 동영상 표시를 실현할 수 있다.
- [0191] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.
- [0192] (실시형태 3)
- [0193] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치(100C)에 대하여 설명한다. 반도체 장치(100C)는 반

도체 장치(100B)의 변형예이다. 따라서 반도체 장치(100C)는 반도체 장치(100A)의 변형예이기도 하다. 반복적인 설명을 줄이기 위하여 주로 반도체 장치(100C)의 반도체 장치(100A) 및 반도체 장치(100B)와 상이한 점에 대하여 설명한다.

[0194] <구성예>

[0195] 반도체 장치(100C)의 회로 구성예를 도 33에 나타내었다. 반도체 장치(100C)는 화소 회로(51C) 및 발광 소자(61)를 포함한다. 화소 회로(51C)는 트랜지스터(M7)의 게이트를 배선(GLa)에 전기적으로 접속하는 점이 화소 회로(51B)와 상이하다. 따라서 도 25에 나타낸 배선(105)을 제공하지 않아도 된다. 따라서 배선(105)의 형성을 생략할 수 있다.

[0196] 또한 화소 회로(51C)를 구성하는 트랜지스터 중, 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M6), 및 트랜지스터(M7)는 스위치로서 기능한다. 따라서 반도체 장치(100C)를 도 34와 같이 나타낼 수 있다.

[0197] <동작예>

[0198] 다음으로 도면을 사용하여 반도체 장치(100C)의 동작예를 설명한다. 도 35는 반도체 장치(100C)의 동작예를 설명하기 위한 타이밍 차트이다. 도 36 내지 도 41은 반도체 장치(100C)의 동작예를 설명하기 위한 회로도이다.

[0199] [Vth 보정 동작]

[0200] 우선 기간 T31에서 기간 T21과 같은 리셋 동작을 수행한다. 구체적으로는 배선(GLa) 및 배선(GLb)에 전위 H를 인가하고, 배선(GLc)에 전위 L을 인가한다(도 36 참조). 기간 T31에서 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M6), 및 트랜지스터(M7)가 온 상태가 된다.

[0201] 또한 노드(ND1)에는 트랜지스터(M6)를 통하여 전위 V0이 인가된다. 또한 노드(ND3)에는 트랜지스터(M6) 및 트랜지스터(M3)를 통하여 전위 V0이 인가된다. 또한 노드(ND2)에는 트랜지스터(M4)를 통하여 전위 V1이 인가된다. 또한 노드(ND4)에는 트랜지스터(M7)를 통하여 전위 L이 인가된다. 따라서 트랜지스터(M5)는 오프 상태가 된다.

[0202] 또한 상술한 기간 T21과 마찬가지로 기간 T31에서도 배선(DL)과 배선(103)을 같은 전위로 하거나 배선(DL)을 플로팅 상태로 하는 것이 바람직하다.

[0203] 다음으로 기간 T32에서 배선(GLa)에 전위 L을 인가한다(도 37 참조). 이로써 트랜지스터(M1), 트랜지스터(M6), 및 트랜지스터(M7)가 오프 상태가 된다. 상술한 기간 T12와 마찬가지로 노드(ND1) 및 노드(ND3)의 전위는 전위 V1에서 트랜지스터(M2)의 Vth를 뺀 값까지 상승한다. 또한 노드(ND4)가 플로팅 상태가 되고, 노드(ND4)에 공급된 전하가 유지된다.

[0204] 다음으로 기간 T33에서 배선(GLb)에 전위 L을 인가한다(도 38 참조). 이로써 트랜지스터(M3) 및 트랜지스터(M4)가 오프 상태가 된다. 노드(ND1), 노드(ND2), 및 노드(ND3)가 플로팅 상태가 되고, 각 노드에 공급된 전하가 유지된다.

[0205] [데이터 기록 동작]

[0206] 기간 T34에서 배선(GLa)에 전위 H를 인가하고, 배선(GLc)에 전위 H를 인가한다(도 39 참조). 이로써 트랜지스터(M1)가 온 상태가 되고, 노드(ND3)에 비디오 신호(Vdata)가 공급된다. 또한 트랜지스터(M6)가 온 상태가 되고, 노드(ND1)에 전위 V0이 인가된다. 상술한 기간 T24와 마찬가지로 노드(ND2)의 전위는 Vth가 된다.

[0207] 또한 트랜지스터(M7)가 온 상태가 되고, 배선(GLc)으로부터 노드(ND4)에 전하가 공급된다. 노드(ND4)의 전위는 전위 H에서 트랜지스터(M7)의 Vth를 뺀 값까지 상승한다. 본 실시형태 등에서 전위 H는 6V이고, 트랜지스터(M5) 및 트랜지스터(M7)의 Vth를 1V로 하면 노드(ND4)의 전위(전위 H-Vth)는 5V가 된다. 따라서 트랜지스터(M5)는 온 상태가 된다.

[0208] [발광 동작]

[0209] 기간 T35에서 배선(GLa)에 전위 L을 인가한다(도 40 참조). 이로써 트랜지스터(M1) 및 트랜지스터(M6)가 오프 상태가 된다. 상술한 기간 T25와 마찬가지로 배선(101)으로부터 배선(104)으로 전류가 흐르고, 발광 소자(61)가 전류 Ie에 대응하는 휘도로 발광한다. 또한 이때 노드(ND1) 및 발광 소자(61)의 애노드 단자의 전위가 상승한다. 노드(ND1)의 전위가 전위 Va1이 되고, 애노드 단자의 전위가 전위 Va2가 된다. 또한 노드(ND3)의 전위가 비디오 신호(Vdata)+전위 Va1이 되고, 노드(ND2)의 전위가 Vth+전위 Va1이 된다.

- [0210] 노드(ND4)는 플로팅 상태이고, 용량 소자(C3)를 통하여 노드(ND4)와 애노드 단자의 전위차가 유지된다. 따라서 애노드 단자의 전위 변화를 따라 노드(ND4)의 전위도 변화된다. 애노드 단자의 전위가 전위 V_0 로부터 전위 V_{a2} 로 상승하면, 노드(ND4)의 전위는 전위 $H-V_{th}$ +전위 V_{a2} 가 된다. 즉 트랜지스터(M5)의 소스 측에 해당하는 애노드 단자의 전위가 상승하여도 트랜지스터(M5)의 온 상태가 확실하게 유지된다.
- [0211] [소광 동작]
- [0212] 기간 T36에서 배선(GLa)에 전위 H를 인가하고, 배선(GLc)에 전위 L을 인가한다(도 41 참조). 이로써 트랜지스터(M1), 트랜지스터(M6), 및 트랜지스터(M7)가 온 상태가 되고, 노드(ND1)의 전위가 전위 V_0 이 되고, 노드(ND4)의 전위가 전위 L이 된다. 노드(ND4)의 전위가 전위 L이 되면, 트랜지스터(M5)가 오프 상태가 되고, 발광 소자(61)의 발광이 정지된다.
- [0213] 또한 기간 T36에서는 배선(DL)에 전기적으로 접속되는 다른 반도체 장치(100C)에 기록하기 위한 비디오 신호(Vdata)가 트랜지스터(M1)를 통하여 노드(ND3)에 공급되는 경우가 있지만, 트랜지스터(M5)가 오프 상태이기 때문에 소광 동작은 방해되지 않는다.
- [0214] 반도체 장치(100C)는 반도체 장치(100A) 및 반도체 장치(100B)와 마찬가지로 싱글 구조의 발광 소자뿐만 아니라, 싱글 구조보다 큰 구동 전압이 필요한 탠덤 구조의 발광 소자에도 적합하게 사용할 수 있다. 또한 반도체 장치(100A) 및 반도체 장치(100B)와 마찬가지로 흑색 삽입 구동을 수행할 수 있다. 본 발명의 일 형태에 따른 반도체 장치(100C)를 사용한 표시 장치는 동영상 해상도가 저하되기 어려우므로 표시 품질이 높은 동영상 표시를 실현할 수 있다.
- [0215] <변형예 1>
- [0216] 도 42에 반도체 장치(100C)의 변형예인 반도체 장치(100Ca)를 나타내었다. 도 42에 나타난 반도체 장치(100Ca)는 화소 회로(51Ca)를 포함한다. 화소 회로(51Ca)는 배선(GLc)과 노드(ND4) 사이에 트랜지스터(M8)를 포함할 점이 도 33에 나타난 화소 회로(51C)와 상이하다.
- [0217] 구체적으로는 트랜지스터(M8)의 게이트가 배선(GLb)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(GLc)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 노드(ND4)에 전기적으로 접속된다.
- [0218] 도 33에 나타난 회로 구성예에서는 V_{th} 보정 동작을 수행하는 기간 T32에서 노드(ND4)가 플로팅 상태가 되기 때문에, 노드(ND4)의 전위가 변동되어 트랜지스터(M5)가 온 상태에 가까운 상태가 될 우려가 있다.
- [0219] 도 43은 기간 T32에서의 도 42에 나타난 반도체 장치(100Ca)의 동작 상태를 나타낸 회로도이다. 트랜지스터(M8)를 포함함으로써, V_{th} 보정 동작을 수행하는 기간 T32에서 노드(ND4)가 플로팅 상태가 되는 것을 방지하고, 노드(ND4)의 전위를 전위 L에서 고정할 수 있다. 트랜지스터(M8)를 포함함으로써, 정확한 V_{th} 보정 동작을 실현할 수 있다. 따라서 반도체 장치(100Ca)의 표시 품질을 높일 수 있다.
- [0220] <변형예 2>
- [0221] 도 33에 나타난 반도체 장치(100C)의 변형예인 반도체 장치(100Cb)를 도 44에 나타내었다. 반도체 장치(100Cb)는 화소 회로(51Cb)를 포함한다. 화소 회로(51Cb)는 트랜지스터(M6)와 트랜지스터(M7)에 p채널형 트랜지스터를 사용하는 점이 화소 회로(51C)와 상이하다. 또한 트랜지스터(M6)와 트랜지스터(M7)의 게이트는 배선(GLd)에 전기적으로 접속된다. 상기 실시형태에 나타난 바와 같이 반도체 장치(100C)를 구성하는 트랜지스터의 적어도 일부에 p채널형 트랜지스터를 사용하여도 좋다.
- [0222] 또한 상기 실시형태에 나타난 바와 같이 반도체 장치를 구성하는 트랜지스터로서 다양한 반도체를 포함하는 트랜지스터를 사용할 수 있다. p채널형 트랜지스터로서는 예를 들어 단결정 실리콘 또는 다결정 실리콘 등을 사용하면 좋다. 다결정 실리콘으로서는 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)을 사용하여도 좋다.
- [0223] 트랜지스터(M1) 내지 트랜지스터(M5)를 n채널형 트랜지스터로 형성하고, 트랜지스터(M6) 및 트랜지스터(M7)를 p채널형 트랜지스터로 형성하는 경우에는, 예를 들어 반도체층에 단결정 실리콘을 사용한 p채널형 Si 트랜지스터 위에 n채널형 OS 트랜지스터를 적층하여도 좋다.
- [0224] 도 44에는 화소 회로(51Cb)가 포함하는, Si 트랜지스터를 포함하는 영역(51a)과, OS 트랜지스터를 포함하는 영역(51b)을 이점쇄선으로 나타내었다.

- [0225] 예를 들어 반도체 장치(100Cb)를 층(40), 층(50), 및 층(60)의 적층 구성으로 하여도 좋다. 도 45는 반도체 장치(100Cb)를 층(40), 층(50), 및 층(60)의 적층 구성으로 한 경우의 사시 개략도이다. 도 45에는 층(40)에 p채널형 Si 트랜지스터인 트랜지스터(M6)와 트랜지스터(M7)를 형성하고, 층(50)에 n채널형 OS 트랜지스터인 트랜지스터(M1) 내지 트랜지스터(M5)를 형성하는 예를 나타내었다. 따라서 층(40)에 영역(51a)이 형성되고, 층(50)에 영역(51b)이 형성된다(도 45에 도시하지 않았음). 즉 영역(51a)과 영역(51b)은 중첩시켜 제공할 수 있다. 또한 도 45에는 층(60)에 발광 소자(61)를 형성하는 예를 나타내었다.
- [0226] 도 45에는 화소 회로(51Cb)를 구성하는 트랜지스터의 일부가 층(40)에 제공되고, 다른 일부가 층(50)에 제공되어 있다. 화소 회로(51Cb)를 구성하는 트랜지스터를 적층시켜 제공함으로써, 반도체 장치(100Cb)의 점유 면적을 저감할 수 있다. 따라서 반도체 장치(100Cb)의 실장 밀도를 높일 수 있다. 또한 반도체 장치(100Cb)를 구성하는 트랜지스터의 배치 및 트랜지스터 크기의 제약이 완화되기 때문에, 반도체 장치의 설계 자유도가 높아진다. 따라서 반도체 장치의 신뢰성을 높일 수 있다.
- [0227] 또한 반도체 장치(100Cb)에 OS 트랜지스터보다 동작 속도가 빠른 Si 트랜지스터와 오프 전류가 낮은 OS 트랜지스터를 조합하여 사용함으로써, 동작 속도의 향상과 소비 전력의 저감을 실현할 수 있다.
- [0228] 예를 들어 반도체 장치(100Cb) 등에서는 Si 트랜지스터를 사용함으로써, 고속 리셋 동작을 실현할 수 있다. 또한 OS 트랜지스터를 사용함으로써, 노드(ND3)에 기록된 비디오 신호(Vdata)를 장시간 유지할 수 있다. 따라서 반도체 장치(100Cb) 등을 화소에 사용한 표시 장치에서는 정지 화상 표시 시에 아이들링스톱 구동을 수행하거나, 프레임 주파수를 작게 함으로써, 소비 전력을 저감할 수 있다. OS 트랜지스터를 사용함으로써 프레임 주파수를 매우 작게(예를 들어 1fps 이하로) 하여도, 화소의 계조를 유지할 수 있다.
- [0229] 또한 발광 소자(61)가 보텀 이미션형의 발광 소자인 경우에는 층(40) 및 층(50)의 아래층에 층(60)을 제공하면 좋다. 또한 층(50) 위에 층(40)을 형성하여도 좋다.
- [0230] <변형예 3>
- [0231] 도 46에 반도체 장치(100C)의 변형예인 반도체 장치(100Cc)를 나타내었다. 반도체 장치(100Cc)는 화소 회로(51Cc)를 포함한다. 화소 회로(51Cc)는 화소 회로(51C)가 포함하는 트랜지스터(M1) 내지 트랜지스터(M7) 중, 트랜지스터(M2)와 트랜지스터(M5)에 n채널형 OS 트랜지스터를 사용하고, 다른 트랜지스터에 p채널형 Si 트랜지스터를 사용하고 있다.
- [0232] <변형예 4>
- [0233] 도 47에 반도체 장치(100C)의 변형예인 반도체 장치(100Cd)를 나타내었다. 반도체 장치(100Cd)는 화소 회로(51Cd)를 포함한다. 또한 화소 회로(51Cd)에는 화소 회로(51C)가 포함하는 트랜지스터(M1) 내지 트랜지스터(M7) 중, 트랜지스터(M5)와 트랜지스터(M6)에 p채널형 Si 트랜지스터를 사용하고, 트랜지스터(M1) 내지 트랜지스터(M4)에 n채널형 OS 트랜지스터를 사용하고 있다. 또한 트랜지스터(M6)의 게이트는 배선(GLd)에 전기적으로 접속된다. 또한 트랜지스터(M7) 및 용량 소자(C3)를 제공하지 않았다. 트랜지스터(M5)를 p채널형 트랜지스터로 함으로써 트랜지스터(M7) 및 용량 소자(C3)의 형성을 생략할 수 있다.
- [0234] <변형예 5>
- [0235] 도 48에 반도체 장치(100Cd)의 변형예인 반도체 장치(100Ce)를 나타내었다. 도 48에 나타낸 바와 같이 트랜지스터(M5)로서 p채널형 Si 트랜지스터를 사용하고, 트랜지스터(M1) 내지 트랜지스터(M4) 및 트랜지스터(M6)로서 n채널형 OS 트랜지스터를 사용하여도 좋다. 트랜지스터(M6)의 게이트는 배선(GLa)에 전기적으로 접속된다.
- [0236] 본 실시형태에 나타낸 구성은 다른 실시형태 및 실시예에 나타낸 구성과 적절히 조합하여 사용할 수 있다.
- [0237] (실시형태 4)
- [0238] 본 실시형태에서는 4개의 트랜지스터와, 하나의 용량 소자와, 하나의 발광 소자를 포함하는 반도체 장치(100D)에 대하여 설명한다. 반도체 장치(100D)의 회로 구성예를 도 49의 (A)에 나타내었다. 반도체 장치(100D)는 화소 회로(51D) 및 발광 소자(61)를 포함한다. 화소 회로(51D)는 트랜지스터(M1) 내지 트랜지스터(M4) 및 용량 소자(C1)를 포함한다.
- [0239] 트랜지스터(M1)의 게이트는 배선(GLa)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(DL)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(M2)의 게이트에 전기적으로 접속된다. 트랜지스터(M1)

는 트랜지스터(M2)의 게이트와 배선(DL) 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.

- [0240] 또한 트랜지스터(M2)의 게이트는 용량 소자(C1)의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(101)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 용량 소자(C1)의 다른 쪽의 단자에 전기적으로 접속된다. 또한 트랜지스터(M2)는 백 게이트를 포함한다. 트랜지스터(M2)의 백 게이트는 용량 소자(C1)의 다른 쪽의 단자에 전기적으로 접속된다.
- [0241] 트랜지스터(M3)의 게이트는 배선(GLc)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 용량 소자(C1)의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 배선(103)에 전기적으로 접속된다. 트랜지스터(M3)는 트랜지스터(M2)의 게이트와 배선(103) 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.
- [0242] 또한 트랜지스터(M4)의 게이트는 배선(GLb)에 전기적으로 접속되고, 트랜지스터(M4)의 소스 및 드레인 중 한쪽은 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 또한 트랜지스터(M4)의 소스 및 드레인 중 다른 쪽은 배선(103)에 전기적으로 접속된다. 트랜지스터(M4)는 배선(103)과 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.
- [0243] 또한 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽은 발광 소자(61)의 한쪽의 단자(예를 들어 애노드 단자)에 전기적으로 접속된다. 또한 발광 소자(61)의 다른 쪽의 단자(예를 들어 캐소드 단자)는 배선(104)에 전기적으로 접속된다.
- [0244] 또한 용량 소자(C1)의 한쪽의 단자, 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽, 트랜지스터(M2)의 게이트, 트랜지스터(M3)의 소스 및 드레인 중 한쪽이 전기적으로 접속되는 영역을 노드(ND1)라고도 한다.
- [0245] 또한 용량 소자(C1)의 다른 쪽의 단자, 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽, 발광 소자(61)의 한쪽의 단자가 전기적으로 접속되는 영역을 노드(ND2)라고도 한다.
- [0246] 또한 도 49의 (B)에 나타난 바와 같이, 트랜지스터(M2)로서 p채널형 트랜지스터를 사용하여도 좋다. 이 경우, 용량 소자(C1)의 다른 쪽의 단자는 배선(101)에 전기적으로 접속된다.
- [0247] 본 실시형태에 나타난 반도체 장치(100D)에 따르면, 트랜지스터 개수를 저감할 수 있기 때문에, 점유 면적을 저감할 수 있다.
- [0248] 또한 도 50의 (A)에 나타난 바와 같은, 4개의 p채널형 트랜지스터와, 2개의 용량 소자와, 하나의 발광 소자를 포함하는 반도체 장치(100E)로 하여도 좋다. 반도체 장치(100E)는 화소 회로(51E) 및 발광 소자(61)를 포함한다. 화소 회로(51E)는 트랜지스터(M1) 내지 트랜지스터(M4), 용량 소자(C1), 및 용량 소자(C2)를 포함한다.
- [0249] 트랜지스터(M1)의 게이트는 배선(GLa)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(DL)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(M3)의 게이트에 전기적으로 접속된다. 트랜지스터(M1)는 트랜지스터(M3)의 게이트와 배선(DL) 사이를 도통 상태로 할지 비도통 상태로 할지 선택하는 기능을 가진다.
- [0250] 또한 트랜지스터(M2)의 게이트는 배선(GLb)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(101)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(M3)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다.
- [0251] 트랜지스터(M3)의 소스 및 드레인 중 다른 쪽은 트랜지스터(M4)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(M4)의 게이트는 배선(GLc)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 배선(103)에 전기적으로 접속된다.
- [0252] 또한 트랜지스터(M3)의 소스 및 드레인 중 다른 쪽은 발광 소자(61)의 한쪽의 단자에 전기적으로 접속된다. 또한 발광 소자(61)의 다른 쪽의 단자는 배선(104)에 전기적으로 접속된다.
- [0253] 용량 소자(C1)의 한쪽의 단자는 트랜지스터(M3)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 용량 소자(C1)의 다른 쪽의 단자는 트랜지스터(M3)의 게이트에 전기적으로 접속된다. 용량 소자(C2)의 한쪽의 단자는 배선(101)에 전기적으로 접속된다. 용량 소자(C2)의 다른 쪽의 단자는 용량 소자(C1)의 한쪽의 단자에 전기적으로 접속된다.
- [0254] 또한 도 50의 (B)에 나타난 바와 같이 트랜지스터(M1) 및 트랜지스터(M4)에 n채널형 트랜지스터를 사용하여도 좋다.

- [0255] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.
- [0256] (실시형태 5)
- [0257] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치(100F)에 대하여 설명한다. 반도체 장치(100F)는 도 41에 나타난 반도체 장치(100C)의 변형예이다. 반복적인 설명을 줄이기 위하여 주로 반도체 장치(100F)의 도 41에 나타난 반도체 장치(100C)와 상이한 점에 대하여 설명한다.
- [0258] <구성예>
- [0259] 반도체 장치(100F)의 회로 구성예를 도 51에 나타내었다. 반도체 장치(100F)는 화소 회로(51F), 발광 소자(61a), 및 발광 소자(61b)를 포함한다. 화소 회로(51F)는 도 41에 나타난 화소 회로(51C)와 같은 구성을 가지지만, 트랜지스터(M5)의 소스 및 드레인 중 다른 쪽과, 발광 소자(61a)의 한쪽의 단자(예를 들어 애노드 단자) 및 발광 소자(61b)의 한쪽의 단자(예를 들어 애노드 단자)가 전기적으로 접속되는 점이 상이하다.
- [0260] 또한 발광 소자(61a)의 다른 쪽의 단자(예를 들어 캐소드 단자)는 배선(104a)에 전기적으로 접속된다. 발광 소자(61b)의 다른 쪽의 단자(예를 들어 캐소드 단자)는 배선(104b)에 전기적으로 접속된다.
- [0261] 또한 화소 회로(51F)를 구성하는 트랜지스터 중, 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M6), 및 트랜지스터(M7)는 스위치로서 기능한다. 따라서 반도체 장치(100F)를 도 52와 같이 나타낼 수 있다.
- [0262] <동작예>
- [0263] 반도체 장치(100F)는 배선(104a) 및 배선(104b)의 전위를 제어함으로써 발광 소자(61a) 및 발광 소자(61b)의 발광을 제어할 수 있다. 예를 들어 발광 소자(61a)를 발광시키려고 하는 경우에는, 배선(104a)에 전위 V_c 를 인가하고, 배선(104b)에 전위 V_a 이상의 전위를 인가하면 좋다. 또한 발광 소자(61b)를 발광시키려고 하는 경우에는, 배선(104b)에 전위 V_c 를 인가하고, 배선(104a)에 전위 V_a 이상의 전위를 인가하면 좋다.
- [0264] 또한 발광 소자(61a)와 발광 소자(61b) 양쪽을 발광시키려고 하는 경우에는, 배선(104a)과 배선(104b) 양쪽에 전위 V_c 를 인가하면 좋다.
- [0265] 반도체 장치(100F)는 하나의 화소 회로(51F)로 2개의 발광 소자(61)(발광 소자(61a) 및 발광 소자(61b))의 발광을 제어할 수 있다. 따라서 1화소당 화소 회로의 점유 면적이 작아지기 때문에, 표시 장치의 화소 밀도의 향상이 용이하다. 또한 하나의 화소 회로에 필요한 면적이 작아짐으로써 반도체 장치 및 표시 장치의 설계 자유도가 높아진다. 따라서 반도체 장치 및 표시 장치의 고기능화 그리고 신뢰성 향상을 용이하게 실현할 수 있다.
- [0266] 본 실시형태에 나타난 구성은 반도체 장치(100A) 및 반도체 장치(100B)에도 응용할 수 있다.
- [0267] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.
- [0268] (실시형태 6)
- [0269] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치(100G)에 대하여 설명한다. 반도체 장치(100G)는 도 41에 나타난 반도체 장치(100C)의 변형예이다. 따라서 반도체 장치(100F)의 변형예이기도 하다. 반복적인 설명을 줄이기 위하여 주로 반도체 장치(100G)의 도 41에 나타난 반도체 장치(100C)와 상이한 점에 대하여 설명한다.
- [0270] <구성예>
- [0271] 반도체 장치(100G)의 회로 구성예를 도 53에 나타내었다. 반도체 장치(100G)는 화소 회로(51G), 발광 소자(61a), 및 발광 소자(61b)를 포함한다. 또한 화소 회로(51G)는 회로(52a) 및 회로(52b)를 포함한다.
- [0272] 회로(52a)는 트랜지스터(M5a), 트랜지스터(M7a), 및 용량 소자(C3a)를 포함한다. 트랜지스터(M5a)의 게이트는 용량 소자(C3a)의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 또한 트랜지스터(M5a)의 소스 및 드레인 중 다른 쪽은 용량 소자(C3a)의 다른 쪽의 단자 및 발광 소자(61a)의 한쪽의 단자(예를 들어 애노드 단자)에 전기적으로 접속된다. 또한 발광 소자(61a)의 다른 쪽의 단자(예를 들어 캐소드 단자)는 배선(104a)에 전기적으로 접속된다. 또한 트랜지스터(M7a)의 게이트는 배선(GLa)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(GLc)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(M5a)의 게이트에 전기적으로 접속된다.
- [0273] 또한 트랜지스터(M5a)의 게이트, 용량 소자(C3a)의 한쪽의 단자, 및 트랜지스터(M7a)의 소스 및 드레인 중 다른

쪽이 전기적으로 접속되는 영역을 노드(ND4a)라고도 한다.

[0274] 회로(52b)는 트랜지스터(M5b), 트랜지스터(M7b), 및 용량 소자(C3b)를 포함한다. 트랜지스터(M5b)의 게이트는 용량 소자(C3b)의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 또한 트랜지스터(M5b)의 소스 및 드레인 중 다른 쪽은 용량 소자(C3b)의 다른 쪽의 단자 및 발광 소자(61b)의 한쪽의 단자(예를 들어 애노드 단자)에 전기적으로 접속된다. 또한 발광 소자(61b)의 다른 쪽의 단자(예를 들어 캐소드 단자)는 배선(104b)에 전기적으로 접속된다. 또한 트랜지스터(M7b)의 게이트는 배선(GLa)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(GLc)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(M5b)의 게이트에 전기적으로 접속된다.

[0275] 또한 트랜지스터(M5b)의 게이트, 용량 소자(C3b)의 한쪽의 단자, 및 트랜지스터(M7b)의 소스 및 드레인 중 다른 쪽이 전기적으로 접속되는 영역을 노드(ND4b)라고도 한다.

[0276] 즉 트랜지스터(M5a) 및 트랜지스터(M5b)는 트랜지스터(M5)에 상당한다. 트랜지스터(M7a) 및 트랜지스터(M7b)는 트랜지스터(M7)에 상당한다. 용량 소자(C3a) 및 용량 소자(C3b)는 용량 소자(C3)에 상당한다. 노드(ND4a) 및 노드(ND4b)는 노드(ND4)에 상당한다. 또한 발광 소자(61a) 및 발광 소자(61b)는 발광 소자(61)에 상당하고, 배선(104a) 및 배선(104b)은 배선(104)에 상당한다.

[0277] <동작예>

[0278] 반도체 장치(100G)는 배선(104a) 및 배선(104b)의 전위를 제어함으로써 발광 소자(61a) 및 발광 소자(61b)의 발광을 제어할 수 있다. 예를 들어 발광 소자(61a)를 발광시키려고 하는 경우에는, 배선(104a)에 전위 Vc를 인가하고, 배선(104b)에 전위 Va 이상의 전위를 인가하면 좋다. 또한 발광 소자(61b)를 발광시키려고 하는 경우에는, 배선(104b)에 전위 Vc를 인가하고, 배선(104a)에 전위 Va 이상의 전위를 인가하면 좋다.

[0279] 또한 발광 소자(61a)와 발광 소자(61b) 양쪽을 발광시키려고 하는 경우에는, 배선(104a)과 배선(104b) 양쪽에 전위 Vc를 인가하면 좋다.

[0280] 반도체 장치(100G)는 한 그룹의 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M6), 용량 소자(C1), 및 용량 소자(C2)를 사용하여, 2개의 발광 소자(61)(발광 소자(61a) 및 발광 소자(61b))의 발광을 제어할 수 있다. 따라서 1화소당 화소 회로의 점유 면적이 작아지기 때문에, 표시 장치의 화소 밀도의 향상이 용이하다. 또한 하나의 화소 회로에 필요한 면적이 작아짐으로써 반도체 장치 및 표시 장치의 설계 자유도가 높아진다. 따라서 반도체 장치 및 표시 장치의 고기능화 그리고 신뢰성 향상을 용이하게 실현할 수 있다.

[0281] 본 실시형태에 나타난 구성은 반도체 장치(100A) 및 반도체 장치(100B)에도 응용할 수 있다.

[0282] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.

[0283] (실시형태 7)

[0284] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치(100H)에 대하여 설명한다. 반도체 장치(100H)는 도 53에 나타난 반도체 장치(100G)의 변형예이다. 반복적인 설명을 줄이기 위하여 주로 반도체 장치(100H)의 반도체 장치(100G)와 상이한 점에 대하여 설명한다.

[0285] <구성예>

[0286] 반도체 장치(100H)의 회로 구성예를 도 54에 나타내었다. 반도체 장치(100H)는 화소 회로(51H), 발광 소자(61a), 및 발광 소자(61b)를 포함한다. 또한 화소 회로(51H)는 회로(52a) 및 회로(52b)를 포함한다.

[0287] 반도체 장치(100H)에서는 회로(52b)가 포함하는 트랜지스터(M7b)의 소스 및 드레인 중 한쪽이 배선(GLd)에 전기적으로 접속되는 점이 반도체 장치(100G)와 상이하다. 또한 발광 소자(61a)의 캐소드와 발광 소자(61b)의 캐소드 양쪽이 배선(104)에 전기적으로 접속된다.

[0288] <동작예>

[0289] 반도체 장치(100H)는 배선(GLc) 및 배선(GLd)의 전위를 제어함으로써 발광 소자(61a) 및 발광 소자(61b)의 발광을 제어할 수 있다. 예를 들어 발광 소자(61a)만을 발광시키려고 하는 경우에는, 상기 실시형태에 나타난 기간 T34에서 배선(GLc)에 전위 H를 인가하고, 배선(GLd)에 전위 L을 인가하면 좋다. 또한 발광 소자(61b)만을 발광시키려고 하는 경우에는, 상기 실시형태에 나타난 기간 T34에서 배선(GLc)에 전위 L을 인가하고, 배선(GLd)에

전위 H를 인가하면 좋다.

- [0290] 또한 발광 소자(61a)와 발광 소자(61b) 양쪽을 발광시키려고 하는 경우에는, 상기 실시형태에 나타낸 기간 T34에서 배선(GLc)과 배선(GLd) 양쪽에 전위 H를 인가하면 좋다.
- [0291] 반도체 장치(100G)와 마찬가지로 반도체 장치(100H)에서도 한 그룹의 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M6), 용량 소자(C1), 및 용량 소자(C2)를 사용하여 2개의 발광 소자(61)(발광 소자(61a) 및 발광 소자(61b))의 발광을 제어할 수 있다. 따라서 1화소당 화소 회로의 점유 면적이 작아지기 때문에, 표시 장치의 화소 밀도의 향상이 용이하다. 또한 하나의 화소 회로에 필요한 면적이 작아짐으로써 반도체 장치 및 표시 장치의 설계 자유도가 높아진다. 따라서 반도체 장치 및 표시 장치의 고기능화 그리고 신뢰성 향상을 용이하게 실현할 수 있다.
- [0292] 본 실시형태에 나타낸 구성은 반도체 장치(100A) 및 반도체 장치(100B)에도 응용할 수 있다.
- [0293] 본 실시형태에 나타낸 구성은 다른 실시형태 및 실시예에 나타낸 구성과 적절히 조합하여 사용할 수 있다.
- [0294] (실시형태 8)
- [0295] 본 실시형태에서는 반도체 장치(100)(반도체 장치(100A), 반도체 장치(100B), 반도체 장치(100C), 반도체 장치(100Ca), 반도체 장치(100Cb), 반도체 장치(100Cc), 반도체 장치(100Cd), 반도체 장치(100Ce), 반도체 장치(100D), 반도체 장치(100E), 반도체 장치(100F), 반도체 장치(100G), 또는 반도체 장치(100H))를 사용한 표시 장치(10)의 구성예에 대하여 설명한다. 도 55의 (A)는 표시 장치(10)를 설명하는 블록도이다. 표시 장치(10)는 표시 영역(235), 제 1 구동 회로부(231), 및 제 2 구동 회로부(232)를 포함한다. 표시 영역(235)은 매트릭스 형태로 배치된 복수의 화소(230)를 가진다. 화소(230)에 본 발명의 일 형태에 따른 반도체 장치(100)를 사용할 수 있다.
- [0296] 제 1 구동 회로부(231)에 포함되는 회로는 예를 들어 주사선 구동 회로로서 기능한다. 제 2 구동 회로부(232)에 포함되는 회로는 예를 들어 신호선 구동 회로로서 기능한다. 또한 표시 영역(235)을 개재하여 제 1 구동 회로부(231)와 대향하는 위치에 어떤 회로를 제공하여도 좋다. 표시 영역(235)을 개재하여 제 2 구동 회로부(232)와 대향하는 위치에 어떤 회로를 제공하여도 좋다. 또한 제 1 구동 회로부(231) 및 제 2 구동 회로부(232)에 포함되는 회로의 총칭을 '주변 구동 회로' 또는 '구동 회로'라고 하는 경우가 있다.
- [0297] 주변 구동 회로에는 시프트 레지스터, 레벨 시프터, 인버터, 래치, 아날로그 스위치, 논리 회로 등의 다양한 회로를 사용할 수 있다. 주변 구동 회로에는 트랜지스터 및 용량 소자 등을 사용할 수 있다. 주변 구동 회로가 포함하는 트랜지스터를 화소(230)에 포함되는 트랜지스터와 같은 공정으로 형성하여도 좋다.
- [0298] 예를 들어 화소(230)를 구성하는 트랜지스터에 OS 트랜지스터를 사용하고, 주변 구동 회로를 구성하는 트랜지스터에 Si 트랜지스터를 사용하여도 좋다. OS 트랜지스터는 오프 전류가 낮기 때문에 소비 전력을 저감할 수 있다. 또한 Si 트랜지스터는 OS 트랜지스터보다 동작 속도가 빠르기 때문에 주변 구동 회로에 사용하면 적합하다. 또한 표시 장치에 따라서는 화소(230)를 구성하는 트랜지스터와 주변 구동 회로를 구성하는 트랜지스터 양쪽에 OS 트랜지스터를 사용하여도 좋다. 또한 표시 장치에 따라서는 화소(230)를 구성하는 트랜지스터와 주변 구동 회로를 구성하는 트랜지스터 양쪽에 Si 트랜지스터를 사용하여도 좋다. 또는 표시 장치에 따라서는 화소(230)를 구성하는 트랜지스터에 Si 트랜지스터를 사용하고, 주변 구동 회로를 구성하는 트랜지스터에 OS 트랜지스터를 사용하여도 좋다.
- [0299] 또한 화소(230)를 구성하는 트랜지스터에 Si 트랜지스터와 OS 트랜지스터 양쪽을 사용하여도 좋다. 또한 주변 구동 회로를 구성하는 트랜지스터에 Si 트랜지스터와 OS 트랜지스터 양쪽을 사용하여도 좋다.
- [0300] 또한 표시 장치(10)는 각각이 실질적으로 평행하게 배치되며 제 1 구동 회로부(231)에 포함되는 회로에 의하여 전위가 제어되는 m개(m은 1 이상의 정수임)의 배선(236)과, 각각이 실질적으로 평행하게 배치되며 제 2 구동 회로부(232)에 포함되는 회로에 의하여 전위가 제어되는 n개(n은 1 이상의 정수임)의 배선(237)을 포함한다.
- [0301] 또한 도 55의 (A)에서는 화소(230)에 배선(236)과 배선(237)이 접속되는 예를 나타내었다. 다만 배선(236)과 배선(237)은 일례이고 화소(230)와 접속되는 배선은 배선(236)과 배선(237)에 한정되지 않는다.
- [0302] 표시 영역(235)은 m행 n열의 매트릭스 형태로 배치된 복수의 화소(230)를 포함한다. 예를 들어 r 번째 행(r는 임의의 수를 나타내고, 본 실시형태 등에서는 1 이상 m 이하의 정수임)에 배치되어 있는 화소(230)는 r 번째의 배선(236)을 통하여 제 1 구동 회로부(231)에 전기적으로 접속된다. 또한 s 번째 열(s는 임의의 수를

나타내고, 본 실시형태 등에서는 1 이상 n 이하의 정수임)에 배치되어 있는 화소(230)는 s 번째의 배선(237)을 통하여 제 2 구동 회로부(232)에 전기적으로 접속된다.

- [0303] 적색광을 제어하는 화소(230), 녹색광을 제어하는 화소(230), 및 청색광을 제어하는 화소(230)를 스트라이프 형상으로 배치하고, 이들을 합쳐 하나의 화소(240)로서 기능시켜, 각 화소(230)의 발광량(발광 휘도)을 제어함으로써 풀 컬러 표시를 실현할 수 있다. 따라서 상기 3개의 화소(230)는 각각이 부화소로서 기능한다. 즉 3개의 부화소는 각각이 적색광, 녹색광, 또는 청색광의 발광량 등을 제어한다(도 55의 (B1) 참조). 또한 3개의 부화소 각각이 제어하는 광의 색은 적색(R), 녹색(G), 청색(B)의 조합에 한정되지 않고, 시안(C), 마젠타(M), 황색(Y)이어도 좋다(도 55의 (B2) 참조).
- [0304] 또한 하나의 화소(240)를 구성하는 3개의 화소(230)의 배치는 델타 배치이어도 좋다(도 55의 (B3) 참조). 구체적으로는 하나의 화소(240)를 구성하는 3개의 화소(230) 각각의 중심점을 연결하는 선이 삼각형이 되도록 배치하여도 좋다.
- [0305] 또한 3개의 부화소(화소(230)) 각각의 면적은 같지 않아도 된다. 발광색에 따라 발광 효율 및 신뢰성 등이 상이한 경우, 발광색마다 부화소의 면적을 변경하여도 좋다(도 55의 (B4) 참조). 또한 도 55의 (B4)에 나타난 부화소의 배치를 'S 스트라이프 배열' 등이라고 불러도 좋다.
- [0306] 또한 4개의 부화소를 합쳐 하나의 화소로서 기능시켜도 좋다. 예를 들어 적색광, 녹색광, 청색광을 각각 제어하는 3개의 부화소에 백색광을 제어하는 부화소를 추가하여도 좋다(도 55의 (B5) 참조). 백색광을 제어하는 부화소를 제공함으로써, 표시 영역의 휘도를 높일 수 있다. 또한 적색광, 녹색광, 청색광을 각각 제어하는 3개의 부화소에 황색광을 제어하는 부화소를 추가하여도 좋다(도 55의 (B6) 참조). 또한 시안색광, 마젠타색광, 황색광을 각각 제어하는 3개의 부화소에 백색광을 제어하는 부화소를 추가하여도 좋다(도 55의 (B7) 참조).
- [0307] 하나의 화소로서 기능시키는 부화소의 수를 늘리고, 적색, 녹색, 청색, 시안, 마젠타, 및 황색 등의 광을 제어하는 부화소를 적절히 조합하여 사용함으로써, 중간조의 재현성을 높일 수 있다. 따라서 표시 품질을 높일 수 있다.
- [0308] 또한 도 56에 나타난 바와 같이 S 스트라이프 배열의 부화소(화소(230))를 인접한 화소(240) 간에서 같은 발광색의 부화소가 인접되도록 배치하여도 좋다.
- [0309] 또한 도 57의 (A1) 및 (A2)에 나타난 바와 같이 화소(230)를 스트라이프 형상으로 배치하는 화소(240)에 있어서 인접된 화소(240)들 간에서 같은 발광색을 제어하는 화소(230)를 인접하여 제공하여도 좋다.
- [0310] 도 57의 (A1) 및 (A2)에서는 적색광을 제어하는 화소(230a) 및 화소(230b)가 행 방향으로 인접되고, 녹색광을 제어하는 화소(230a) 및 화소(230b)가 행 방향으로 인접되고, 청색광을 제어하는 화소(230a) 및 화소(230b)가 행 방향으로 인접된다. 도 57의 (A1) 및 (A2)에 나타난 화소(240)는 하나의 화소(230)를 열 방향을 따라 2개로 분할한 구성이라고도 할 수 있다. 또한 같은 발광색의 화소(230)가 3개 이상 인접되어도 좋다. 즉 하나의 화소(230)를 3개 이상으로 분할하여도 좋다.
- [0311] 도 57의 (A1)에 나타난 바와 같이 적색광을 제어하는 화소(230a), 녹색광을 제어하는 화소(230a), 및 청색광을 제어하는 화소(230a)로 하나의 화소(240)를 구성하여도 좋다. 또한 도 57의 (A2)에 나타난 바와 같이 적색광을 제어하는 화소(230a) 및 화소(230b), 녹색광을 제어하는 화소(230a) 및 화소(230b), 그리고 청색광을 제어하는 화소(230a) 및 화소(230b)로 하나의 화소(240)를 구성하여도 좋다.
- [0312] 하나의 화소(240)에 같은 발광색을 제어하는 부화소를 복수 제공함으로써, 표시 장치(10)로 재현할 수 있는 계조수를 증가시킬 수 있다. 따라서 표시 장치의 표시 품질을 높일 수 있다.
- [0313] 또한 도 57의 (B)에 나타난 바와 같이 같은 발광색을 제어하는 화소(230a) 및 화소(230b)를 열 방향으로 인접하여 제공하여도 좋다. 도 57의 (B)에 나타난 화소 구성은 도 55의 (B1)에 나타난 화소(240)를 행 방향으로 2개로 분할한 구성이라고도 할 수 있다. 화소(240)를 분할함으로써 표시 영역(235)의 화소 밀도를 높일 수 있다. 따라서 더 고정세의 화상 표시를 실현할 수 있다.
- [0314] 또한 도 57의 (A1) 및 (A2)와 마찬가지로 S 스트라이프 배열의 화소(240)에서도 부화소인 화소(230)를 복수로 분할하여도 좋다(도 57의 (C) 참조). 도 57의 (C)에 나타난 화소(240)는 도 57의 (A1) 및 (A2)에 나타난 화소(240)와 마찬가지로 기능할 수 있다.
- [0315] 또한 본 발명의 일 형태의 표시 장치는 다양한 규격의 색역을 재현할 수 있다. 예를 들어 텔레비전 방송에 사

용되는 PAL(Phase Alternating Line) 규격 및 NTSC(National Television System Committee) 규격, 퍼스널 컴퓨터, 디지털 카메라, 프린터 등의 전자 기기에 사용되는 표시 장치에서 널리 사용되는 sRGB(standard RGB) 규격 및 Adobe RGB 규격, HDTV(High Definition Television, 하이비전이라고도 함)에 사용되는 ITU-R BT.709(International Telecommunication Union Radiocommunication Sector Broadcasting Service(Television) 709) 규격, 디지털 시네마 영상에 사용되는 DCI-P3(Digital Cinema Initiatives P3) 규격, UHDTV(Ultra High Definition Television, 슈퍼 하이비전이라고도 함)에 사용되는 ITU-R BT.2020(REC.2020(Recommendation 2020)) 규격 등의 색역을 재현할 수 있다.

- [0316] 또한 화소(240)를 1920×1080 의 매트릭스 형태로 배치하면 소위 풀 하이비전('2K 해상도', '2K1K', 또는 '2K' 등이라고도 함)의 해상도로 풀 컬러 표시를 할 수 있는 표시 장치(10)를 실현할 수 있다. 또한 예를 들어 화소(240)를 3840×2160 의 매트릭스 형태로 배치하면 소위 울트라 하이비전('4K 해상도', '4K2K', 또는 '4K' 등이라고도 함)의 해상도로 풀 컬러 표시를 할 수 있는 표시 장치(10)를 실현할 수 있다. 또한 예를 들어 화소(240)를 7680×4320 의 매트릭스 형태로 배치하면 소위 슈퍼 하이비전('8K 해상도', '8K4K', 또는 '8K' 등이라고도 함)의 해상도로 풀 컬러 표시를 할 수 있는 표시 장치(10)를 실현할 수 있다. 화소(240)를 늘림으로써 16K 또는 32K의 해상도로 풀 컬러 표시를 할 수 있는 표시 장치(10)를 실현할 수도 있다.
- [0317] 또한 표시 영역(235)의 화소 밀도는 100ppi 이상 10000ppi 이하가 바람직하고 1000ppi 이상 10000ppi 이하가 더 바람직하다. 예를 들어 2000ppi 이상 6000ppi 이하이어도 좋고, 3000ppi 이상 5000ppi 이하이어도 좋다.
- [0318] 또한 표시 영역(235)의 종횡비에 대해서는 특별히 한정되지 않는다. 표시 장치(10)의 표시 영역(235)은 예를 들어 1:1(정사각형), 4:3, 16:9, 16:10 등 다양한 종횡비에 대응할 수 있다.
- [0319] 표시 영역(235)은 대각 0.1인치 이상 100인치 이하이면 좋고, 100인치 이상이어도 좋다.
- [0320] 또한 표시 장치(10)를 가상 현실(VR: Virtual Reality) 또는 증강 현실(AR: Augmented Reality)용 표시 장치로서 사용하는 경우, 표시 영역(235)의 대각 크기는 0.1인치 이상 5.0인치 이하, 바람직하게는 0.5인치 이상 2.0인치 이하, 더 바람직하게는 1인치 이상 1.7인치 이하로 할 수 있다. 예를 들어 표시 영역(235)의 대각 크기를 1.5인치, 또는 1.5인치 근방으로 하여도 좋다. 표시 영역(235)의 대각 크기를 2.0인치 이하, 바람직하게는 1.5인치 근방으로 함으로써, 노광 장치(대표적으로는 스캐너 장치)로 수행하는 노광 처리를 한 번으로 완료할 수 있기 때문에, 제조 프로세스의 생산성을 향상시킬 수 있다.
- [0321] 또한 표시 영역(235)의 대각 크기에 따라 표시 영역(235)에 사용하는 트랜지스터의 구성을 적절히 선택하여도 좋다. 예를 들어 표시 영역(235)에 단결정 Si 트랜지스터를 사용하는 경우, 표시 영역(235)의 대각의 크기는 0.1인치 이상 3인치 이하가 바람직하다. 또한 표시 영역(235)에 LTPS 트랜지스터를 사용하는 경우, 표시 영역(235)의 대각의 크기는 0.1인치 이상 30인치 이하가 바람직하고, 1인치 이상 30인치 이하가 더 바람직하다. 또한 표시 영역(235)에 LTPO(LTPS 트랜지스터와 OS 트랜지스터를 조합하는 구성)를 사용하는 경우, 표시 영역(235)의 대각의 크기는 0.1인치 이상 50인치 이하가 바람직하고, 1인치 이상 50인치 이하가 더 바람직하다. 또한 표시 영역(235)에 OS 트랜지스터를 사용하는 경우, 표시 영역(235)의 대각의 크기는 0.1인치 이상 200인치 이하가 바람직하고, 50인치 이상 100인치 이하가 더 바람직하다.
- [0322] 단결정 Si 트랜지스터는 단결정 Si 기판의 크기 때문에 화면의 대형화가 매우 어렵다. 또한 LTPS 트랜지스터는 제조 공정에서 레이저 결정화 장치를 사용하기 때문에, 대형화(대표적으로는 대각 30인치를 넘는 화면)에 대응하기 어렵다. 한편 OS 트랜지스터는 제조 공정에서 레이저 결정화 장치 등을 사용하는 제약이 없거나 비교적 저온의 프로세스 온도(대표적으로는 450°C 이하)에서 제조할 수 있기 때문에 비교적 대면적(대표적으로는 대각 50인치 이상 100인치 이하)의 표시 패널까지 대응할 수 있다. 또한 LTPO에 대해서는 LTPS 트랜지스터를 사용하는 경우와, OS 트랜지스터를 사용하는 경우의 중간 범위의 표시 패널의 크기(대표적으로는 대각 1인치 이상 50인치 이하)에 적용할 수 있게 된다.
- [0323] <발광 소자의 구성예>
- [0324] 본 발명의 일 형태에 따른 반도체 장치에 사용할 수 있는 발광 소자(발광 디바이스라고도 함)에 대하여 설명한다.
- [0325] 도 58의 (A)에 나타난 바와 같이 발광 소자(61)는 한 쌍의 전극(도전층(171), 도전층(173)) 사이에 EL층(172)을 포함한다. EL층(172)은 층(4420), 발광층(4411), 층(4430) 등의 복수의 층으로 구성할 수 있다. 층(4420)은 예를 들어 전자 주입성이 높은 물질을 포함하는 층(전자 주입층) 및 전자 수송성이 높은 물질을 포함하는 층(전자 수송층) 등을 포함할 수 있다. 발광층(4411)은 예를 들어 발광성 화합물을 가진다. 층(4430)은 예를 들어

정공 주입성이 높은 물질을 포함하는 층(정공 주입층) 및 정공 수송성이 높은 물질을 포함하는 층(정공 수송층)을 포함할 수 있다.

- [0326] 한 쌍의 전극 사이에 제공된 층(4420), 발광층(4411), 및 층(4430)을 포함하는 구성은 단일의 발광 유닛으로서 기능할 수 있어, 본 명세서 등에서는 도 58의 (A)의 구성을 싱글 구조라고 부른다.
- [0327] 또한 도 58의 (B)는 도 58의 (A)에 나타난 발광 소자(61)가 포함하는 EL층(172)의 변형예이다. 구체적으로는 도 58의 (B)에 나타난 발광 소자(61)는 도전층(171) 위의 층(4430-1)과, 층(4430-1) 위의 층(4430-2)과, 층(4430-2) 위의 발광층(4411)과, 발광층(4411) 위의 층(4420-1)과, 층(4420-1) 위의 층(4420-2)과, 층(4420-2) 위의 도전층(173)을 포함한다. 예를 들어 도전층(171)을 양극으로 하고, 도전층(173)을 음극으로 한 경우, 층(4430-1)이 정공 주입층으로서 기능하고, 층(4430-2)이 정공 수송층으로서 기능하고, 층(4420-1)이 전자 수송층으로서 기능하고, 층(4420-2)이 전자 주입층으로서 기능한다. 또는 도전층(171)을 음극으로 하고, 도전층(173)을 양극으로 한 경우, 층(4430-1)이 전자 주입층으로서 기능하고, 층(4430-2)이 전자 수송층으로서 기능하고, 층(4420-1)이 정공 수송층으로서 기능하고, 층(4420-2)이 정공 주입층으로서 기능한다. 이와 같은 층 구조로 함으로써, 발광층(4411)에 효율적으로 캐리어를 주입하고, 발광층(4411) 내에서의 캐리어 재결합의 효율을 높일 수 있게 된다.
- [0328] 또한 도 58의 (C)에 나타난 바와 같이 층(4420)과 층(4430) 사이에 복수의 발광층(발광층(4411), 발광층(4412), 발광층(4413))이 제공되는 구성도 싱글 구조의 일례이다.
- [0329] 또한 도 58의 (D)에 나타난 바와 같이 복수의 발광 유닛(EL층(172a), EL층(172b))이 중간층(전하 발생층(4440))을 개재하여 직렬로 접속된 구성을 본 명세서 등에서는 탠덤 구조 또는 적층 구조라고 부른다. 또한 탠덤 구조로 함으로써, 고휘도 발광이 가능한 발광 소자를 실현할 수 있다.
- [0330] 또한 발광 소자(61)를 도 58의 (D)에 나타난 탠덤 구조로 하는 경우, EL층(172a)과 EL층(172b) 각각의 발광색을 같은 색으로 하여도 좋다. 예를 들어 EL층(172a) 및 EL층(172b)의 발광색을 모두 녹색으로 하여도 좋다. 또한 표시 영역(235)이 R, G, B의 3개의 부화소를 포함하고, 각 부화소가 발광 소자를 포함하는 경우, 각 부화소의 발광 소자를 탠덤 구조로 하여도 좋다. 구체적으로는 R의 부화소의 EL층(172a) 및 EL층(172b)은 각각 적색 발광이 가능한 재료를 포함하고, G의 부화소의 EL층(172a) 및 EL층(172b)은 각각, 녹색 발광이 가능한 재료를 포함하고, B의 부화소의 EL층(172a) 및 EL층(172b)은 각각, 청색 발광이 가능한 재료를 포함한다. 환언하면, 발광층(4411)과 발광층(4412)의 재료가 같아도 좋다. EL층(172a)과 EL층(172b)의 발광색을 같게 함으로써 단위 발광 휘도당 전류 밀도를 저감할 수 있다. 따라서 발광 소자(61)의 신뢰성을 높일 수 있다.
- [0331] 발광 소자의 발광색은 EL층(172)을 구성하는 재료에 의하여 적색, 녹색, 청색, 시안, 마젠타, 황색, 또는 백색 등으로 할 수 있다. 또한 발광 소자에 마이크로캐비티 구조를 부여함으로써 색 순도를 더 높일 수 있다.
- [0332] 발광층은 R(적색), G(녹색), B(청색), Y(황색), O(주황색) 등의 발광을 나타내는 발광 물질을 2개 이상 포함하여도 좋다. 백색의 광을 발하는 발광 소자는 발광층에 2종류 이상의 발광 물질을 포함하는 구성으로 하는 것이 바람직하다. 2종류의 발광 물질을 사용하여 백색 발광을 얻기 위해서는 각각의 발광 물질의 발광색이 보색 관계가 되는 발광 물질을 선택하면 좋다. 또는 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 발광 소자 전체로서 백색 발광하는 발광 소자를 얻을 수 있다. 또한 발광 소자가 3개 이상의 발광층을 가지는 경우에도 마찬가지이다.
- [0333] 발광층에는 R(적색), G(녹색), B(청색), Y(황색), O(주황색) 등의 발광을 나타내는 발광 물질을 2개 이상 포함하는 것이 바람직하다. 또는 발광 물질을 2개 이상 가지고, 각 발광 물질의 발광이 R, G, B 중 2개 이상의 색의 스펙트럼 성분을 포함하는 것이 바람직하다.
- [0334] 발광 물질로서는 형광을 발하는 물질(형광 재료), 인광을 발하는 물질(인광 재료), 무기 화합물(퀀텀닷(quantum dot) 재료 등), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(Thermally Activated Delayed Fluorescence: TADF) 재료) 등을 들 수 있다. 또한 TADF 재료로서는 단일항 들뜬 상태와 삼중항 들뜬 상태 사이가 열평형 상태에 있는 재료를 사용하여도 좋다. 이러한 TADF 재료는 발광 수명(들뜬 수명)이 짧아지기 때문에, 발광 소자의 고휘도 영역에서의 효율 저하를 억제할 수 있다.
- [0335] <발광 소자의 형성 방법>
- [0336] 이하에서는 발광 소자(61)의 형성 방법의 일례에 대하여 설명한다.
- [0337] 도 59의 (A)에 발광 소자(61)의 상면 개략도를 나타내었다. 도 59의 (A) 등에는 적색을 나타내는 발광 소자

(61)를 발광 소자(61R)로 나타내고, 녹색을 나타내는 발광 소자(61)를 발광 소자(61G)로 나타내고, 청색을 나타내는 발광 소자(61)를 발광 소자(61B)로 나타내었다. 도 59의 (A)에는 각 발광 소자를 구별하기 쉽게 각 발광 소자의 발광 영역 내에 R, G, B의 부호를 부여하였다. 또한 도 59의 (A)에 나타난 발광 소자(61)의 구성을 SBS(Side By Side) 구조라고 불러도 좋다. 또한 도 59의 (A)에는 적색(R), 녹색(G), 및 청색(B)의 3개의 발광색을 포함하는 구성을 예시하였지만 이에 한정되지 않는다. 예를 들어 4개 이상의 발광색을 포함하는 구성으로 하여도 좋다.

[0338] 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)는 각각 매트릭스 형태로 배열되어 있다. 도 59의 (A)에는 한쪽 방향으로 동일한 색의 발광 소자가 배열되는, 소위 스트라이프 배열로 나타내었지만, 발광 소자의 배열 방법은 이에 한정되지 않는다. 발광 소자의 배열 방법으로서 델타 배열, 지그재그 배열, S 스트라이프 배열, 또는 펜타일 배열 등을 사용할 수 있다.

[0339] 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)로서는 OLED(Organic Light Emitting Diode) 또는 QOLED(Quantum-dot Organic Light Emitting Diode) 등의 유기 EL 디바이스를 사용하는 것이 바람직하다. 발광 소자가 가지는 발광 물질로서는 형광을 발하는 물질(형광 재료), 인광을 발하는 물질(인광 재료), 무기 화합물(퀀텀닷(quantum dot) 재료 등), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(Thermally activated delayed fluorescence: TADF) 재료) 등을 들 수 있다.

[0340] 도 59의 (B)는 도 59의 (A)에서의 일점쇄선 A1-A2에 대응하는 단면 개략도이다. 도 59의 (B)에는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)의 단면을 나타내었다. 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)는 각각 절연층(363) 위에 제공되고, 화소 전극으로서 기능하는 도전층(171), 및 공통 전극으로서 기능하는 도전층(173)을 포함한다. 절연층(363)으로서는 무기 절연막 및 유기 절연막 중 한쪽 또는 양쪽을 사용할 수 있다. 절연층(363)으로서 무기 절연막을 사용하는 것이 바람직하다. 무기 절연막으로서는 예를 들어 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막 등의 산화물 절연막 및 질화물 절연막이 있다.

[0341] 발광 소자(61R)는 화소 전극으로서 기능하는 도전층(171)과 공통 전극으로서 기능하는 도전층(173) 사이에 EL층(172R)을 포함한다. EL층(172R)은 적어도 적색의 파장 영역에 강도를 가지는 광을 발하는 발광성 유기 화합물을 가진다. 발광 소자(61G)가 포함하는 EL층(172G)은 적어도 녹색의 파장 영역에 강도를 가지는 광을 발하는 발광성 유기 화합물을 포함한다. 발광 소자(61B)가 포함하는 EL층(172B)은 적어도 청색의 파장 영역에 강도를 가지는 광을 발하는 발광성 유기 화합물을 포함한다.

[0342] EL층(172R), EL층(172G), 및 EL층(172B)은 각각 발광성 유기 화합물을 포함하는 층(발광층) 외에 전자 주입층, 전자 수송층, 정공 주입층, 및 정공 수송층 중 하나 이상을 포함하여도 좋다.

[0343] 화소 전극으로서 기능하는 도전층(171)은 발광 소자마다 제공되어 있다. 또한 공통 전극으로서 기능하는 도전층(173)은 각 발광 소자에 공통되는 연속된 층으로서 제공되어 있다. 화소 전극으로서 기능하는 도전층(171)과 공통 전극으로서 기능하는 도전층(173) 중 어느 한쪽에 가시광에 대하여 투과성을 가지는 도전막을 사용하고, 다른 쪽에 반사성을 가지는 도전막을 사용한다. 화소 전극으로서 기능하는 도전층(171)에 투과성을 가지는 도전막을 사용하고, 공통 전극으로서 기능하는 도전층(173)에 반사성을 가지는 도전막을 사용함으로써 하면 발광형(보텀 이미션형)의 표시 장치로 할 수 있고, 반대로 화소 전극으로서 기능하는 도전층(171)에 반사성을 가지는 도전막을 사용하고, 공통 전극으로서 기능하는 도전층(173)에 투과성을 가지는 도전막을 사용함으로써 상면 발광형(탑 이미션형)의 표시 장치로 할 수 있다. 또한 화소 전극으로서 기능하는 도전층(171)과 공통 전극으로서 기능하는 도전층(173) 양쪽에 투과성을 가지는 도전막을 사용함으로써, 양면 발광형(듀얼 이미션형)의 표시 장치로 할 수도 있다.

[0344] 예를 들어 발광 소자(61R)가 탑 이미션형인 경우, 발광 소자(61R)로부터 사출되는 광(175R)은 도전층(173) 측으로 사출된다. 발광 소자(61G)가 탑 이미션형인 경우, 발광 소자(61G)로부터 사출되는 광(175G)은 도전층(173) 측으로 사출된다. 발광 소자(61B)가 탑 이미션형인 경우, 발광 소자(61B)로부터 사출되는 광(175B)은 도전층(173) 측으로 사출된다.

[0345] 화소 전극으로서 기능하는 도전층(171)의 단부를 덮어 절연층(272)이 제공되어 있다. 절연층(272)의 단부는 테이퍼 형상인 것이 바람직하다. 절연층(272)에는 절연층(363)에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다.

[0346] 절연층(272)은 인접한 발광 소자(61)가 의도치 않게 전기적으로 단락되어, 잘못 발광되는 것을 방지하기 위하여

제공한다. 또한 EL층(172)의 형성에 메탈 마스크를 사용하는 경우, 메탈 마스크가 도전층(171)에 접촉되지 않도록 하는 기능도 가진다.

- [0347] EL층(172R), EL층(172G), 및 EL층(172B)은 각각 화소 전극으로서 기능하는 도전층(171)의 상면에 접하는 영역과, 절연층(272)의 표면에 접하는 영역을 포함한다. 또한 EL층(172R)의 단부, EL층(172G)의 단부, 및 EL층(172B)의 단부는 절연층(272) 위에 위치한다.
- [0348] 도 59의 (B)에 나타난 바와 같이 상이한 2개의 색을 나타내는 발광 소자의 EL층 사이에 틈이 제공되어 있다. 이와 같이 EL층(172R), EL층(172G), 및 EL층(172B)이 서로 접하지 않도록 제공되어 있는 것이 바람직하다. 이로써 인접한 2개의 EL층을 통하여 전류가 흘러, 의도치 않은 발광이 발생되는 것(크로스토크라고도 함)을 적절하게 방지할 수 있다. 그러므로 콘트라스트를 높일 수 있고, 표시 품질이 높은 표시 장치를 실현할 수 있다.
- [0349] EL층(172R), EL층(172G), 및 EL층(172B)은 메탈 마스크 등의 새도 마스크를 사용한 진공 증착법 등으로 개별적으로 형성할 수 있다. 또는 포토리소그래피법으로 이들을 개별적으로 제작하여도 좋다. 포토리소그래피법을 사용함으로써, 메탈 마스크를 사용한 경우에는 실현이 어려운, 정세도가 높은 표시 장치를 실현할 수 있다.
- [0350] 또한 본 명세서 등에서 메탈 마스크 또는 FMM(파인 메탈 마스크, 고정세의 메탈 마스크)을 사용하여 제작되는 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서 메탈 마스크 또는 FMM을 사용하지 않고 제작된 디바이스를 MML(메탈 마스크리스) 구조의 디바이스라고 부르는 경우가 있다. MML 구조의 표시 장치는 메탈 마스크를 사용하지 않고 제작하기 때문에 MM 구조의 표시 장치보다 화소 배치 및 화소 형상 등의 설계 자유도가 높다.
- [0351] 또한 공통 전극으로서 기능하는 도전층(173) 위에는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)를 덮어 보호층(271)이 제공되어 있다. 보호층(271)은 위쪽으로부터 각 발광 소자로 물 등의 불순물이 확산되는 것을 방지하는 기능을 가진다.
- [0352] 보호층(271)은 예를 들어 적어도 무기 절연막을 포함하는 단층 구조 또는 적층 구조로 할 수 있다. 무기 절연막으로서는 예를 들어 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막 등의 산화물막 또는 질화물막이 있다. 또는 보호층(271)으로서 인듐 갈륨 산화물, 인듐 갈륨 아연 산화물(IGZO) 등의 반도체 재료를 사용하여도 좋다. 또한 보호층(271)은 ALD법, CVD법, 및 스퍼터링법을 사용하여 형성하면 좋다. 또한 보호층(271)이 무기 절연막을 포함하는 구성을 예시하였지만 이에 한정되지 않는다. 예를 들어 보호층(271)은 무기 절연막과 유기 절연막의 적층 구조로 하여도 좋다.
- [0353] 또한 본 명세서 중에서 질화산화물이란 산소보다 질소의 함유량이 많은 화합물을 말한다. 또한 산화질화물이란 질소보다 산소의 함유량이 많은 화합물을 말한다. 또한 각 원소의 함유량은 예를 들어 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 등을 사용하여 측정할 수 있다.
- [0354] 보호층(271)으로서, 인듐 갈륨 아연 산화물을 사용하는 경우, 습식 식각법 또는 건식 식각법을 사용하여 가공할 수 있다. 예를 들어 보호층(271)으로서 IGZO를 사용하는 경우, 옥살산, 인산, 또는 혼합 약액(예를 들어 인산, 아세트산, 질산, 및 물의 혼합 약액(혼산 알루미늄 식각액이라고도 함)) 등의 약액을 사용할 수 있다. 또한 상기 혼산 알루미늄 식각액은 체적비가 인산:아세트산:질산:물=53.3:6.7:3.3:36.7 근방인 배합으로 할 수 있다.
- [0355] 도 59의 (C)에는 상술한 것과 상이한 예를 나타내었다. 구체적으로는 도 59의 (C)에서는 백색의 광을 나타내는 발광 소자(61W)를 포함한다. 발광 소자(61W)는 화소 전극으로서 기능하는 도전층(171)과 공통 전극으로서 기능하는 도전층(173) 사이에 백색의 광을 나타내는 EL층(172W)을 포함한다.
- [0356] EL층(172W)으로서는 예를 들어 각각의 발광색이 보색 관계가 되도록 선택된 2개의 발광층을 적층한 구성으로 할 수 있다. 또한 발광층 간에 전하 발생층을 끼운 적층형 EL층을 사용하여도 좋다. 또한 EL층(172W)은 3개 이상의 발광층을 포함하여도 좋다.
- [0357] 도 59의 (C)에는 3개의 발광 소자(61W)를 나란히 나타내었다. 왼쪽의 발광 소자(61W)의 상부에는 착색층(264R)이 제공되어 있다. 착색층(264R)은 적색의 광을 투과하는 대역 필터로서 기능한다. 마찬가지로, 중앙의 발광 소자(61W)의 상부에는 녹색의 광을 투과시키는 착색층(264G)이 제공되고, 오른쪽의 발광 소자(61W)의 상부에는 청색의 광을 투과시키는 착색층(264B)이 제공되어 있다. 이에 의하여 표시 장치는 컬러 화상을 표시할 수 있다.
- [0358] 여기서 인접한 2개의 발광 소자(61W) 간에서 EL층(172W)과 공통 전극으로서 기능하는 도전층(173)이 각각 분리

되어 있다. 이로써 인접한 2개의 발광 소자(61W)에서 EL층(172W)을 통하여 전류가 흘러 의도치 않은 발광이 생기는 것을 방지할 수 있다. 특히, EL층(172W)으로서 2개의 발광층 사이에 전하 발생층이 제공되는 적층형 EL층을 사용한 경우에는, 정세도가 높을수록, 즉 인접 화소 간의 거리가 작을수록, 크로스토크의 영향이 현저히 나타나고, 콘트라스트가 저하된다는 문제가 생긴다. 그러므로 이와 같은 구성으로 함으로써, 높은 정세도와 높은 콘트라스트를 겸비하는 표시 장치를 실현할 수 있다.

- [0359] EL층(172W) 및 공통 전극으로서 기능하는 도전층(173)의 분리는 포토리소그래피법으로 수행하는 것이 바람직하다. 이로써 발광 소자 간의 간격을 좁힐 수 있기 때문에, 예를 들어 메탈 마스크 등의 새도 마스크를 사용하는 경우와 비교하여, 높은 개구율의 표시 장치를 실현할 수 있다.
- [0360] 또한 보텀 이미션형 발광 소자의 경우에는 화소 전극으로서 기능하는 도전층(171)과 절연층(363) 사이에 착색층을 제공하면 좋다.
- [0361] 도 59의 (D)에는 상술한 것과 상이한 예를 나타내었다. 구체적으로는 도 59의 (D)는 발광 소자(61R)와, 발광 소자(61G)와, 발광 소자(61B) 사이에 절연층(272)이 제공되지 않은 구성이다. 이 구성으로 함으로써 개구율이 높은 표시 장치로 할 수 있다. 또한 절연층(272)을 제공하지 않음으로써, 발광 소자(61)의 요철이 저감되기 때문에, 표시 장치의 시야각이 향상된다. 구체적으로는 시야각을 150° 이상 180° 미만, 바람직하게는 160° 이상 180° 미만, 더 바람직하게는 160° 이상 180° 미만으로 할 수 있다.
- [0362] 또한 보호층(271)은 EL층(172R), EL층(172G), 및 EL층(172B)의 측면을 덮는다. 상기 구성으로 함으로써 EL층(172R), EL층(172G), 및 EL층(172B)의 측면으로부터의 불순물(대표적으로는 물 등)의 침입을 억제할 수 있다. 또한 인접한 발광 소자(61) 간의 누설 전류가 저감되기 때문에, 채도 및 콘트라스트비가 향상되고, 소비 전력이 저감된다.
- [0363] 또한 도 59의 (D)에 나타난 구성에서는 도전층(171), EL층(172R), 및 도전층(173)의 상면 형상이 실질적으로 일치한다. 이와 같은 구조는 도전층(171), EL층(172R), 및 도전층(173)을 형성한 후, 레지스트 마스크 등을 사용하여 일괄적으로 형성할 수 있다. 이와 같은 공정은 도전층(173)을 마스크로서 사용하여 EL층(172R) 및 도전층(173)을 가공하기 때문에, 셀프 얼라이먼트 패터닝(self-alignment patterning)이라고 부를 수도 있다. 또한 여기서는 EL층(172R)에 대하여 설명하였지만 EL층(172G) 및 EL층(172B)에 대해서도 같은 구성으로 할 수 있다.
- [0364] 또한 도 59의 (D)는 보호층(271) 위에 보호층(273)이 더 제공되는 구조이다. 예를 들어 보호층(271)을 피복성이 높은 막을 성막할 수 있는 장치(대표적으로는 ALD 장치 등)를 사용하여 형성하고, 보호층(273)을 보호층(271)보다 피복성이 낮은 막이 형성되는 장치(대표적으로는, 스퍼터링 장치 등)를 사용하여 형성함으로써, 보호층(271)과 보호층(273) 사이에 영역(275)을 제공할 수 있다. 또한 환원하면 영역(275)은 EL층(172R)과 EL층(172G) 사이 및 EL층(172G)과 EL층(172B) 사이에 위치한다.
- [0365] 또한 영역(275)은 예를 들어 공기, 질소, 산소, 이산화 탄소, 및 18족 원소(대표적으로는, 헬륨, 네온, 아르곤, 제논, 크립톤 등)에서 선택되는 어느 하나 또는 복수를 포함한다. 또한 영역(275)에는 예를 들어 보호층(273)의 성막 시에 사용하는 기체가 포함되는 경우가 있다. 예를 들어 스퍼터링법으로 보호층(273)을 성막하는 경우, 영역(275)에는 상기 18족 원소 중 어느 하나 또는 복수가 포함되는 경우가 있다. 또한 영역(275)에 기체가 포함되는 경우, 가스 크로마토그래피법 등으로 기체의 동정 등을 수행할 수 있다. 또는 스퍼터링법으로 보호층(273)을 성막하는 경우, 보호층(273)의 막 내에도 스퍼터링 시에 사용한 가스가 포함되는 경우가 있다. 이 경우 보호층(273)을 에너지 분산형 X선 분석(EDX 분석) 등에 의하여 해석하였을 때, 아르곤 등의 원소가 검출되는 경우가 있다.
- [0366] 또한 영역(275)의 굴절률이, 보호층(271)의 굴절률보다 낮은 경우, EL층(172R), EL층(172G), 또는 EL층(172B)으로부터 방출되는 광이 보호층(271)과 영역(275)의 계면에서 반사한다. 이로써 EL층(172R), EL층(172G), 또는 EL층(172B)으로부터 방출되는 광이 인접한 화소에 입사하는 것을 억제할 수 있는 경우가 있다. 이로써 근접 화소로부터의 상이한 발광색의 혼입을 억제할 수 있기 때문에, 표시 장치의 표시 품질을 높일 수 있다.
- [0367] 또한 도 59의 (D)에 나타난 구성의 경우, 발광 소자(61R)와 발광 소자(61G) 사이의 영역 또는 발광 소자(61G)와 발광 소자(61B) 사이의 영역(이하에서는 단순히 발광 소자 간의 거리라고 함)을 좁힐 수 있다. 구체적으로는 발광 소자 간의 거리를 1μm 이하, 바람직하게는 500nm 이하, 더 바람직하게는 200nm 이하, 100nm 이하, 90nm 이하, 70nm 이하, 50nm 이하, 30nm 이하, 20nm 이하, 15nm 이하, 또는 10nm 이하로 할 수 있다. 환원하면 EL층(172R)의 측면과 EL층(172G)의 측면의 간격 또는 EL층(172G)의 측면과 EL층(172B)의 측면의 간격이 1μm 이하인 영역을 포함하고, 바람직하게는 0.5μm(500nm) 이하인 영역을 포함하고, 더 바람직하게는 100nm 이하인 영역

을 포함한다.

- [0368] 또한 예를 들어 영역(275)에 기체가 포함되는 경우, 발광 소자 사이에서 소자를 분리시하면서, 각 발광 소자로부터의 광의 혼색 또는 크로스트크 등을 억제할 수 있다.
- [0369] 또한 영역(275)을 충전재로 매립하여도 좋다. 충전재로서는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리에미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐부티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 또한 충전재로서 포토레지스트를 사용하여도 좋다. 충전재로서 사용하는 포토레지스트는 포지티브형 포토레지스트이어도 좋고, 네거티브형 포토레지스트이어도 좋다.
- [0370] 또한 상술한 백색 발광 디바이스(싱글 구조 또는 탠덤 구조)와, SBS 구조의 발광 디바이스를 비교한 경우, SBS 구조의 발광 디바이스는 백색 발광 디바이스보다 소비 전력을 낮출 수 있다. 소비 전력을 낮추고자 하는 경우에는 SBS 구조의 발광 디바이스를 사용하면 적합하다. 한편, 백색 발광 디바이스는 제조 프로세스가 SBS 구조의 발광 디바이스보다 간단하기 때문에 제조 비용을 낮추거나 제조 수율을 높일 수 있어 적합하다.
- [0371] 도 60의 (A)에는 상술한 것과 상이한 예를 나타내었다. 구체적으로는 도 60의 (A)에 나타난 구성은 도 59의 (D)에 나타난 구성과 절연층(363)의 구성이 상이하다. 절연층(363)은 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)의 가공 시에 상면의 일부가 연삭되어 오목부를 포함한다. 또한 상기 오목부에는 보호층(271)이 형성된다. 환언하면, 단면에서 보았을 때 도전층(171)의 하면보다 보호층(271)의 하면이 아래에 위치하는 영역을 포함한다. 상기 영역을 가짐으로써, 아래쪽으로부터 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)에 들어갈 수 있는 불순물(대표적으로는 물 등)을 적합하게 억제할 수 있다. 또한 상기 오목부는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)를 가공할 때에 각 발광 소자의 측면에 부착될 수 있는 불순물(잔류물이라고도 함)을 습식 식각 등에 의하여 제거할 때 형성될 수 있다. 상기 잔류물을 제거한 후, 각 발광 소자의 측면을 보호층(271)으로 덮음으로써, 신뢰성이 높은 표시 장치로 할 수 있다.
- [0372] 또한 도 60의 (B)에는 상술한 것과 상이한 예를 나타내었다. 구체적으로는 도 60의 (B)에 나타난 구성은 도 60의 (A)에 나타난 구성에 더하여 절연층(276)과 마이크로렌즈 어레이(277)를 포함한다. 절연층(276)은 접착층으로서의 기능을 가진다. 또한 절연층(276)의 굴절률이 마이크로렌즈 어레이(277)의 굴절률보다 낮은 경우, 마이크로렌즈 어레이(277)는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)로부터 발해지는 광을 집광할 수 있다. 이에 의하여 표시 장치의 광 추출 효율을 높일 수 있다. 특히 사용자가 표시 장치의 표시면의 정면으로부터 상기 표시면을 보았을 때, 밝은 화상을 시인할 수 있으므로 적합하다. 또한 절연층(276)으로서는 자외선 경화형 등의 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리에미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐부티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 특히, 에폭시 수지 등의 투습성(透濕性)이 낮은 재료가 바람직하다. 또한 2액 혼합형 수지를 사용하여도 좋다. 또한 접착 시트 등을 사용하여도 좋다.
- [0373] 또한 도 60의 (C)에는 상술한 것과 상이한 예를 나타내었다. 구체적으로는 도 60의 (C)에 나타난 구성은 도 60의 (A)에 나타난 구성에서의 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B) 대신 3개의 발광 소자(61W)를 포함한다. 또한 3개의 발광 소자(61W)의 위쪽에 절연층(276)을 포함하고, 절연층(276)의 위쪽에 착색층(264R), 착색층(264G), 및 착색층(264B)을 포함한다. 구체적으로는 왼쪽의 발광 소자(61W)와 중첩되는 위치에 적색의 광을 투과시키는 착색층(264R)이 제공되고, 중앙의 발광 소자(61W)와 중첩되는 위치에 녹색의 광을 투과시키는 착색층(264G)이 제공되고, 오른쪽의 발광 소자(61W)와 중첩되는 위치에 청색의 광을 투과시키는 착색층(264B)이 제공되어 있다. 이에 의하여 표시 장치는 컬러 화상을 표시할 수 있다. 도 60의 (C)에 나타난 구성은 도 59의 (C)에 나타난 구성의 변형예이기도 하다.
- [0374] 또한 도 60의 (D)에는 상술한 것과 상이한 예를 나타내었다. 구체적으로는 도 60의 (D)에 나타난 구성은 보호층(271)이 도전층(171) 및 EL층(172)의 측면에 인접되어 제공되어 있다. 또한 도전층(173)은 각 발광 소자에 공통되는 연속된 층으로서 제공되어 있다. 또한 도 60의 (D)에 나타난 구성에서는 영역(275)이 충전재로 매립되어 있는 것이 바람직하다.
- [0375] 발광 소자(61)에 미소 광공진기(마이크로캐비티) 구조를 부여함으로써 발광색의 색 순도를 높일 수 있다. 발광 소자(61)에 마이크로캐비티 구조를 부여하기 위해서는 도전층(171)과 도전층(173) 간의 거리 d 와 EL층(172)의 굴절률 n 의 곱(광학 거리)이 파장 λ 의 2분의 1의 m 배(m 은 1 이상의 정수임)가 되도록 구성하면 좋다. 거리 d

는 수학적 식 1로 산출할 수 있다.

[0376] $d = m \times \lambda / (2 \times n) \cdots$ 수학적 식 1.

[0377] 수학적 식 1에 따르면 마이크로캐비티 구조의 발광 소자(61)는 발광하는 광의 파장(발광색)에 따라 거리 d가 결정된다. 거리 d는 EL층(172)의 두께에 상당한다. 따라서 EL층(172G)은 EL층(172B)보다 두껍게 제공되고, EL층(172R)은 EL층(172G)보다 두껍게 제공되는 경우가 있다.

[0378] 또한 엄밀하게는 거리 d는 반사 전극으로서 기능하는 도전층(171)의 반사 영역에서 반투과 반반사 전극으로서 기능하는 도전층(173)의 반사 영역까지의 거리이다. 예를 들어 도전층(171)이 은과 투명 도전막인 ITO(Indium Tin Oxide)의 적층이고, ITO가 EL층(172) 측에 있는 경우, ITO의 막 두께를 조정함으로써 발광색에 대응하는 거리 d를 설정할 수 있다. 즉 EL층(172R), EL층(172G), 및 EL층(172B)의 두께가 같아도 상기 ITO의 두께를 변경함으로써, 발광색에 적합한 거리 d를 얻을 수 있다.

[0379] 그러나 도전층(171) 및 도전층(173)에서의 반사 영역의 위치를 엄밀하게 결정하기 어려운 경우가 있다. 이 경우, 도전층(171)과 도전층(173)의 임의의 위치를 반사 영역으로 가정함으로써 마이크로캐비티의 효과를 충분히 얻을 수 있는 것으로 한다.

[0380] 발광 소자(61)는 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등으로 구성된다. 발광 소자(61)의 자세한 구성예에 대해서는 다른 실시형태에서 설명한다. 마이크로캐비티 구조에서 광의 추출 효율을 높이기 위하여 반사 전극으로서 기능하는 도전층(171)에서 발광층까지의 광학 거리를 $\lambda/4$ 의 홀수배로 하는 것이 바람직하다. 상기 광학 거리를 실현하기 위하여 발광 소자(61)를 구성하는 각 층의 두께를 적절히 조정하는 것이 바람직하다.

[0381] 또한 광을 도전층(173) 측으로부터 사출하는 경우에는 도전층(173)의 반사율이 투과율보다 큰 것이 바람직하다. 도전층(173)의 광의 투과율을 바람직하게는 2% 이상 50% 이하로, 더 바람직하게는 2% 이상 30% 이하로, 더 바람직하게는 2% 이상 10% 이하로 하면 좋다. 도전층(173)의 투과율을 작게 (반사율을 크게) 함으로써 마이크로캐비티의 효과를 높일 수 있다.

[0382] 도 61의 (A)에는 상술한 것과 상이한 예를 나타내었다. 구체적으로는 도 61의 (A)에 나타난 구성은 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)의 각각에서 EL층(172)이 도전층(171)의 단부를 넘어 연장되어 있다. 예를 들어 발광 소자(61R)에서 EL층(172R)이 도전층(171)의 단부를 넘어 연장되어 있다. 또한 발광 소자(61G)에서 EL층(172G)이 도전층(171)의 단부를 넘어 연장되어 있다. 발광 소자(61B)에서 EL층(172B)이 도전층(171)의 단부를 넘어 연장되어 있다.

[0383] 또한 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)의 각각에서 EL층(172)과 보호층(271)은 절연층(270)을 개재하여 중첩되는 영역을 포함한다. 또한 인접한 발광 소자(61) 사이의 영역에서 보호층(271) 위에 절연층(278)이 제공되어 있다.

[0384] 절연층(278)으로서는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리비닐클로라이드) 수지, PVB(폴리비닐부티랄) 수지, EVA(에틸렌비닐 아세테이트) 수지 등을 들 수 있다. 또한 절연층(278)으로서는 포토레지스트를 사용하여도 좋다. 절연층(278)으로서는 사용하는 포토레지스트는 포지티브형의 포토레지스트이어도 좋고 네거티브형의 포토레지스트이어도 좋다.

[0385] 또한 발광 소자(61R), 발광 소자(61G), 발광 소자(61B), 및 절연층(278) 위에 공통층(174)이 제공되고, 공통층(174) 위에 도전층(173)이 제공되어 있다. 공통층(174)은 EL층(172R)과 접하는 영역과, EL층(172G)과 접하는 영역과, EL층(172B)과 접하는 영역을 포함한다. 공통층(174)은 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)에 의하여 공유된다.

[0386] 공통층(174)으로서는 정공 주입층, 정공 수송층, 정공 블록층, 전자 블록층, 전자 수송층, 및 전자 주입층 중 하나 이상을 적용할 수 있다. 예를 들어 공통층(174)은 캐리어 주입층(정공 주입층 또는 전자 주입층)이어도 좋다. 또한 공통층(174)은 EL층(172)의 일부라고 할 수도 있다. 또한 공통층(174)은 필요에 따라 제공하면 좋다. 공통층(174)을 제공하는 경우, EL층(172)에 포함되는 층 중, 공통층(174)과 같은 기능을 가지는 층을 제공하지 않아도 된다.

[0387] 또한 도전층(173) 위에 보호층(273)이 제공되고, 보호층(273) 위에 절연층(276)이 제공되어 있다.

[0388] 또한 도 61의 (B)에는 상술한 것과 상이한 예를 나타내었다. 구체적으로는 도 61의 (B)에 나타난 구성은 도 61

의 (A)에 나타난 구성에서의 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B) 대신 3개의 발광 소자(61W)를 포함한다. 또한 3개의 발광 소자(61W)의 위쪽에 절연층(276)을 포함하고, 절연층(276)의 위쪽에 착색층(264R), 착색층(264G), 및 착색층(264B)을 포함한다. 구체적으로는 왼쪽의 발광 소자(61W)와 중첩되는 위치에 적색의 광을 투과시키는 착색층(264R)이 제공되고, 중앙의 발광 소자(61W)와 중첩되는 위치에 녹색의 광을 투과시키는 착색층(264G)이 제공되고, 오른쪽의 발광 소자(61W)와 중첩되는 위치에 청색의 광을 투과시키는 착색층(264B)이 제공되어 있다. 이에 의하여 표시 장치는 컬러 화상을 표시할 수 있다. 도 61의 (B)에 나타난 구성은 도 60의 (C)에 나타난 구성의 변형예이기도 하다.

[0389] 도 62의 (A)에 발광 소자(61)의 상면 개략도를 나타내었다. 도 57의 (A1)과 마찬가지로 도 62의 (A)는 복수의 같은 발광색의 발광 소자(61)를 인접하여 배치하는 예를 나타내었다. 도 62의 (A)에서는 2개의 발광 소자(61R)가 인접되고, 2개의 발광 소자(61G)가 인접되고, 2개의 발광 소자(61B)가 인접된다. 또한 3개 이상의 같은 발광색의 발광 소자(61)가 인접되어도 좋다. 또한 도 62의 (A)에는 적색(R), 녹색(G), 및 청색(B)의 3개의 발광색을 포함하는 구성을 예시하였지만 이에 한정되지 않는다. 예를 들어 4개 이상의 발광색을 포함하는 구성으로 하여도 좋다.

[0390] 또한 도 62의 (A)에서는 발광 소자(61)의 배치를 스트라이프 배열로 나타내었지만, 발광 소자(61)의 배열 방법은 이에 한정되지 않는다. 발광 소자(61)의 배열 방법으로서 델타 배열, 지그재그 배열, S 스트라이프 배열, 또는 펜타일 배열 등을 사용할 수 있다.

[0391] 도 62의 (B) 및 (C)는 도 62의 (A) 중의 일점쇄선 A3-A4에 대응하는 단면 개략도이다. 도 62의 (B)는 도 60의 (C)에 나타난 구성의 변형예에 상당한다. 도 62의 (C)는 도 60의 (D)에 나타난 구성의 변형예에 상당한다.

[0392] 같은 발광색의 발광 소자(61)를 복수 합쳐 하나의 부화소로서 사용함으로써, 재현 가능한 제조수를 증가시킬 수 있다. 따라서 표시 장치의 표시 품질을 높일 수 있다.

[0393] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.

[0394] (실시형태 9)

[0395] 본 실시형태에서는 표시 장치(10)의 적층 구성예에 대하여 설명한다.

[0396] 도 63의 (A) 및 (B)에 표시 장치(10)의 사시도를 나타내었다. 도 63의 (A)에 나타난 표시 장치(10)는 층(50)에 중첩시켜 층(60)을 포함한다. 층(50)은 매트릭스 형태로 배치된 복수의 화소 회로(51)와, 제 1 구동 회로부(231)와, 제 2 구동 회로부(232)와, 입출력 단자부(29)를 포함한다. 층(60)은 매트릭스 형태로 배치된 복수의 발광 소자(61)를 포함한다.

[0397] 도 63의 (A) 및 (B)에 나타난 표시 장치(10)는 하나의 화소 회로(51)와 하나의 발광 소자(61)가 전기적으로 접속되어 하나의 화소(230)로서 기능한다. 따라서 층(50)이 포함하는 복수의 화소 회로(51)와, 층(60)이 포함하는 복수의 발광 소자(61)가 중첩되는 영역이 표시 영역(235)으로서 기능한다. 도 63의 (A) 및 (B)에 나타난 표시 장치(10)가 포함하는 화소(230)로서 예를 들어 상기 실시형태에 나타난 반도체 장치(100A), 반도체 장치(100B), 또는 반도체 장치(100C)를 사용할 수 있다.

[0398] 표시 장치(10)의 동작에 필요한 전력 및 신호 등은 입출력 단자부(29)를 통하여 표시 장치(10)에 공급된다. 도 63의 (A)에 나타난 표시 장치(10)에서는 주변 구동 회로가 포함하는 트랜지스터와, 화소(230)에 포함되는 트랜지스터를 같은 공정으로 형성할 수 있다.

[0399] 또한 도 63의 (B)에 나타난 바와 같이 표시 장치(10)를 층(40), 층(50), 및 층(60)을 중첩시켜 제공하는 구성으로 하여도 좋다. 도 63의 (B)에서는 층(50)에 매트릭스 형태로 배치된 복수의 화소 회로(51)가 제공되고, 제 1 구동 회로부(231)와 제 2 구동 회로부(232)는 층(40)에 제공된다. 제 1 구동 회로부(231)와 제 2 구동 회로부(232)를 화소 회로(51)와 상이한 층에 제공함으로써, 표시 영역(235) 주위의 베젤의 폭을 줄일 수 있기 때문에, 표시 영역(235)의 점유 면적을 확대할 수 있다.

[0400] 표시 영역(235)의 점유 면적이 확대함으로써 표시 영역(235)의 해상도를 높일 수 있다. 표시 영역(235)의 해상도가 일정한 경우, 화소 하나의 점유 면적을 확대할 수 있다. 따라서 표시 영역(235)의 발광 휘도를 높일 수 있다. 또한 화소 하나의 점유 면적에 대한 발광 면적의 비율('개구율'이라고도 함)을 높일 수 있다. 예를 들어 화소의 개구율을 40% 이상 100% 미만으로, 바람직하게는 50% 이상 95% 이하로, 더 바람직하게는 60% 이상 95% 이하로 할 수 있다. 또한 1화소당 점유 면적을 확대함으로써 발광 소자(61)에 공급하는 전류 밀도를 저감할 수 있다. 따라서 발광 소자(61)에 가해지는 부하가 경감되어, 반도체 장치(100)의 신뢰성을 높일 수 있다.

따라서 반도체 장치(100)를 포함하는 표시 장치(10)의 신뢰성을 높일 수 있다.

- [0401] 또한 표시 영역(235)과 주변 구동 회로 등을 적층함으로써, 각각을 전기적으로 접속하는 배선을 짧게 할 수 있다. 따라서 배선 저항 및 기생 용량이 저감되어, 반도체 장치(100)의 동작 속도를 높일 수 있다. 또한 반도체 장치(100)의 소비 전력이 저감된다.
- [0402] 또한 층(40)은 주변 구동 회로뿐만 아니라 CPU(23)(Central Processing Unit), GPU(24)(Graphics Processing Unit), 기억 회로부(25)를 포함하여도 좋다. 본 실시형태 등에서는 CPU(23), GPU(24), 및 기억 회로부(25) 등의 총칭으로서 '기능 회로'라고 하는 경우가 있다.
- [0403] 예를 들어 CPU(23)는 기억 회로부(25)에 저장된 프로그램에 따라 GPU(24) 및 층(40)에 제공된 회로의 동작을 제어하는 기능을 가진다. GPU(24)는 화상 데이터를 형성하기 위한 연산 처리를 수행하는 기능을 가진다. 또한 GPU(24)는 많은 행렬 연산(적화 연산(product-sum operation))을 병렬로 수행할 수 있기 때문에, 예를 들어 신경망을 사용한 연산 처리를 고속으로 수행할 수 있다. GPU(24)는 예를 들어 기억 회로부(25)에 저장된 보정 데이터를 사용하여 화상 데이터를 보정하는 기능을 가진다. 예를 들어 GPU(24)는 밝기, 색조, 및/또는 콘트라스트 등을 보정한 화상 데이터를 생성하는 기능을 가진다.
- [0404] GPU(24)를 사용하여 화상 데이터의 업컨버트 또는 다운컨버트를 수행하여도 좋다. 또한 층(40)에 초해상 회로를 제공하여도 좋다. 초해상 회로는 표시 영역(235)에 포함되는 임의의 화소의 전위를 상기 화소의 주위에서의 화소의 전위와, 가중치의 적화 연산에 따라 결정하는 기능을 가진다. 초해상 회로는 해상도가 표시 영역(235)보다 낮은 화상 데이터를 업컨버트하는 기능을 가진다. 또한 초해상 회로는 해상도가 표시 영역(235)보다 높은 화상 데이터를 다운컨버트하는 기능을 가진다.
- [0405] 초해상 회로를 포함함으로써 GPU(24)의 부하를 저감할 수 있다. 예를 들어 GPU(24)에서는 2K 해상도(또는 4K 해상도)까지의 처리를 수행하고, 초해상 회로로 4K 해상도(또는 8K 해상도)로 업컨버트함으로써 GPU(24)의 부하를 저감할 수 있다. 다운컨버트도 마찬가지로 수행하면 좋다.
- [0406] 또한 층(40)이 포함하는 기능 회로는 이들의 구성을 모두 가지지 않아도 되고, 이들 이외의 구성을 가져도 좋다. 예를 들어 복수의 상이한 전위를 생성하는 전위 생성 회로 및/또는 표시 장치(10)가 포함하는 회로마다 전력의 공급 및 정지를 제어하는 파워 매니지먼트 회로 등을 포함하여도 좋다.
- [0407] 전력의 공급 및 정지는 CPU(23)를 구성하는 회로마다 수행하여도 좋다. 예를 들어 CPU(23)를 구성하는 회로 중, 당분간 사용하지 않을 것으로 판단된 회로에 대한 전력 공급을 정지하고, 필요할 때 전력 공급을 다시 시작함으로써 소비 전력을 저감할 수 있다. 전력 공급을 다시 시작할 때 필요한 데이터는 상기 회로를 정지하기 전에 CPU(23) 내의 기억 회로 또는 기억 회로부(25) 등에 기억해 두면 좋다. 회로를 복귀시키는 데 필요한 데이터를 기억해 둬으로써, 정지한 회로를 고속으로 복귀시킬 수 있다. 또한 클록 신호의 공급을 정지함으로써 회로 동작을 정지시켜도 좋다.
- [0408] 또한 기능 회로로서 DSP 회로, 센서 회로, 통신 회로, 및/또는 FPGA(Field Programmable Gate Array) 등을 포함하여도 좋다.
- [0409] 주변 구동 회로와 표시 영역(235)을 중첩시켜 제공하는 경우에는 주변 구동 회로와 표시 영역(235) 사이에 도전층(701)을 제공하여도 좋다. 또한 주변 구동 회로 및 기능 회로와 표시 영역(235)을 중첩시켜 제공하는 경우에는 주변 구동 회로 및 기능 회로와 표시 영역(235) 사이에 도전층(701)을 제공하여도 좋다.
- [0410] 도 64의 (A)에 주변 구동 회로 및 기능 회로와 표시 영역(235) 사이에 도전층(701)을 포함하는 표시 장치(10)의 사시도를 나타내었다. 도 64의 (B)는 도 64의 (A)에 나타난 표시 장치(10)를 표시 영역(235) 측으로부터 보았을 때의 평면도이다. 또한 도 64의 (B)에서는 표시 영역(235)과 도전층(701)의 관계를 이해하기 쉽게 표시 영역(235)의 일부의 기재를 생략하였다.
- [0411] 주변 구동 회로 및 기능 회로의 각각은 동작 시에 전자 노이즈를 발할 우려가 있다. 상기 전자 노이즈가 표시 영역(235)에 도달하면, 표시 장치(10)의 표시 품질이 저하할 우려가 있다. 구체적으로는 표시 영역(235)이 포함하는 화소 회로(51)의 플로팅 노드(노드(ND1) 내지 노드(ND4))에 상기 전자 노이즈가 영향을 줌으로써 정확한 전위 유지가 방해되는 경우가 있다. 그 결과 화소 회로(51)의 안정 동작이 손실되어 표시 장치(10)의 표시 품질이 저하한다.
- [0412] 주변 구동 회로 및 기능 회로와 표시 영역(235) 사이에 도전층(701)을 제공함으로써, 주변 구동 회로 및 기능 회로의 동작 시에 발생하는 전자 노이즈를 차단하여 표시 품질의 저하를 방지할 수 있다. 또한 전자 노이즈를

차단함으로써 화소 회로(51)의 동작이 안정되어, 더 정밀도가 높은 전위 제어를 실현할 수 있다. 따라서 표시 장치(10)의 표시 품질을 높일 수 있다.

- [0413] 또한 도전층(701) 측으로부터 보았을 때 도전층(701)이 표시 영역(235) 전체를 덮는 것이 바람직하다. 따라서 도전층(701)과 표시 영역(235)은 서로 중첩되는 영역을 포함하는 것이 바람직하다. 또한 표시 영역(235)은 복수의 화소 회로(51)를 포함한다. 따라서 도전층(701)과 복수의 화소 회로(51)는 서로 중첩되는 영역을 포함하는 것이 바람직하다.
- [0414] 또한 도전층(701)은 면 형상에 한정되지 않고, 그물 형상 또는 스트라이프 형상 등이어도 좋다. 도전층(701)의 내부 응력이 큰 경우에는, 도전층(701)을 광범위의 면 형상으로 제공하면 표시 장치(10)를 구성하는 층에 변형이 일어나 표시 장치(10)의 신뢰성이 저하하는 경우가 있다. 도전층(701)을 그물 형상 또는 스트라이프 형상으로 함으로써, 전자 노이즈의 차단과 도전층(701)의 응력 완화를 실현할 수 있다.
- [0415] 도 65는 주변 구동 회로 및 기능 회로와 표시 영역(235) 사이에 도전층(702)(도전층(702a), 도전층(702b), 도전층(702c), 도전층(702d), 도전층(702e))을 포함하는 표시 장치(10)의 사시도이다. 도 65에서는 제 1 구동 회로부(231)와 중첩시켜 도전층(702a)을 제공하고, 제 2 구동 회로부(232)와 중첩시켜 도전층(702b)을 제공하고, CPU(23)와 중첩시켜 도전층(702c)을 제공하고, GPU(24)와 중첩시켜 도전층(702d)을 제공하고, 기억 회로부(25)와 중첩시켜 도전층(702e)을 제공하는 예를 나타내었다. 도전층(702) 각각은 주변 구동 회로 및 기능 회로 각각을 완전히 덮는 것이 바람직하다. 다만 주변 구동 회로 및 기능 회로 각각의 일부를 덮는 구성으로 하여도 좋다.
- [0416] 도 66의 (A)는 주변 구동 회로 및 기능 회로와 표시 영역(235) 사이에 도전층(701) 및 도전층(702)을 포함하는 표시 장치(10)의 사시도이다. 도전층(702)에 더하여 도전층(701)을 제공함으로써, 전자 노이즈의 차단 효과를 더 높일 수 있다.
- [0417] 이와 같이 도전층(701) 및 도전층(702)은 전자 실드('실드층' 또는 '차폐층'이라고 하는 경우가 있음)로서 기능한다. 도전층(701) 및 도전층(702)은 플로팅 상태이어도 좋지만, 고전원 전위 VDD, 저전원 전위 VSS, 공통 전위 COM, 또는 접지 전위 GND 등의 고정 전위가 인가되는 것이 바람직하다. 예를 들어 도전층(701) 및 도전층(702)에 접지 전위 GND를 인가하면 좋다. 표시 장치(10)가 도전층(701) 및 도전층(702) 양쪽을 포함하는 경우에는 도전층(701) 및 도전층(702)을 같은 전위로 하여도 좋고, 상이한 전위로 하여도 좋다. 또한 도전층(701) 및 도전층(702) 중 한쪽을 플로팅 상태로 하여도 좋다.
- [0418] 또한 도 66의 (A)에는 표시 장치(10)가 전자 실드로서 기능하는 도전체를 2층 포함하는 예를 나타내었지만, 전자 실드로서 기능하는 도전체를 3층 이상 포함하여도 좋다. 전자 실드를 다층으로 함으로써 전자 노이즈의 차단 효과를 높일 수 있다. 다층의 전자 실드를 제공하는 경우에는, 전자 실드의 각 층을 절연체를 개재하여 적층하면 좋다.
- [0419] 또한 도전층(701)과 마찬가지로 도전층(702)도 면 형상에 한정되지 않고, 그물 형상(도 66의 (B) 참조) 또는 스트라이프 형상(도 66의 (C) 참조) 등이어도 좋다.
- [0420] 또한 도전층(701) 및 도전층(702) 대신 배선으로서 기능하는 도전층을 전자 실드로서 사용하여도 좋다. 예를 들어 애노드 전위 또는 캐소드 전위 등의 고정 전위를 인가하는 배선을 복수의 화소 회로(51)보다 아래층에 형성하고, 상기 배선을 전자 실드로서 사용하여도 좋다. 배선으로서 기능하는 도전층을 전자 실드로서 사용함으로써, 표시 장치(10)를 구성하는 층의 개수를 저감할 수 있다. 따라서 표시 장치(10)의 생산성을 높일 수 있다.
- [0421] 또한 층(40)이 포함하는 기능 회로를 구성하는 트랜지스터의 일부를 층(50)에 제공하여도 좋다. 또한 층(50)이 포함하는 화소 회로(51)를 구성하는 트랜지스터의 일부를 층(40)에 제공하여도 좋다. 따라서 기능 회로를 Si 트랜지스터와 OS 트랜지스터를 포함하여 구성하여도 좋다. 또한 화소 회로(51)를 Si 트랜지스터와 OS 트랜지스터를 포함하여 구성하여도 좋다.
- [0422] 표시 장치(10)가 포함하는 트랜지스터는 n채널형 트랜지스터이어도 좋고, p채널형 트랜지스터이어도 좋다. n채널형 트랜지스터와 p채널형 트랜지스터 양쪽을 사용하여도 좋다. 예를 들어 표시 장치(10)가 포함하는 회로에 n채널형 트랜지스터와 p채널형 트랜지스터를 조합한 CMOS 구조의 구성을 사용하여도 좋다.
- [0423] 또한 예를 들어 화소 회로(51)가 상이한 반도체 재료를 사용한 복수 종류의 트랜지스터로 구성되는 경우, 트랜지스터의 종류마다 상이한 층에 트랜지스터를 제공하여도 좋다. 예를 들어 화소 회로(51)가 Si 트랜지스터를

포함하는 영역(51a)과 OS 트랜지스터를 포함하는 영역(51b)으로 구성되는 경우, 영역(51a)을 층(40)에 형성하고, 영역(51b)을 층(50)에 형성하면 좋다(도 67 참조). 또한 영역(51a)과 영역(51b)을 중첩시켜 제공함으로써, 화소 회로(51)의 점유 면적이 저감된다. 따라서 표시 장치(10)의 정세도를 높일 수 있다.

[0424] 또한 영역(51a)에 포함되는 트랜지스터로서 반도체층에 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)을 포함하는 트랜지스터(이하 LTPS 트랜지스터라고도 함)를 사용하여도 좋다. LTPS 트랜지스터는 전계 효과 이동도가 높고, 주파수 특성이 양호하다. LTPS 트랜지스터와 OS 트랜지스터를 조합하는 구성을 LTPO라고 부르는 경우가 있다.

[0425] 영역(51a)과 영역(51b)이 포함하는 트랜지스터의 도전형은 상이하여도 좋고, 같아도 좋다. 예를 들어 영역(51a)이 p채널형 트랜지스터를 포함하고, 영역(51b)이 n채널형 트랜지스터를 포함하여도 좋다. 또한 영역(51a)과 영역(51b) 각각이 n채널형 트랜지스터를 포함하여도 좋다. 또한 영역(51a)과 영역(51b) 각각이 n채널형 트랜지스터와 p채널형 트랜지스터를 포함하여도 좋다.

[0426] 또한 예를 들어 주변 구동 회로가 상이한 반도체 재료를 사용한 복수 종류의 트랜지스터로 구성되는 경우, 트랜지스터의 종류마다 상이한 층에 트랜지스터를 제공하여도 좋다. 예를 들어 제 1 구동 회로부(231)가 Si 트랜지스터를 포함하는 영역(231a)과 OS 트랜지스터를 포함하는 영역(231b)으로 구성되는 경우, 영역(231a)을 층(40)에 형성하고, 영역(231b)을 층(50)에 형성하면 좋다. 또한 예를 들어 제 2 구동 회로부(232)가 Si 트랜지스터를 포함하는 영역(232a)과 OS 트랜지스터를 포함하는 영역(232b)으로 구성되는 경우, 영역(232a)을 층(40)에 형성하고, 영역(232b)을 층(50)에 형성하면 좋다. 예를 들어 주변 구동 회로를 LTPO로 구성하여도 좋다.

[0427] 영역(231a)과 영역(231b)이 포함하는 트랜지스터의 도전형은 상이하여도 좋고, 같아도 좋다. 예를 들어 영역(231a)이 p채널형 트랜지스터를 포함하고, 영역(231b)이 n채널형 트랜지스터를 포함하여도 좋다. 또한 영역(231a)과 영역(231b) 각각이 n채널형 트랜지스터를 포함하여도 좋다. 또한 영역(231a)과 영역(231b) 각각이 n채널형 트랜지스터와 p채널형 트랜지스터를 포함하여도 좋다.

[0428] 영역(232a)과 영역(232b)이 포함하는 트랜지스터의 도전형은 상이하여도 좋고, 같아도 좋다. 예를 들어 영역(232a)이 p채널형 트랜지스터를 포함하고, 영역(232b)이 n채널형 트랜지스터를 포함하여도 좋다. 또한 영역(232a)과 영역(232b) 각각이 n채널형 트랜지스터와 p채널형 트랜지스터를 포함하여도 좋다.

[0429] 도 63의 (A) 및 (B)에 나타난 표시 장치(10)의 변형예를 도 68의 (A) 및 (B)에 나타내었다. 도 68의 (A)에 나타난 표시 장치(10)는 하나의 화소 회로(51)와 2개의 발광 소자(61)(발광 소자(61a) 및 발광 소자(61b))가 전기적으로 접속되는 구성을 가진다. 하나의 화소 회로(51)로 2개의 발광 소자(61)의 발광을 번갈아 제어할 수 있다. 즉 하나의 화소 회로(51)로 2개의 화소(230)(화소(230a) 및 화소(230b))의 동작을 제어할 수 있다. 또한 발광 소자(61a) 및 발광 소자(61b)를 동시에 발광시킴으로써, 하나의 화소(230)로서 기능할 수도 있다.

[0430] 도 68의 (A) 및 (B)에 나타난 표시 장치(10)가 포함하는 화소(230)로서, 예를 들어 상기 실시형태에 나타난 반도체 장치(100F), 반도체 장치(100G), 또는 반도체 장치(100H)를 사용할 수 있다. 상술한 바와 같이 반도체 장치(100F), 반도체 장치(100G), 및 반도체 장치(100H)는 화소 밀도가 높은 표시 장치에 적합하다.

[0431] 또한 도 63의 (B)에 나타난 표시 장치(10)와 마찬가지로 도 68의 (A)에 나타난 표시 장치(10)에 층(40)을 제공하여도 좋다(도 68의 (B) 참조).

[0432] 또한 본 실시형태에서는 하나의 화소 회로(51)로 2개의 발광 소자(61)를 제어하는 구성을 나타내었지만 하나의 화소 회로(51)로 3개 이상의 발광 소자(61)를 제어할 수도 있다.

[0433] <표시 모듈의 구성예>

[0434] 이어서 본 발명의 일 형태에 따른 표시 장치를 포함하는 표시 모듈의 구성예에 대하여 설명한다.

[0435] 도 69의 (A) 내지 (C)는 표시 모듈(400)의 사시 개략도이다. 표시 모듈(400)은 표시 장치(10)의 입출력 단자부(29)에 FPC(404)(FPC: Flexible printed circuits)를 포함한 구조를 가진다. FPC(404)는 절연체로 된 필름에 배선을 포함한 구조를 가진다. 또한 FPC(404)는 가요성을 가진다. FPC(404)는 외부로부터 표시 장치(10)에 비디오 신호, 제어 신호, 및 전원 전위 등을 공급하기 위한 배선으로서 기능한다. 또한 FPC(404) 위에 IC가 실장되어 있어도 좋다.

[0436] 도 69의 (B)에 나타난 표시 모듈(400)은 인쇄 배선판(401) 위에 표시 장치(10)를 포함하는 구성을 가진다. 인쇄 배선판(401)은 절연체로 된 기판의 내부 또는 표면 혹은 내부와 표면에 배선을 포함한 구조를 가진다.

- [0437] 도 69의 (B)에 나타난 표시 모듈(400)에서는 표시 장치(10)의 입출력 단자부(29)와 인쇄 배선판(401)의 단자부(402)가 와이어(403)를 통하여 전기적으로 접속된다. 와이어(403)는 와이어 본딩으로 형성할 수 있다. 또한 와이어 본딩은 볼 본딩 또는 웨지 본딩을 사용할 수 있다.
- [0438] 와이어(403)의 형성 후, 수지 재료 등으로 와이어(403)를 덮어도 좋다. 또한 표시 장치(10)와 인쇄 배선판(401)의 전기적인 접속은 와이어 본딩 이외의 방법으로 수행하여도 좋다. 예를 들어 표시 장치(10)와 인쇄 배선판(401)의 전기적인 접속을 이방성 도전 접착제 또는 범프 등으로 실현하여도 좋다.
- [0439] 또한 도 69의 (B)에 나타난 표시 모듈(400)은 인쇄 배선판(401)의 단자부(402)가 FPC(404)에 전기적으로 접속된다. 예를 들어 표시 장치(10)의 입출력 단자부(29)가 포함하는 전극의 피치와 FPC(404)가 포함하는 전극의 피치가 상이한 경우에는, 인쇄 배선판(401)을 통하여 입출력 단자부(29)와 FPC(404)를 전기적으로 접속하여도 좋다. 구체적으로는 인쇄 배선판(401)에 형성된 배선을 사용하여 입출력 단자부(29)가 포함하는 복수의 전극의 간격(피치)을 단자부(402)가 포함하는 복수의 전극의 간격으로 변환할 수 있다. 즉 입출력 단자부(29)가 포함하는 전극의 피치와 FPC(404)가 포함하는 전극의 피치가 상이한 경우에도, 이들 전극의 전기적인 접속을 실현할 수 있다.
- [0440] 또한 인쇄 배선판(401)에는 저항 소자, 용량 소자, 반도체 소자 등의 다양한 소자를 제공할 수 있다.
- [0441] 또한 도 69의 (C)에 나타난 표시 모듈(400)과 같이 단자부(402)를 인쇄 배선판(401)의 하면(표시 장치(10)가 제공되지 않은 측의 면)에 제공된 접속부(405)와 전기적으로 접속하여도 좋다. 예를 들어 접속부(405)를 소켓 형식의 접속부로 함으로써, 표시 모듈(400)과 다른 기기의 탈착을 용이하게 할 수 있다.
- [0442] 도 63의 (A)에 나타난 표시 장치(10)의 일부의 단면 구성예를 도 70에 나타내었다. 도 70에 나타난 표시 장치(10)는 기관(301), 용량 소자(246), 및 트랜지스터(310)를 포함하는 층(50)과, 발광 소자(61R), 발광 소자(61G), 발광 소자(61B)를 포함하는 층(60)을 포함한다. 층(60)은 층(50)이 포함하는 절연층(363) 위에 제공되어 있다.
- [0443] 트랜지스터(310)는 기관(301)에 채널 형성 영역을 포함하는 트랜지스터이다. 기관(301)으로서는 예를 들어 단결정 실리콘 기관 등의 반도체 기관을 사용할 수 있다. 트랜지스터(310)는 기관(301)의 일부, 도전층(311), 저저항 영역(312), 절연층(313), 및 절연층(314)을 포함한다. 도전층(311)은 게이트 전극으로서 기능한다. 절연층(313)은 기관(301)과 도전층(311) 사이에 위치하고 게이트 절연층으로서 기능한다. 저저항 영역(312)은 기관(301)에 불순물이 도핑된 영역이고, 소스 및 드레인 중 한쪽으로서 기능한다. 절연층(314)은 도전층(311)의 측면을 덮어 제공되고 절연층으로서 기능한다.
- [0444] 또한 기관(301)에 매립되도록, 인접된 2개의 트랜지스터(310) 사이에 소자 분리층(315)이 제공되어 있다.
- [0445] 또한 트랜지스터(310)를 덮어 절연층(261)이 제공되고, 절연층(261) 위에 용량 소자(246)가 제공되어 있다.
- [0446] 용량 소자(246)는 도전층(241)과, 도전층(245)과, 이들 사이에 위치하는 절연층(243)을 포함한다. 도전층(241)은 용량 소자(246)의 한쪽 전극으로서 기능하고, 도전층(245)은 용량 소자(246)의 다른 쪽 전극으로서 기능하고, 절연층(243)은 용량 소자(246)의 유전체로서 기능한다.
- [0447] 도전층(241)은 절연층(261) 위에 제공되고 절연층(254)에 매립되어 있다. 도전층(241)은 절연층(261)에 매립된 플러그(266)에 의하여 트랜지스터(310)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 절연층(243)은 도전층(241)을 덮어 제공된다. 도전층(245)은 절연층(243)을 개재하여 도전층(241)과 중첩되는 영역에 제공되어 있다.
- [0448] 용량 소자(246)를 덮어 절연층(255)이 제공되고, 절연층(255) 위에 절연층(363)이 제공되고, 절연층(363) 위에 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)가 제공되어 있다. 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B) 위에는 보호층(415)이 제공되어 있고, 보호층(415)의 상면에는 수지층(419)을 개재하여 기관(420)이 제공되어 있다.
- [0449] 발광 소자의 화소 전극은 절연층(255) 및 절연층(363)에 매립된 플러그(256), 절연층(254)에 매립된 도전층(241) 및 절연층(261)에 매립된 플러그(266)에 의하여 트랜지스터(310)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다.
- [0450] 도 70에 나타난 단면 구성예의 변형예를 도 71에 나타내었다. 도 71에 나타난 표시 장치(10)의 단면 구성예에서는 트랜지스터(310) 대신 트랜지스터(320)를 포함하는 점이 도 70에 나타난 단면 구성예와 주로 상이하다.

또한 도 70과 같은 부분에 대해서는 설명을 생략하는 경우가 있다.

- [0451] 트랜지스터(320)는 채널이 형성되는 반도체층에 금속 산화물(산화물 반도체라고도 함)이 적용된 트랜지스터이다.
- [0452] 트랜지스터(320)는 반도체층(321), 절연층(323), 도전층(324), 한 쌍의 도전층(325), 절연층(326), 및 도전층(327)을 포함한다.
- [0453] 기판(331)으로서는 절연성 기판 또는 반도체 기판을 사용할 수 있다.
- [0454] 기판(331) 위에 절연층(332)이 제공되어 있다. 절연층(332)은 기판(331)으로부터 물 또는 수소 등의 불순물이 트랜지스터(320)로 확산되는 것, 및 반도체층(321)으로부터 절연층(332) 측으로 산소가 이탈되는 것을 방지하는 배리어층으로서 기능한다. 절연층(332)으로서는 예를 들어 산화 알루미늄막, 산화 하프늄막, 질화 실리콘막 등, 산화 실리콘막보다 수소 또는 산소가 확산되기 어려운 막을 사용할 수 있다.
- [0455] 절연층(332) 위에 도전층(327)이 제공되고, 도전층(327)을 덮어 절연층(326)이 제공되어 있다. 도전층(327)은 트랜지스터(320)의 제 1 게이트 전극으로서 기능하고, 절연층(326)의 일부는 제 1 게이트 절연층으로서 기능한다. 절연층(326)의 적어도 반도체층(321)과 접하는 부분에는 산화 실리콘막 등의 산화물 절연막을 사용하는 것이 바람직하다. 절연층(326)의 상면은 평탄화되어 있는 것이 바람직하다.
- [0456] 반도체층(321)은 절연층(326) 위에 제공된다. 반도체층(321)은 반도체 특성을 가지는 금속 산화물(산화물 반도체라고도 함)막을 포함하는 것이 바람직하다. 반도체층(321)에 적합하게 사용할 수 있는 재료의 자세한 사항에 대해서는 후술한다.
- [0457] 한 쌍의 도전층(325)은 반도체층(321) 위에 접하여 제공되고, 소스 전극 및 드레인 전극으로서 기능한다.
- [0458] 또한 한 쌍의 도전층(325)의 상면 및 측면, 그리고 반도체층(321)의 측면 등을 덮어 절연층(328)이 제공되고, 절연층(328) 위에 절연층(264)이 제공되어 있다. 절연층(328)은 반도체층(321)에 절연층(264) 등으로부터 물 또는 수소 등의 불순물이 확산되는 것, 및 반도체층(321)으로부터 산소가 이탈되는 것을 방지하는 배리어층으로서 기능한다. 절연층(328)으로서는 상기 절연층(332)과 같은 절연막을 사용할 수 있다.
- [0459] 반도체층(321)에 도달하는 개구가 절연층(328) 및 절연층(264)에 제공되어 있다. 상기 개구의 내부에 있어서 절연층(264), 절연층(328), 및 도전층(325)의 측면, 그리고 반도체층(321)의 상면에 접하는 절연층(323)과 도전층(324)이 매립되어 있다. 도전층(324)은 제 2 게이트 전극으로서 기능하고, 절연층(323)은 제 2 게이트 절연층으로서 기능한다.
- [0460] 도전층(324)의 상면, 절연층(323)의 상면, 및 절연층(264)의 상면은 각각 높이가 실질적으로 일치하도록 평탄화 처리되고, 이들을 덮어 절연층(329) 및 절연층(265)이 제공되어 있다.
- [0461] 절연층(264) 및 절연층(265)은 층간 절연층으로서 기능한다. 절연층(329)은 절연층(265) 등으로부터 트랜지스터(320)로 물 또는 수소 등의 불순물이 확산되는 것을 방지하는 배리어층으로서 기능한다. 절연층(329)으로서는 상기 절연층(328) 및 절연층(332)과 같은 절연막을 사용할 수 있다.
- [0462] 한 쌍의 도전층(325) 중 한쪽에 전기적으로 접속되는 플러그(274)는 절연층(265), 절연층(329), 및 절연층(264)에 매립되도록 제공되어 있다. 여기서 플러그(274)는 절연층(265), 절연층(329), 절연층(264), 및 절연층(328) 각각의 개구의 측면, 그리고 도전층(325)의 상면의 일부를 덮는 도전층(274a)과, 도전층(274a)의 상면에 접하는 도전층(274b)을 포함할 것이 바람직하다. 이때 도전층(274a)으로서 수소 및 산소가 확산되기 어려운 도전성 재료를 사용하는 것이 바람직하다.
- [0463] 도 63의 (B)에 나타난 표시 장치(10)의 일부의 단면 구성예를 도 72에 나타내었다. 도 72에 나타난 표시 장치(10)는 층(40)이 포함하는 기판(301A)에 채널이 형성되는 트랜지스터(310A)와, 층(40)이 포함하는 기판(301A)에 채널이 형성되는 트랜지스터(310B)가 적층된 구성을 가진다. 기판(301A)에 기판(301)과 같은 재료를 사용할 수 있다.
- [0464] 도 72에 나타난 표시 장치(10)는 발광 소자(61)가 제공된 층(60)과, 기판(301B), 트랜지스터(310B), 및 용량 소자(246)가 제공된 층(50)과, 기판(301A) 및 트랜지스터(310A)가 제공된 층(40)이 접합된 구성을 가진다.
- [0465] 기판(301B)에는 기판(301B)을 관통하는 플러그(343)가 제공된다. 플러그(343)는 Si 관통 전극(TSV: through-silicon via)으로서 기능한다. 또한 플러그(343)는 기판(301B)의 이면(기판(420) 측과는 반대 측의 표면)에 제

공된 도전층(342)에 전기적으로 접속된다. 한편, 기관(301A)에는 절연층(261) 위에 도전층(341)이 제공되어 있다.

[0466] 도전층(341)과 도전층(342)이 접합됨으로써, 층(40)과 층(50)이 전기적으로 접속된다.

[0467] 도전층(341) 및 도전층(342)으로서는 같은 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 Al, Cr, Cu, Ta, Sn, Zn, Au, Ag, Pt, Ti, Mo, 및 W에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 타이타늄막, 질화 몰리브데넘막, 질화 텅스텐막) 등을 사용할 수 있다. 특히 도전층(341) 및 도전층(342)에 구리를 사용하는 것이 바람직하다. 이로써 Cu-Cu(Copper · Copper) 직접 접합 기술(Cu(구리) 패드들을 접속함으로써 전기적 도통을 실현하는 기술)을 적용할 수 있다. 또한 도전층(341)과 도전층(342)은 범프를 통하여 접합되어도 좋다.

[0468] 도 72에 나타난 단면 구성예의 변형예를 도 73에 나타내었다. 도 73에 나타난 표시 장치(10)의 단면 구성예는 기관(301A)에 채널이 형성되는 트랜지스터(310A)와 채널이 형성되는 반도체층에 금속 산화물을 포함하는 트랜지스터(320)가 적층된 구성을 가진다. 또한 도 70 내지 도 72와 같은 부분에 대해서는 설명을 생략하는 경우가 있다.

[0469] 도 73에 나타난 층(50)은 도 71에 나타난 층(50)에서 기관(331)을 제외한 구성을 가진다. 또한 도 73에 나타난 층(40)에는 트랜지스터(310A)를 덮어 절연층(261)이 제공되고, 절연층(261) 위에 도전층(251)이 제공되어 있다. 또한 도전층(251)을 덮어 절연층(262)이 제공되고, 절연층(262) 위에 도전층(252)이 제공되어 있다. 도전층(251) 및 도전층(252)은 각각 배선으로서 기능한다. 또한 도전층(252)을 덮어 절연층(263) 및 절연층(332)이 제공되고, 절연층(332) 위에 트랜지스터(320)가 제공되어 있다. 또한 트랜지스터(320)를 덮어 절연층(265)이 제공되고, 절연층(265) 위에 용량 소자(246)가 제공되어 있다. 용량 소자(246)와 트랜지스터(320)는 플러그(274)로 전기적으로 접속되어 있다. 층(50)은 층(40)이 포함하는 절연층(263)에 중첩시켜 제공되어 있다.

[0470] 트랜지스터(320)는 화소 회로(51)를 구성하는 트랜지스터로서 사용할 수 있다. 또한 트랜지스터(310)는 화소 회로(51)를 구성하는 트랜지스터 또는 주변 구동 회로를 구성하는 트랜지스터로서 사용할 수 있다. 또한 트랜지스터(310) 및 트랜지스터(320)는 연산 회로 또는 기억 회로 등의 기능 회로를 구성하는 트랜지스터로서 사용할 수 있다.

[0471] 이와 같은 구성으로 함으로써, 발광 소자(61)를 포함하는 층(60)의 직하에 화소 회로(51)뿐만 아니라 주변 구동 회로 등을 형성할 수 있다. 따라서 표시 영역의 주변에 구동 회로를 제공하는 경우와 비교하여 표시 장치를 소형화할 수 있게 된다.

[0472] 도 64의 (A) 및 (B)에 나타난 표시 장치(10)의 일부의 단면 구성예를 도 74에 나타내었다. 도 74는 도 70에 나타난 단면 구성예의 변형예이다. 도 74에서는 절연층(263) 위에 도전층(701)이 제공되고, 도전층(701) 위에 절연층(333)이 제공되어 있다. 또한 절연층(333) 위에 절연층(332)이 제공되어 있다.

[0473] 도전층(701)은 층(40)에 포함되는 회로로부터 층(50)에 포함되는 회로로 신호를 공급하기 위한 도전체(플러그 등)에는 전기적으로 접속되지 않는다. 마찬가지로 도전층(701)은 층(50)에 포함되는 회로로부터 층(40)에 포함되는 회로로 신호를 공급하기 위한 도전체(플러그 등)에는 전기적으로 접속되지 않는다.

[0474] 도 74에는 도전층(701)을 층(40)과 층(50) 사이에 제공하는 단면 구성예를 나타내었지만, 도전층(701)은 층(40)에 제공하여도 좋고, 층(50)에 제공하여도 좋다.

[0475] 도 66에 나타난 표시 장치(10)의 일부의 단면 구성예를 도 75에 나타내었다. 도 75는 도 74에 나타난 단면 구성예의 변형예이기도 하다. 도 75에서는 절연층(263) 위에 도전층(702)이 제공되고, 도전층(702) 위에 절연층(334)이 제공되어 있다. 또한 절연층(334) 위에 도전층(701)이 제공되고, 도전층(701) 위에 절연층(333)이 제공되어 있다. 또한 절연층(333) 위에 절연층(332)이 제공되어 있다.

[0476] 도전층(701)과 마찬가지로 도전층(702)은 층(40)에 포함되는 회로로부터 층(50)에 포함되는 회로로 신호를 공급하기 위한 도전체(플러그 등)에는 전기적으로 접속되지 않는다. 또한 도전층(702)은 층(50)에 포함되는 회로로부터 층(40)에 포함되는 회로로 신호를 공급하기 위한 도전체(플러그 등)에는 전기적으로 접속되지 않는다. 또한 도전층(701)과 도전층(702)은 전기적으로 접속되어도 좋다.

[0477] 도 75에는 도전층(701) 및 도전층(702)을 층(40)과 층(50) 사이에 제공하는 단면 구성예를 나타내었지만, 도전층(701) 및 도전층(702)을 층(40)에 제공하여도 좋고, 층(50)에 제공하여도 좋다. 또한 도전층(702)을 층(40)

에 제공하고, 도전층(701)을 층(50)에 제공하여도 좋다.

[0478] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.

[0479] (실시형태 10)

[0480] 본 발명의 일 형태에 따른 표시 장치(10)는 인터레이스 구동을 사용한 화상 표시를 실현할 수 있다. 본 실시형태에서는 표시 장치(10)의 인터레이스 구동에 대하여 설명한다.

[0481] [구동 방법 1]

[0482] 도 76의 (A)에 표시 장치(10)의 블록도를 나타내었다. 도 76의 (A)에는 m행 n열의 매트릭스 형태로 배치된 화소(230) 중, 4행 3열의 화소(230)를 나타내었다. 첫 번째 행의 화소(230)는 배선(GLa[1])을 통하여 제 1 구동 회로부(231)에 전기적으로 접속된다. 두 번째 행의 화소(230)는 배선(GLa[2])을 통하여 제 1 구동 회로부(231)에 전기적으로 접속된다. 세 번째 행의 화소(230)는 배선(GLa[3])을 통하여 제 1 구동 회로부(231)에 전기적으로 접속된다. 네 번째 행의 화소(230)는 배선(GLa[4])을 통하여 제 1 구동 회로부(231)에 전기적으로 접속된다. 배선(GLa)은 주사선으로서 기능한다.

[0483] 또한 첫 번째 열의 화소(230)는 배선(DL[1])을 통하여 제 2 구동 회로부(232)에 전기적으로 접속된다. 두 번째 열의 화소(230)는 배선(DL[2])을 통하여 제 2 구동 회로부(232)에 전기적으로 접속된다. 세 번째 열의 화소(230)는 배선(DL[3])을 통하여 제 2 구동 회로부(232)에 전기적으로 접속된다. 배선(DL)은 비디오 신호선으로서 기능한다.

[0484] 도 76의 (A)에서는 네 번째 행 세 번째 열의 화소(230)를 화소(230[4,3])로 나타내었다. 또한 m 번째 행 세 번째 열의 화소(230)를 화소(230[m,3])로 나타내었다. 또한 도 76의 (A)에서는 배선(GLa) 및 배선(DL) 이외의 배선의 기재를 생략하였다.

[0485] 제 1 구동 회로부(231)에는 스타트 펄스(VSP) 및 클록 신호(VCLK)가 공급된다.

[0486] 도 76의 (B)는 도 76의 (A)에 나타난 표시 장치(10)의 동작을 설명하는 타이밍 차트이다. 제 1 구동 회로부(231)에 스타트 펄스(VSP)가 공급되면, 클록 신호(VCLK)와 동기되어 배선(GLa)이 순차적으로 선택된다. 배선(GLa)이 선택되는 기간 중에 제 2 구동 회로부(232)로부터 화소(230)로 비디오 신호가 공급된다. 배선(GLa[1])에서 배선(GLa[m])까지를 순차적으로 선택하는 기간을 '프레임' 또는 '프레임 기간'이라고 한다. 일반적으로 화상 표시 기간 중에는 배선(GLa[1])으로부터 배선(GLa[m])까지의 선택이 반복적으로 수행된다. 따라서 스타트 펄스(VSP)는 프레임 기간마다 공급된다.

[0487] 예를 들어 표시하는 영상 소스 등에 따라서는 표시 장치(10)의 화소 밀도보다 낮은 화소 밀도이어도 표시 품질에 손색이 없는 경우가 있다. 이때 1프레임마다 홀수 번째 행과 짝수 번째 행의 배선(GLa)의 선택을 전환함으로써, 표시 품질을 유지하면서 발광 소자(61)에 대한 부하를 경감할 수 있다. 따라서 표시 장치(10)의 신뢰성을 높일 수 있다.

[0488] 도 76의 (B)에 나타난 타이밍 차트에서는 제 1 프레임(홀수 번째 프레임)에서는 홀수 번째 행의 배선(GLa)이 순차적으로 선택되고, 짝수 번째 행의 배선(GLa)은 선택되지 않는 동작예를 나타내었다. 또한 제 2 프레임(짝수 프레임)에서는 짝수 번째 행의 배선(GLa)이 순차적으로 선택되고, 홀수 번째 행의 배선(GLa)은 선택되지 않는 동작예를 나타내었다. 또한 홀수 번째 프레임에 짝수 번째 행의 배선(GLa)을 순차적으로 선택하고, 짝수 프레임에서 홀수 번째 행의 배선(GLa)을 순차적으로 선택하여도 좋다. 이와 같이 프레임마다 비디오 신호를 기록하는 행을 전환하는 구동 방법을 '인터레이스' 또는 '인터레이스 구동'이라고 한다. 또한 1프레임에서 모든 화소에 비디오 신호를 기록하는 구동 방법을 '프로그레시브' 또는 '프로그레시브 구동'이라고 한다.

[0489] 또한 발광 휘도를 크게 하려고 하는 경우 등에서는 인터레이스 구동을 수행하지 않고, 발광 소자(61a)와 발광 소자(61b)를 동시에 발광시키고, 프로그레시브 구동에서 표시 동작을 수행하면 좋다. 또는 인터레이스 구동 시의 프레임 주파수를 높여도 좋다. 프레임 주파수는 60Hz 이상이 바람직하고, 120Hz 이상이 더 바람직하고, 240Hz 이상이 더 바람직하다. 인터레이스 구동과 프로그레시브 구동은 적절히 전환하여 사용할 수 있다.

[0490] [구동 방법 2]

[0491] 이어서 화소(230)로서 반도체 장치(100F) 또는 반도체 장치(100G)를 사용하는 경우의 인터레이스 구동에 대하여 도 77을 사용하여 설명한다. 또한 설명의 반복을 줄이기 위하여 주로 도 76과 상이한 부분에 대하여 설명한다.

- [0492] 상기 실시형태에 나타난 바와 같이 반도체 장치(100F) 및 반도체 장치(100G)의 각각은 캐소드가 배선(104a)에 전기적으로 접속되는 발광 소자(61a) 및 캐소드가 배선(104b)에 전기적으로 접속되는 발광 소자(61b)를 포함한다.
- [0493] 도 77의 (A)는 화소(230)로서 반도체 장치(100F) 또는 반도체 장치(100G)를 사용한 표시 장치(10)의 블록도이다. 도 77의 (A)에서는 홀수 번째 행의 화소(230)가 배선(104a)에 전기적으로 접속되고, 짝수 번째 행의 화소(230)가 배선(104b)에 전기적으로 접속된다. 또한 짝수 번째 행의 화소(230)가 배선(104a)에 전기적으로 접속되고, 홀수 번째 행의 화소(230)가 배선(104b)에 전기적으로 접속되어도 좋다.
- [0494] 또한 도 77의 (A)에서는 배선(GLa) 및 배선(DL) 이외의 배선의 기재를 생략하였다.
- [0495] 또한 반도체 장치(100F) 및 반도체 장치(100G)는 하나의 화소 회로(51)로 발광 소자(61a) 및 발광 소자(61b)를 구동시킬 수 있으므로 배선(GLa)의 개수를 반으로 줄일 수 있다. 도 77의 (A)에서는 첫 번째 행의 화소(230)와 두 번째 행의 화소(230)가 첫 번째 배선(GLa)인 배선(GLa[1])에 전기적으로 접속되고, 세 번째 행의 화소(230)와 네 번째 행의 화소(230)가 두 번째 배선(GLa)인 배선(GLa[2])에 전기적으로 접속된다.
- [0496] 도 77의 (A)에서는 m 번째 행의 화소(230)와 전기적으로 접속되는 배선(GLa)을 배선(GLa[p])으로 나타내었다. m이 짝수인 경우 p는 m의 절반이고, m이 홀수인 경우 p는 m+1의 절반이다.
- [0497] 또한 홀수 번째 행의 화소(230)에 발광 소자(61a)를 사용하고, 짝수 번째 행의 화소(230)에 발광 소자(61b)를 사용한다. 또한 짝수 번째 행의 화소(230)에 발광 소자(61a)를 사용하고, 홀수 번째 행의 화소(230)에는 발광 소자(61b)를 사용하여도 좋다.
- [0498] 도 77의 (B)는 도 77의 (A)에 나타난 표시 장치(10)의 동작을 설명하는 타이밍 차트이다. 첫 번째부터 p 번째까지의 배선(GLa)은 프레임마다 클럭 신호(VCLK)와 동기하면서 순차적으로 선택된다. 또한 제 1 프레임(홀수 번째 프레임)에서 배선(104a)에 전위 Vc를 인가하고, 배선(104b)에 전위 Va를 인가한다. 또한 제 2 프레임(짝수 번째 프레임)에서 배선(104a)에 전위 Va를 인가하고, 배선(104b)에 전위 Vc를 인가한다. 이와 같이 인터레이스 구동을 실현할 수 있다.
- [0499] 상기 실시형태에 나타난 바와 같이, 반도체 장치(100F) 및 반도체 장치(100G)는 발광 소자(61)의 발광을 제어하는 화소 회로(51F) 및 화소 회로(51G)의 점유 면적이 작기 때문에, 표시 장치의 정세도의 향상에 적합하다. 화소(230)에 반도체 장치(100F) 또는 반도체 장치(100G)를 사용하는 표시 장치(10)를 인터레이스 구동으로 동작시킴으로써, 화소 밀도가 높은 표시 장치를 실현할 수 있다.
- [0500] [구동 방법 3]
- [0501] 이어서 화소(230)로서 반도체 장치(100H)를 사용하는 경우의 인터레이스 구동에 대하여 도 78을 사용하여 설명한다. 또한 도 78은 도 77의 변형예이다. 따라서 설명의 반복을 줄이기 위하여 주로 도 77과 상이한 부분에 대하여 설명한다.
- [0502] 상기 실시형태에 나타난 바와 같이 반도체 장치(100H)는 회로(52a), 회로(52b), 발광 소자(61a), 및 발광 소자(61b)를 포함한다. 회로(52a)는 발광 소자(61a)를 발광시킬지 여부를 선택하는 스위치로서 기능하고, 회로(52b)는 발광 소자(61b)를 발광시킬지 여부를 선택하는 스위치로서 기능한다. 또한 회로(52a)는 배선(GLc)에 전기적으로 접속되고, 회로(52b)는 배선(GLd)에 전기적으로 접속된다.
- [0503] 홀수 번째 행의 화소(230)에 발광 소자(61a)를 사용하는 경우, 홀수 번째 행의 화소(230)에 배선(GLc)이 전기적으로 접속된다. 또한 짝수 번째 행의 화소(230)에 발광 소자(61b)를 사용하는 경우, 짝수 번째 행의 화소(230)에 배선(GLd)이 전기적으로 접속된다.
- [0504] 도 78의 (B)는 도 78의 (A)에 나타난 표시 장치(10)의 동작을 설명하는 타이밍 차트이다. 첫 번째부터 p 번째까지의 배선(GLa)은 프레임마다 클럭 신호(VCLK)와 동기하면서 순차적으로 선택된다. 또한 제 1 프레임(홀수 번째 프레임)에서 배선(GLa)과 동기하여 배선(GLc)이 순차적으로 선택된다. 예를 들어 배선(GLa[1])이 선택된 경우에는 배선(GLc[1])도 선택된다. 제 1 프레임(홀수 번째 프레임)에서 모든 배선(GLd)이 선택되지 않는다. 따라서 발광 소자(61a)가 발광하고, 발광 소자(61b)는 발광하지 않는다.
- [0505] 제 2 프레임(짝수 번째 프레임)에서 배선(GLa)과 동기하여 배선(GLd)이 순차적으로 선택된다. 예를 들어 배선(GLa[1])이 선택된 경우에는 배선(GLd[1])도 선택된다. 제 2 프레임(짝수 번째 프레임)에서 모든 배선(GLc)이 선택되지 않는다. 따라서 발광 소자(61b)가 발광하고, 발광 소자(61a)는 발광하지 않는다. 이와 같이 인터레이스

구동을 실현할 수 있다.

[0506] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.

[0507] (실시형태 11)

[0508] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치에 사용할 수 있는 트랜지스터에 대하여 설명한다.

[0509] <트랜지스터의 구성예>

[0510] 도 79의 (A), (B), 및 (C)는 본 발명의 일 형태에 따른 반도체 장치에 사용할 수 있는 트랜지스터(500)의 상면도 및 단면도이다. 본 발명의 일 형태에 따른 반도체 장치에 트랜지스터(500)를 적용할 수 있다.

[0511] 도 79의 (A)는 트랜지스터(500)의 상면도이다. 또한 도 79의 (B) 및 (C)는, 트랜지스터(500)의 단면도이다. 여기서 도 79의 (B)는 도 79의 (A)에 일점쇄선 A1-A2로 나타난 부분의 단면도이고, 트랜지스터(500)의 채널 길이 방향의 단면도이기도 하다. 또한 도 79의 (C)는 도 79의 (A)에 일점쇄선 A3-A4로 나타난 부분의 단면도이고, 트랜지스터(500)의 채널 폭 방향의 단면도이기도 하다. 또한 도 79의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 나타내었다.

[0512] 도 79에 나타난 바와 같이 트랜지스터(500)는 기판(도시하지 않았음) 위에 배치된 금속 산화물(531a)과, 금속 산화물(531a) 위에 배치된 금속 산화물(531b)과, 금속 산화물(531b) 위에 서로 이격되어 배치된 도전체(542a) 및 도전체(542b)와, 도전체(542a) 및 도전체(542b) 위에 배치되며 도전체(542a)와 도전체(542b) 사이에 개구가 형성된 절연체(580)와, 개구 내에 배치된 도전체(560)와, 금속 산화물(531b), 도전체(542a), 도전체(542b), 및 절연체(580)와 도전체(560) 사이에 배치된 절연체(550)와, 금속 산화물(531b), 도전체(542a), 도전체(542b), 및 절연체(580)와 절연체(550) 사이에 배치된 금속 산화물(531c)을 포함한다. 여기서 도 79의 (B) 및 (C)에 나타난 바와 같이 도전체(560)의 상면은 절연체(550), 절연체(554), 금속 산화물(531c), 및 절연체(580)의 상면과 실질적으로 일치하는 것이 바람직하다. 또한 이하에서 금속 산화물(531a), 금속 산화물(531b), 및 금속 산화물(531c)을 통틀어 금속 산화물(531)이라고 하는 경우가 있다. 또한 도전체(542a) 및 도전체(542b)를 통틀어 도전체(542)라고 하는 경우가 있다.

[0513] 도 79에 나타난 트랜지스터(500)에서는 도전체(542a) 및 도전체(542b)의 도전체(560) 측의 측면이 실질적으로 수직인 형상을 가진다. 또한 도 79에 나타난 트랜지스터(500)는 이에 한정되지 않고, 도전체(542a) 및 도전체(542b)의 측면과 저면이 이루는 각을 10° 이상 80° 이하, 바람직하게는 30° 이상 60° 이하로 하여도 좋다. 또한 도전체(542a) 및 도전체(542b)의 대향하는 측면이 복수의 면을 가져도 좋다.

[0514] 도 79에 나타난 바와 같이 절연체(524), 금속 산화물(531a), 금속 산화물(531b), 도전체(542a), 도전체(542b), 및 금속 산화물(531c)과 절연체(580) 사이에 절연체(554)가 배치되는 것이 바람직하다. 여기서 절연체(554)는 도 79의 (B) 및 (C)에 나타난 바와 같이 금속 산화물(531c)의 측면, 도전체(542a)의 상면과 측면, 도전체(542b)의 상면과 측면, 금속 산화물(531a) 및 금속 산화물(531b)의 측면, 그리고 절연체(524)의 상면에 접하는 것이 바람직하다.

[0515] 또한 트랜지스터(500)에서는 채널이 형성되는 영역(이하 채널 형성 영역이라고도 함)과, 그 근방에서 금속 산화물(531a), 금속 산화물(531b), 및 금속 산화물(531c)의 3층을 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 금속 산화물(531b)과 금속 산화물(531c)의 2층 구조 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한 트랜지스터(500)에서는, 도전체(560)를 2층의 적층 구조로서 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(560)는 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다. 또한 금속 산화물(531a), 금속 산화물(531b), 및 금속 산화물(531c) 각각이 2층 이상의 적층 구조를 가져도 좋다.

[0516] 예를 들어 금속 산화물(531c)이 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 2 금속 산화물로 이루어지는 적층 구조를 가지는 경우, 제 1 금속 산화물은 금속 산화물(531b)과 같은 조성을 가지고, 제 2 금속 산화물은 금속 산화물(531a)과 같은 조성을 가지는 것이 바람직하다.

[0517] 여기서 도전체(560)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이의 영역에 매립되도록 형성된다. 여기서 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는 절연체(580)의 개구에 대하여 자기 정합(self-aligned)적으로 선택된다. 즉 트랜지스터(500)에서 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치시킬 수 있다. 따라서 위치를 맞추

기 위한 마진을 제공하지 않고 도전체(560)를 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적을 축소할 수 있다. 이로써 표시 장치를 고정세로 할 수 있다. 또한 표시 장치를 슬림 베젤로 할 수 있다.

- [0518] 도 79에 나타난 바와 같이 도전체(560)는 절연체(550)의 내측에 제공된 도전체(560a)와 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 포함하는 것이 바람직하다.
- [0519] 트랜지스터(500)는 기판(도시하지 않았음) 위에 배치된 절연체(514)와, 절연체(514) 위에 배치된 절연체(516)와, 절연체(516)에 매립되도록 배치된 도전체(505)와, 절연체(516)와 도전체(505) 위에 배치된 절연체(522)와, 절연체(522) 위에 배치된 절연체(524)를 포함하는 것이 바람직하다. 절연체(524) 위에 금속 산화물(531a)이 배치되는 것이 바람직하다.
- [0520] 트랜지스터(500) 위에 층간막으로서 기능하는 절연체(574) 및 절연체(581)가 배치되는 것이 바람직하다. 여기서 절연체(574)는 도전체(560), 절연체(550), 절연체(554), 금속 산화물(531c), 및 절연체(580)의 상면에 접하여 배치되는 것이 바람직하다.
- [0521] 절연체(522), 절연체(554), 및 절연체(574)는 수소(예를 들어, 수소 원자, 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(522), 절연체(554), 및 절연체(574)는 절연체(524), 절연체(550), 및 절연체(580)보다 수소 투과성이 낮은 것이 바람직하다. 또한 절연체(522) 및 절연체(554)는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(522) 및 절연체(554)는 절연체(524), 절연체(550), 및 절연체(580)보다 산소 투과성이 낮은 것이 바람직하다.
- [0522] 여기서 절연체(524), 금속 산화물(531), 및 절연체(550)는 절연체(580) 및 절연체(581)와 절연체(554) 및 절연체(574)에 의하여 이격되어 있다. 그러므로 절연체(580) 및 절연체(581)에 포함되는 수소 등의 불순물 및 과잉 산소가 절연체(524), 금속 산화물(531), 및 절연체(550)에 혼입되는 것을 억제할 수 있다.
- [0523] 트랜지스터(500)와 전기적으로 접속되고, 플러그로서 기능하는 도전체(545)(도전체(545a) 및 도전체(545b))가 제공되는 것이 바람직하다. 또한 플러그로서 기능하는 도전체(545)의 측면에 접하여 절연체(541)(절연체(541a) 및 절연체(541b))가 제공된다. 즉 절연체(554), 절연체(580), 절연체(574), 및 절연체(581)의 개구의 내벽에 접하여 절연체(541)가 제공된다. 또한 절연체(541)의 측면에 접하여 도전체(545)의 제 1 도전체가 제공되고, 더 내측에 도전체(545)의 제 2 도전체가 제공되는 구성으로 하여도 좋다. 여기서 도전체(545)의 상면의 높이와 절연체(581)의 상면의 높이는 같은 정도로 할 수 있다. 또한 트랜지스터(500)에서는 도전체(545)의 제 1 도전체 및 도전체(545)의 제 2 도전체를 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(545)를 단층으로 또는 3층 이상의 적층 구조로 제공하는 구성으로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순서대로 서수를 붙여 구별하는 경우가 있다.
- [0524] 트랜지스터(500)는 채널 형성 영역을 포함하는 금속 산화물(531)(금속 산화물(531a), 금속 산화물(531b), 및 금속 산화물(531c))에 산화물 반도체로서 기능하는 금속 산화물(이하 산화물 반도체라고도 함)을 사용하는 것이 바람직하다. 예를 들어 금속 산화물(531)의 채널 형성 영역이 되는 금속 산화물로서 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상인 것을 사용하는 것이 바람직하다.
- [0525] 상기 금속 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 인듐(In) 및 아연(Zn)을 포함하는 것이 바람직하다. 또한 이들에 더하여 원소 M이 포함되는 것이 바람직하다. 원소 M으로서 알루미늄(Al), 갈륨(Ga), 이트륨(Y), 주석(Sn), 붕소(B), 타이타늄(Ti), 철(Fe), 니켈(Ni), 저마늄(Ge), 지르코늄(Zr), 몰리브데넘(Mo), 란타넘(La), 세륨(Ce), 네오디뮴(Nd), 하프늄(Hf), 탄탈럼(Ta), 텅스텐(W), 마그네슘(Mg), 및 코발트(Co) 중 하나 이상을 사용할 수 있다. 특히 원소 M은 알루미늄(Al), 갈륨(Ga), 이트륨(Y), 및 주석(Sn) 중 하나 이상으로 하는 것이 바람직하다. 또한 원소 M은 Ga 및 Sn 중 어느 한쪽 또는 양쪽을 가지는 것이 더 바람직하다.
- [0526] 또한 도 79의 (B)에 나타난 바와 같이 금속 산화물(531b)은 도전체(542)와 중첩되지 않은 영역의 막 두께가 도전체(542)와 중첩되는 영역의 막 두께보다 얇아지는 경우가 있다. 이는 도전체(542a) 및 도전체(542b)를 형성할 때, 금속 산화물(531b)의 상면의 일부를 제거함으로써 형성된다. 금속 산화물(531b)의 상면에는 도전체(542)가 되는 도전막을 성막하였을 때 상기 도전막과의 계면 근방에 저항이 낮은 영역이 형성되는 경우가 있다. 이와 같이 금속 산화물(531b)의 상면의 도전체(542a)와 도전체(542b) 사이에 위치하는 저항이 낮은 영역을 제거함으로써, 상기 영역에 채널이 형성되는 것을 방지할 수 있다.
- [0527] 본 발명의 일 형태에 의하여 크기가 작은 트랜지스터를 가지고, 정제도가 높은 표시 장치를 제공할 수 있다.

또는 온 전류가 큰 트랜지스터를 가지고, 휘도가 높은 표시 장치를 제공할 수 있다. 또는 동작이 빠른 트랜지스터를 가지고, 동작이 빠른 표시 장치를 제공할 수 있다. 또는 전기 특성이 안정된 트랜지스터를 가지고, 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 오프 전류가 작은 트랜지스터를 가지고, 소비 전력이 낮은 표시 장치를 제공할 수 있다.

- [0528] 본 발명의 일 형태인 표시 장치에 사용할 수 있는 트랜지스터(500)의 자세한 구성에 대하여 설명한다.
- [0529] 도전체(505)는 금속 산화물(531) 및 도전체(560)와 중첩되는 영역을 포함하도록 배치된다. 또한 도전체(505)는 절연체(516)에 매립되어 제공되는 것이 바람직하다.
- [0530] 도전체(505)는 도전체(505a), 도전체(505b), 및 도전체(505c)를 포함한다. 도전체(505a)는 절연체(516)에 제공된 개구의 저면 및 측벽에 접하여 제공된다. 도전체(505b)는 도전체(505a)에 형성된 오목부에 매립되도록 제공된다. 여기서 도전체(505b)의 상면은 도전체(505a)의 상면 및 절연체(516)의 상면보다 낮아진다. 도전체(505c)는 도전체(505b)의 상면 및 도전체(505a)의 측면에 접하여 제공된다. 여기서 도전체(505c)의 상면의 높이는 도전체(505a)의 상면의 높이 및 절연체(516)의 상면의 높이와 실질적으로 일치한다. 즉 도전체(505b)는 도전체(505a) 및 도전체(505c)로 감싸이는 구성이다.
- [0531] 도전체(505a) 및 도전체(505c)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0532] 도전체(505a) 및 도전체(505c)에 수소의 확산을 저감하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(505b)에 포함되는 수소 등의 불순물이 절연체(524) 등을 통하여 금속 산화물(531)로 확산되는 것을 억제할 수 있다. 또한 도전체(505a) 및 도전체(505c)에 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(505b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테튬, 산화 루테튬 등을 사용하는 것이 바람직하다. 따라서 도전체(505a)로서는 상기 도전성 재료를 단층 또는 적층으로 하면 좋다. 예를 들어 도전체(505a)에는 질화 타이타늄을 사용하면 좋다.
- [0533] 또한 도전체(505b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(505b)에는 텅스텐을 사용하면 좋다.
- [0534] 여기서 도전체(560)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 도전체(505)는 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 그 경우 도전체(505)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(500)의 V_{th} 를 제어할 수 있다. 특히 도전체(505)에 음의 전위를 인가함으로써, 트랜지스터(500)의 V_{th} 를 0V보다 크게 하고, 오프 전류를 작게 할 수 있게 된다. 따라서 도전체(505)에 음의 전위를 인가하는 경우에는 인가하지 않은 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 저감할 수 있다.
- [0535] 도전체(505)는 금속 산화물(531)에서의 채널 형성 영역보다 크게 제공하는 것이 좋다. 특히 도 79의 (C)에 나타낸 바와 같이 도전체(505)는 금속 산화물(531)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서도 연장되는 것이 바람직하다. 즉 금속 산화물(531)의 채널 폭 방향에서의 측면의 외측에서, 도전체(505)와 도전체(560)는 절연체를 개재하여 중첩되는 것이 바람직하다.
- [0536] 상기 구성을 가짐으로써 제 1 게이트 전극으로서의 기능을 가지는 도전체(560)의 전계와, 제 2 게이트 전극으로서의 기능을 가지는 도전체(505)의 전계에 의하여, 금속 산화물(531)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다.
- [0537] 도 79의 (C)에 나타낸 바와 같이 도전체(505)는 연장시켜 배선으로서도 기능시킨다. 다만 이에 한정되지 않고, 도전체(505) 아래에 배선으로서 기능하는 도전체를 제공하는 구성으로 하여도 좋다.
- [0538] 절연체(514)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(500)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(514)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분

자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[0539] 예를 들어 절연체(514)로서 산화 알루미늄 또는 질화 실리콘 등을 사용하는 것이 바람직하다. 이로써 물 또는 수소 등의 불순물이 절연체(514)보다 기판 측으로부터 트랜지스터(500) 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(524) 등에 포함되는 산소가 절연체(514)보다 기판 측으로 확산되는 것을 억제할 수 있다.

[0540] 층간막으로서 기능하는 절연체(516), 절연체(580), 및 절연체(581)는 절연체(514)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(516), 절연체(580), 및 절연체(581)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공(空孔)을 가지는 산화 실리콘 등을 적절히 사용하면 좋다.

[0541] 절연체(522) 및 절연체(524)는 게이트 절연체로서의 기능을 가진다.

[0542] 여기서 금속 산화물(531)과 접하는 절연체(524)는 가열에 의하여 산소가 이탈되는 것이 바람직하다. 본 명세서에서는 가열에 의하여 이탈되는 산소를 과잉 산소라고 부르는 경우가 있다. 예를 들어 절연체(524)에는 산화 실리콘 또는 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함하는 절연체를 금속 산화물(531)에 접하여 제공함으로써, 금속 산화물(531) 내의 산소 결손을 저감하여, 트랜지스터(500)의 신뢰성을 향상시킬 수 있다.

[0543] 절연체(524)로서 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 이상, 더 바람직하게는 $2.0 \times 10^{19} \text{ atoms/cm}^3$ 이상 또는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물막이다. 또한 상기 TDS 분석 시에서의 막의 표면 온도는 100°C 이상 700°C 이하, 또는 100°C 이상 400°C 이하의 범위가 바람직하다.

[0544] 도 79의 (C)에 나타낸 바와 같이 절연체(524)는 절연체(554)와 중첩되지 않고, 금속 산화물(531b)과 중첩되지 않은 영역의 막 두께가 이 외의 영역의 막 두께보다 얇아지는 경우가 있다. 절연체(524)에서 절연체(554)와 중첩되지 않고, 금속 산화물(531b)과 중첩되지 않은 영역의 막 두께는 상기 산소가 충분히 확산될 수 있는 막 두께인 것이 바람직하다.

[0545] 절연체(522)는 절연체(514) 등과 마찬가지로 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(500)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어 절연체(522)는 절연체(524)보다 수소 투과성이 낮은 것이 바람직하다. 절연체(522), 절연체(554), 및 절연체(574)에 의하여 절연체(524), 금속 산화물(531), 및 절연체(550) 등을 둘러싸으로써, 외부로부터 물 또는 수소 등의 불순물이 트랜지스터(500)로 침입하는 것을 억제할 수 있다.

[0546] 또한 절연체(522)는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(522)는 절연체(524)보다 산소 투과성이 낮은 것이 바람직하다. 절연체(522)가 산소 및 불순물의 확산을 억제하는 기능을 가짐으로써, 금속 산화물(531)이 포함하는 산소가 기판 측으로 확산되는 것을 저감할 수 있어 바람직하다. 또한 도전체(505)가 절연체(524) 및 금속 산화물(531)이 포함하는 산소와 반응하는 것을 억제할 수 있다.

[0547] 절연체(522)로서는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 금속 산화물(531)로부터의 산소의 방출, 그리고 트랜지스터(500)의 주변부로부터 금속 산화물(531)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[0548] 또는 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.

[0549] 절연체(522)는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연

(PZT), 타이타늄산 스트론튬(SrTiO_3), 또는 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) 등의 소위 high-k 재료를 포함하는 절연체를 단층 또는 적층으로 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있게 된다.

[0550] 또한 절연체(522) 및 절연체(524)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다. 예를 들어 절연체(522) 아래에 절연체(524)와 같은 절연체를 제공하는 구성으로 하여도 좋다.

[0551] 금속 산화물(531)은 금속 산화물(531a)과, 금속 산화물(531a) 위의 금속 산화물(531b)과, 금속 산화물(531b) 위의 금속 산화물(531c)을 가진다. 금속 산화물(531b) 아래에 금속 산화물(531a)을 가짐으로써, 금속 산화물(531a)보다 아래쪽에 형성된 구조물로부터 금속 산화물(531b)로의 불순물의 확산을 억제할 수 있다. 또한 금속 산화물(531b) 위에 금속 산화물(531c)을 가짐으로써, 금속 산화물(531c)보다 위쪽에 형성된 구조물로부터 금속 산화물(531b)로의 불순물의 확산을 억제할 수 있다.

[0552] 또한 금속 산화물(531)은 각 금속 원자의 원자수비가 다른 복수의 산화물층으로 이루어지는 적층 구조를 가지는 것이 바람직하다. 예를 들어 금속 산화물(531)이 적어도 인듐(In)과 원소 M을 포함하는 경우, 금속 산화물(531a)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(531a)에 포함되는 원소 M의 원자수의 비율은 금속 산화물(531b)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(531b)에 포함되는 원소 M의 원자수의 비율보다 높은 것이 바람직하다. 또한 금속 산화물(531a)에 포함되는 원소 M의 In에 대한 원자수비는 금속 산화물(531b)에 포함되는 원소 M의 In에 대한 원자수비보다 큰 것이 바람직하다. 여기서 금속 산화물(531c)에는 금속 산화물(531a) 또는 금속 산화물(531b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.

[0553] 금속 산화물(531a) 및 금속 산화물(531c)의 전도대 하단의 에너지가 금속 산화물(531b)의 전도대 하단의 에너지보다 높아지는 것이 바람직하다. 또한 환언하면 금속 산화물(531a) 및 금속 산화물(531c)의 전자 친화력이 금속 산화물(531b)의 전자 친화력보다 작은 것이 바람직하다. 이 경우, 금속 산화물(531c)에는 금속 산화물(531a)에 사용할 수 있는 금속 산화물을 사용하는 것이 바람직하다. 구체적으로는 금속 산화물(531c)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(531c)에 포함되는 원소 M의 원자수의 비율은 금속 산화물(531b)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(531b)에 포함되는 원소 M의 원자수의 비율보다 높은 것이 바람직하다. 또한 금속 산화물(531c)에 포함되는 원소 M의 In에 대한 원자수비는 금속 산화물(531b)에 포함되는 원소 M의 In에 대한 원자수비보다 큰 것이 바람직하다.

[0554] 여기서 금속 산화물(531a), 금속 산화물(531b), 및 금속 산화물(531c)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 환언하면 금속 산화물(531a), 금속 산화물(531b), 및 금속 산화물(531c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는 금속 산화물(531a)과 금속 산화물(531b)의 계면 및 금속 산화물(531b)과 금속 산화물(531c)의 계면에서 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.

[0555] 구체적으로는 금속 산화물(531a)과 금속 산화물(531b), 금속 산화물(531b)과 금속 산화물(531c)이 산소 이외에 공통의 원소를 가짐으로써(주성분으로 함으로써) 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 금속 산화물(531b)이 In-Ga-Zn 산화물인 경우, 금속 산화물(531a) 및 금속 산화물(531c)로서, In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하여도 좋다. 또한 금속 산화물(531c)을 적층 구조로 하여도 좋다. 예를 들어 In-Ga-Zn 산화물과 상기 In-Ga-Zn 산화물 위의 Ga-Zn 산화물의 적층 구조 또는 In-Ga-Zn 산화물과 상기 In-Ga-Zn 산화물 위의 산화 갈륨의 적층 구조를 사용할 수 있다. 환언하면, In-Ga-Zn 산화물과 In을 포함하지 않는 산화물의 적층 구조를 금속 산화물(531c)로서 사용하여도 좋다.

[0556] 구체적으로는 금속 산화물(531a)로서 In:Ga:Zn=1:3:4[원자수비] 또는 1:1:0.5[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(531b)로서 In:Ga:Zn=4:2:3[원자수비] 또는 3:1:2[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(531c)로서 In:Ga:Zn=1:3:4[원자수비], In:Ga:Zn=4:2:3[원자수비], Ga:Zn=2:1[원자수비], 또는 Ga:Zn=2:5[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(531c)을 적층 구조로 하는 경우의 구체적인 예로서 In:Ga:Zn=4:2:3[원자수비]과 Ga:Zn=2:1[원자수비]의 적층 구조, In:Ga:Zn=4:2:3[원자수비]과 Ga:Zn=2:5[원자수비]의 적층 구조, In:Ga:Zn=4:2:3[원자수비]과 산화 갈륨의 적층 구조 등을 들 수 있다.

[0557] 이때, 캐리어의 주된 경로는 금속 산화물(531b)이다. 금속 산화물(531a), 금속 산화물(531c)을 상술한 구성으

로 함으로써, 금속 산화물(531a)과 금속 산화물(531b)의 계면 및 금속 산화물(531b)과 금속 산화물(531c)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(500)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다. 또한 금속 산화물(531c)을 적층 구조로 한 경우, 상술한 금속 산화물(531b)과 금속 산화물(531c)의 계면에서의 결합 준위 밀도를 낮추는 효과뿐만 아니라 금속 산화물(531c)이 포함하는 구성 원소가 절연체(550) 측으로 확산되는 것을 억제하는 것이 기대된다. 더 구체적으로는 금속 산화물(531c)을 적층 구조로 하고, 적층 구조의 위쪽에 In을 포함하지 않는 산화물을 위치하게 하기 때문에 절연체(550) 측으로 확산될 수 있는 In을 억제할 수 있다. 절연체(550)는 게이트 절연체로서 기능하기 때문에, In이 확산된 경우 트랜지스터는 특성 불량을 일으킨다. 따라서 금속 산화물(531c)을 적층 구조로 함으로써, 신뢰성이 높은 표시 장치를 제공할 수 있게 된다.

[0558] 금속 산화물(531b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542)(도전체(542a) 및 도전체(542b))가 제공된다. 도전체(542)로서 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0559] 금속 산화물(531)과 접하도록 상기 도전체(542)를 제공함으로써 금속 산화물(531)의 도전체(542) 근방에서 산소 농도가 저감하는 경우가 있다. 또한 금속 산화물(531)의 도전체(542) 근방에서 도전체(542)에 포함되는 금속과 금속 산화물(531)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우 금속 산화물(531)의 도전체(542) 근방의 영역에서 캐리어 농도가 증가되어 상기 영역은 저저항 영역이 된다.

[0560] 여기서 도전체(542a)와 도전체(542b) 사이의 영역은 절연체(580)의 개구에 중첩되어 형성된다. 이로써 도전체(542a)와 도전체(542b) 사이에 도전체(560)를 자기 정합적으로 배치할 수 있다.

[0561] 절연체(550)는 게이트 절연체로서 기능한다. 절연체(550)는 금속 산화물(531c)의 상면에 접하여 배치하는 것이 바람직하다. 절연체(550)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.

[0562] 절연체(550)는 절연체(524)와 마찬가지로 절연체(550) 내의 물 또는 수소 등 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(550)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.

[0563] 절연체(550)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(550)로부터 도전체(560)로의 산소의 확산을 억제하는 것이 바람직하다. 이로써 절연체(550)의 산소로 인한 도전체(560)의 산화를 억제할 수 있다.

[0564] 또한 상기 금속 산화물은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서 절연체(550)에 산화 실리콘 또는 산화질화 실리콘 등을 사용하는 경우, 상기 금속 산화물에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 게이트 절연체를 절연체(550)와 상기 금속 산화물의 적층 구조로 함으로써, 열에 대하여 안정적이고 비유전율이 높은 적층 구조로 할 수 있다. 따라서 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위의 저감화가 가능하다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하다.

[0565] 구체적으로는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등에서 선택된 한 종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 특히 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄알루미늄네이트) 등을 사용하는 것이 바람직하다.

[0566] 도 79에서 도전체(560)를 2층 구조로 나타내었지만, 단층 구조로 하여도 좋고, 3층 이상의 적층 구조로 하여도 좋다.

- [0567] 도전체(560a)는 상술한, 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전체를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0568] 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(550)에 포함되는 산소에 의하여 도전체(560b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다.
- [0569] 도전체(560b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(560)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(560b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0570] 도 79의 (A) 및 (C)에 나타난 바와 같이 금속 산화물(531b)에서 도전체(542)와 중첩되지 않은 영역, 환언하면 금속 산화물(531)의 채널 형성 영역에서 금속 산화물(531)의 측면이 도전체(560)로 덮이도록 배치되어 있다. 이로써 제 1 게이트 전극으로서 기능하는 도전체(560)의 전계를 금속 산화물(531)의 측면에 작용시키기 쉬워진다. 따라서 트랜지스터(500)의 온 전류를 증대시켜, 주파수 특성을 향상시킬 수 있다.
- [0571] 절연체(554)는 절연체(514) 등과 마찬가지로 물 또는 수소 등의 불순물이 절연체(580) 측으로부터 트랜지스터(500)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어 절연체(554)는 절연체(524)보다 수소 투과성이 낮은 것이 바람직하다. 또한 도 79의 (B) 및 (C)에 나타난 바와 같이 절연체(554)는 금속 산화물(531c)의 측면, 도전체(542a)의 상면과 측면, 도전체(542b)의 상면과 측면, 금속 산화물(531a) 및 금속 산화물(531b)의 측면, 그리고 절연체(524)의 상면에 접하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 절연체(580)에 포함되는 수소가 도전체(542a), 도전체(542b), 금속 산화물(531a), 금속 산화물(531b), 및 절연체(524)의 상면 또는 측면으로부터 금속 산화물(531)로 침입하는 것을 억제할 수 있다.
- [0572] 또한 절연체(554)는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(554)는 절연체(580) 또는 절연체(524)보다 산소 투과성이 낮은 것이 바람직하다.
- [0573] 절연체(554)는 스퍼터링법을 사용하여 성막되는 것이 바람직하다. 절연체(554)를 산소를 포함하는 분위기에서 스퍼터링법을 사용하여 성막함으로써, 절연체(524)의 절연체(554)와 접하는 영역 근방에 산소를 첨가할 수 있다. 이로써 상기 영역으로부터 절연체(524)를 통하여 금속 산화물(531) 내에 산소를 공급할 수 있다. 여기서 절연체(554)가 위쪽에서의 산소 확산을 억제하는 기능을 가짐으로써, 산소가 금속 산화물(531)로부터 절연체(580)로 확산되는 것을 방지할 수 있다. 또한 절연체(522)가 아래쪽에서의 산소 확산을 억제하는 기능을 가짐으로써, 산소가 금속 산화물(531)로부터 기판 측으로 확산되는 것을 방지할 수 있다. 이와 같이 금속 산화물(531)의 채널 형성 영역에 산소가 공급된다. 이로써 금속 산화물(531)의 산소 결손을 저감하여, 트랜지스터의 노멀리 온화를 억제할 수 있다.
- [0574] 절연체(554)로서 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄알루미늄네이트) 등을 사용하는 것이 바람직하다.
- [0575] 수소에 대하여 배리어성을 가지는 절연체(554)로 절연체(524), 절연체(550), 및 금속 산화물(531)을 덮음으로써, 절연체(580)는 절연체(554)에 의하여 절연체(524), 금속 산화물(531), 및 절연체(550)와 이격되어 있다. 이로써 트랜지스터(500)의 외부로부터 수소 등의 불순물이 침입하는 것을 억제할 수 있기 때문에, 트랜지스터(500)에 양호한 전기 특성 및 신뢰성을 부여할 수 있다.
- [0576] 절연체(580)는 절연체(554)를 개재하여 절연체(524), 금속 산화물(531), 및 도전체(542) 위에 제공된다. 예를 들어 절연체(580)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘 등을 포함하는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함하는 영역

을 용이하게 형성할 수 있기 때문에 바람직하다.

- [0577] 절연체(580) 내의 물 또는 수소 등 불순물의 농도가 저감되어 있는 것이 바람직하다. 또한 절연체(580)의 상면은 평탄화되어 있어도 좋다.
- [0578] 절연체(574)는 절연체(514) 등과 마찬가지로 물 또는 수소 등의 불순물이 위쪽으로부터 절연체(580)로 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 절연체(574)로서 예를 들어 절연체(514), 절연체(554) 등에 사용할 수 있는 절연체를 사용하면 좋다.
- [0579] 절연체(574) 위에 층간막으로서 기능하는 절연체(581)를 제공하는 것이 바람직하다. 절연체(524)와 마찬가지로 절연체(581)는 막 내의 물 또는 수소 등 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0580] 절연체(581), 절연체(574), 절연체(580), 및 절연체(554)에 형성된 개구에 도전체(545a) 및 도전체(545b)를 배치한다. 도전체(545a) 및 도전체(545b)는 도전체(560)를 사이에 두고 대향하여 제공한다. 또한 도전체(545a) 및 도전체(545b)의 상면의 높이는 절연체(581)의 상면과 동일 평면 위로 하여도 좋다.
- [0581] 또한 절연체(581), 절연체(574), 절연체(580), 및 절연체(554)의 개구의 내벽에 접하여 절연체(541a)가 제공되고, 그 측면에 접하여 도전체(545a)의 제 1 도전체가 형성되어 있다. 상기 개구의 바닥부의 적어도 일부에는 도전체(542a)가 위치하고, 도전체(545a)가 도전체(542a)와 접한다. 마찬가지로 절연체(581), 절연체(574), 절연체(580), 및 절연체(554)의 개구의 내벽에 접하여 절연체(541b)가 제공되고, 그 측면에 접하여 도전체(545b)의 제 1 도전체가 형성되어 있다. 상기 개구의 바닥부의 적어도 일부에는 도전체(542b)가 위치하고, 도전체(545b)가 도전체(542b)와 접한다.
- [0582] 도전체(545a) 및 도전체(545b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(545a) 및 도전체(545b)는 적층 구조로 하여도 좋다.
- [0583] 도전체(545)를 적층 구조로 하는 경우, 금속 산화물(531a), 금속 산화물(531b), 도전체(542), 절연체(554), 절연체(580), 절연체(574), 절연체(581)와 접하는 도전체에는 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 가지는 상술한 도전체를 사용하는 것이 바람직하다. 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료는 단층 또는 적층으로 사용하여도 좋다. 상기 도전성 재료를 사용함으로써, 절연체(580)에 첨가된 산소가 도전체(545a) 및 도전체(545b)에 흡수되는 것을 억제할 수 있다. 또한 절연체(581)보다 위층으로부터 물 또는 수소 등의 불순물이 도전체(545a) 및 도전체(545b)를 통하여 금속 산화물(531)에 혼입되는 것을 억제할 수 있다.
- [0584] 절연체(541a) 및 절연체(541b)로서 예를 들어 절연체(554) 등에 사용할 수 있는 절연체를 사용하면 좋다. 절연체(541a) 및 절연체(541b)는 절연체(554)에 접하여 제공되기 때문에, 절연체(580) 등으로부터 물 또는 수소 등의 불순물이 도전체(545a) 및 도전체(545b)를 통하여 금속 산화물(531)에 혼입되는 것을 억제할 수 있다. 또한 절연체(580)에 포함되는 산소가 도전체(545a) 및 도전체(545b)에 흡수되는 것을 억제할 수 있다.
- [0585] 도시하지 않았지만, 도전체(545a)의 상면 및 도전체(545b)의 상면에 접하여 배선으로서 기능하는 도전체를 배치하여도 좋다. 배선으로서 기능하는 도전체에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.
- [0586] <트랜지스터의 구성 재료>
- [0587] 트랜지스터에 사용할 수 있는 구성 재료에 대하여 설명한다.
- [0588] [기판]
- [0589] 트랜지스터(500)를 형성하는 기판으로서 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서, 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한 반도체 기판으로서, 예를 들어 실리콘, 저마늄 등으로 이루어지는 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 포함하는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서 흑연 기판, 금속

기관, 합금 기관, 도전성 수지 기관 등이 있다. 또는 금속의 질화물을 가지는 기관, 금속의 산화물을 가지는 기관 등이 있다. 또한 절연체 기관에 도전체 또는 반도체가 제공된 기관, 반도체 기관에 도전체 또는 절연체가 제공된 기관, 도전체 기관에 반도체 또는 절연체가 제공된 기관 등이 있다. 또는 이들 기관에 소자가 제공된 것을 사용하여도 좋다. 기관에 제공되는 소자로서 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0590] [절연체]

[0591] 절연체로서 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0592] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 저전압화가 가능하다. 한편 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0593] 비유전율이 높은 절연체로서, 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 가지는 산화물, 알루미늄 및 하프늄을 가지는 산화질화물, 실리콘 및 하프늄을 가지는 산화물, 실리콘 및 하프늄을 가지는 산화 질화물, 또는 실리콘 및 하프늄을 가지는 질화물 등이 있다.

[0594] 비유전율이 낮은 절연체로서, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0595] 산화물 반도체를 사용한 트랜지스터는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체(절연체(514), 절연체(522), 절연체(554), 및 절연체(574) 등)로 둘러싸임으로써, 트랜지스터의 전기 특성을 안정화시킬 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연체를 단층으로 또는 적층하여 사용하면 좋다. 구체적으로는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물, 질화 알루미늄, 질화 알루미늄 타이타늄, 질화 타이타늄, 질화산화 실리콘, 또는 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0596] 게이트 절연체로서 기능하는 절연체는 가열에 의하여 이탈되는 산소를 포함한 영역을 포함하는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함한 영역을 포함하는 산화 실리콘 또는 산화질화 실리콘을 금속 산화물(531)과 접하는 구조로 함으로써, 금속 산화물(531)이 포함하는 산소 결손을 보상할 수 있다.

[0597] [도전체]

[0598] 도전체로서 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.

[0599] 상기 재료로 형성되는 도전체를 복수 적층하여 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와,

산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

- [0600] 또한 트랜지스터의 채널 형성 영역에 금속 산화물을 사용하는 경우에 있어서 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.
- [0601] 특히, 게이트 전극으로서 기능하는 도전체로서 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함하는 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함하는 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.
- [0602] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0603] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.
- [0604] (실시형태 12)
- [0605] 본 실시형태에서는, 앞의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물(이하, 산화물 반도체라고도 함)에 대하여 설명한다.
- [0606] <결정 구조의 분류>
- [0607] 우선 산화물 반도체에서의 결정 구조의 분류에 대하여 도 80의 (A)를 사용하여 설명을 한다. 도 80의 (A)는 산화물 반도체, 대표적으로는 IGZO(In과, Ga와, Zn을 포함하는 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.
- [0608] 도 80의 (A)에 나타난 바와 같이, 산화물 반도체는 크게 나누어 'Amorphous(무정형)'와, 'Crystalline(결정성)'과, 'Crystal(결정)'으로 분류된다. 또한 'Amorphous'의 범주에는 completely amorphous가 포함된다. 또한 'Crystalline' 중에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(cloud-aligned composite)가 포함된다(excluding single crystal and polycrystal). 또한 'Crystalline'의 분류에서는 single crystal, polycrystal, 및 completely amorphous는 제외된다. 또한 'Crystal'의 범주에는 single crystal 및 polycrystal이 포함된다.
- [0609] 또한 도 80의 (A)에 나타난 굵은 테두리 내의 구조는 'Amorphous(무정형)'와 'Crystal(결정)' 사이의 중간 상태이며, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉 상기 구조는 'Crystal(결정)' 또는 에너지적으로 불안정한 'Amorphous(무정형)'와는 전혀 다른 구조라고 할 수 있다.
- [0610] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여기서, 'Crystalline'으로 분류되는 CAAC-IGZO막의 GIXD(Grazing-Incidence XRD) 측정으로 얻어지는 XRD 스펙트럼을 도 80의 (B)에 나타내었다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이후, 도 80의 (B)에 나타난 GIXD 측정으로 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 기재한다. 또한 도 80의 (B)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 80의 (B)에 나타난 CAAC-IGZO막의 두께는 500nm이다.
- [0611] 도 80의 (B)에 나타난 바와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는, 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는 CAAC-IGZO막의 XRD 스펙트럼에서는 $2\theta=31^\circ$ 근방에 c축 배향을 나타내는 피크가 검출된다. 또한 도 80의 (B)에 나타난 바와 같이, $2\theta=31^\circ$ 근방의 피크는 피크 강도(Intensity)가 검출된 각도를 축으로 좌우 비대칭이다.
- [0612] 막 또는 기판의 결정 구조는 나노빔 전자 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(나노빔 전자 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 80의 (C)에 나타내었다. 도 80의 (C)는 기판에 대하여 평행하게 전자선이 입사하는 NBED에 의하여 관찰되는 회절 패턴을

나타낸 것이다. 또한 도 80의 (C)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 나노빔 전자 회절법에서는 프로브 직경을 1nm로 하여 전자선 회절이 수행된다.

[0613] 도 80의 (C)에 나타난 바와 같이, CAAC-IGZO막의 회절 패턴에서는, c축 배향을 나타내는 복수의 스폿이 관찰된다.

[0614] [산화물 반도체의 구조]

[0615] 또한 산화물 반도체는 결정 구조에 주목한 경우, 도 80의 (A)와 상이한 분류가 되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와 그 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0616] 여기서 상술한 CAAC-OS, nc-OS, 및 a-like OS의 자세한 내용에 대하여 설명한다.

[0617] [CAAC-OS]

[0618] CAAC-OS는 복수의 결정 영역을 포함하고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 포함하고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 가지고, a-b면 방향으로서는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0619] 또한 상기 복수의 결정 영역 각각은 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.

[0620] In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 타이타늄 등에서 선택된 1종류 또는 복수 종류)에서, CAAC-OS는 인듐(In) 및 산소를 가지는 층(이하, In층)과, 원소 M, 아연(Zn), 및 산소를 가지는 층(이하 (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환될 수 있다. 따라서 (M,Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서, 격자상(格子像)으로 관찰된다.

[0621] 예를 들어, XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, $\theta/2\theta$ 스캔을 사용한 Out-of-plane XRD 측정에서는 c축 배향을 나타내는 피크가 $2\theta=31^\circ$ 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ 의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0622] 또한 예를 들어 CAAC-OS막의 전자선 회절 패턴에서, 복수의 회절(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(다이렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[0623] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 상기 변형에서 오각형, 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한 CAAC-OS에서는 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는 CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않다는 것, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이라고 생각된다.

[0624] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는 Zn을 포함하는 구성이 바람직하다. 예를 들어 In-

Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[0625] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입 또는 결함의 생성 등으로 인하여 저하하는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면, 제조 공정의 자유도를 넓힐 수 있다.

[0626] [nc-OS]

[0627] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하인 영역, 특히 1nm 이상 3nm 이하인 영역)에서 원자 배열에 주기성을 가진다. 환언하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서 막 전체에서 배향성이 보이지 않는다. 그러므로 nc-OS는 분석 방법에 따라서는 a-like OS, 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때, $\theta/2\theta$ 스캔을 사용한 Out-of-plane XRD 측정에서는 결정성을 나타내는 피크가 검출되지 않는다. 또한 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노빔 전자 회절이라고도 함)을 수행하면, 다이렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자선 회절 패턴이 취득되는 경우가 있다.

[0628] [a-like OS]

[0629] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 포함한다. 즉 a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS에 비하여 막 내의 수소 농도가 높다.

[0630] [산화물 반도체의 구성]

[0631] 다음으로, 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[0632] [CAC-OS]

[0633] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재한 재료의 한 구성이다. 또한 아래에서는 금속 산화물에 하나 또는 복수의 금속 원소가 편재하고, 상기 금속 원소를 가지는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0634] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하 클라우드상이라고도 함)이다. 즉 CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.

[0635] 여기서 In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비 각각을 [In], [Ga], 및 [Zn]으로 표기한다. 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에 있어서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]가, CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크고, 또한 [Ga]가 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]가 제 1 영역에서의 [Ga]보다 크고, 또한 [In]이 제 1 영역에서의 [In]보다 작은 영역이다.

[0636] 구체적으로는 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉 상기 제 1 영역을 In을 주성분으로 하는 영역이라고 환언할 수 있다. 또한 상기 제 2 영역을 Ga를 주성분으로 하는 영역이라고 환언할 수 있다.

[0637] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.

- [0638] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 맵핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과, Ga를 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.
- [0639] CAC-OS를 트랜지스터에 사용하는 경우에는 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉 CAC-OS는 재료의 일부에서는 도전성 기능을 가지고 재료의 다른 일부에서는 절연성 기능을 가지고, 재료의 전체로서는 반도체로서의 기능을 가진다. 도전성의 기능과 절연성의 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.
- [0640] 산화물 반도체는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.
- [0641] <산화물 반도체를 가지는 트랜지스터>
- [0642] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.
- [0643] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0644] 특히 채널이 형성되는 반도체층으로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물('IGZO'라고도 기재함)을 사용하는 것이 바람직하다. 또는 반도체층으로서 인듐(In), 알루미늄(Al), 및 아연(Zn)을 포함하는 산화물('IAZO'라고도 기재함)를 사용하여도 좋다. 또는 반도체층으로서 인듐(In), 알루미늄(Al), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물('IAGZO'라고도 기재함)를 사용하여도 좋다.
- [0645] 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 캐리어 농도는 $1 \times 10^{17} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{13} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만이고, $1 \times 10^{-9} \text{ cm}^{-3}$ 이상이다. 또한 산화물 반도체의 캐리어 농도를 낮추는 경우에는 산화물 반도체 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부르는 경우가 있다.
- [0646] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0647] 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길어, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0648] 따라서 트랜지스터의 전기 특성을 안정시키기 위해서는 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0649] <불순물>
- [0650] 여기서 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0651] 산화물 반도체에 14족 원소 중 하나인 실리콘 및/또는 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘 및 탄소의 농도와 산화물 반도체와의 계면 근방의 실리콘 및 탄소의 농도(SIMS에 의하여 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.
- [0652] 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로, SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의

농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.

- [0653] 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로, SIMS에 의하여 얻어지는 산화물 반도체 내의 질소 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.
- [0654] 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 한다.
- [0655] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0656] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.
- [0657] (실시형태 13)
- [0658] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있는 전자 기기에 대하여 설명한다.
- [0659] 본 발명의 일 형태에 따른 반도체 장치를 전자 기기의 표시부에 적용할 수 있다. 따라서 표시 품질이 높은 전자 기기를 실현할 수 있다. 또는 정세도가 매우 높은 전자 기기를 실현할 수 있다. 또는 신뢰성이 높은 전자 기기를 실현할 수 있다.
- [0660] 본 발명의 일 형태에 따른 반도체 장치 등을 사용한 전자 기기로서 텔레비전, 모니터 등의 표시 장치, 조명 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 워드프로세서, DVD(Digital Versatile Disc) 등의 기록 매체에 저장된 정지 화상 또는 동영상 재생하는 화상 재생 장치, 포터블 CD 플레이어, 라디오, 테이프 리코더, 헤드폰 스테레오, 스테레오, 탁상 시계, 벽걸이 시계, 무선 전화 핸드셋, 트랜스미터, 자동차 전화, 휴대 전화기, 휴대 정보 단말기, 태블릿형 단말기, 휴대용 게임기, 파킨코기 등의 고정식 게임기, 전자식 탁상 계산기, 전자 수첩, 전자책 단말기, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, 전자 레인지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 온수기, 선풍기, 헤어드라이어, 에어컨 디셔너, 가습기, 제습기 등의 공기 조화 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 저장용 냉동고, 손전등, 사슬톱 등의 공구, 연기 감지기, 투석 장치 등의 의료 기기 등을 들 수 있다. 또한 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템, 전력의 평준화와 스마트 그리드를 위한 축전 장치 등의 산업 기기를 들 수 있다. 또한 연료를 사용한 엔진 또는 축전체로부터의 전력을 사용한 전동기에 의하여 추진하는 이동체 등도 전자 기기의 범주에 포함되는 경우가 있다. 상기 이동체로서는, 예를 들어 전기 자동차(EV), 내연 기관과 전동기 양쪽을 포함하는 하이브리드 자동차(HV), 플러그인 하이브리드 자동차(PHV), 이들의 바퀴 차륜을 무한궤도로 변경한 궤도 차량, 전동 어시스트 자전거를 포함하는 원동기 장치 자전거, 자동 이륜차, 전동 휠체어, 골프용 카트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공위성, 우주 탐사기, 혹성 탐사기, 우주선 등이 있다.
- [0661] 본 발명의 일 형태에 따른 전자 기기는 이차 전지(배터리)를 가져도 좋고, 비접촉 전력 전송(傳送)을 사용하여 이차 전지를 충전할 수 있는 것이 바람직하다.
- [0662] 이차 전지로서는 예를 들어 리튬 이온 이차 전지, 니켈 수소 전지, 니켈 카드뮴 전지, 유기 라디칼 전지, 납축 전지, 공기 이차 전지, 니켈 아연 전지, 은 아연 전지 등이 있다.
- [0663] 본 발명의 일 형태에 따른 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에 영상 및 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 가지는 경우, 안테나를 비접촉 전력

전송에 사용하여도 좋다.

- [0664] 본 발명의 일 형태에 따른 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 가지는 것)를 가져도 좋다.
- [0665] 본 발명의 일 형태에 따른 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록되는 프로그램 또는 데이터를 관독하는 기능 등을 가질 수 있다.
- [0666] 또한 복수의 표시부를 가지는 전자 기기에서는, 표시부의 일부에 화상 정보를 주로 표시하고, 다른 일부에 문자 정보를 주로 표시하는 기능, 또는 복수의 표시부에 시차(視差)를 고려한 화상을 표시함으로써, 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한 수상부(受像部)를 가지는 전자 기기에서는, 정지 화상 또는 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 전자 기기에 내장됨)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한 본 발명의 일 형태의 전자 기기에 포함되는 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0667] 본 발명의 일 형태에 따른 반도체 장치는 고정세의 화상을 표시할 수 있다. 그러므로 특히 휴대형 전자 기기, 장착형 전자 기기(웨어러블 기기), 및 전자책 단말기 등에 적합하게 사용할 수 있다. 예를 들어 VR 기기 또는 AR 기기 등의 xR 기기에 적합하게 사용할 수 있다.
- [0668] 도 81의 (A)는 파인더(8100)를 장착한 상태의 카메라(8000)의 외관을 나타낸 도면이다.
- [0669] 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 셔터 버튼(8004) 등을 가진다. 또한 카메라(8000)에는 탈착 가능한 렌즈(8006)가 장착된다. 또한 카메라(8000)는 렌즈(8006)와 하우징이 일체화되어 있어도 좋다.
- [0670] 카메라(8000)는 셔터 버튼(8004)을 누르거나 터치 패널로서 기능하는 표시부(8002)를 터치함으로써 촬상할 수 있다.
- [0671] 하우징(8001)은 전극을 가지는 마운트를 가지고, 파인더(8100) 외에 스트로보 장치 등을 접속할 수 있다.
- [0672] 파인더(8100)는 하우징(8101), 표시부(8102), 버튼(8103) 등을 포함한다.
- [0673] 하우징(8101)은 카메라(8000)의 마운트와 연결되는 마운트에 의하여 카메라(8000)에 장착되어 있다. 파인더(8100)는 카메라(8000)로부터 수신한 영상 등을 표시부(8102)에 표시시킬 수 있다.
- [0674] 버튼(8103)은 전원 버튼 등으로서의 기능을 가진다.
- [0675] 카메라(8000)의 표시부(8002) 및 파인더(8100)의 표시부(8102)에 본 발명의 일 형태에 따른 반도체 장치를 적용할 수 있다. 또한 파인더(8100)는 카메라(8000)에 내장되어 있어도 좋다.
- [0676] 도 81의 (B)는 헤드 마운트 디스플레이(8200)의 외관을 나타낸 도면이다.
- [0677] 헤드 마운트 디스플레이(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 및 케이블(8205) 등을 가진다. 또한 장착부(8201)에는 배터리(8206)가 내장된다.
- [0678] 케이블(8205)은 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기 등을 가지고, 수신한 영상 정보를 표시부(8204)에 표시시킬 수 있다. 또한 본체(8203)는 카메라를 가지고, 사용자의 안구 또는 눈꺼풀의 움직임의 정보를 입력 수단으로서 사용할 수 있다.
- [0679] 또한 장착부(8201)는 사용자와 접하는 위치에 사용자의 안구의 움직임에 따라 흐르는 전류를 검지할 수 있는 복수의 전극이 제공되고 시선을 인식하는 기능을 가져도 좋다. 또한 상기 전극에 흐르는 전류에 의하여 사용자의 맥박을 모니터링하는 기능을 가져도 좋다. 또한 장착부(8201)는 온도 센서, 압력 센서, 가속도 센서 등의 각종 센서를 가져도 좋고, 사용자의 생체 정보를 표시부(8204)에 표시하는 기능, 사용자의 머리 움직임에 맞추어 표시부(8204)에 표시되는 영상을 변화시키는 기능 등을 가져도 좋다.
- [0680] 표시부(8204)에 본 발명의 일 형태에 따른 반도체 장치를 적용할 수 있다.
- [0681] 도 81의 (C) 내지 (E)는 헤드 마운트 디스플레이(8300)의 외관을 나타낸 도면이다. 헤드 마운트 디스플레이

(8300)는 하우징(8301), 표시부(8302), 밴드상의 고정구(8304), 한 쌍의 렌즈(8305)를 가진다.

- [0682] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 시인할 수 있다. 또한 표시부(8302)를 만족시켜 배치하면, 사용자는 높은 현장감을 느낄 수 있어 바람직하다. 또한 표시부(8302)의 상이한 영역에 표시된 다른 화상을 렌즈(8305)를 통하여 시인함으로써 시차를 사용한 3차원 표시 등을 할 수도 있다. 또한 하나의 표시부(8302)를 제공하는 구성에 한정되지 않고, 2개의 표시부(8302)를 제공하여 사용자의 한쪽 눈마다 하나의 표시부를 배치하여도 좋다.
- [0683] 표시부(8302)에 본 발명의 일 형태에 따른 반도체 장치를 적용할 수 있다. 본 발명의 일 형태에 따른 반도체 장치는 매우 높은 정세도를 실현할 수도 있다. 예를 들어 도 81의 (E)와 같이 렌즈(8305)를 사용하여 표시를 확대하는 경우에도, 사용자에게 화소가 시인되기 어렵다. 즉 표시부(8302)를 사용하여 사용자에게 현실감이 높은 영상을 시인시킬 수 있다.
- [0684] 도 81의 (F)는 고글형 헤드 마운트 디스플레이(8400)의 외관을 나타낸 도면이다. 헤드 마운트 디스플레이(8400)는 한 쌍의 하우징(8401)과, 장착부(8402)와, 완충 부재(8403)를 가진다. 한 쌍의 하우징(8401) 내에는 각각 표시부(8404) 및 렌즈(8405)가 제공된다. 한 쌍의 표시부(8404)에 서로 다른 화상을 표시함으로써, 시차를 사용한 3차원 표시를 수행할 수 있다.
- [0685] 사용자는 렌즈(8405)를 통하여 표시부(8404)를 시인할 수 있다. 렌즈(8405)는 초점 조정 기구를 가지고, 사용자의 시력에 따라 위치를 조정할 수 있다. 표시부(8404)는 정방향 또는 가로로 긴 장방향인 것이 바람직하다. 이로써 현장감을 높일 수 있다.
- [0686] 장착부(8402)는 사용자의 얼굴 크기에 따라 조정할 수 있고 또한 흘러내리지 않도록 가소성 및 탄성을 가지는 것이 바람직하다. 또한 장착부(8402)의 일부는 골전도 이어폰으로서 기능하는 진동 기구를 가지는 것이 바람직하다. 이로써 별도로 이어폰, 스피커 등의 음향 기기가 불필요하고, 장착하기만 하면 영상과 음성을 즐길 수 있다. 또한 하우징(8401) 내에 무선 통신에 의하여 음성 데이터를 출력하는 기능을 가져도 좋다.
- [0687] 장착부(8402)와 완충 부재(8403)는 사용자의 얼굴(이마, 뺨 등)에 접촉하는 부분이다. 완충 부재(8403)가 사용자의 얼굴과 밀착되면, 광 누설을 방지할 수 있기 때문에 몰입감을 더 높일 수 있다. 완충 부재(8403)는 사용자가 헤드 마운트 디스플레이(8400)를 장착하였을 때 사용자의 얼굴에 밀착되도록 부드러운 소재를 사용하는 것이 바람직하다. 예를 들어 고무, 실리콘(silicone) 고무, 우레탄, 스펀지 등의 소재를 사용할 수 있다. 또한 스펀지 등의 표면을 천, 피혁(천연 피혁 또는 합성 피혁) 등으로 덮은 것을 사용하면, 사용자의 얼굴과 완충 부재(8403) 사이에 틈이 생기기 어렵기 때문에 광 누설을 적합하게 방지할 수 있다. 또한 이와 같은 소재를 사용하면 촉감이 좋고, 추운 계절 등에 장착한 경우에 사용자가 차갑다고 느끼지 않기 때문에 바람직하다. 완충 부재(8403) 또는 장착부(8402) 등 사용자의 피부에 접촉되는 부재를 탈착 가능한 구성으로 하면, 클리닝 또는 교환이 용이하기 때문에 바람직하다.
- [0688] 도 82의 (A)에 텔레비전 장치의 일례를 나타내었다. 텔레비전 장치(7100)는 하우징(7101)에 표시부(7000)가 제공되어 있다. 여기서는 스탠드(7103)에 의하여 하우징(7101)을 지지한 구성을 나타내었다.
- [0689] 표시부(7000)에 본 발명의 일 형태의 반도체 장치를 적용할 수 있다.
- [0690] 도 82의 (A)에 나타난 텔레비전 장치(7100)의 조작은 하우징(7101)이 포함하는 조작 스위치 및 별체의 리모트 컨트롤러(7111)에 의하여 수행할 수 있다. 또는 표시부(7000)에 터치 센서를 가져도 좋고, 손가락 등으로 표시부(7000)를 터치함으로써 텔레비전 장치(7100)를 조작하여도 좋다. 리모트 컨트롤러(7111)는 상기 리모트 컨트롤러(7111)로부터 출력되는 정보를 표시하는 표시부를 가져도 좋다. 리모트 컨트롤러(7111)의 조작 키 또는 터치 패널에 의하여 채널 및 음량을 조작할 수 있고, 표시부(7000)에 표시되는 영상을 조작할 수 있다.
- [0691] 또한 텔레비전 장치(7100)는 수신기 및 모뎀 등을 가지는 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있다. 또한 모뎀을 통하여 유선 또는 무선에 의하여 통신 네트워크에 접속함으로써 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자들 사이 등)의 정보 통신을 수행할 수도 있다.
- [0692] 도 82의 (B)에 노트북형 퍼스널 컴퓨터의 일례를 나타내었다. 노트북형 퍼스널 컴퓨터(7200)는 하우징(7211), 키보드(7212), 포인팅 디바이스(7213), 외부 접속 포트(7214) 등을 가진다. 하우징(7211)에 표시부(7000)가 제공된다.

- [0693] 표시부(7000)에 본 발명의 일 형태의 반도체 장치를 적용할 수 있다.
- [0694] 도 82의 (C) 및 (D)에 디지털 사이니지의 일례를 나타내었다.
- [0695] 도 82의 (C)에 나타난 디지털 사이니지(7300)는 하우징(7301), 표시부(7000), 및 스피커(7303) 등을 포함한다. 또한 LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 마이크로폰 등을 가질 수 있다.
- [0696] 도 82의 (D)는 원기둥 형상의 기둥(7401)에 장착된 디지털 사이니지(7400)이다. 디지털 사이니지(7400)는 기둥(7401)의 곡면을 따라 제공된 표시부(7000)를 가진다.
- [0697] 도 82의 (C) 및 (D)에서 표시부(7000)에 본 발명의 일 형태의 반도체 장치를 적용할 수 있다.
- [0698] 표시부(7000)가 넓을수록 한번에 제공할 수 있는 정보량을 늘릴 수 있다. 또한 표시부(7000)가 넓을수록 사람의 눈에 띄기 쉽고, 예를 들어 광고의 홍보 효과를 높일 수 있다.
- [0699] 표시부(7000)에 터치 패널을 적용함으로써, 표시부(7000)에 화상 또는 동영상 표시할 뿐만 아니라, 사용자가 직관적으로 조작할 수 있어 바람직하다. 또한 노선 정보 또는 교통 정보 등의 정보를 제공하기 위한 용도로 사용하는 경우에는, 직관적인 조작에 의하여 사용성을 높일 수 있다.
- [0700] 또한 도 82의 (C) 및 (D)에 나타난 바와 같이 디지털 사이니지(7300) 또는 디지털 사이니지(7400)는 사용자가 소유하는 스마트폰 등의 정보 단말기(7311) 또는 정보 단말기(7411)와 무선 통신에 의하여 연계할 수 있는 것이 바람직하다. 예를 들어 표시부(7000)에 표시되는 광고의 정보를 정보 단말기(7311) 또는 정보 단말기(7411)의 화면에 표시시킬 수 있다. 또한 정보 단말기(7311) 또는 정보 단말기(7411)를 조작함으로써 표시부(7000)의 표시를 전환할 수 있다.
- [0701] 또한 디지털 사이니지(7300) 또는 디지털 사이니지(7400)에 정보 단말기(7311) 또는 정보 단말기(7411)의 화면을 조작 수단(컨트롤러)으로 한 게임을 실행시킬 수도 있다. 이로써 불특정 다수의 사용자가 동시에 게임에 참가하여 즐길 수 있다.
- [0702] 도 82의 (E)에 나타난 정보 단말기(7550)는 하우징(7551), 표시부(7552), 마이크로폰(7557), 스피커부(7554), 카메라(7553), 및 조작 스위치(7555) 등을 포함한다. 표시부(7552)에 본 발명의 일 형태에 따른 반도체 장치를 적용할 수 있다. 또한 표시부(7552)는 터치 패널로서의 기능을 가진다. 또한 정보 단말기(7550)는, 하우징(7551)의 내측에 안테나, 배터리 등을 포함한다. 정보 단말기(7550)는 예를 들어 스마트폰, 휴대 전화기, 태블릿형 정보 단말기, 태블릿형 퍼스널 컴퓨터, 전자책 단말기 등으로서 사용할 수 있다.
- [0703] 도 82의 (F)에 손목시계형의 정보 단말기의 일례를 나타내었다. 정보 단말기(7660)는 하우징(7661), 표시부(7662), 밴드(7663), 버클(7664), 조작 스위치(7665), 입출력 단자(7666) 등을 포함한다. 또한 정보 단말기(7660)는 하우징(7661)의 내측에 안테나 및 배터리 등을 포함한다. 정보 단말기(7660)는 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등의 다양한 애플리케이션을 실행할 수 있다.
- [0704] 또한 표시부(7662)는 터치 센서를 포함하고, 손가락 또는 스타일러스 등으로 화면을 터치함으로써 조작할 수 있다. 예를 들어 표시부(7662)에 표시된 아이콘(7667)을 터치함으로써 애플리케이션을 기동할 수 있다. 조작 스위치(7665)는 시각 설정 외에 전원의 온, 오프 동작, 무선 통신의 온, 오프 동작, 매너 모드의 실행 및 해제, 절전 모드의 실행 및 해제 등, 다양한 기능을 가지게 할 수 있다. 예를 들어 정보 단말기(7660)에 설치된 운영체계에 의하여 조작 스위치(7665)의 기능을 설정할 수도 있다.
- [0705] 또한 정보 단말기(7660)는 통신 규격된 근거리 무선 통신을 실행할 수 있다. 예를 들어 무선 통신 가능한 헤드셋과 상호 통신함으로써 핸즈프리 통화를 할 수 있다. 또한 정보 단말기(7660)는 입출력 단자(7666)를 포함하고, 입출력 단자(7666)를 통하여 다른 정보 단말기와 데이터의 송수신을 수행할 수 있다. 또한 입출력 단자(7666)를 통하여 충전을 수행할 수도 있다. 또한 충전 동작은 입출력 단자(7666)를 통하지 않고 무선 급전에 의하여 수행하여도 좋다.
- [0706] 도 83의 (A)에 자동차(9700)의 외관을 나타내었다. 도 83의 (B)에 자동차(9700)의 운전석을 나타내었다. 자동차(9700)는 차체(9701), 차륜(9702), 대시 보드(9703), 라이트(9704) 등을 포함한다. 본 발명의 일 형태에 따른 표시 장치는 자동차(9700)의 표시부 등에 사용할 수 있다. 예를 들어 도 83의 (B)에 나타난 표시부(9710) 내지 표시부(9715)에 본 발명의 일 형태에 따른 표시 장치를 제공할 수 있다.
- [0707] 표시부(9710)와 표시부(9711)는 자동차의 앞유리에 제공된 표시 장치이다. 본 발명의 일 형태에 따른 표시 장

치는 표시 장치가 포함하는 전극을, 투광성을 가지는 도전성 재료로 제작함으로써, 반대편이 비쳐 보이는 소위 시스루 상태의 표시 장치로 할 수 있다. 시스루 상태의 표시 장치이면, 자동차(9700)의 운전 시에도 시야의 방해가 되지 않는다. 따라서 본 발명의 일 형태에 따른 표시 장치를 자동차(9700)의 앞유리에 설치할 수 있다. 또한 표시 장치에 표시 장치를 구동시키기 위한 트랜지스터 등을 제공하는 경우에는, 유기 반도체 재료를 사용한 유기 트랜지스터 또는 산화물 반도체를 사용한 트랜지스터 등 투광성을 가지는 트랜지스터를 사용하는 것이 좋다.

[0708] 표시부(9712)는 필러 부분에 제공된 표시 장치이다. 예를 들어 차체에 제공된 활상 수단으로부터의 영상을 표시부(9712)에 표시함으로써, 필러에 가려진 시야를 보완할 수 있다. 표시부(9713)는 대시 보드 부분에 제공된 표시 장치이다. 예를 들어 차체에 제공된 활상 수단으로부터의 영상을 표시부(9713)에 표시함으로써, 대시 보드에 가려진 시야를 보완할 수 있다. 즉 자동차의 외측에 제공된 활상 수단으로부터의 영상을 표시함으로써, 사각을 보완하여, 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써, 더 자연스럽게 위화감 없이 안전을 확인할 수 있다.

[0709] 또한 도 84는 운전석과 조수석에 벤치 시트를 채용한 자동차의 실내를 나타내었다. 표시부(9721)는 도어부에 제공된 표시 장치이다. 예를 들어 차체에 제공된 활상 수단으로부터의 영상을 표시부(9721)에 표시함으로써, 도어에 가려진 시야를 보완할 수 있다. 또한 표시부(9722)는 핸들에 제공된 표시 장치이다. 표시부(9723)는 벤치 시트의 착좌면의 중앙부에 제공된 표시 장치이다.

[0710] 표시부(9714), 표시부(9715), 또는 표시부(9722)는 내비게이션 정보, 주행 속도, 엔진의 회전수, 주행 거리, 연료의 잔량, 기어의 상태, 에어컨디셔너의 설정 등을 표시함으로써, 다양한 정보를 제공할 수 있다. 또한 표시부에 표시되는 표시 항목 및 레이아웃은 사용자의 취향에 따라 적절히 변경할 수 있다. 또한 상기 정보는 표시부(9710) 내지 표시부(9713), 표시부(9721), 표시부(9723)에도 표시할 수 있다. 또한 표시부(9710) 내지 표시부(9715), 표시부(9721) 내지 표시부(9723)는 조명 장치로서 사용할 수도 있다.

[0711] 본 실시형태에 나타난 구성은 다른 실시형태 및 실시예에 나타난 구성과 적절히 조합하여 사용할 수 있다.

[0712] (실시예 1)

[0713] 본 실시예에서는 시뮬레이션에 의하여 상정한 Si 트랜지스터와 실제로 제작한 OS 트랜지스터의 Id-Vd 특성의 평가 결과에 대하여 설명한다.

[0714] 도 85의 (A), (B), 및 (C)는 Id-Vd 특성의 평가 결과를 나타낸 그래프이다. 도 85의 (A), (B), 및 (C)의 각각에서 가로축은 소스와 드레인 사이의 전압('전압 Vd'라고도 함)의 절댓값을 나타내고, 세로축은 소스와 드레인 사이를 흐르는 전류('전류 Id'라고도 함)의 절댓값을 나타낸 것이다. 또한 도 85의 (A), (B), 및 (C)의 각각에서는, 소스와 게이트 사이의 전압('전압 Vg'라고도 함)을 0.025V씩 변화시켜 평가한 복수의 Id-Vd 특성을 나타내었다.

[0715] 도 85의 (A)에 시뮬레이션에 의하여 상정한 Si 트랜지스터(801)의 Id-Vd 특성의 계산 결과를 나타내었다. Si 트랜지스터(801)는 채널 길이 L이 1.5 μ m이고, 채널 폭 W가 1.4 μ m인 싱글 게이트형의 p채널형 트랜지스터이다. 또한 시뮬레이션 소프트웨어로서는 SPICE를 사용하였다.

[0716] 도 85의 (A)에 나타난 Id-Vd 곡선(811a)은 전압 Vg가 0.775V인 경우의 Id-Vd 특성을 나타낸 것이다. Id-Vd 곡선(811b)은 전압 Vg가 0.750V인 경우의 Id-Vd 특성을 나타낸 것이다. Id-Vd 곡선(811c)은 전압 Vg가 0.725V인 경우의 Id-Vd 특성을 나타낸 것이다. 도 85의 (A)에서는 이 외에도 전압 Vg를 0.025V씩 변화시킨 Id-Vd 특성의 계산 결과를 복수로 나타내었다.

[0717] 도 85의 (B)에 실제로 제작한 OS 트랜지스터(802)의 Id-Vd 특성 측정 결과를 나타내었다. OS 트랜지스터(802)는 채널 길이 L이 200nm이고, 채널 폭 W가 60nm인 싱글 게이트형의 n채널형 트랜지스터이다. OS 트랜지스터(802)는 OS 트랜지스터(802)의 소스로서 기능하는 단자와 전기적으로 접속되는 백 게이트를 포함한다.

[0718] 도 85의 (B)에 나타난 Id-Vd 곡선(821a)은 전압 Vg가 0.925V인 경우의 Id-Vd 특성을 나타낸 것이다. Id-Vd 곡선(821b)은 전압 Vg가 0.900V인 경우의 Id-Vd 특성을 나타낸 것이다. Id-Vd 곡선(821c)은 전압 Vg가 0.875V인 경우의 Id-Vd 특성을 나타낸 것이다. 도 85의 (B)에서는 이 외에도 전압 Vg를 0.025V씩 변화시켜 측정한 Id-Vd 특성을 복수로 나타내었다.

[0719] 도 85의 (C)에 실제로 제작한 OS 트랜지스터(803)의 Id-Vd 특성 측정 결과를 나타내었다. OS 트랜지스터(803)는 채널 길이 L이 200nm이고, 채널 폭 W가 60nm인 싱글 게이트형의 n채널형 OS 트랜지스터를 6개 직렬로 접속시

키고, 각각의 게이트를 전기적으로 접속시킨 멀티 게이트형 트랜지스터이다. OS 트랜지스터(803)에 포함되는 6개의 트랜지스터는 각각이 백 게이트를 포함한다. 각각의 백 게이트는 OS 트랜지스터(803)의 소스로서 기능하는 단자와 전기적으로 접속된다.

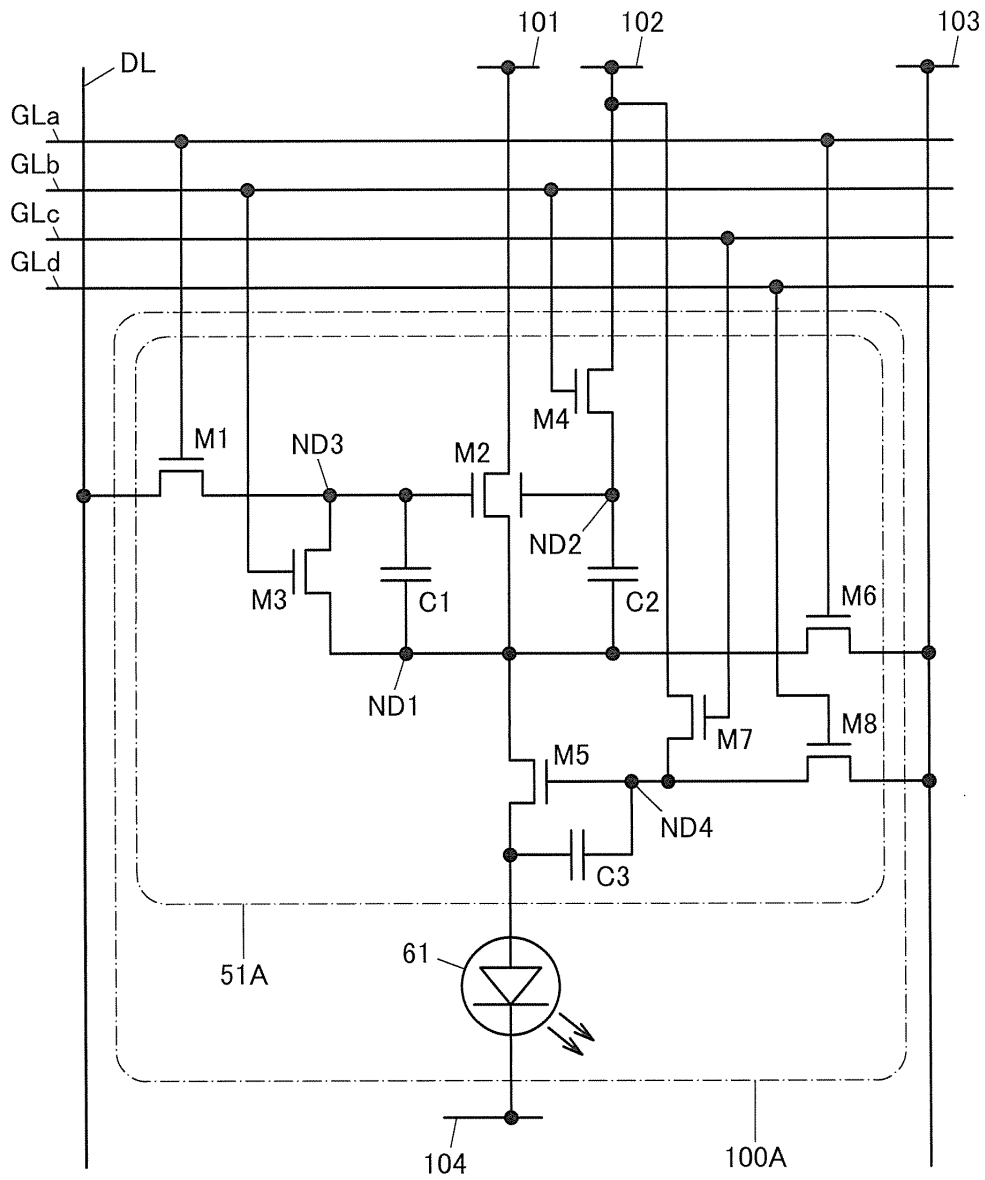
- [0720] 도 85의 (C)에 나타낸 Id-Vd 곡선(831a)은 전압 V_g 가 2.125V인 경우의 Id-Vd 특성을 나타낸 것이다. Id-Vd 곡선(831b)은 전압 V_g 가 2.100V인 경우의 Id-Vd 특성을 나타낸 것이다. Id-Vd 곡선(831c)은 전압 V_g 가 2.075V인 경우의 Id-Vd 특성을 나타낸 것이다. 도 85의 (C)에서는 이 외에도 전압 V_g 를 0.025V씩 변화시켜 측정한 Id-Vd 특성을 복수로 나타내었다.
- [0721] 도 85의 (A) 및 (B)로부터 OS 트랜지스터(802)는 Si 트랜지스터(801)보다 노이즈 성분이 많지만, 이들 모두 전압 V_g 에 의하여 전류 Id를 제어할 수 있다는 것을 알 수 있다. 한편, 이들 모두 전류 Id가 전압 Vd의 변화의 영향을 받기 쉬워, 양호한 포화 특성을 얻을 수 없었다.
- [0722] 또한 도 85의 (C)로부터 멀티 게이트형 트랜지스터인 OS 트랜지스터(803)는 Si 트랜지스터(801) 및 OS 트랜지스터(802)보다 전압 Vd의 변화에 대한 전류 Id의 변화가 적다는 것을 알 수 있다. 즉 멀티 게이트형 트랜지스터인 OS 트랜지스터(803)는 Si 트랜지스터(801) 및 OS 트랜지스터(802)보다 포화 특성이 양호하다.
- [0723] 또한 OS 트랜지스터(803)는 OS 트랜지스터(802)보다 노이즈 성분이 억제되므로, 전압 V_g 에 의하여 전류 Id를 더 정확하게 제어할 수 있다. 예를 들어 OS 트랜지스터(803)를 상기 실시형태에 나타낸 트랜지스터(M2)에 사용함으로써, 발광 소자(61)의 발광 휘도를 더 정밀하게 제어할 수 있다.
- [0724] 트랜지스터(M2)로서 Si 트랜지스터(801) 또는 OS 트랜지스터(802)와 같은 싱글 게이트형 트랜지스터를 사용하더라도 좋지만, OS 트랜지스터(803)와 같은 멀티 게이트형 트랜지스터를 사용하는 것이 바람직하다. 멀티 게이트형 트랜지스터에 포함되는 트랜지스터의 개수(직렬수)는 2 이상이 바람직하고, 4 이상이 더 바람직하고, 6 이상이 더 바람직하다.
- [0725] (실시예 2)
- [0726] 본 실시예에서는 실제로 제작한 OS 트랜지스터의 소스와 드레인 사이의 절연 내압의 평가 결과에 대하여 설명한다.
- [0727] 도 86은 실제로 제작한 OS 트랜지스터(802)의 절연 내압의 평가 결과를 나타낸 그래프이다. 상기 실시예에서 설명한 바와 같이 OS 트랜지스터(802)는 채널 길이 L이 200nm이고, 채널 폭 W가 60nm인 싱글 게이트형의 n채널형 트랜지스터이다. OS 트랜지스터(802)는 OS 트랜지스터(802)의 소스로서 기능하는 단자와 전기적으로 접속되는 백 게이트를 포함한다.
- [0728] 도 86의 가로축은 전압 Vd를 나타내고, 세로축은 전류 Id를 나타낸 것이다. 도 86은 전압 V_g 를 0V로 하고, 전압 Vd를 0V에서 30V까지 변화시켰을 때의 전류 Id의 변화를 나타낸 것이다. 즉 OS 트랜지스터(802)가 오프 상태일 때의 전압 Vd에 대한 전류 Id의 변화를 나타낸 것이다.
- [0729] 도 86으로부터 OS 트랜지스터(802)에서는 전압 Vd가 약 20V일 때 절연 파괴가 발생한다는 것을 알 수 있다. 또한 전압 Vd가 상승하여도 절연 파괴가 발생할 때까지 전류 Id의 상승이 매우 작다는 것을 알 수 있다. 이로써 OS 트랜지스터는 전압 Vd가 상승하여도 오프 전류의 증가가 적고, 소스와 드레인 사이의 절연 내압이 높은 트랜지스터인 것을 알 수 있다.
- [0730] 예를 들어 상기 실시형태에 나타낸 트랜지스터(M2) 및 트랜지스터(M5) 중 한쪽 또는 양쪽에 OS 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터를 사용함으로써 상기 실시형태에 나타낸 전위 Va와 전위 Vc의 전위차가 큰 경우에도 반도체 장치의 동작이 안정되고, 신뢰성이 양호한 반도체 장치를 실현할 수 있다.

부호의 설명

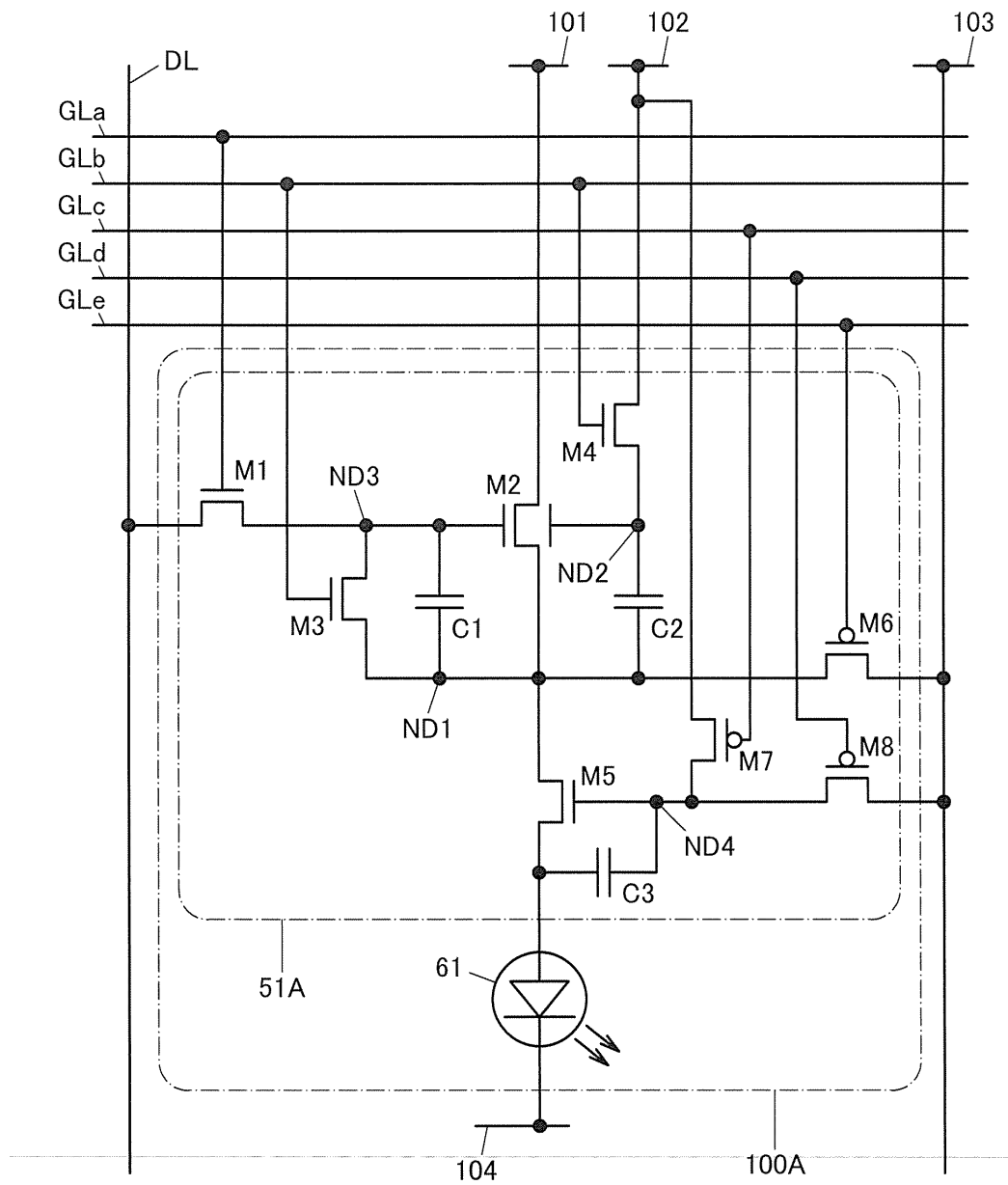
- [0731] 10: 표시 장치, 23: CPU, 24: GPU, 25: 기억 회로부, 29: 입출력 단자부, 40: 층, 50: 층, 51: 화소 회로, 60: 층, 61: 발광 소자, 100: 반도체 장치, 101: 배선, 102: 배선, 103: 배선, 104: 배선, 105: 배선, 171: 도전층, 172: EL층, 173: 도전층, 230: 화소

도면

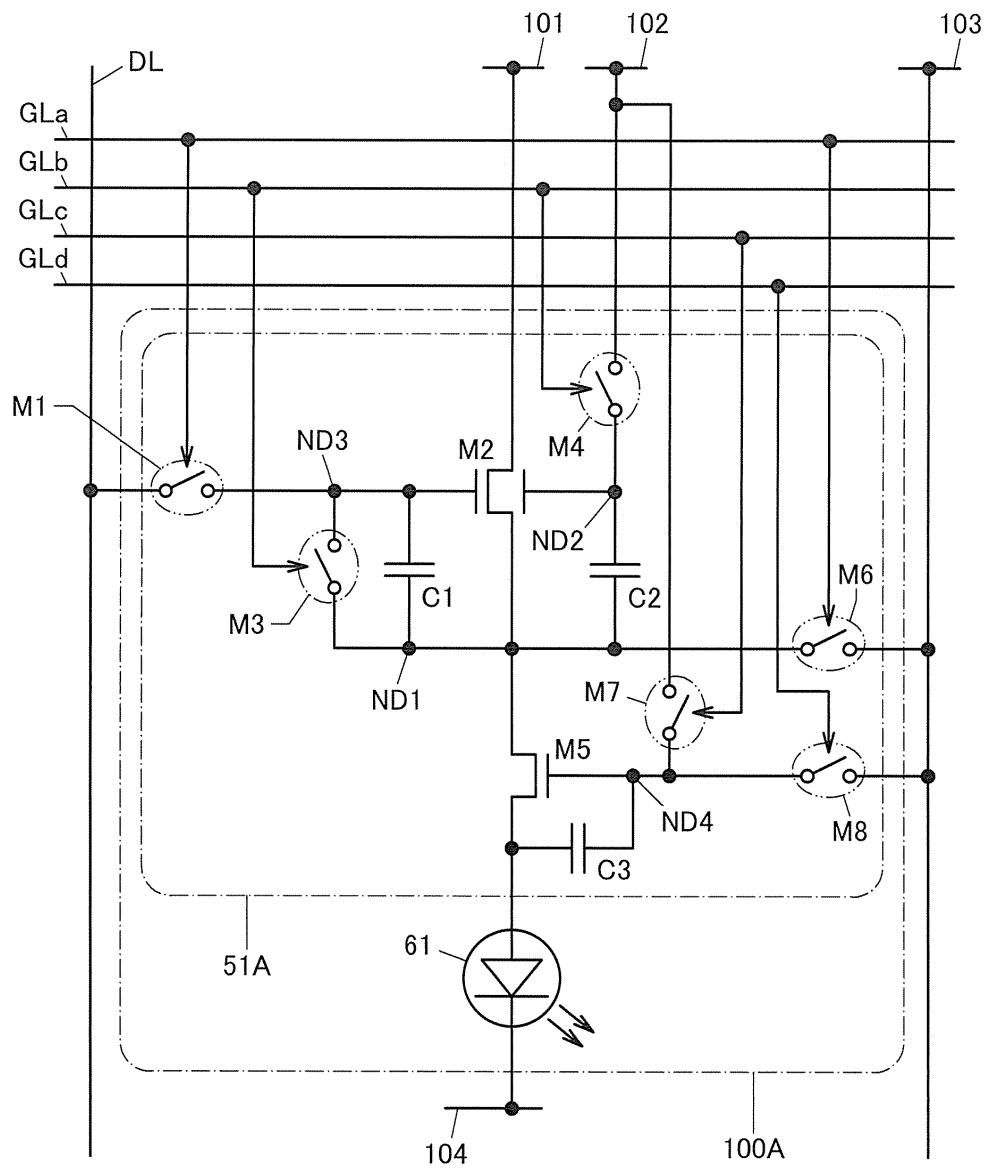
도면1



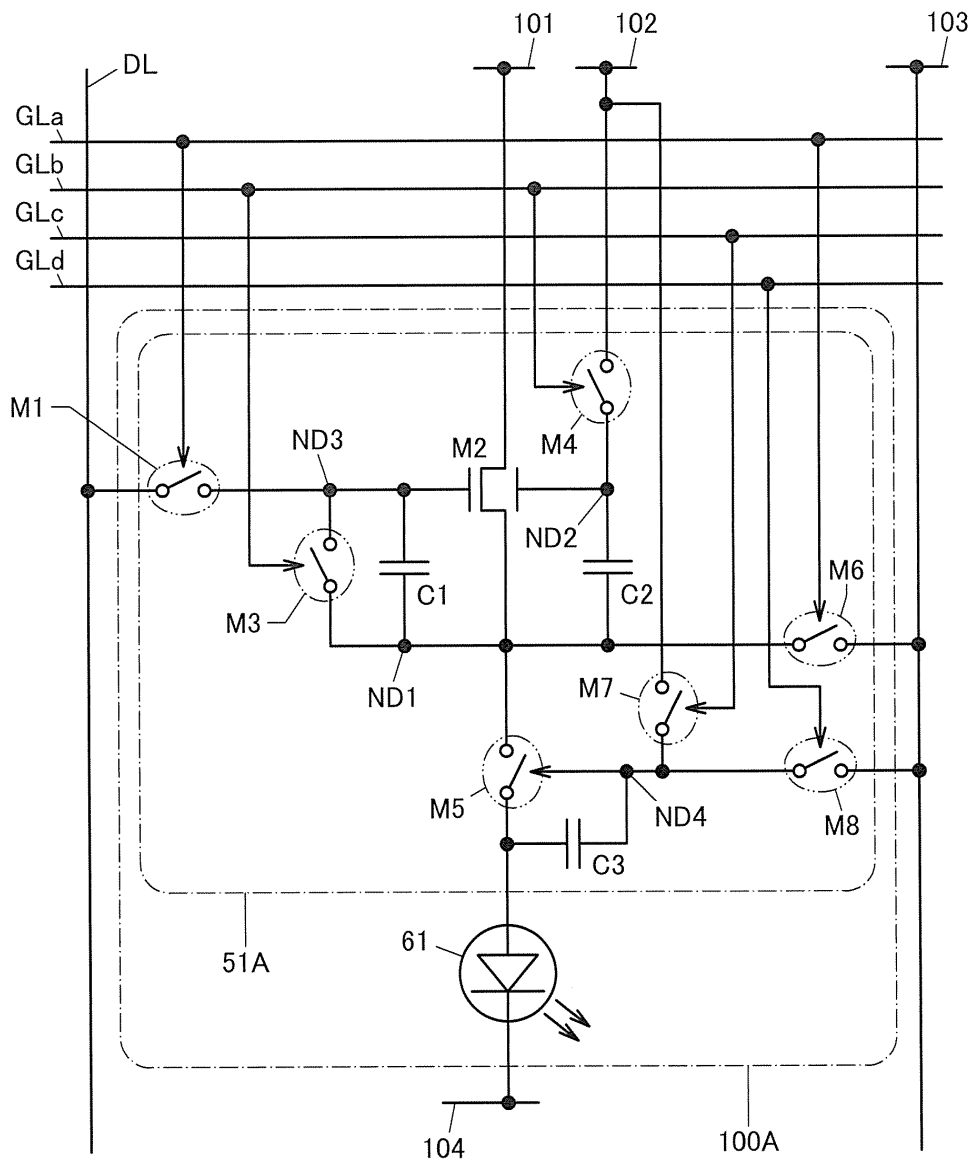
도면2



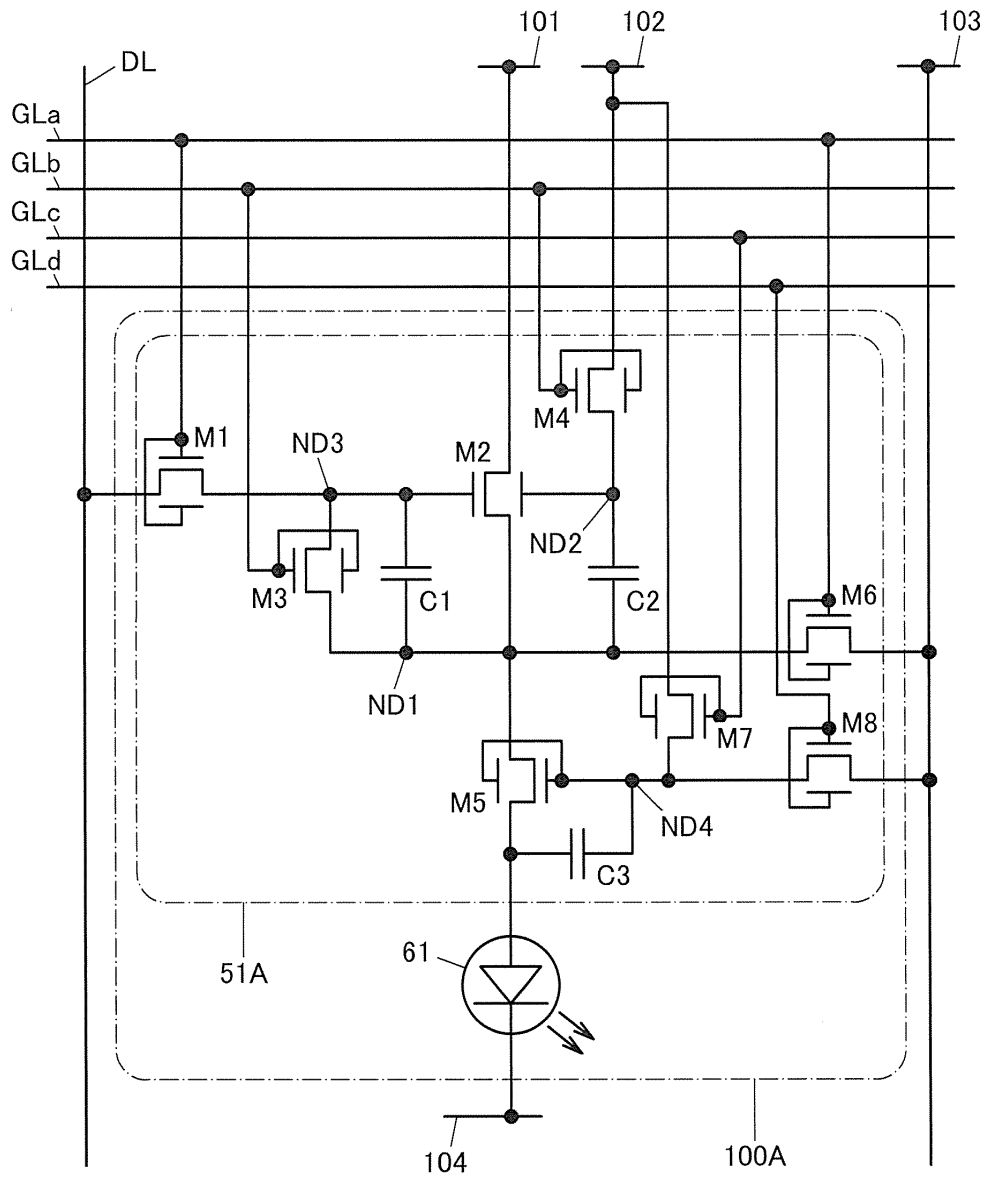
도면3



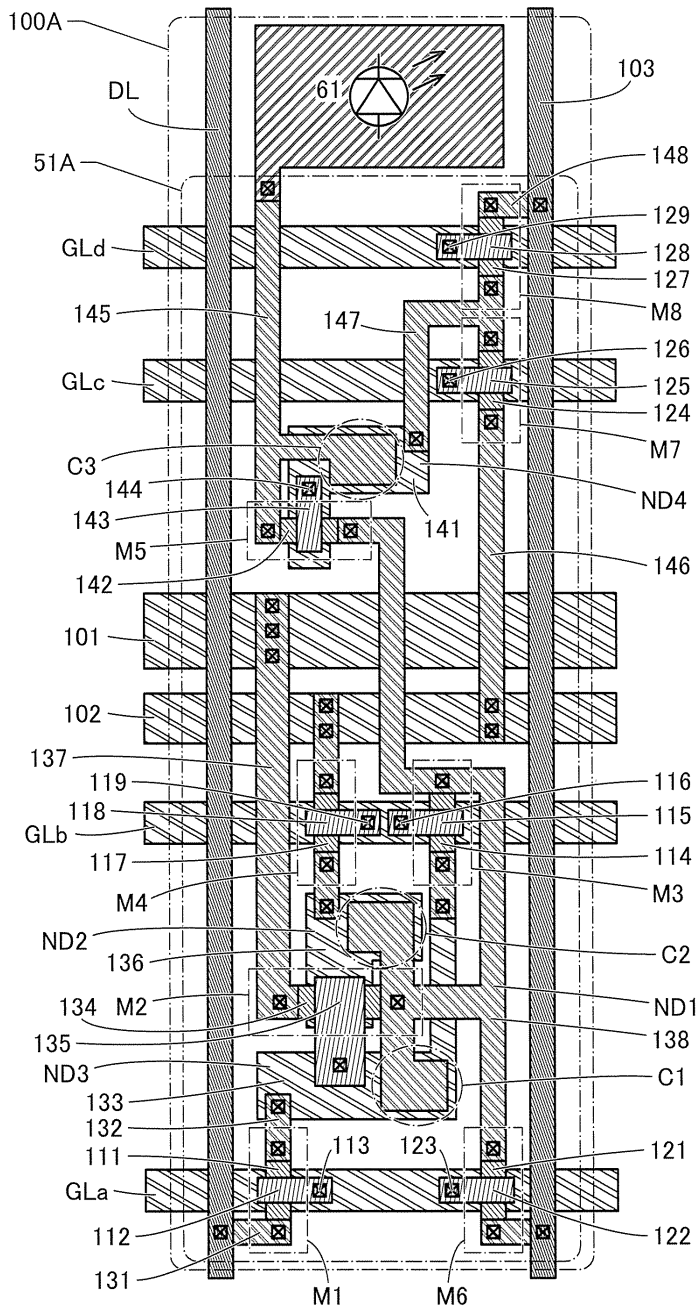
도면4



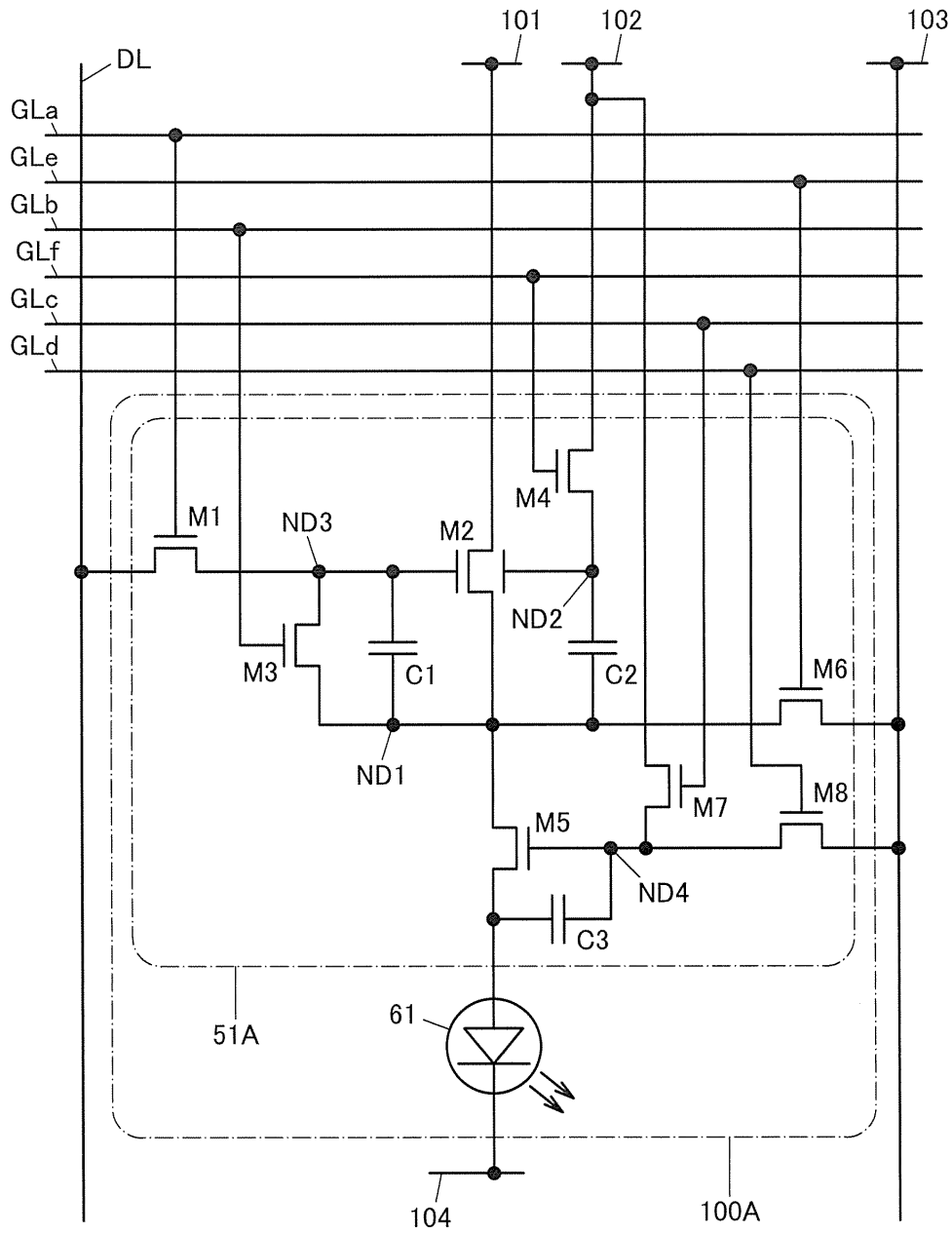
도면5



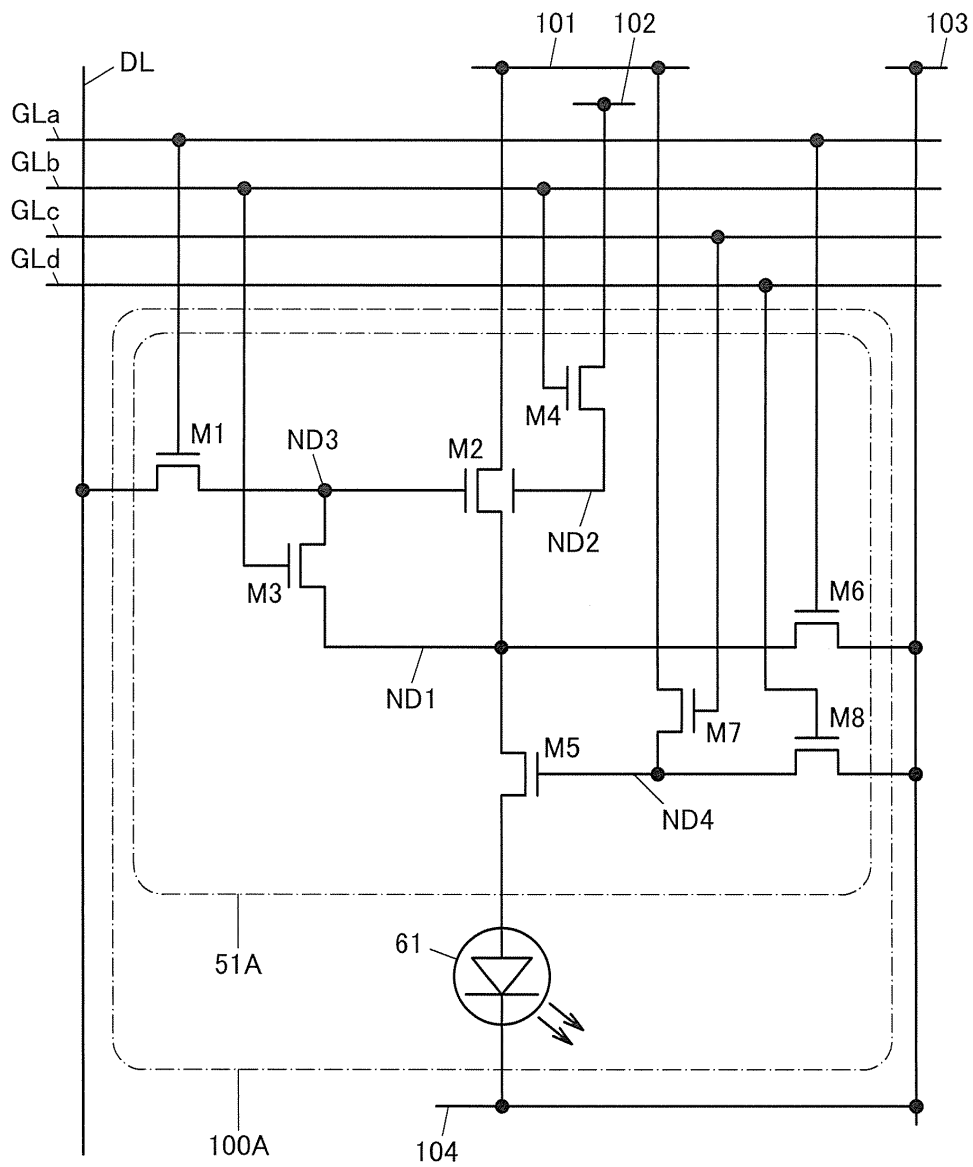
도면6



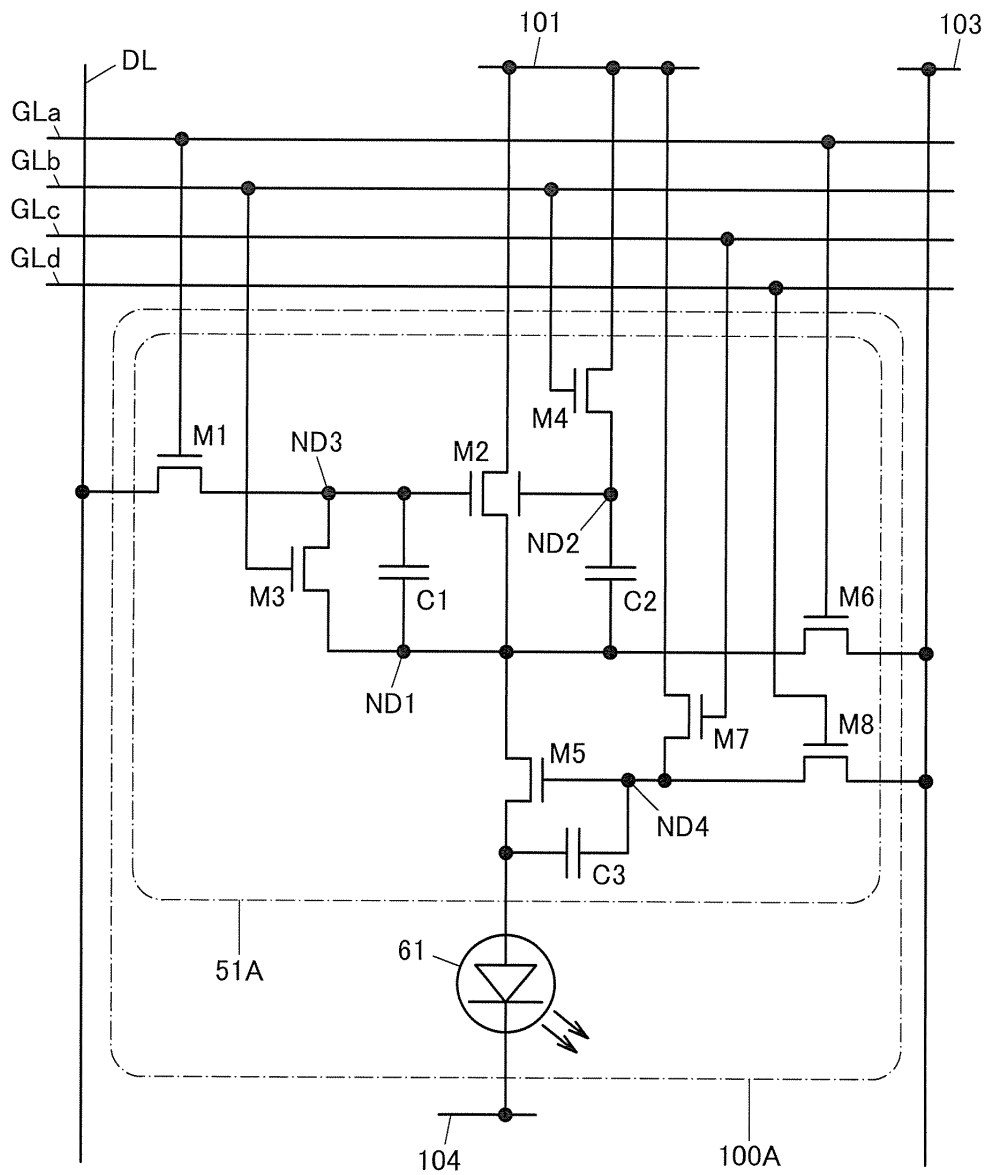
도면7



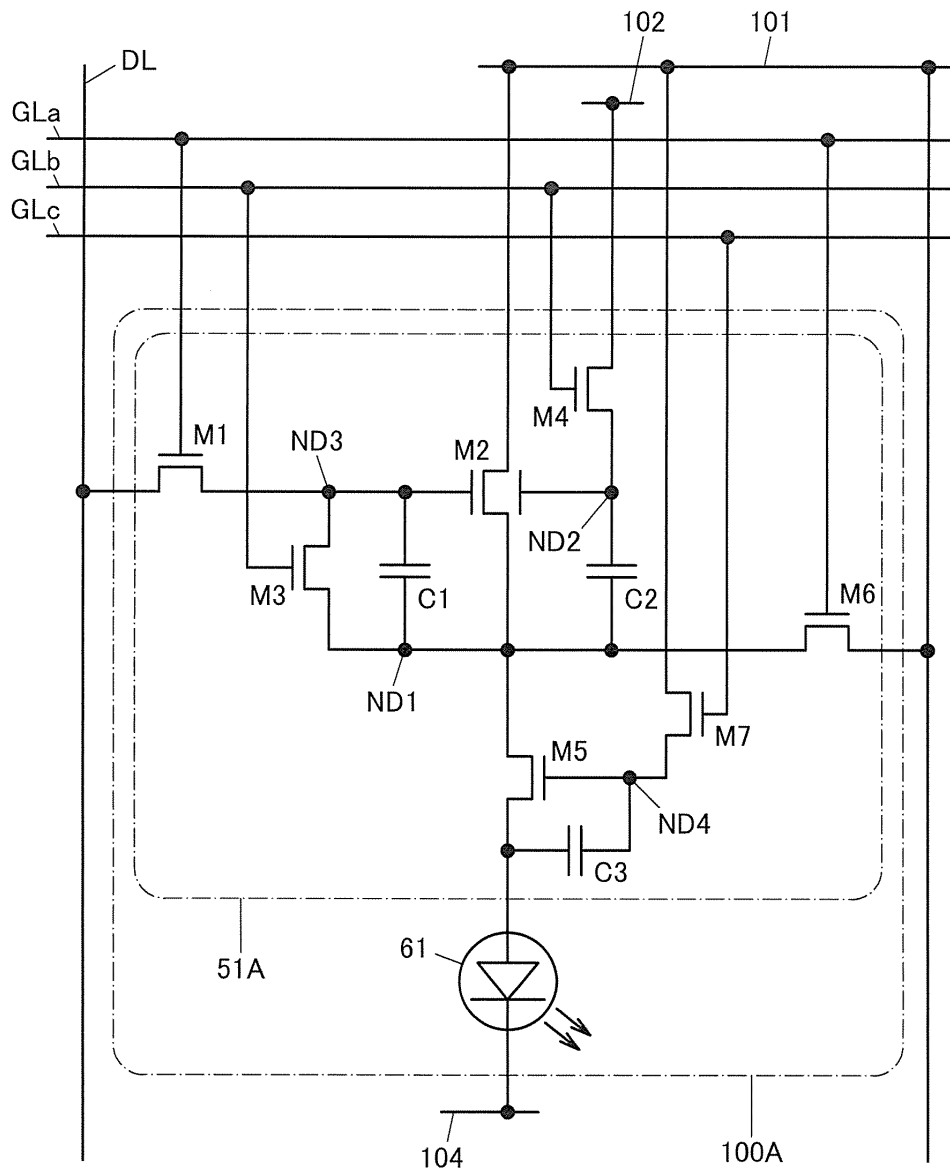
도면8



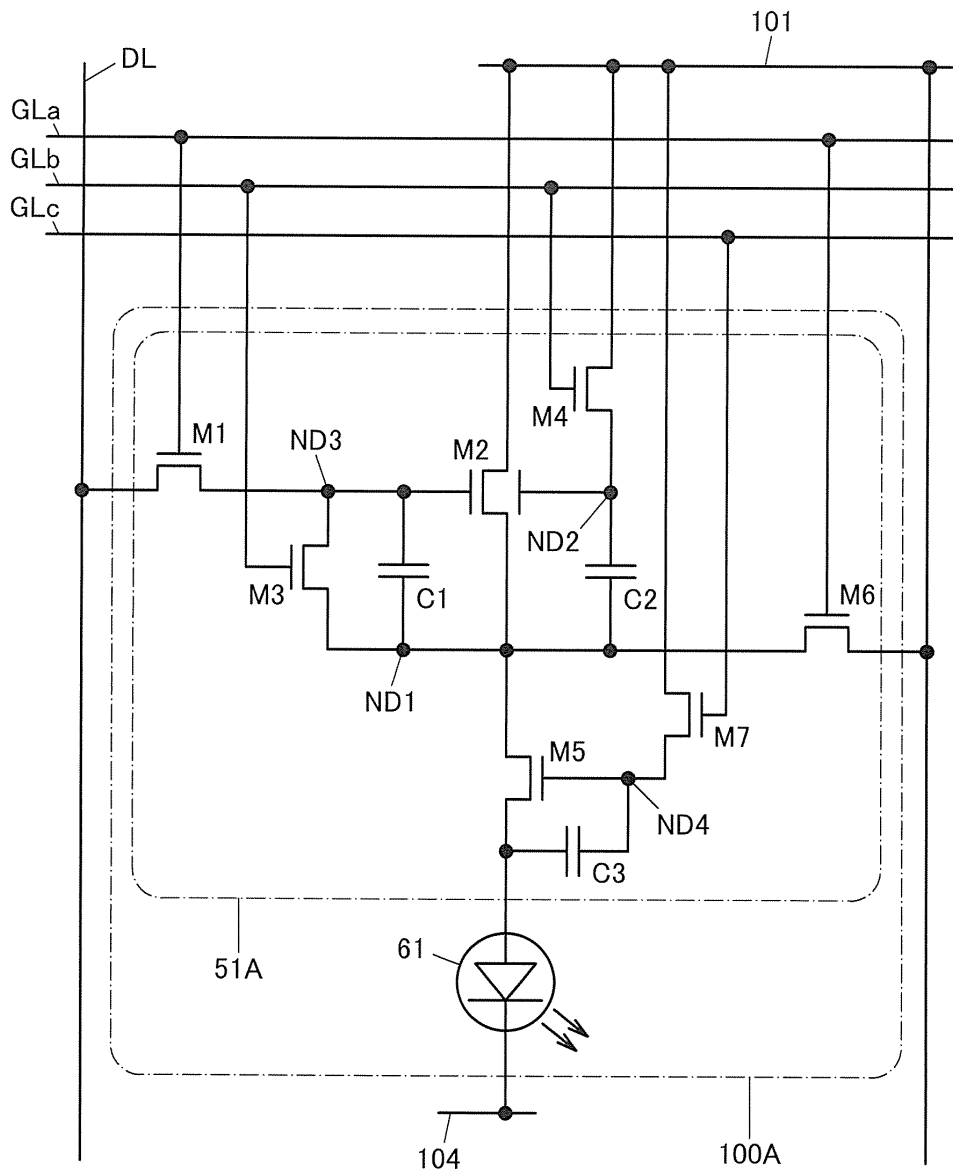
도면9



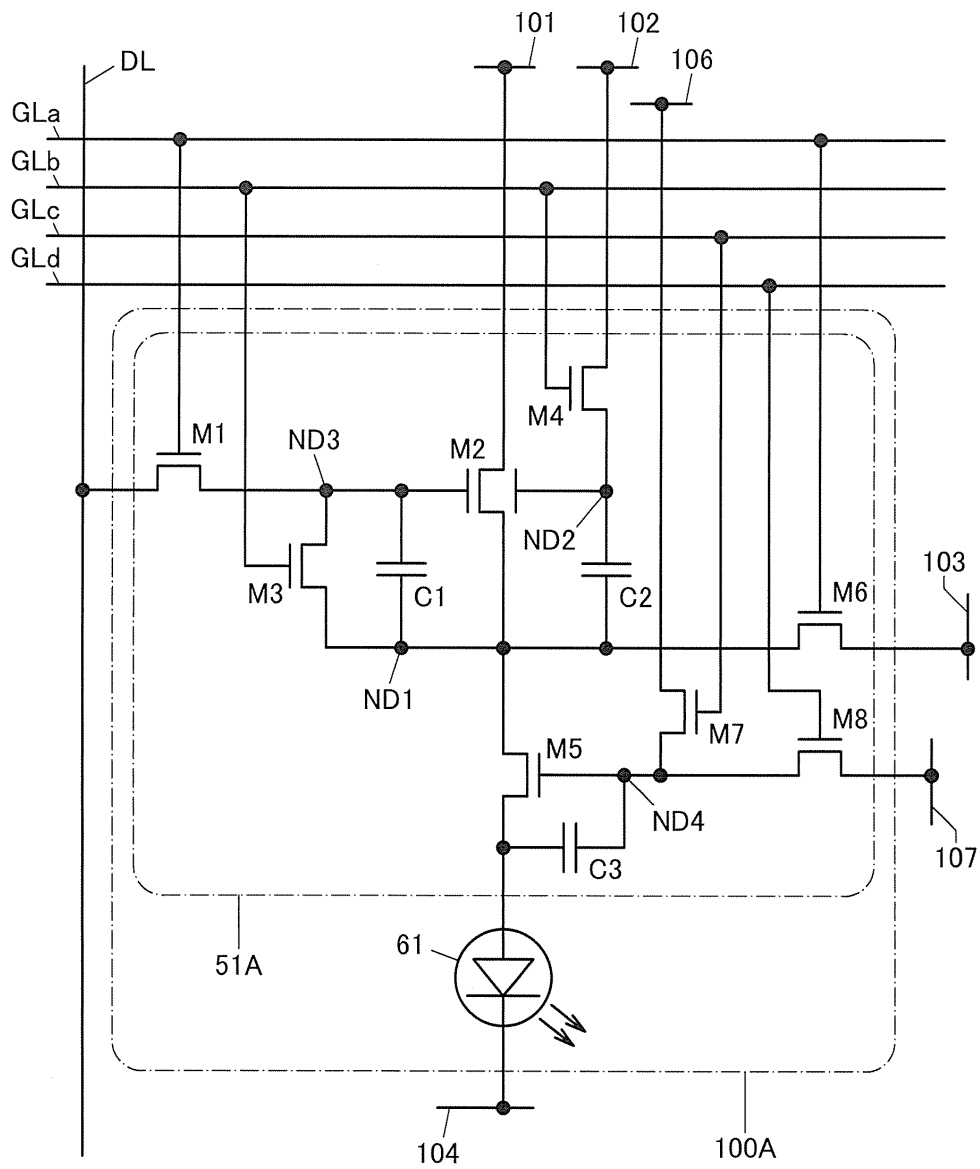
도면10



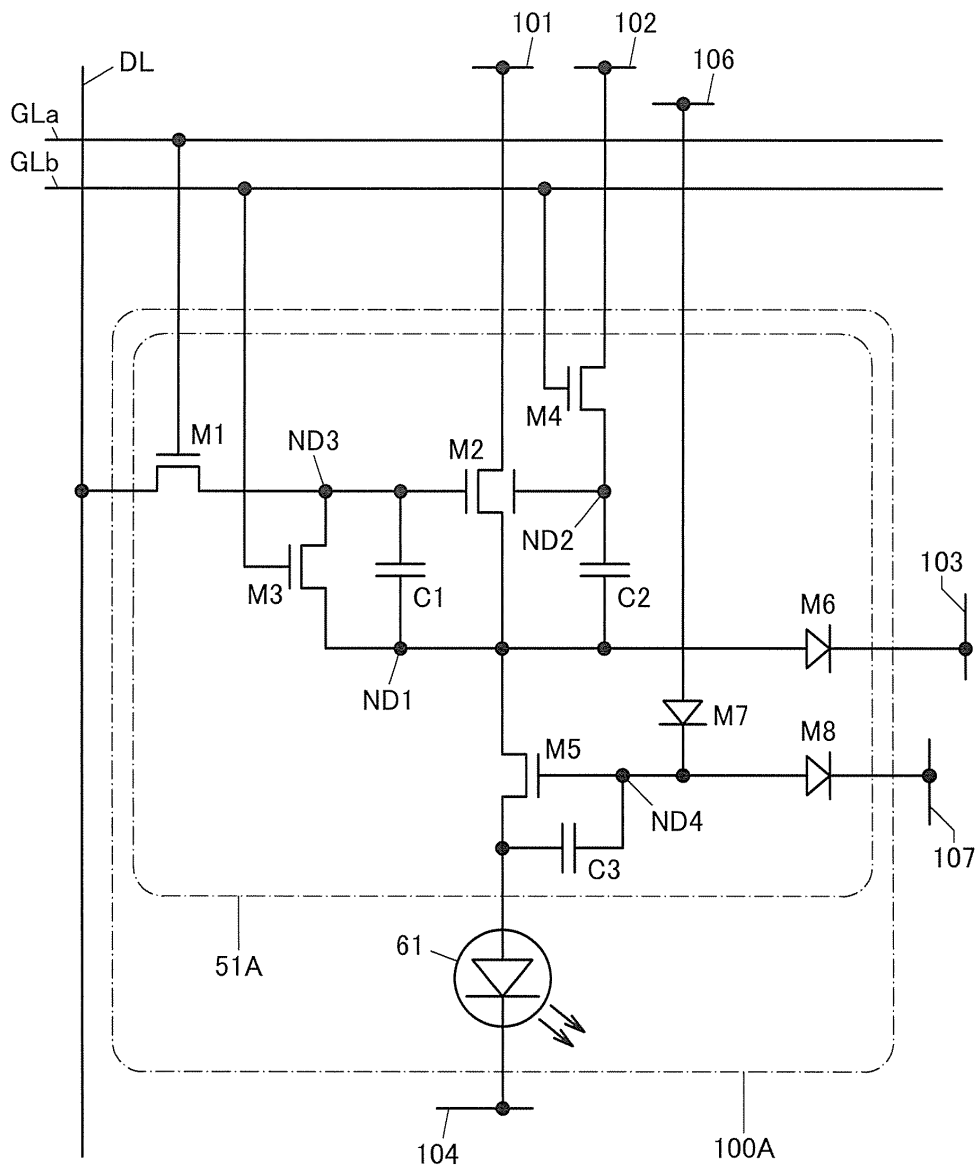
도면11



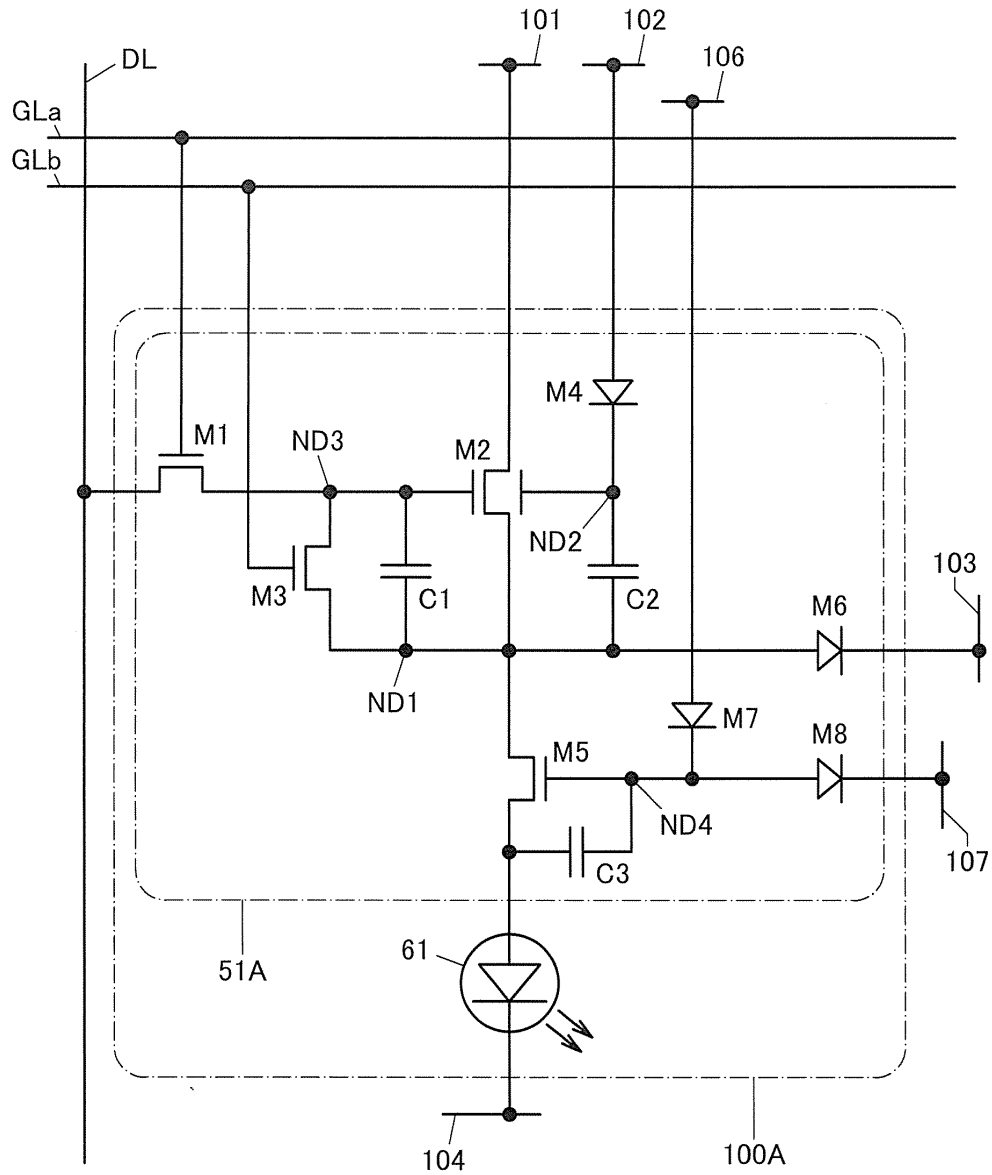
도면12



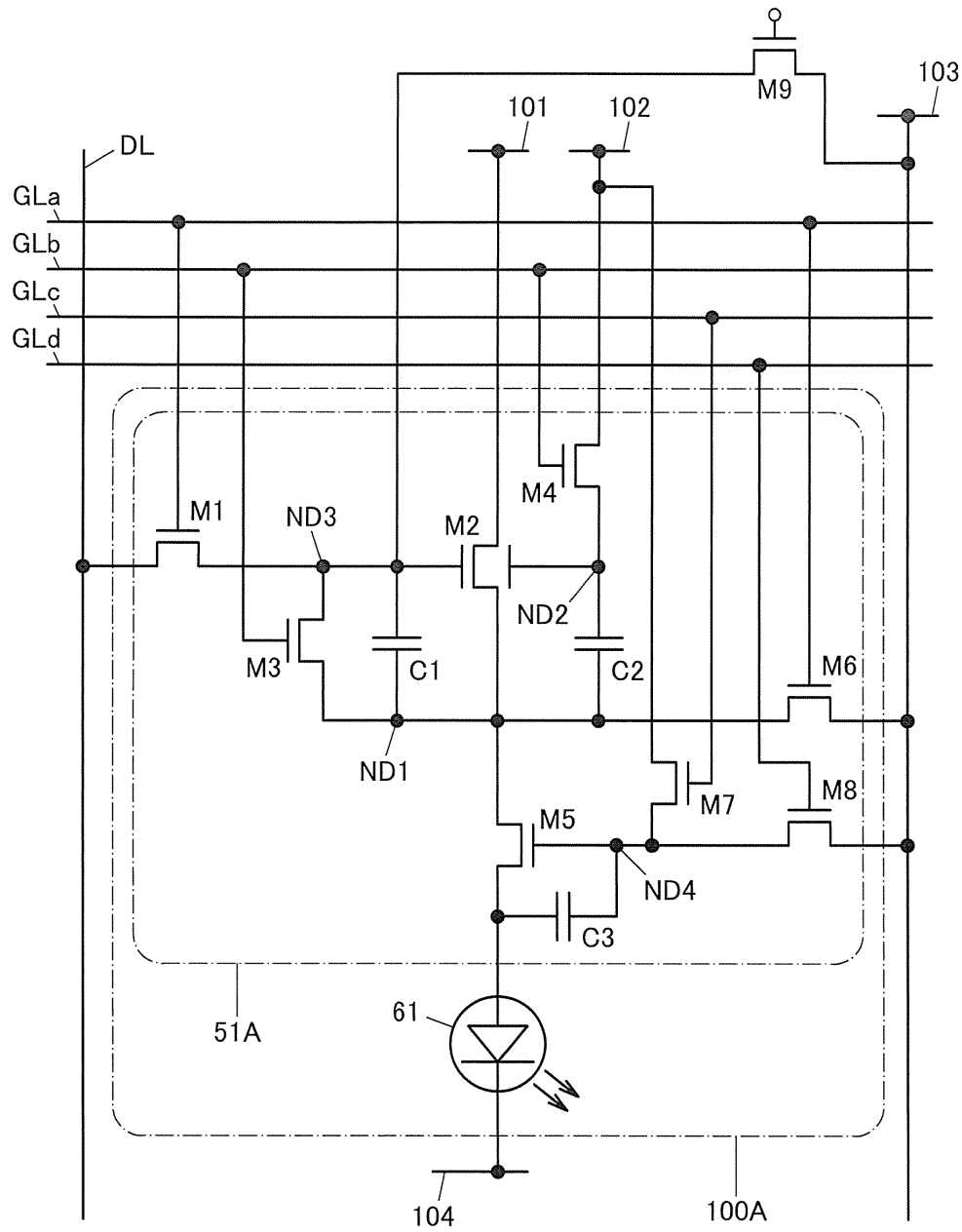
도면13



도면14

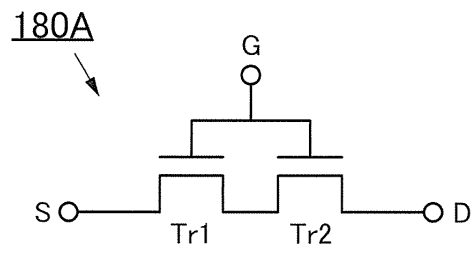


도면15

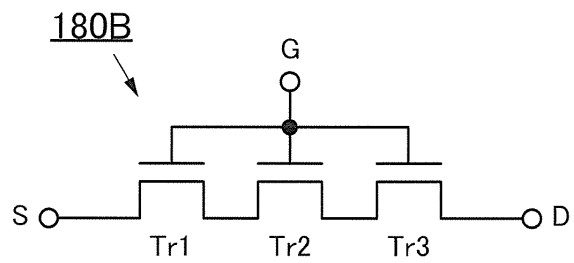


도면16

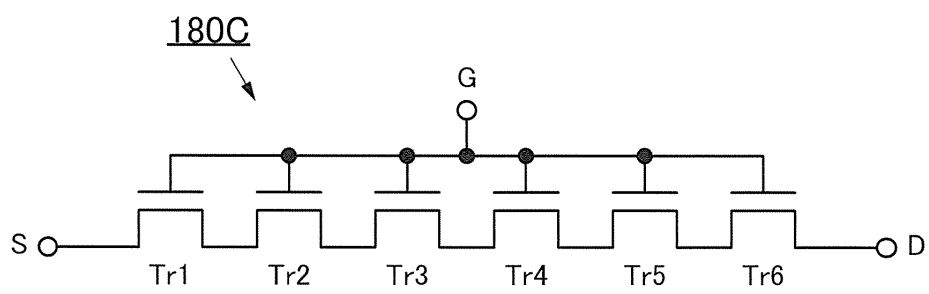
(A)



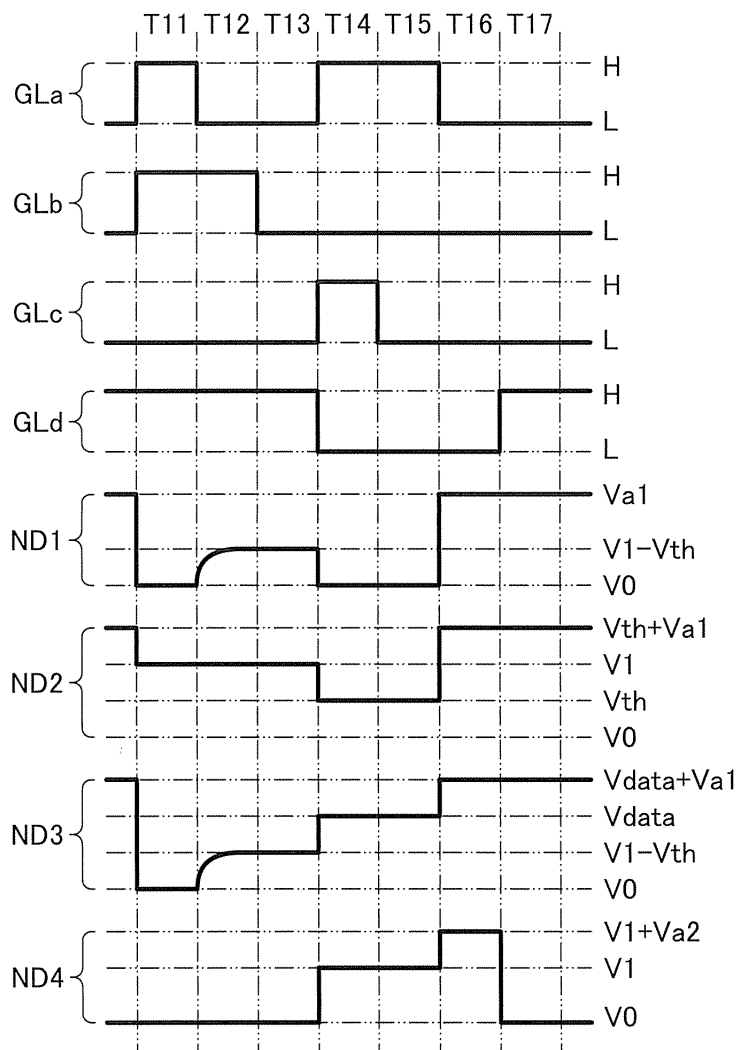
(B)



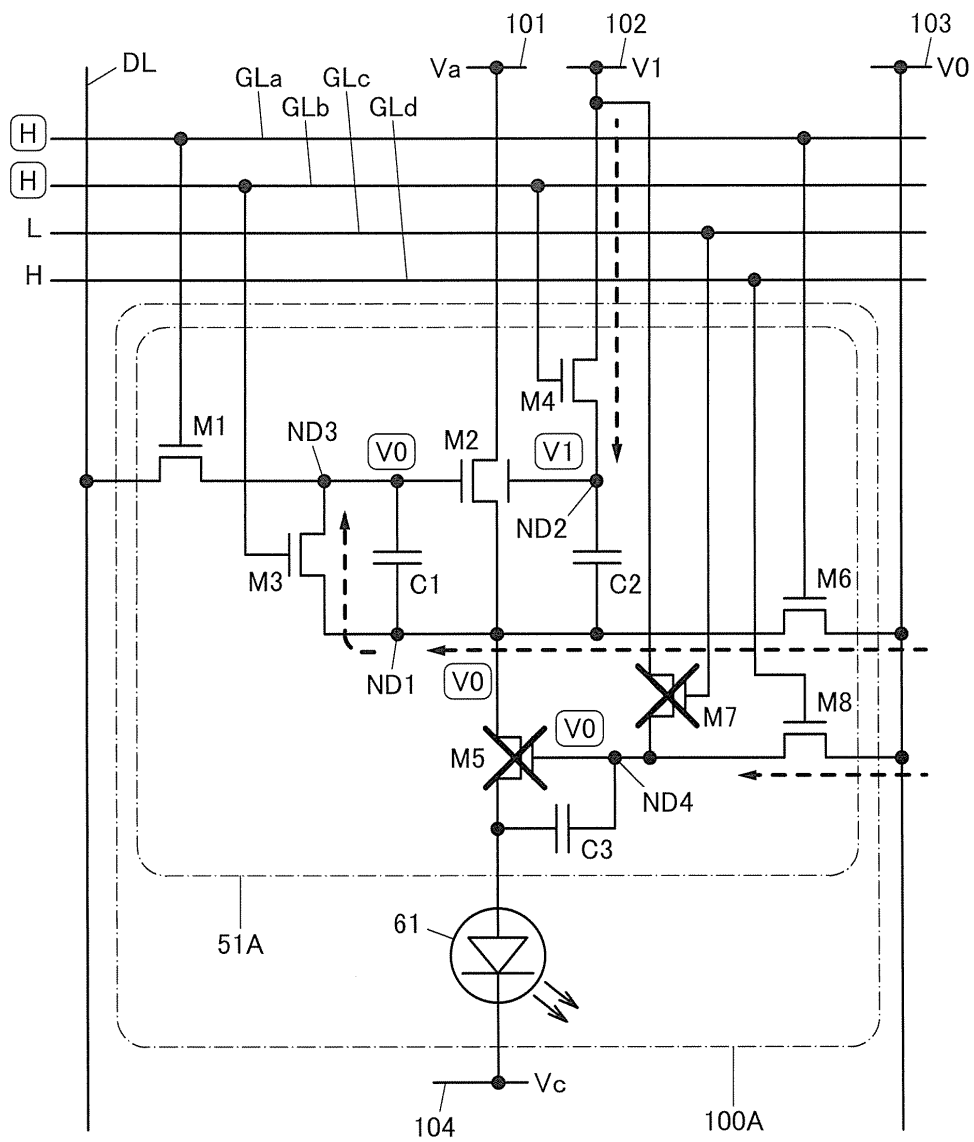
(C)



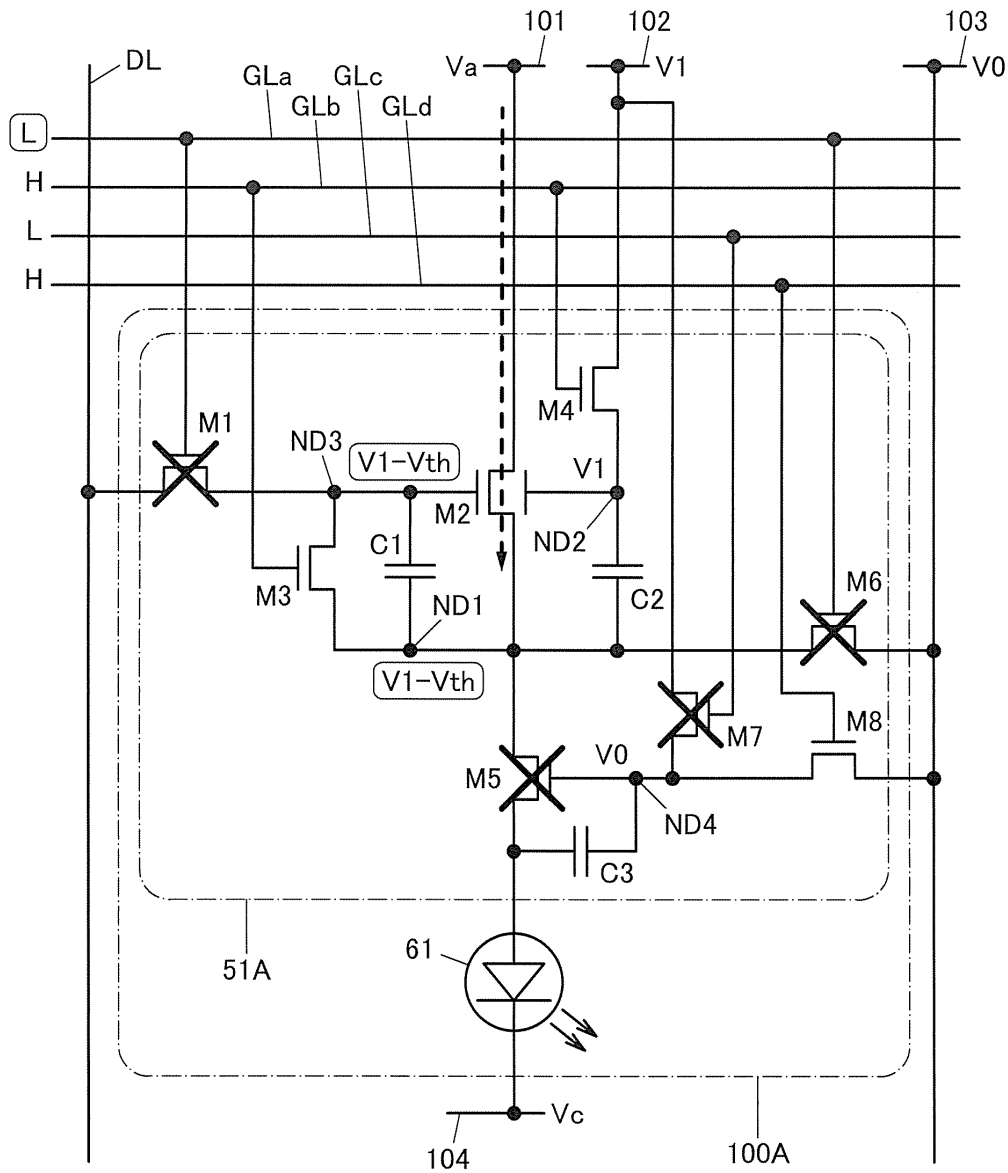
도면17



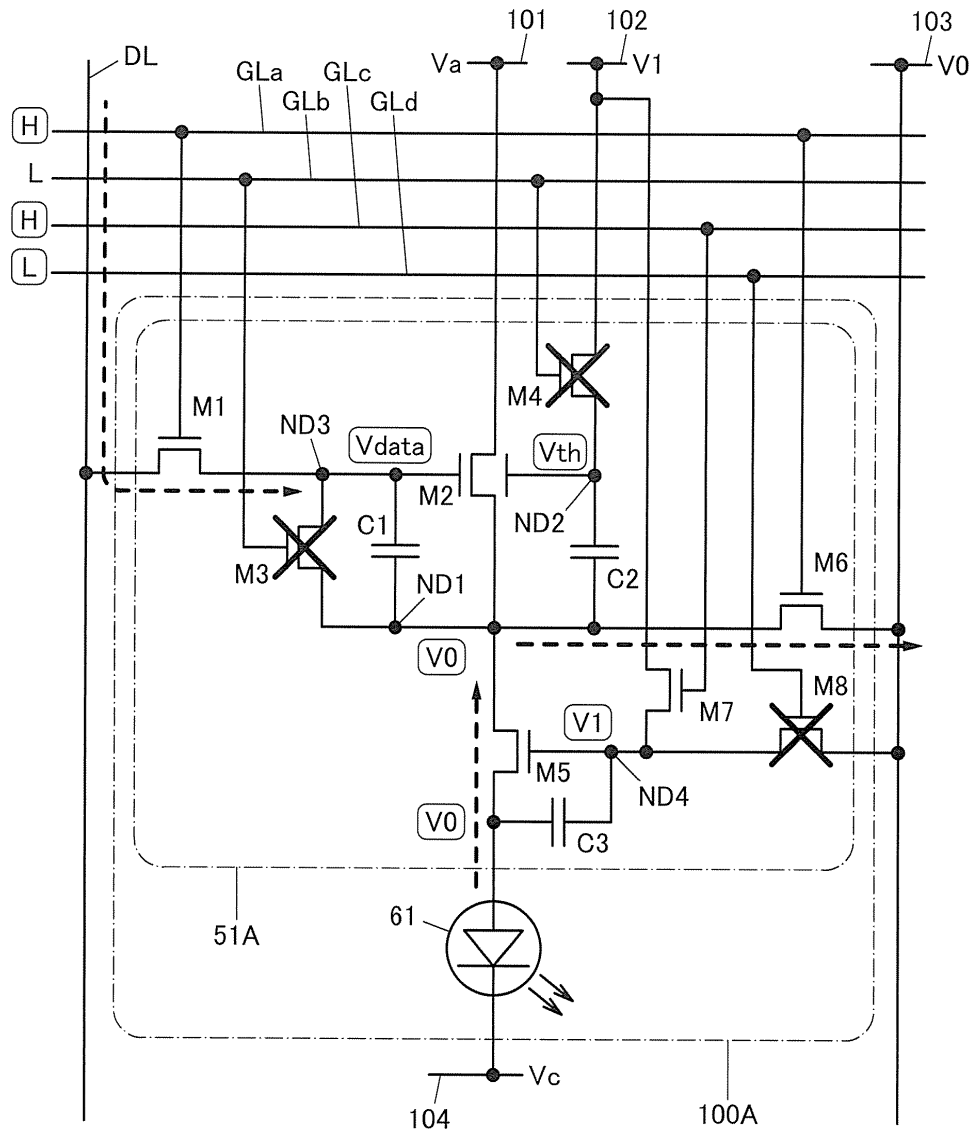
도면18



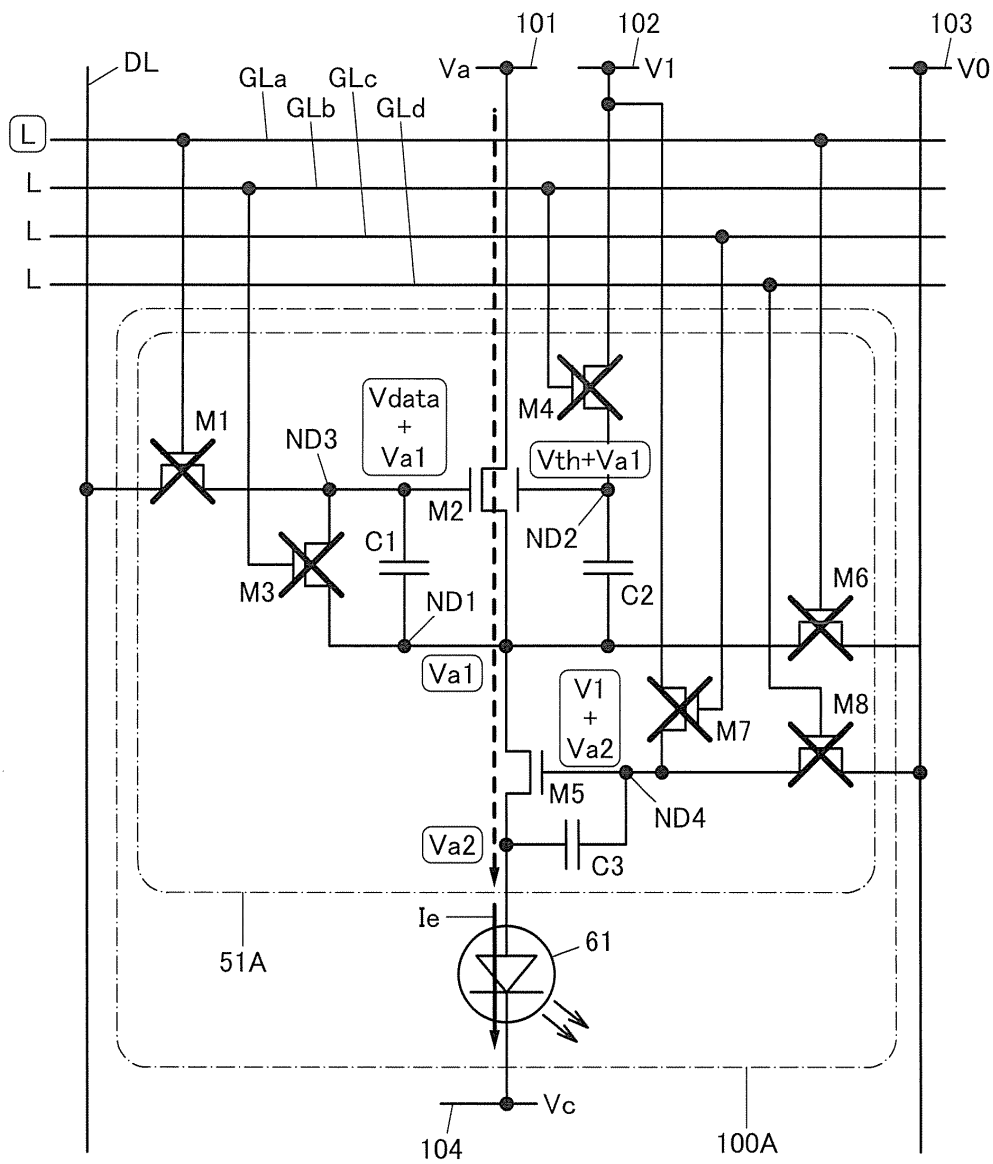
도면19



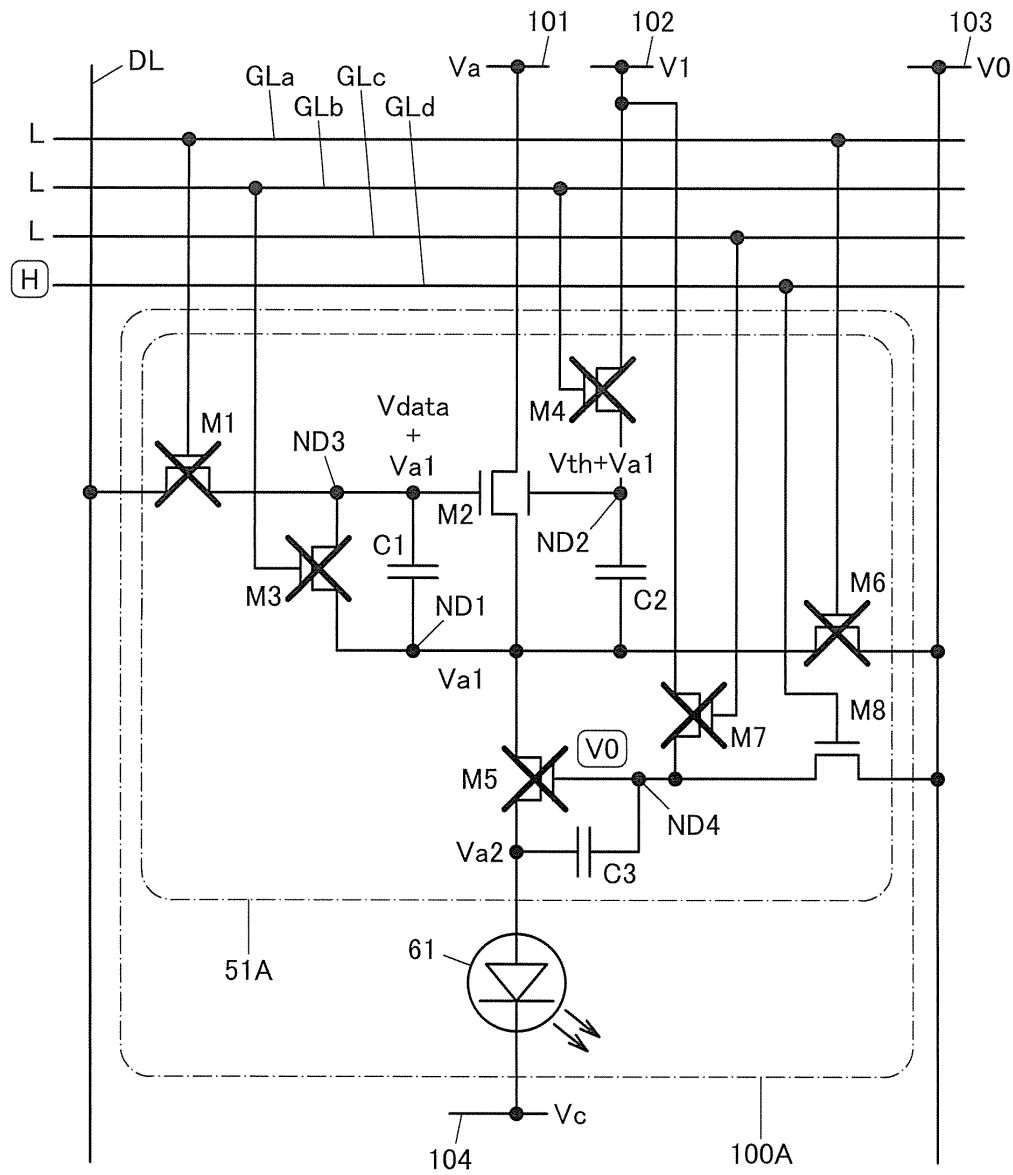
도면21



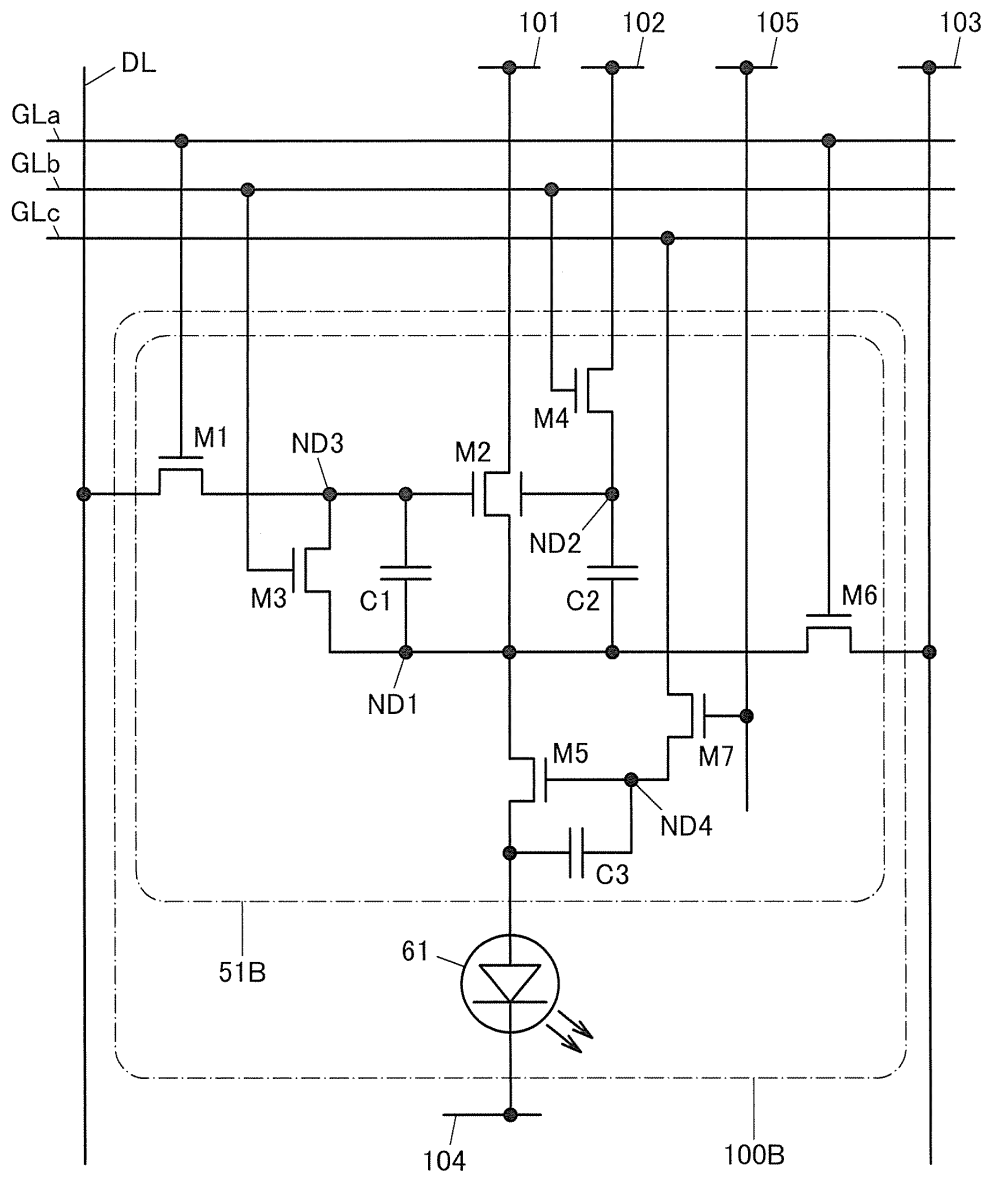
도면23



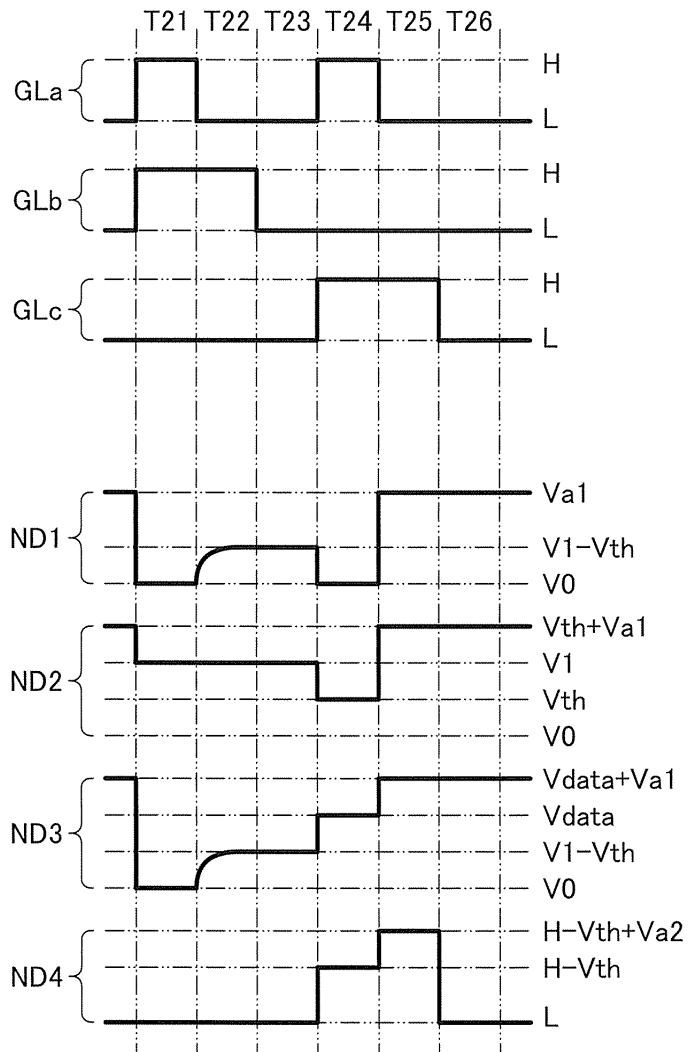
도면24



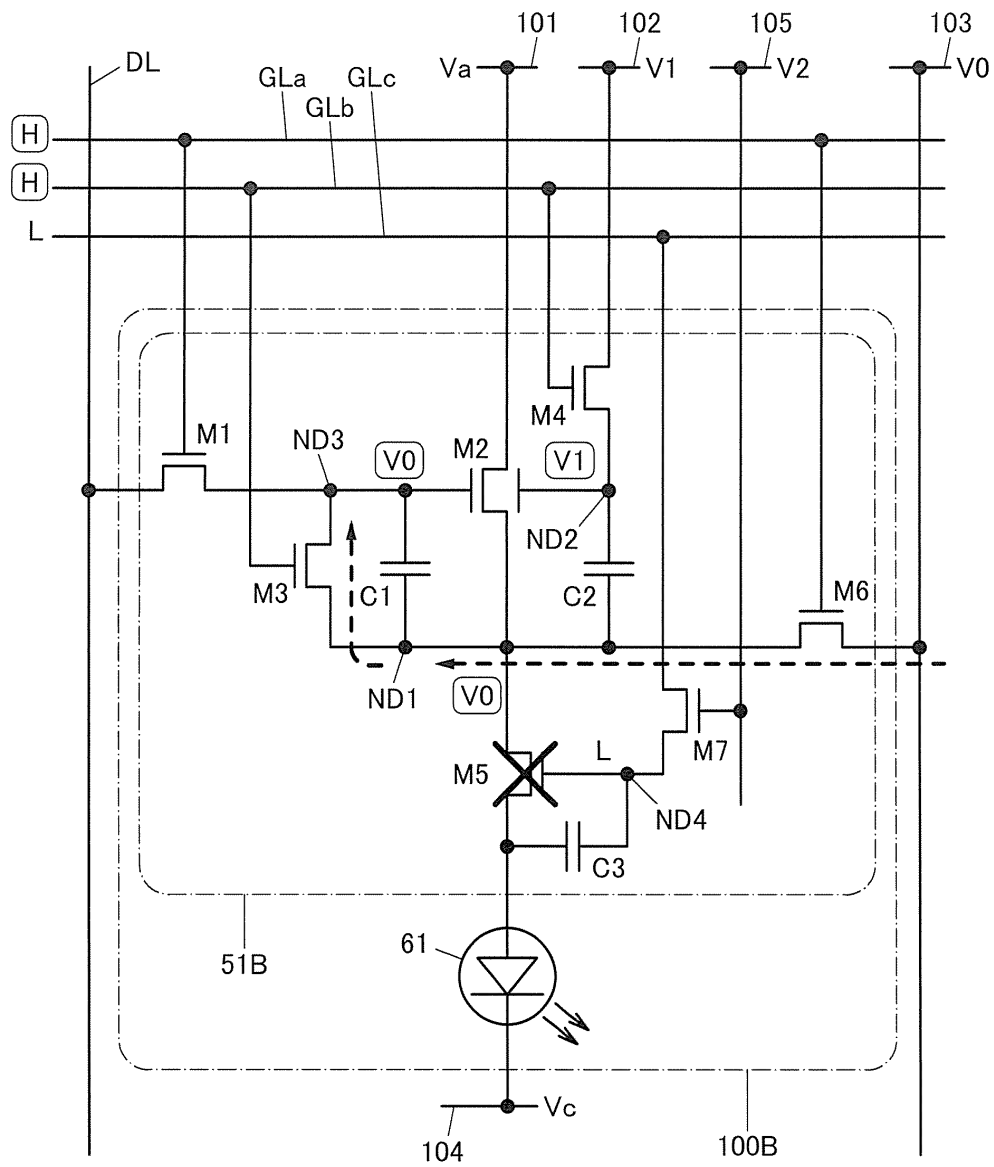
도면25



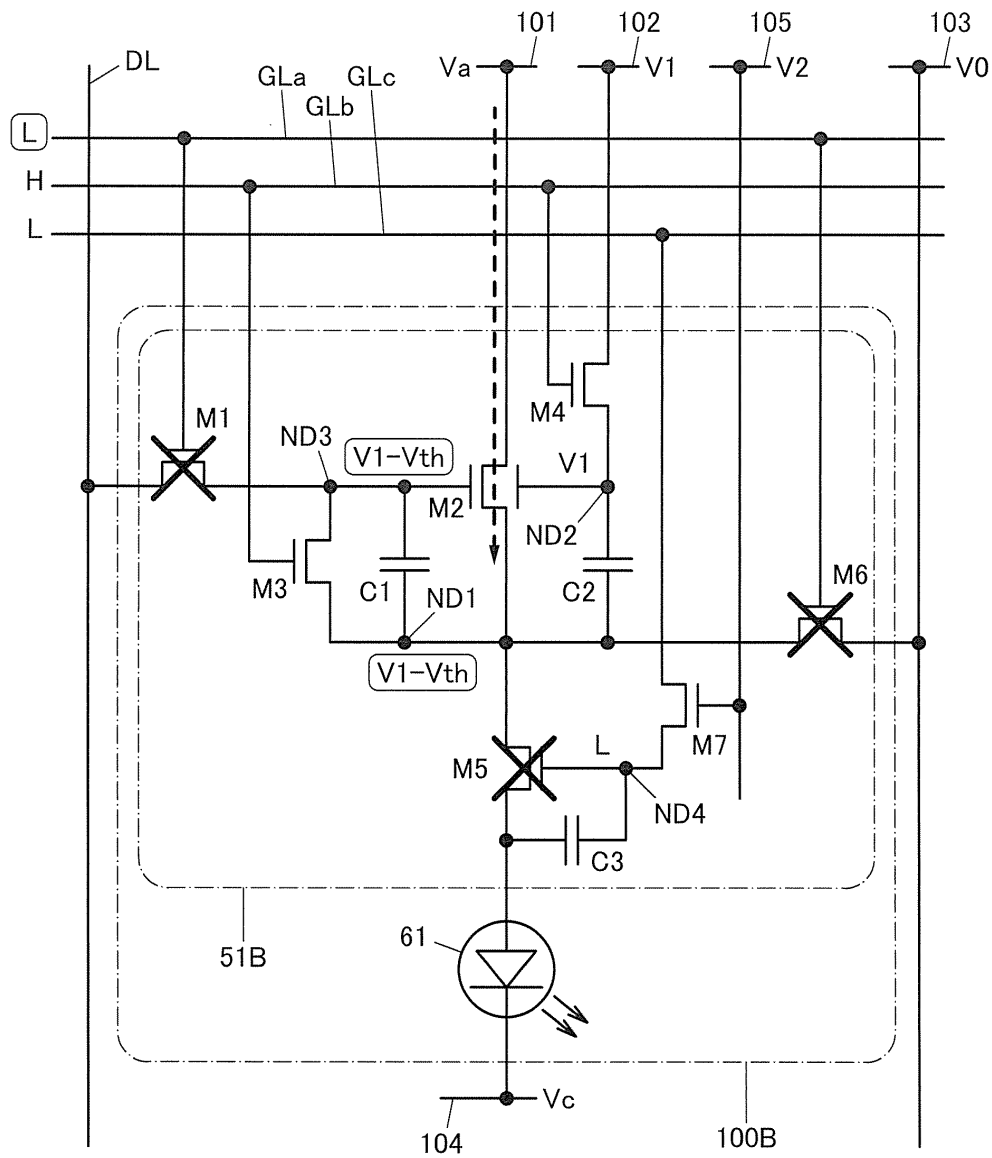
도면26



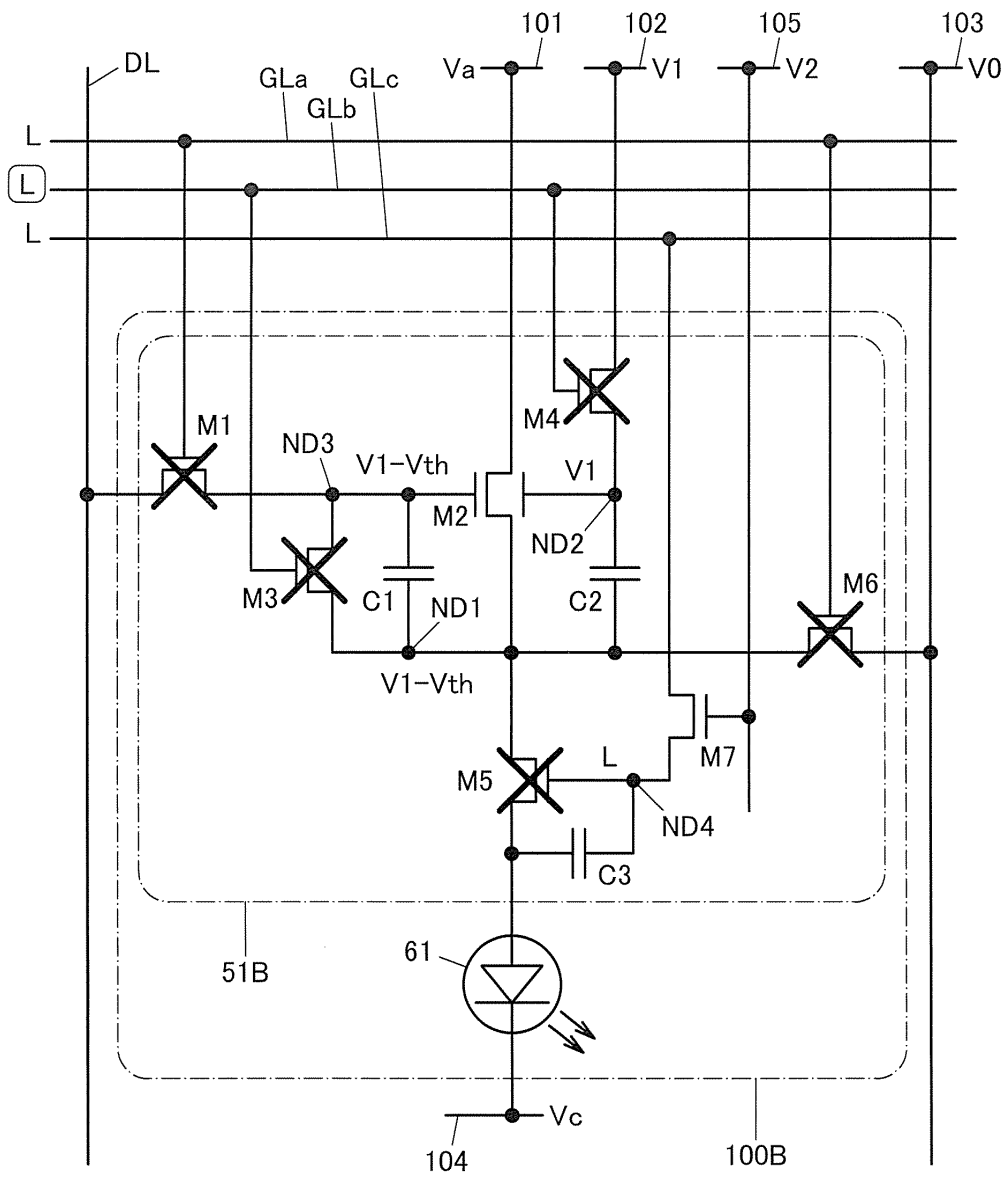
도면27



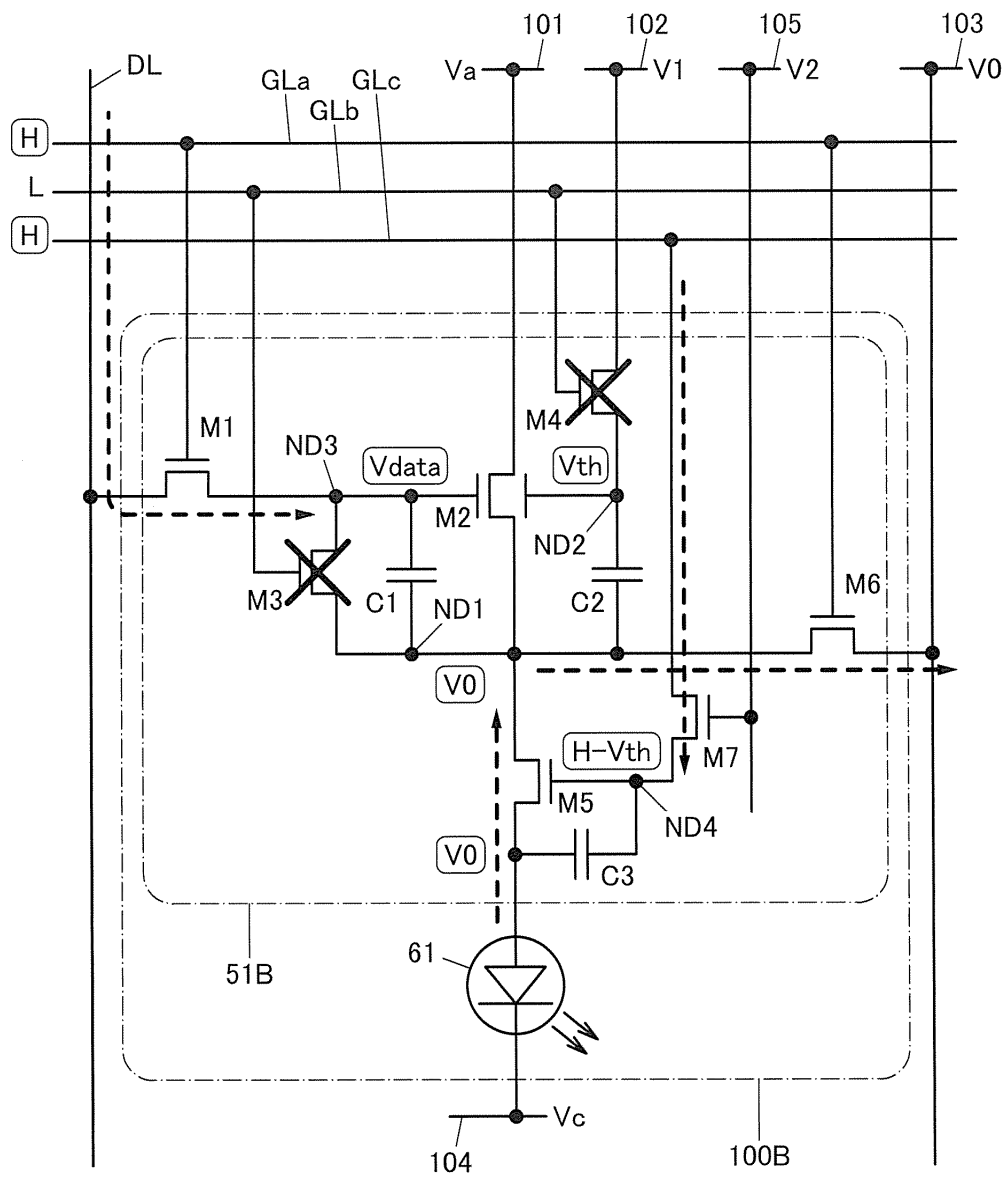
도면28



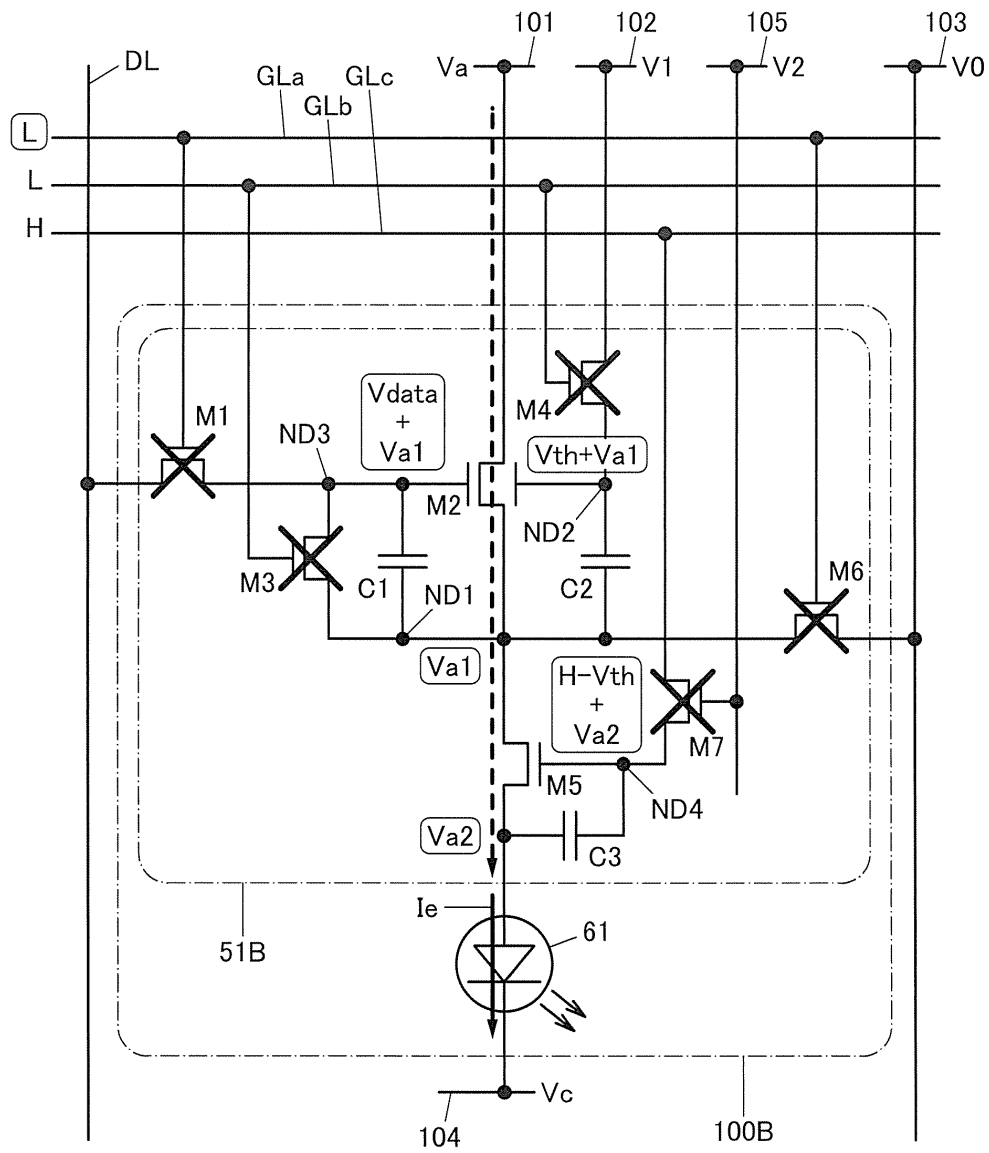
도면 29



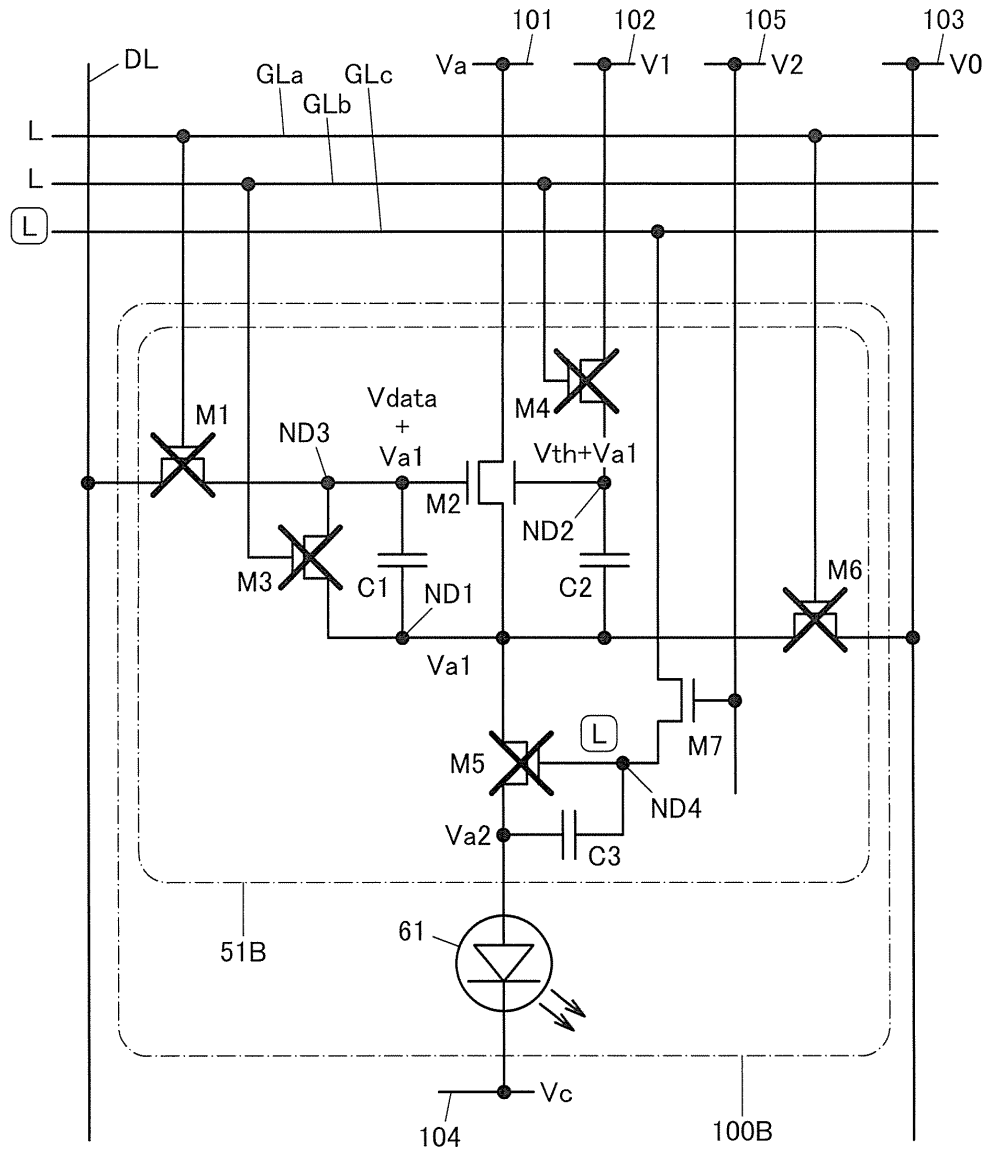
도면30



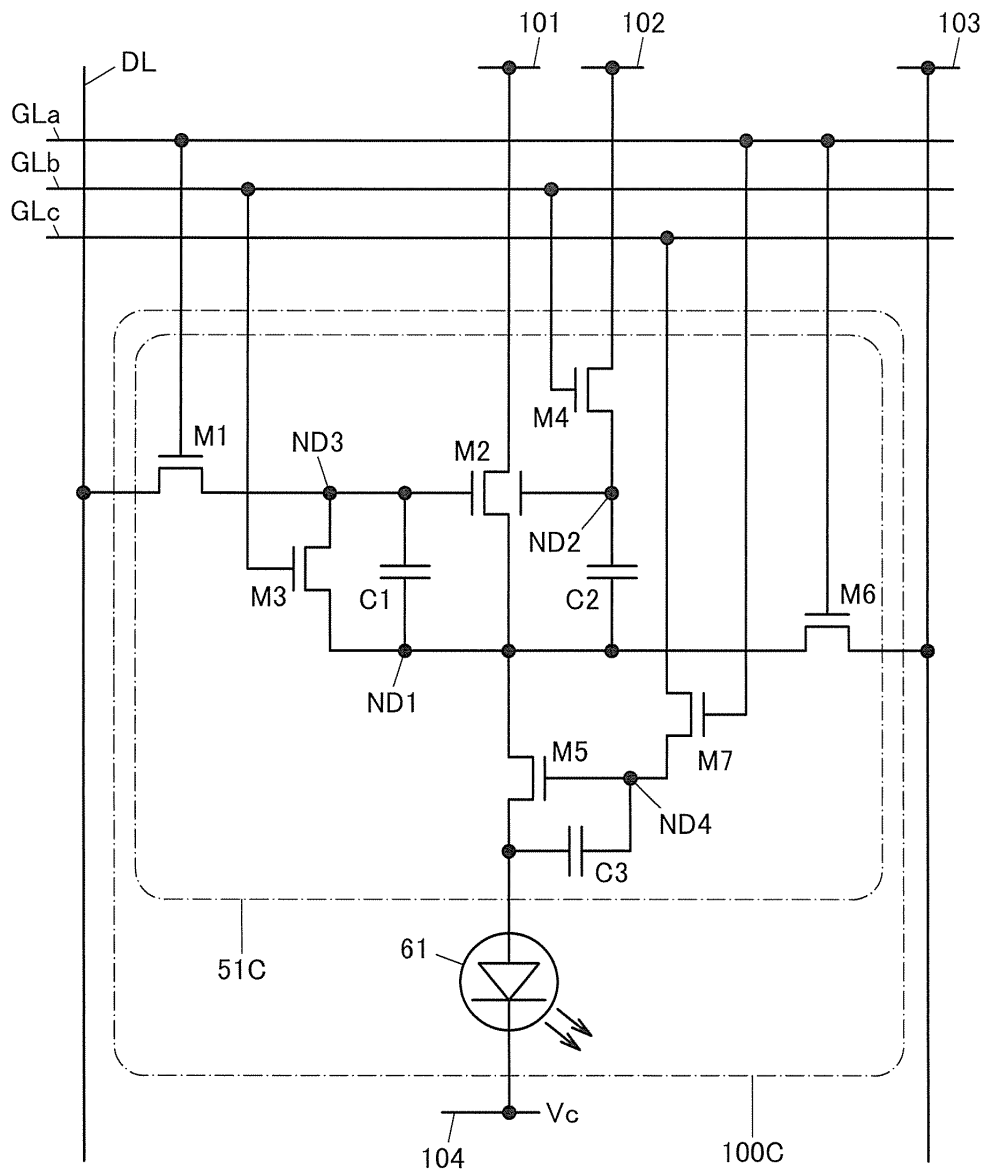
도면31



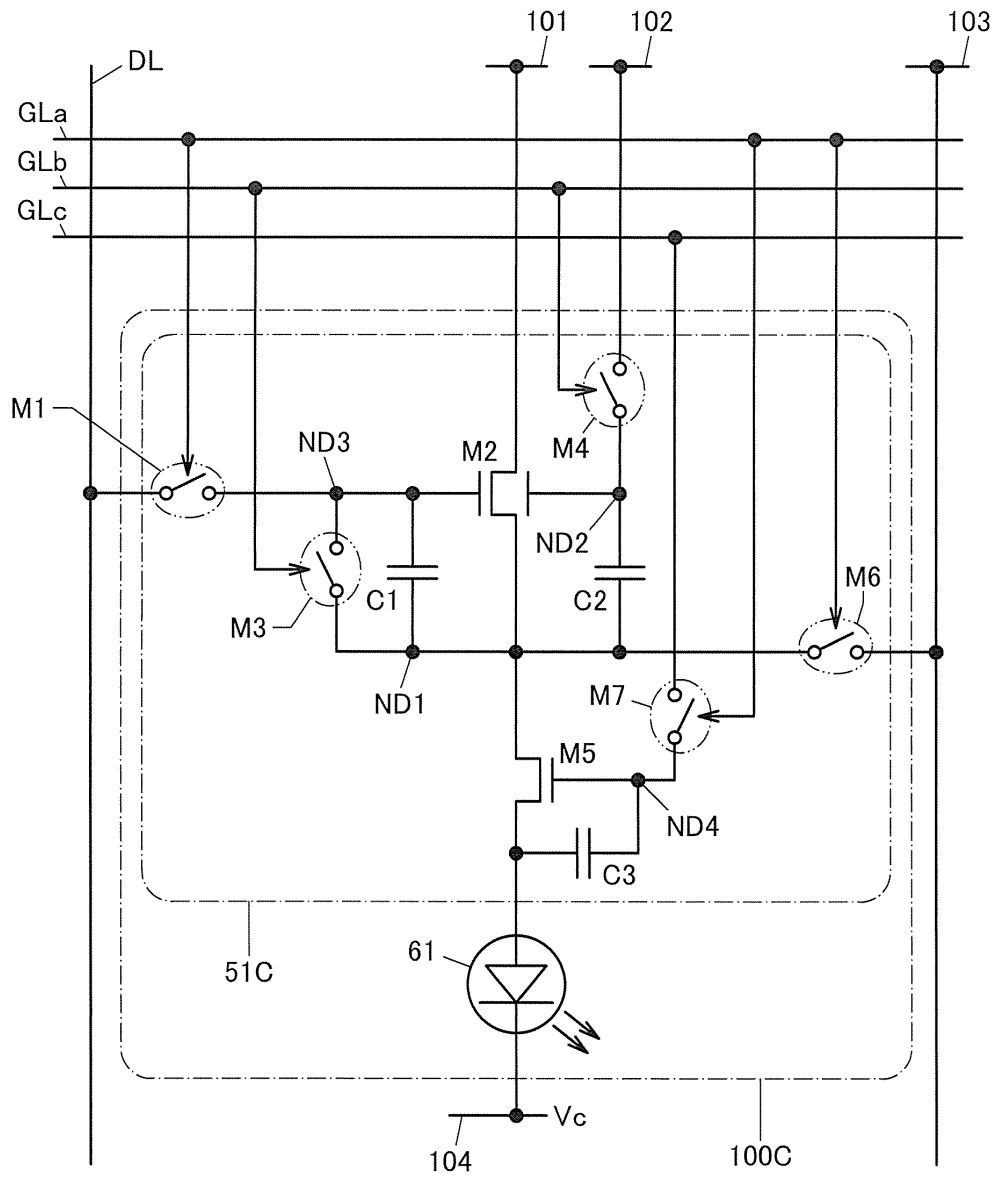
도면32



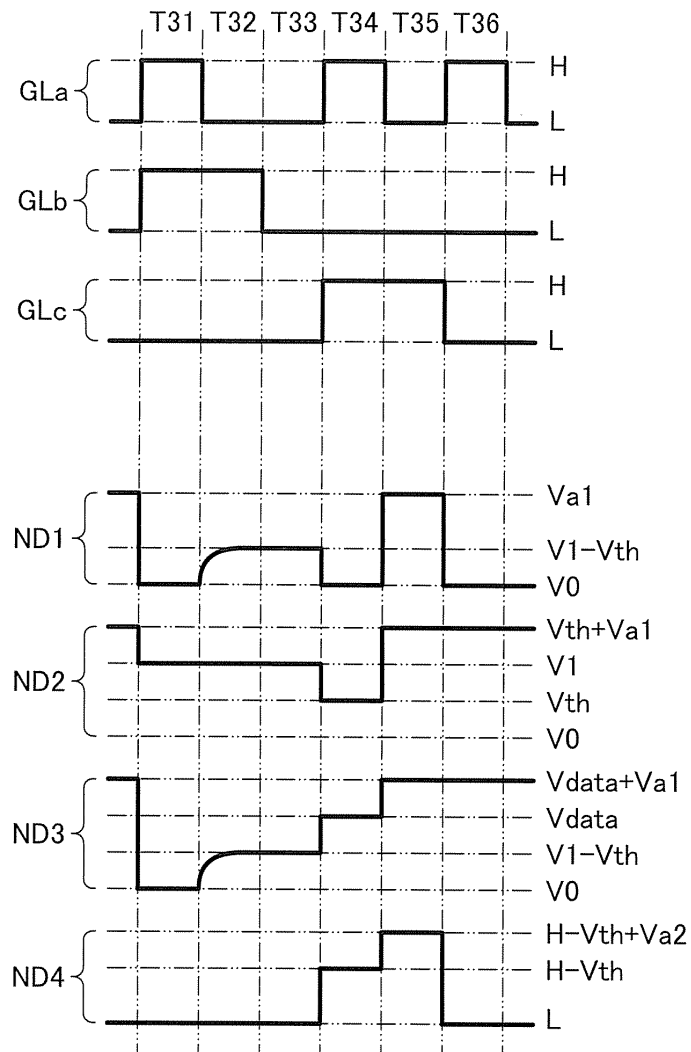
도면33



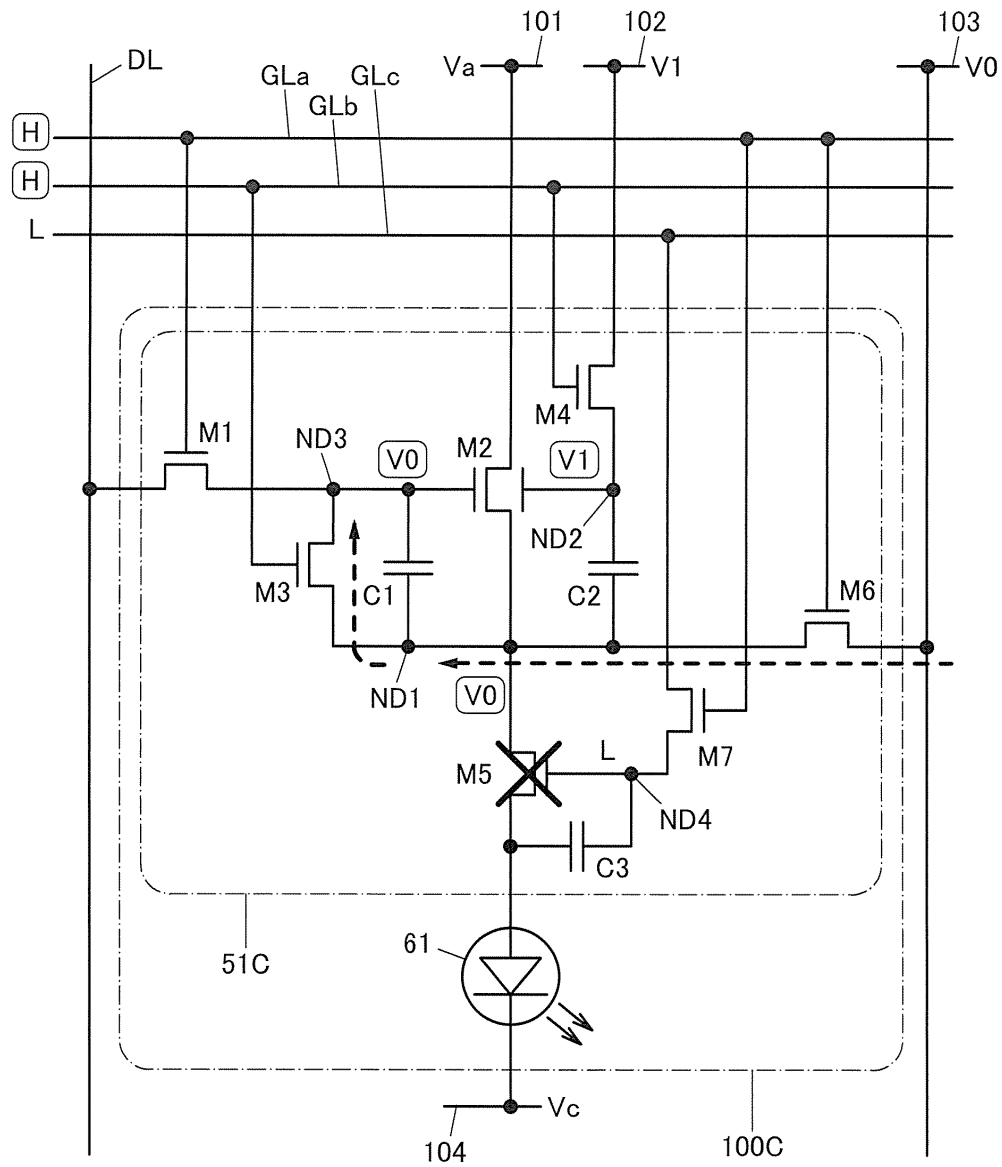
도면34



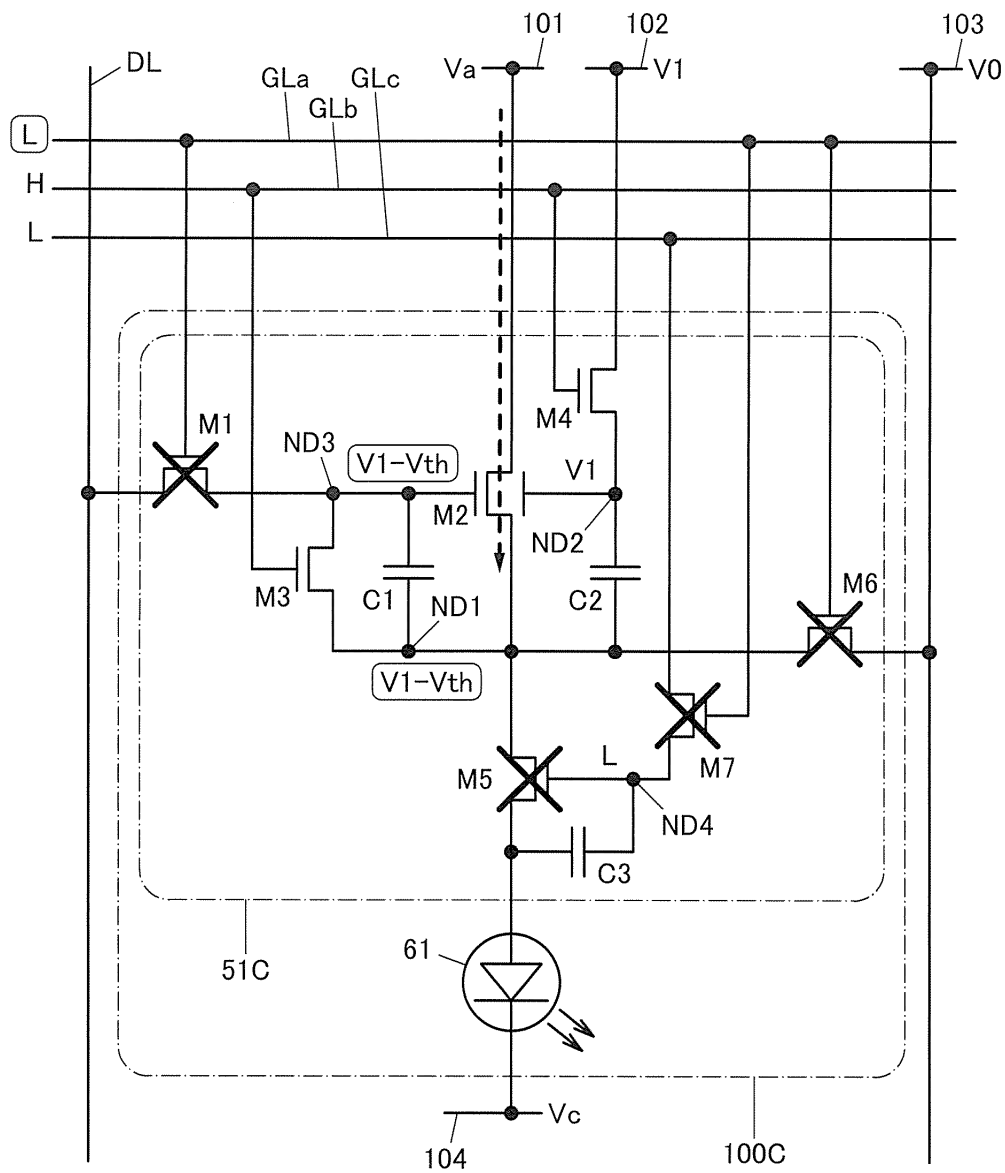
도면35



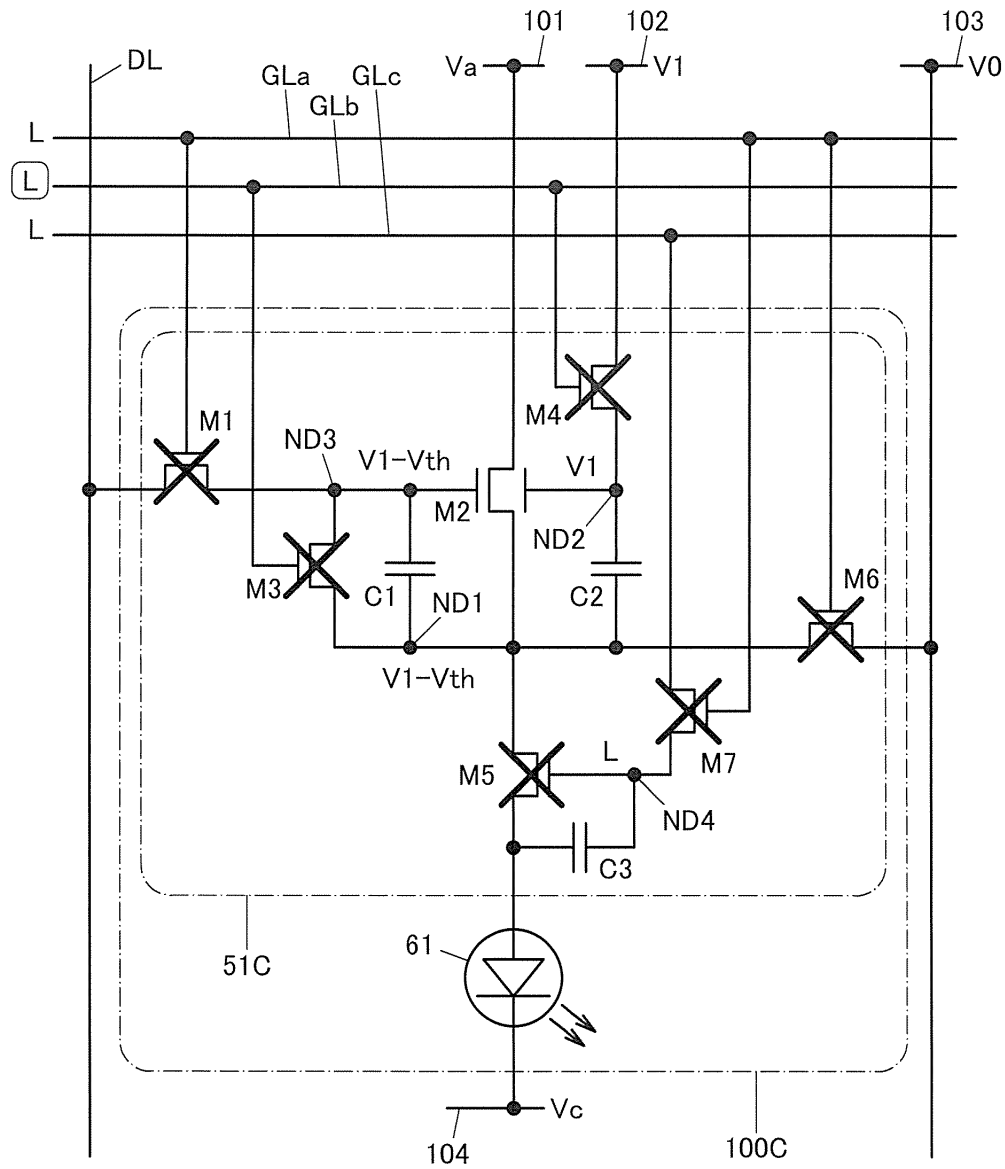
도면36



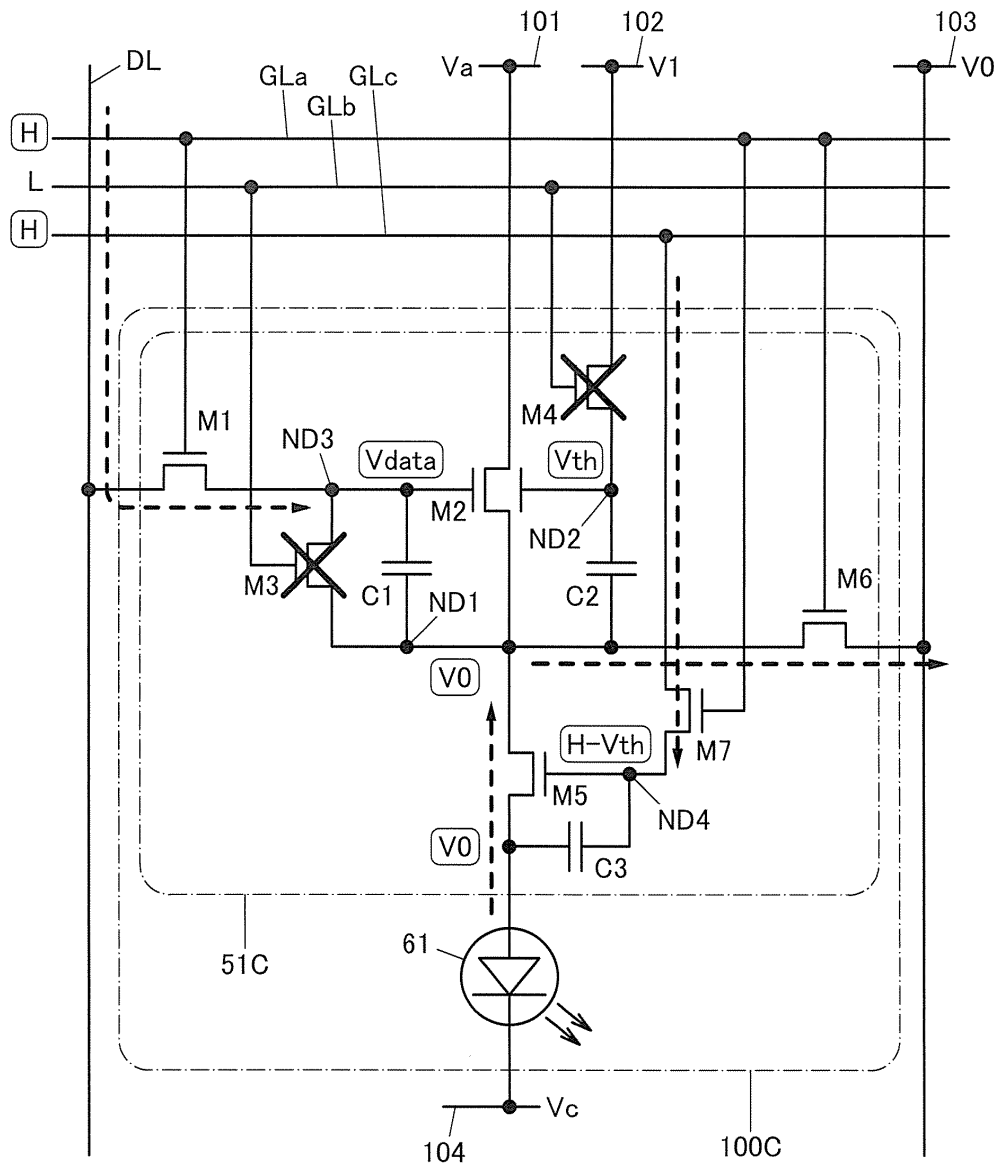
도면37



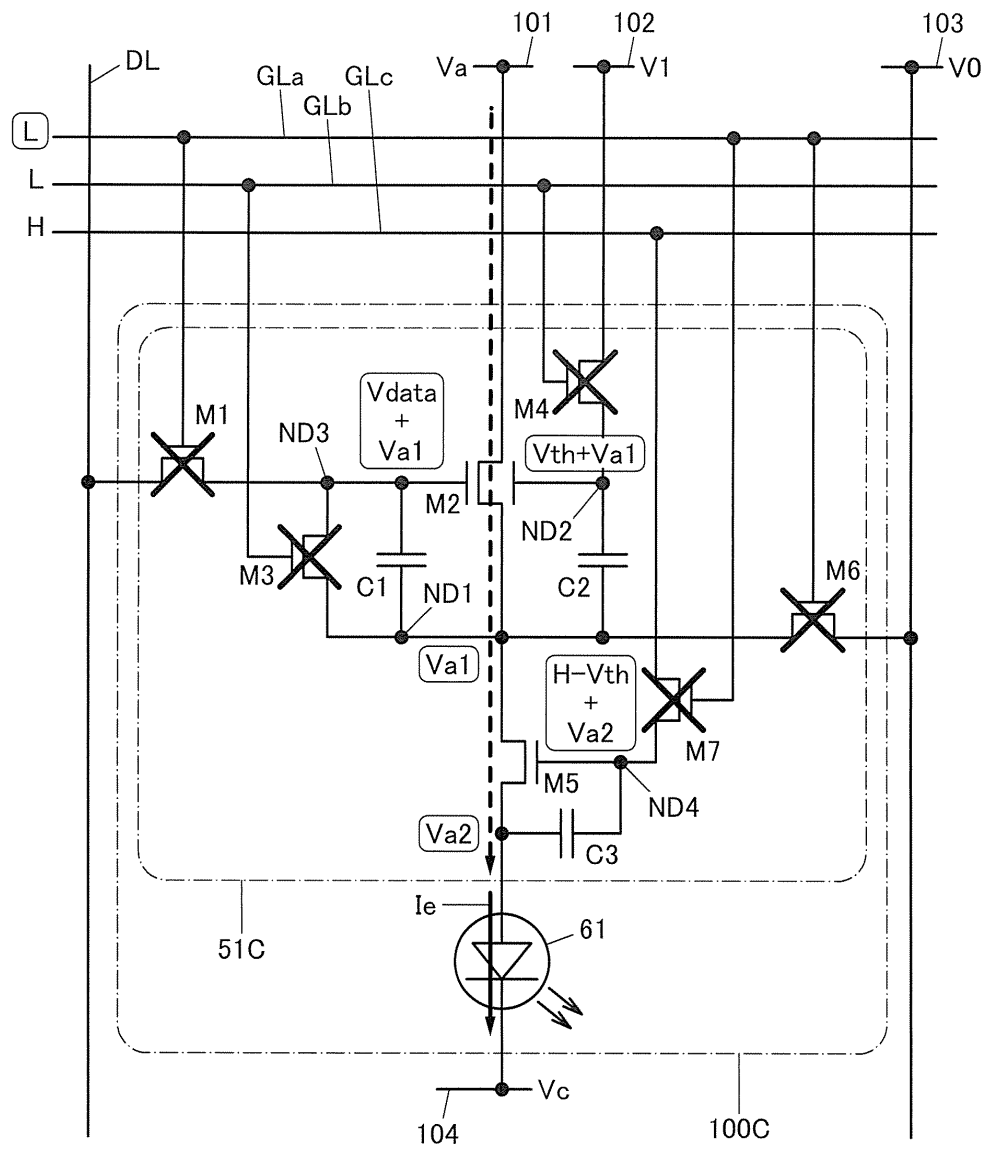
도면38



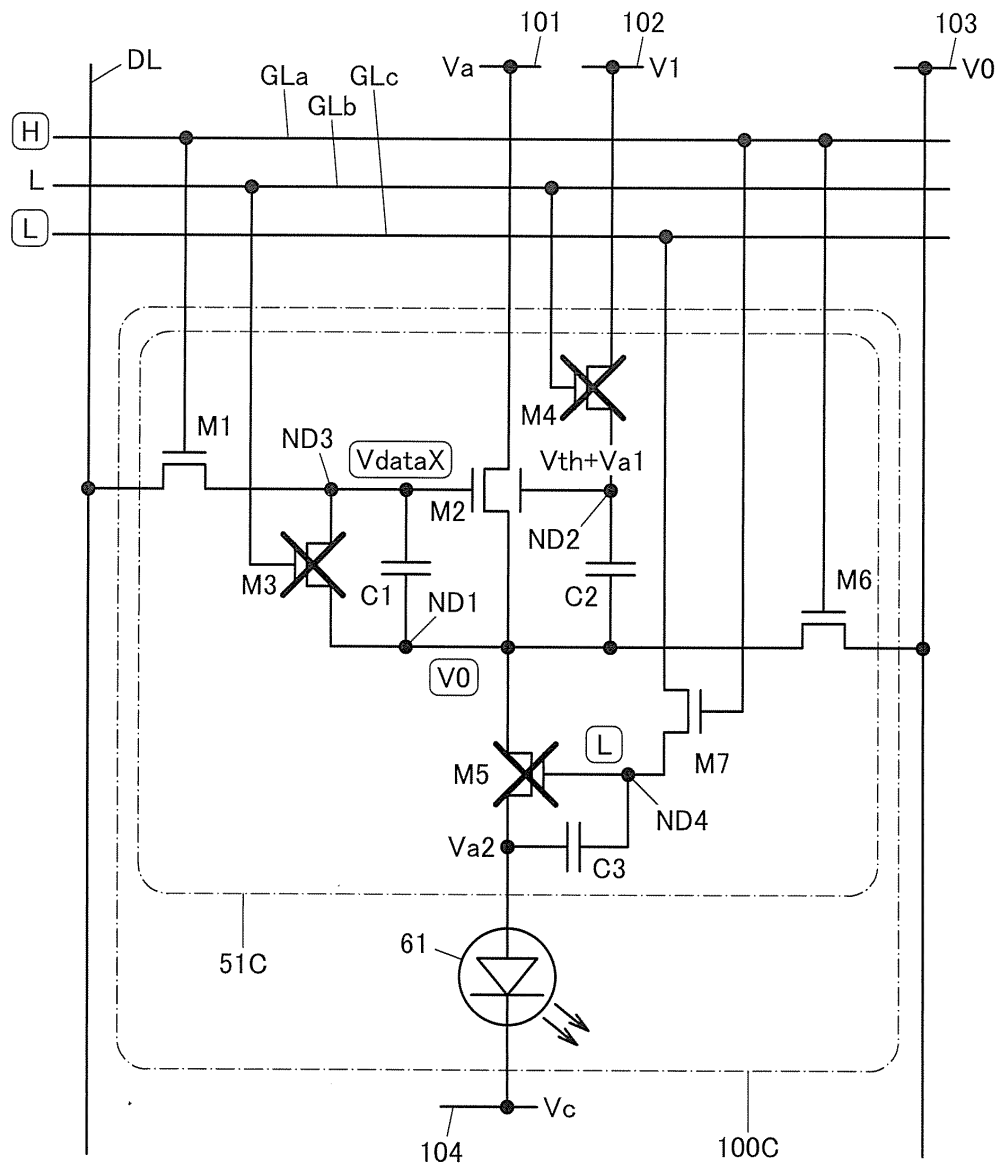
도면39



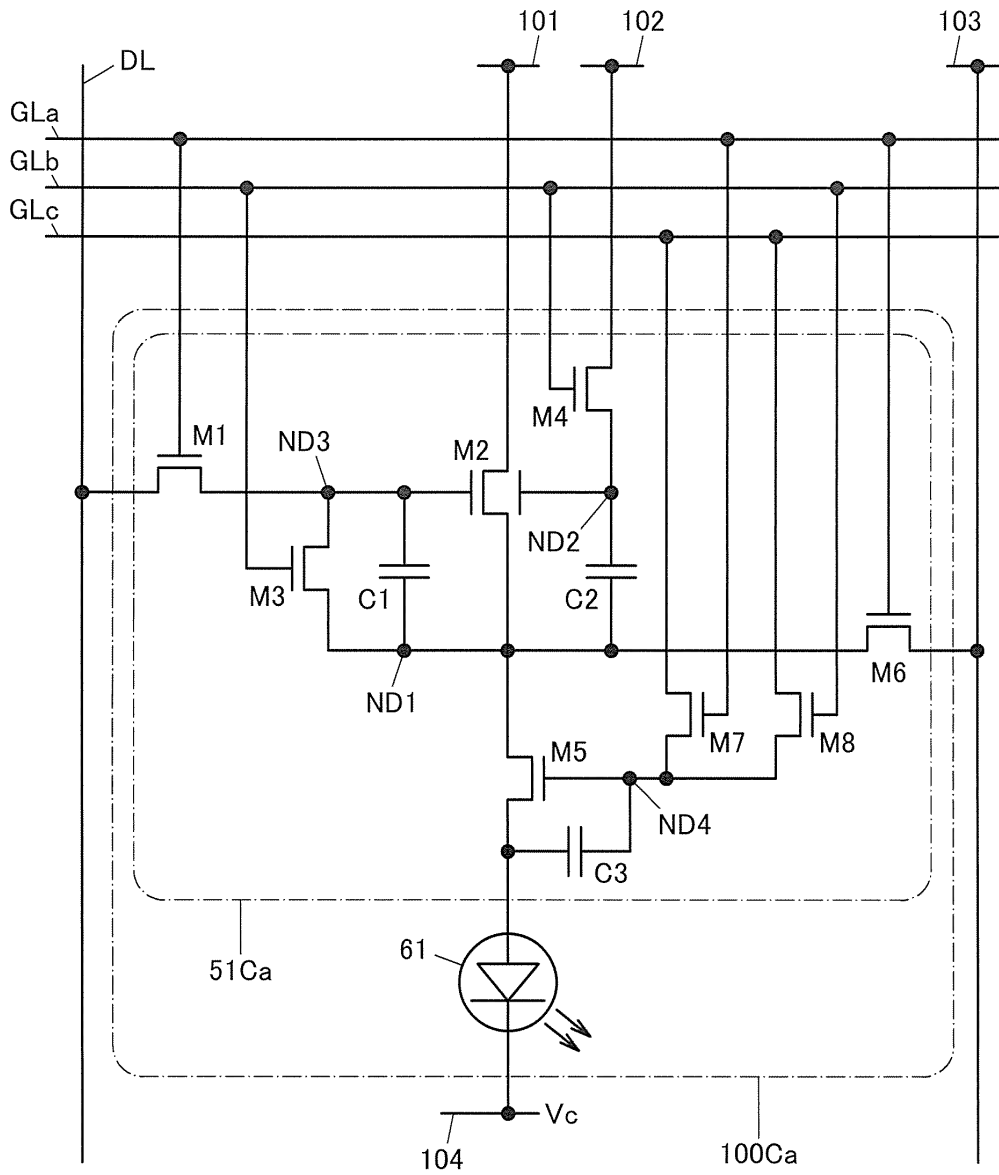
도면40



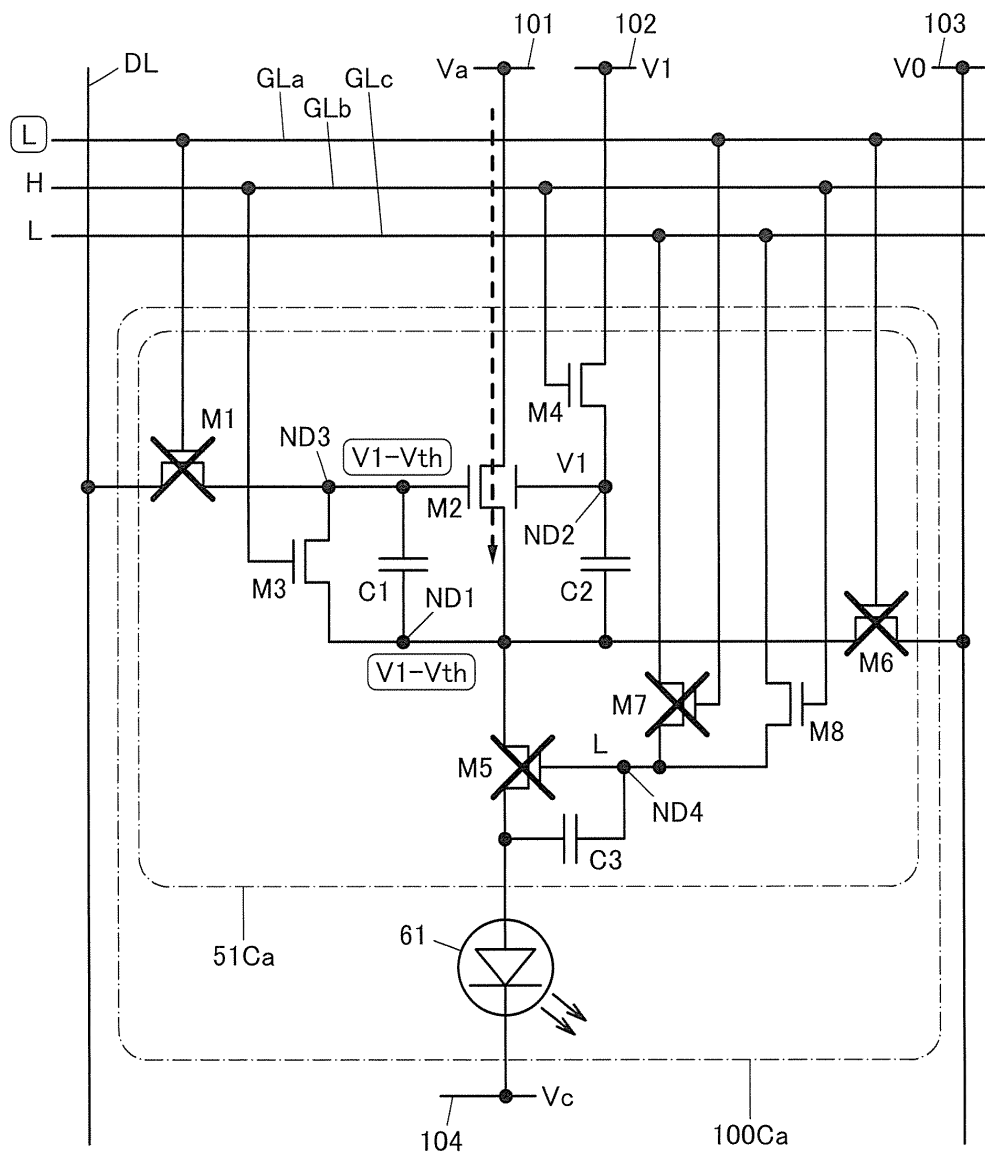
도면41



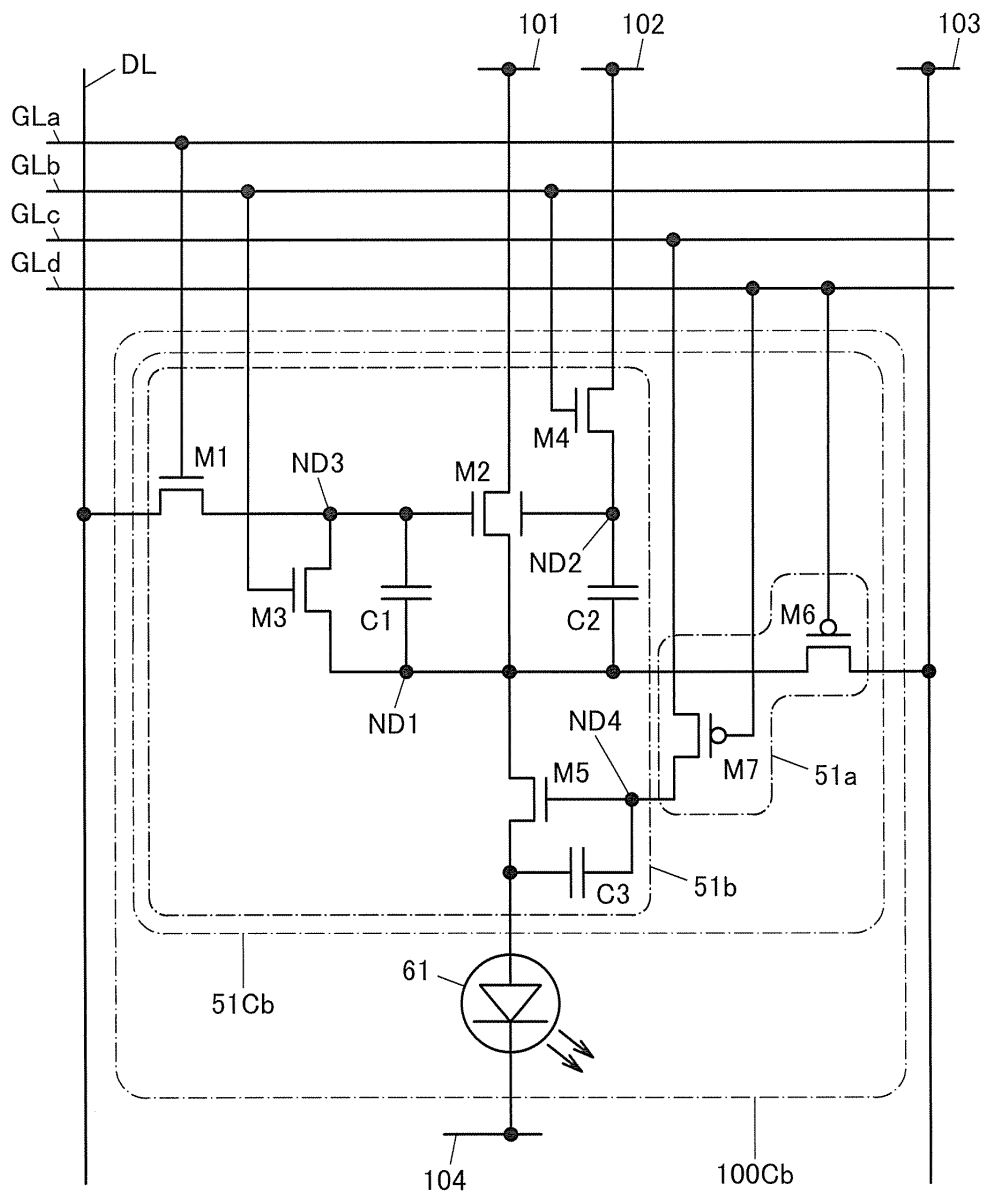
도면42



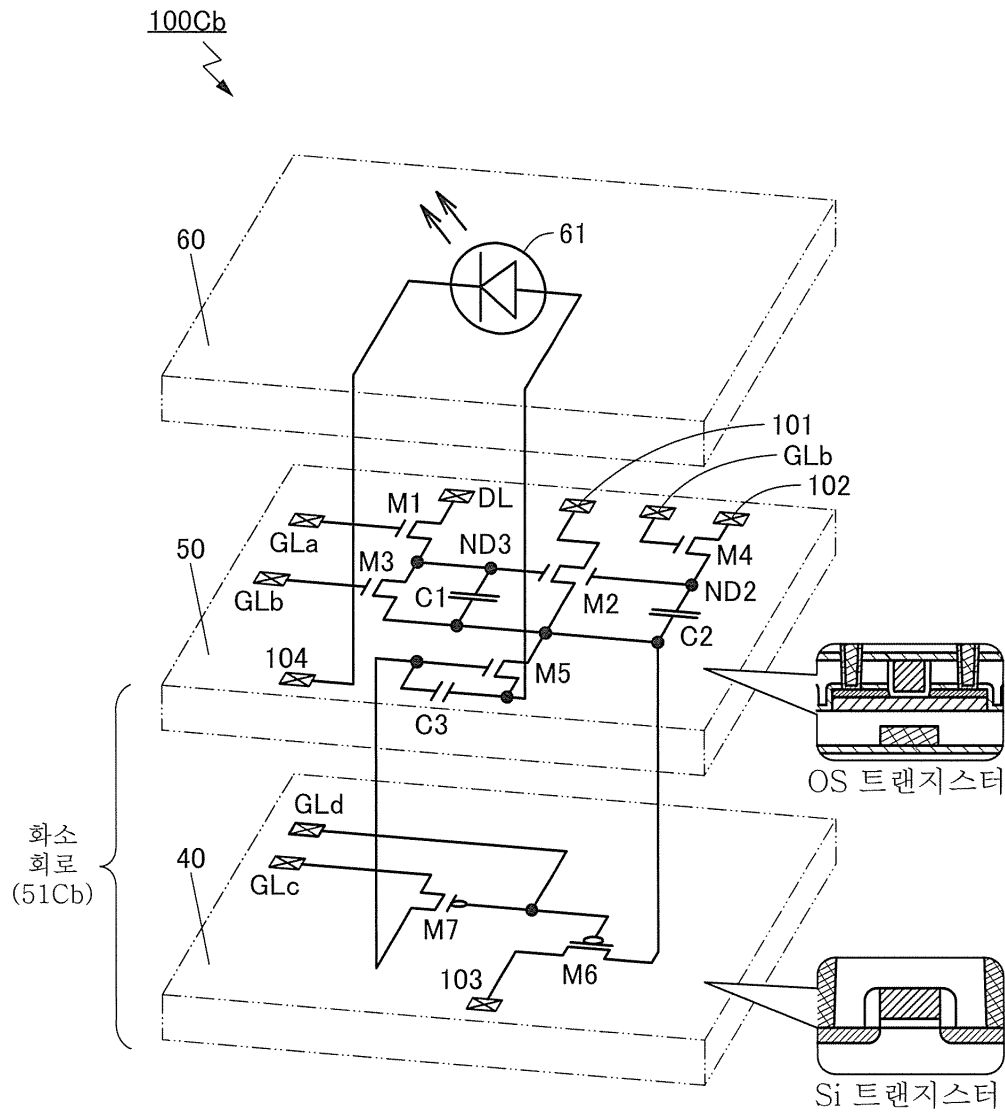
도면43



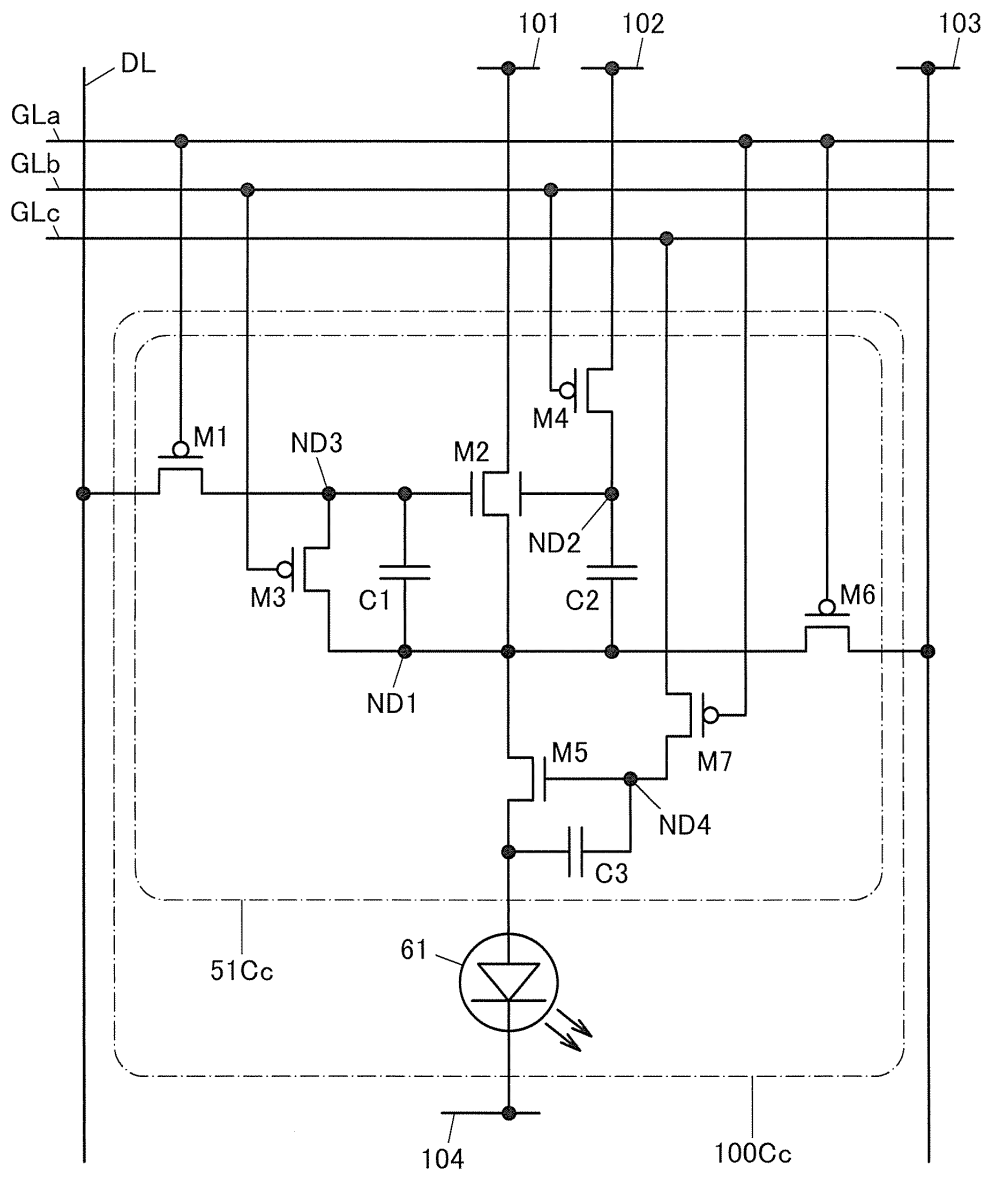
도면44



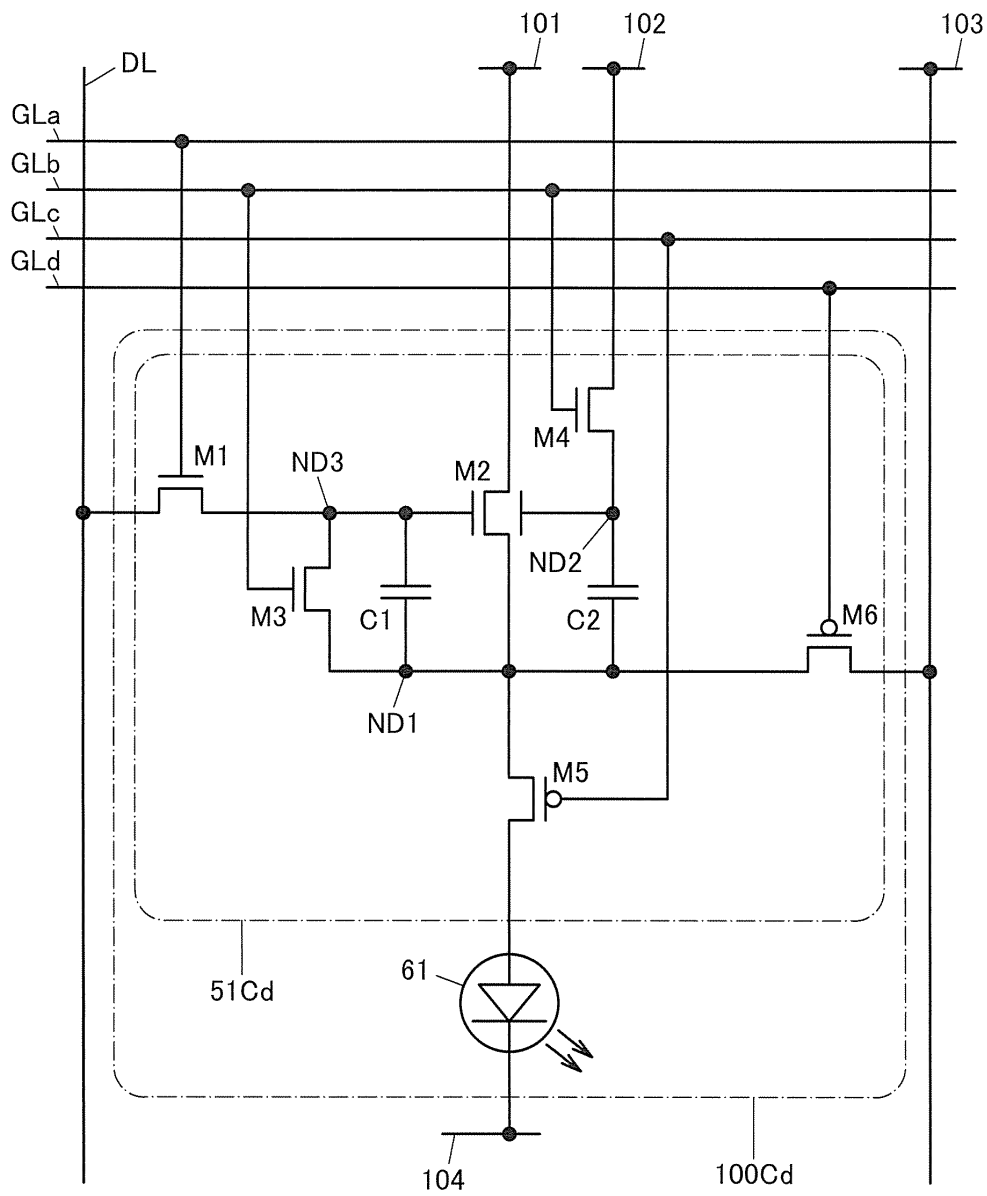
도면45



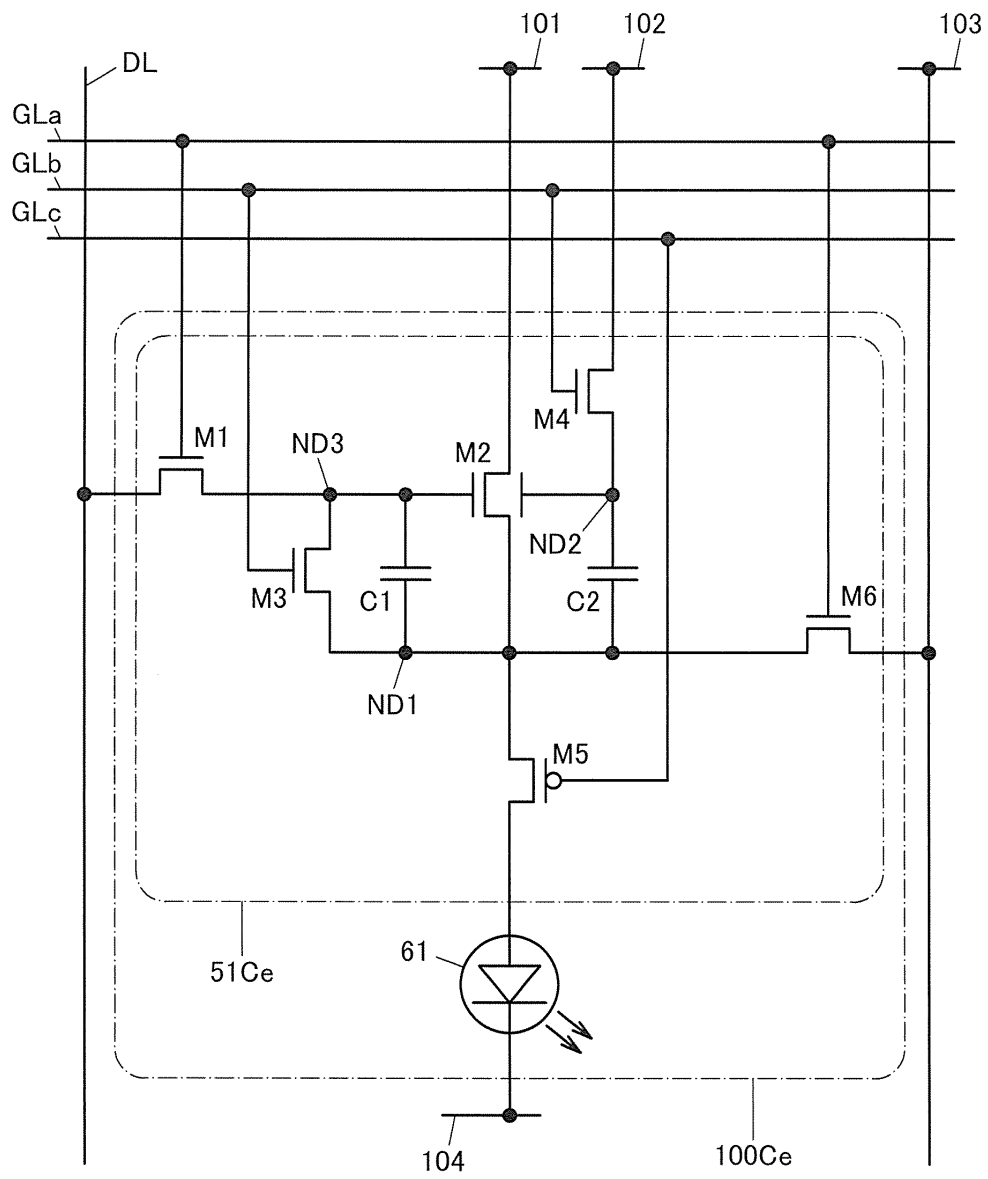
도면46



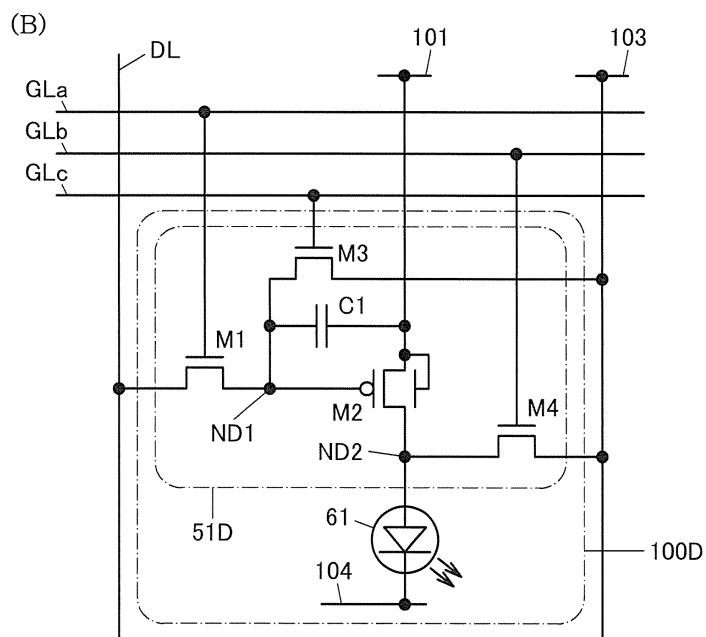
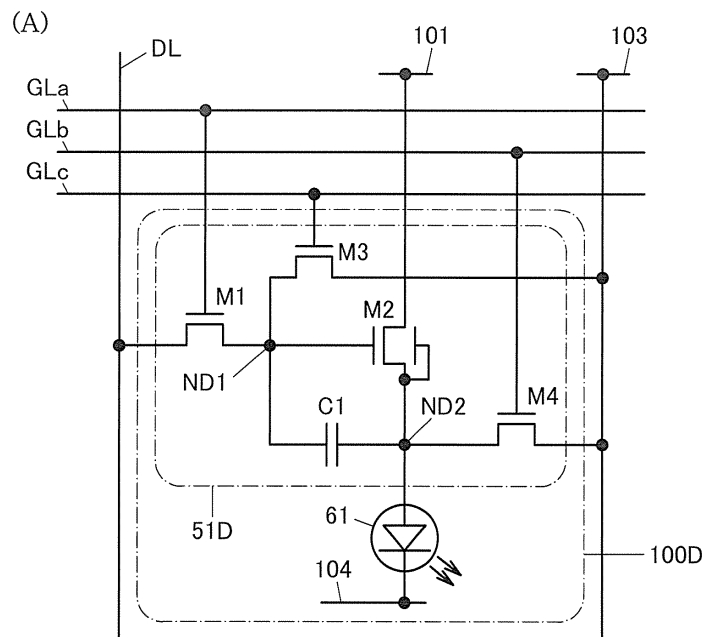
도면47



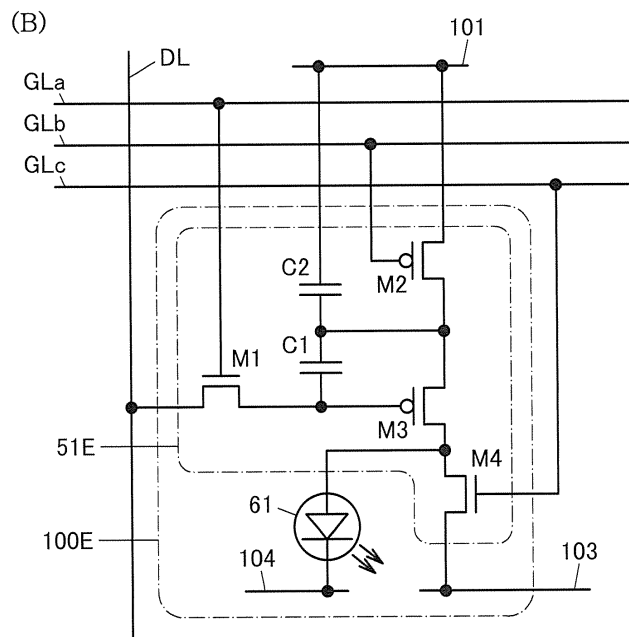
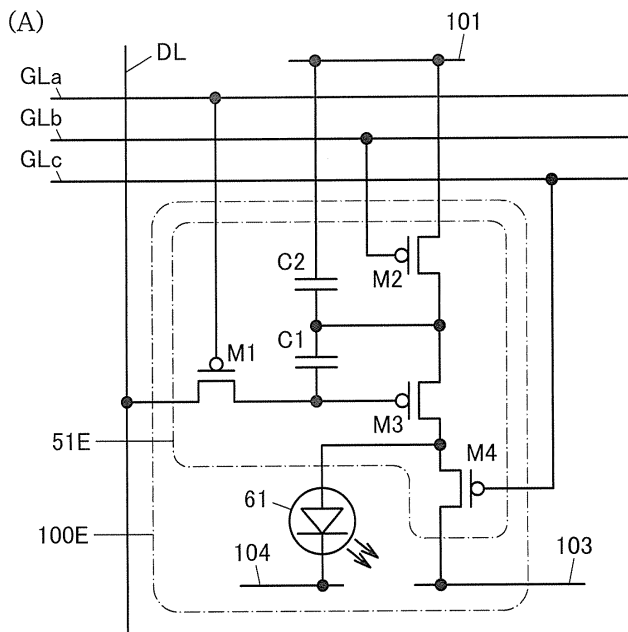
도면48



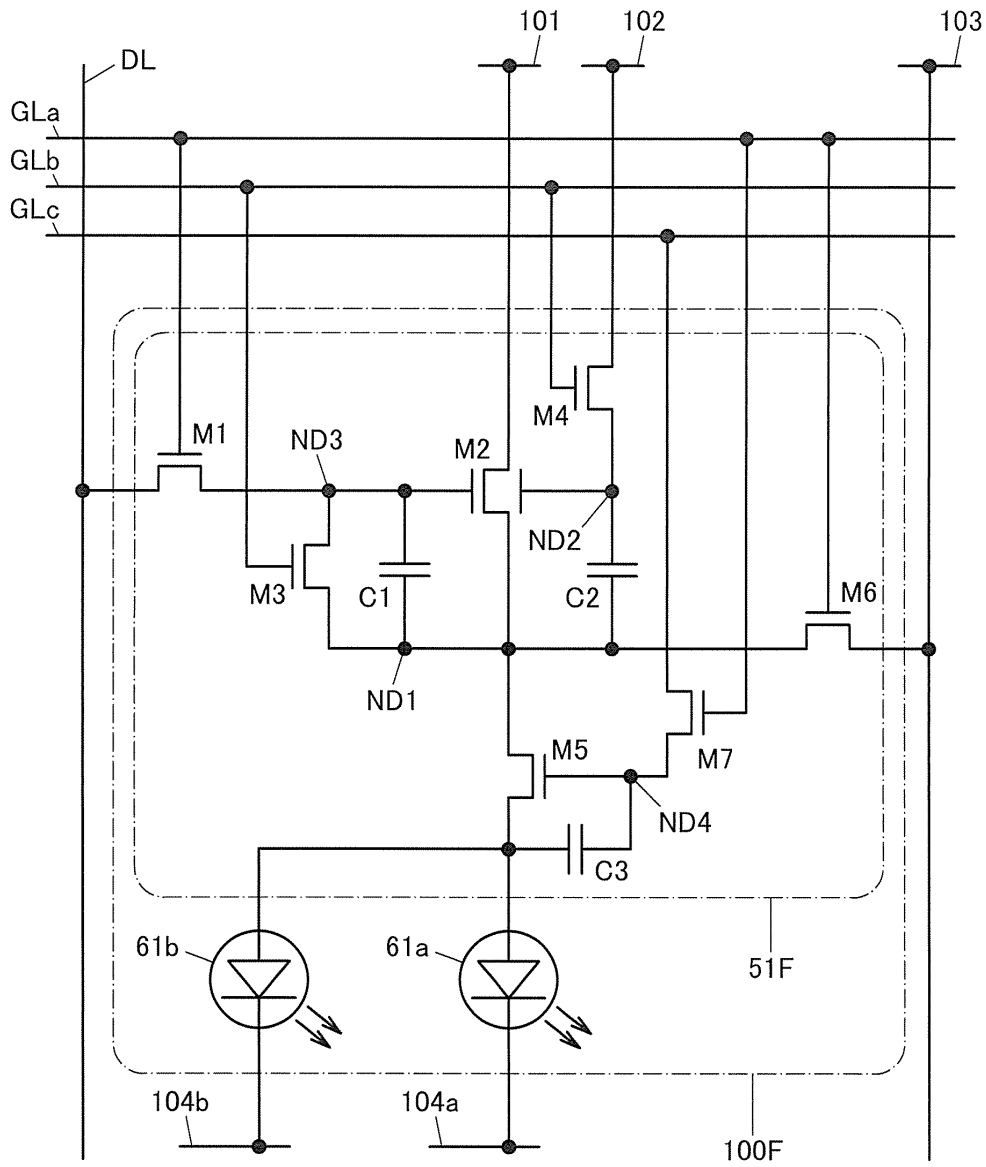
도면49



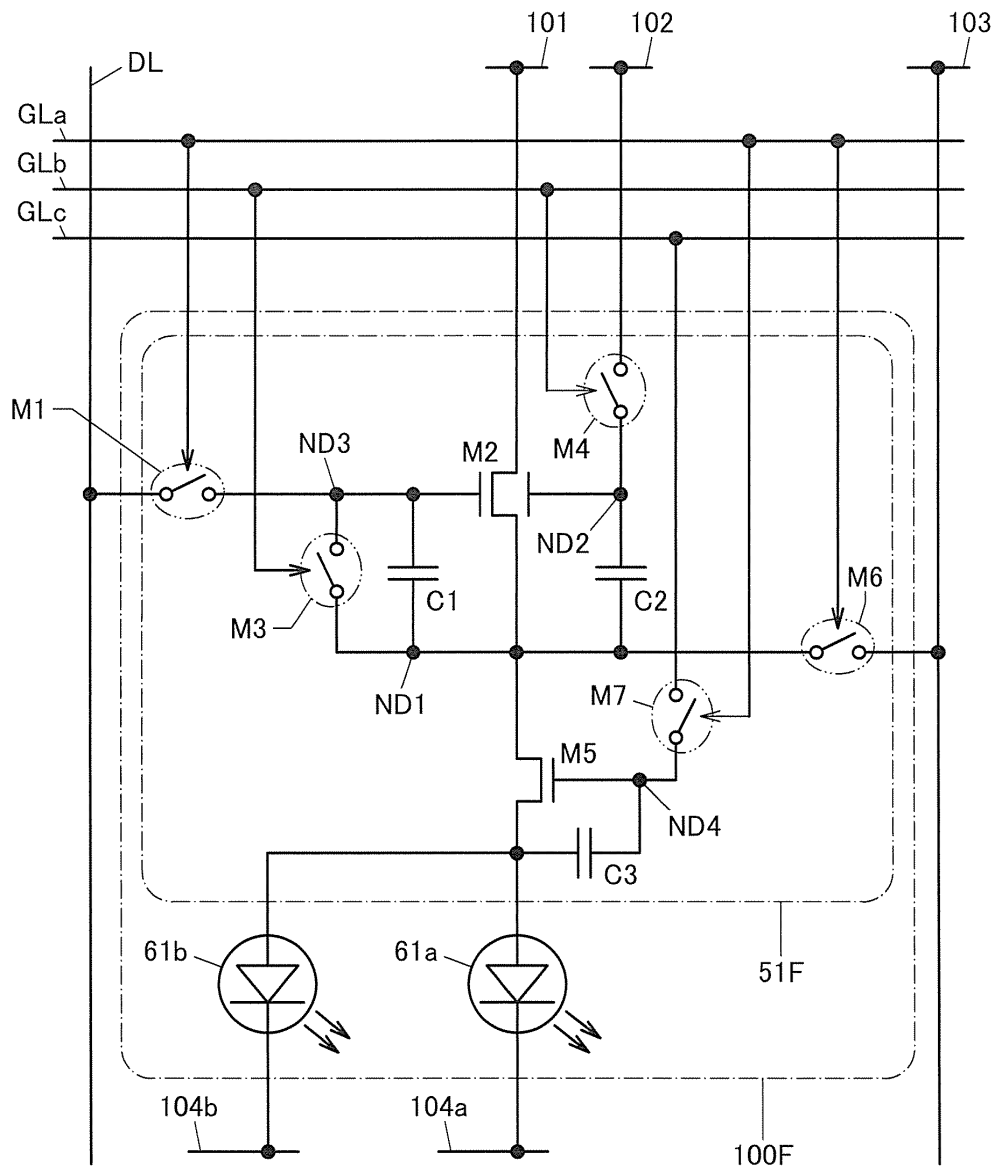
도면50



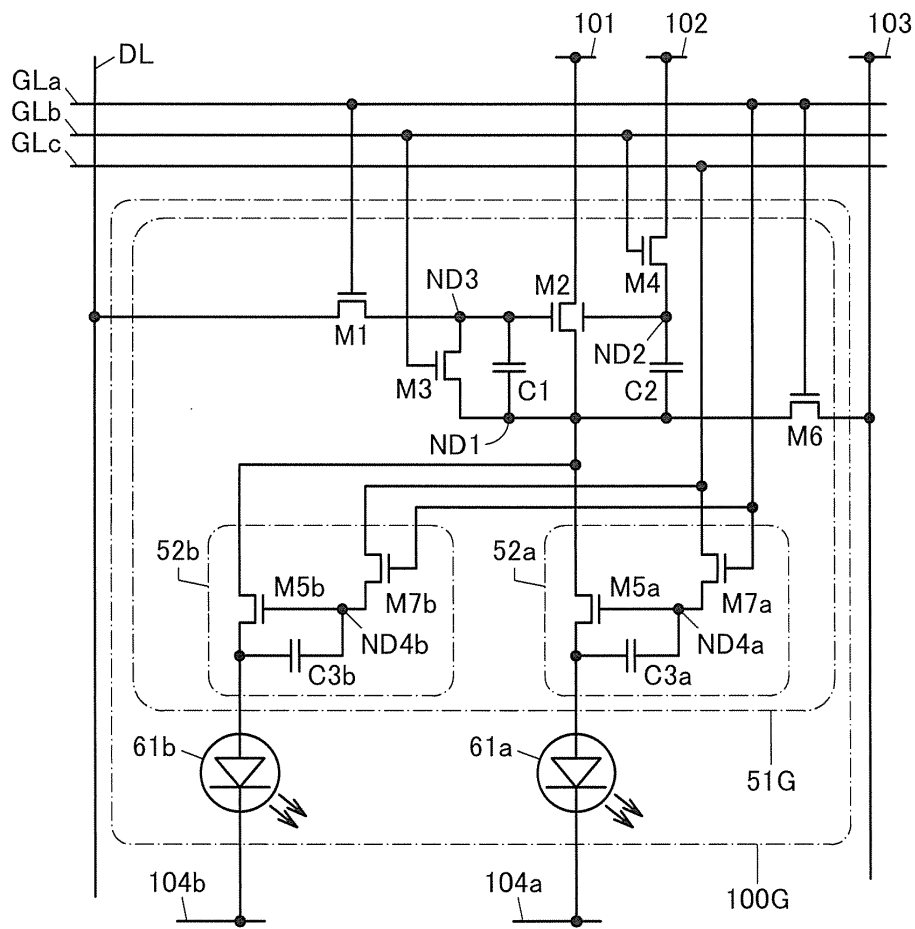
도면51



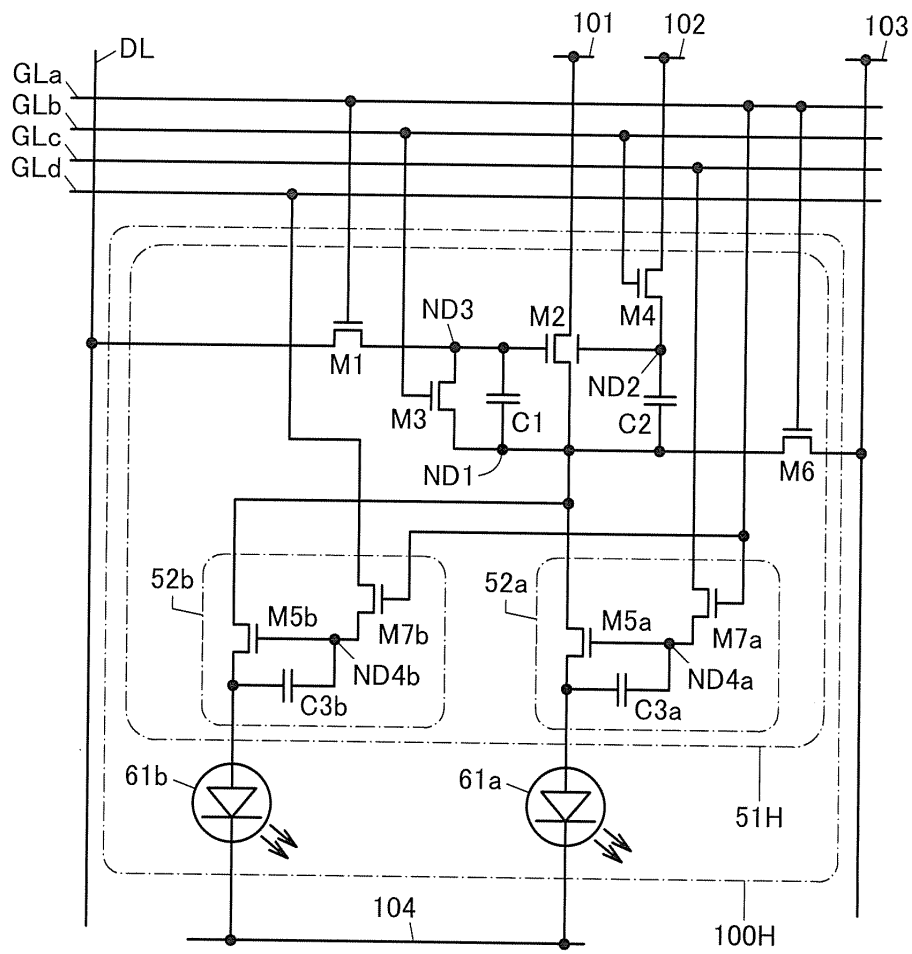
도면52



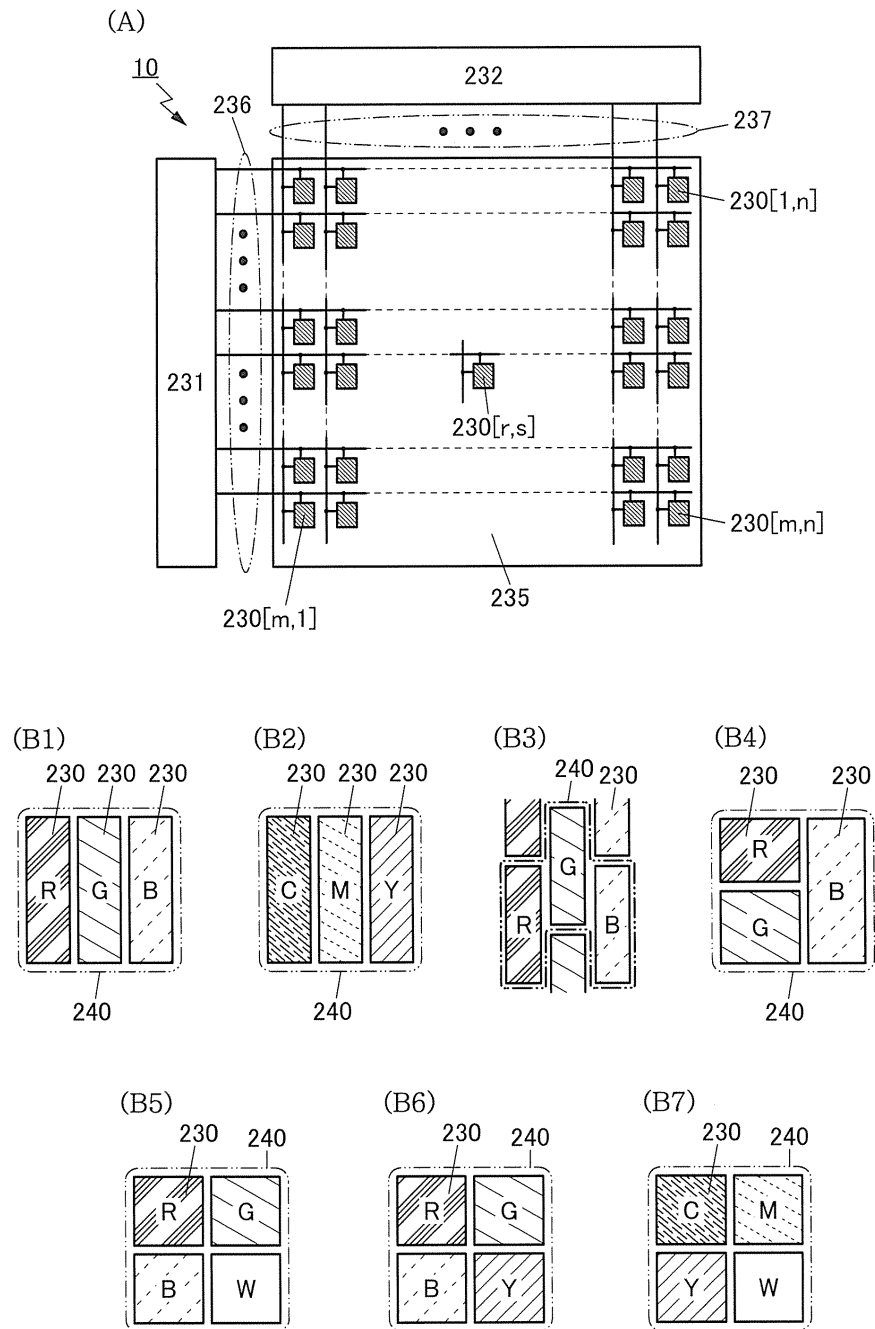
도면53



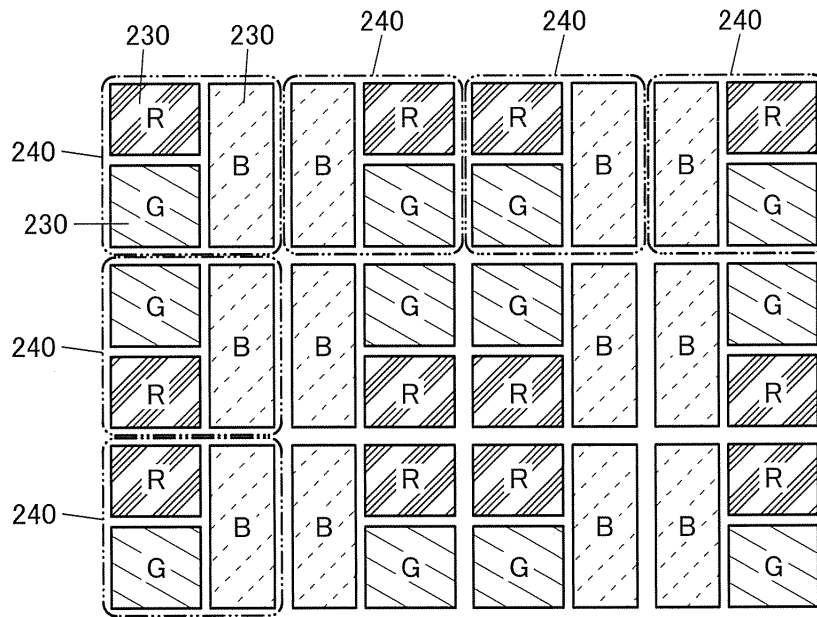
도면54



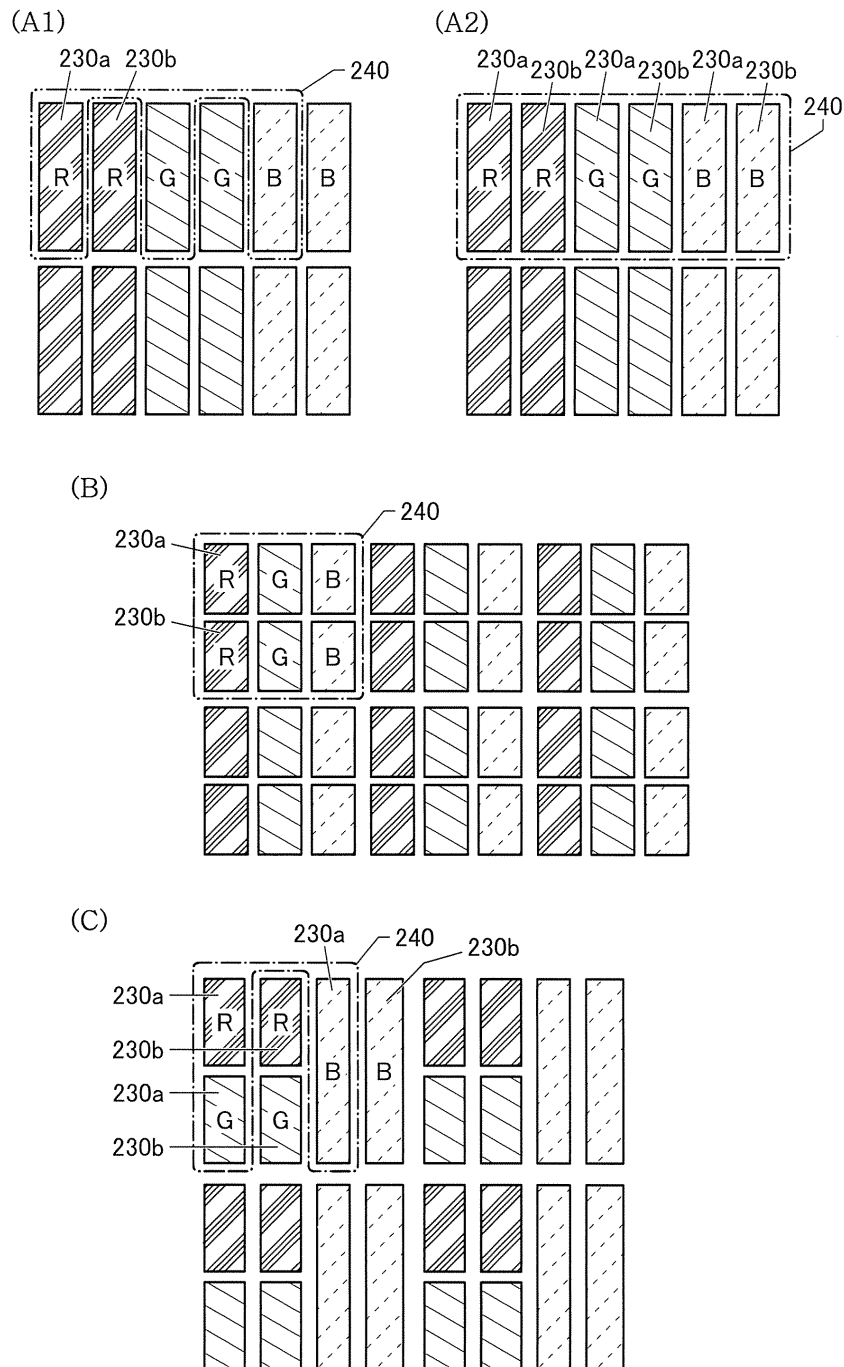
도면55



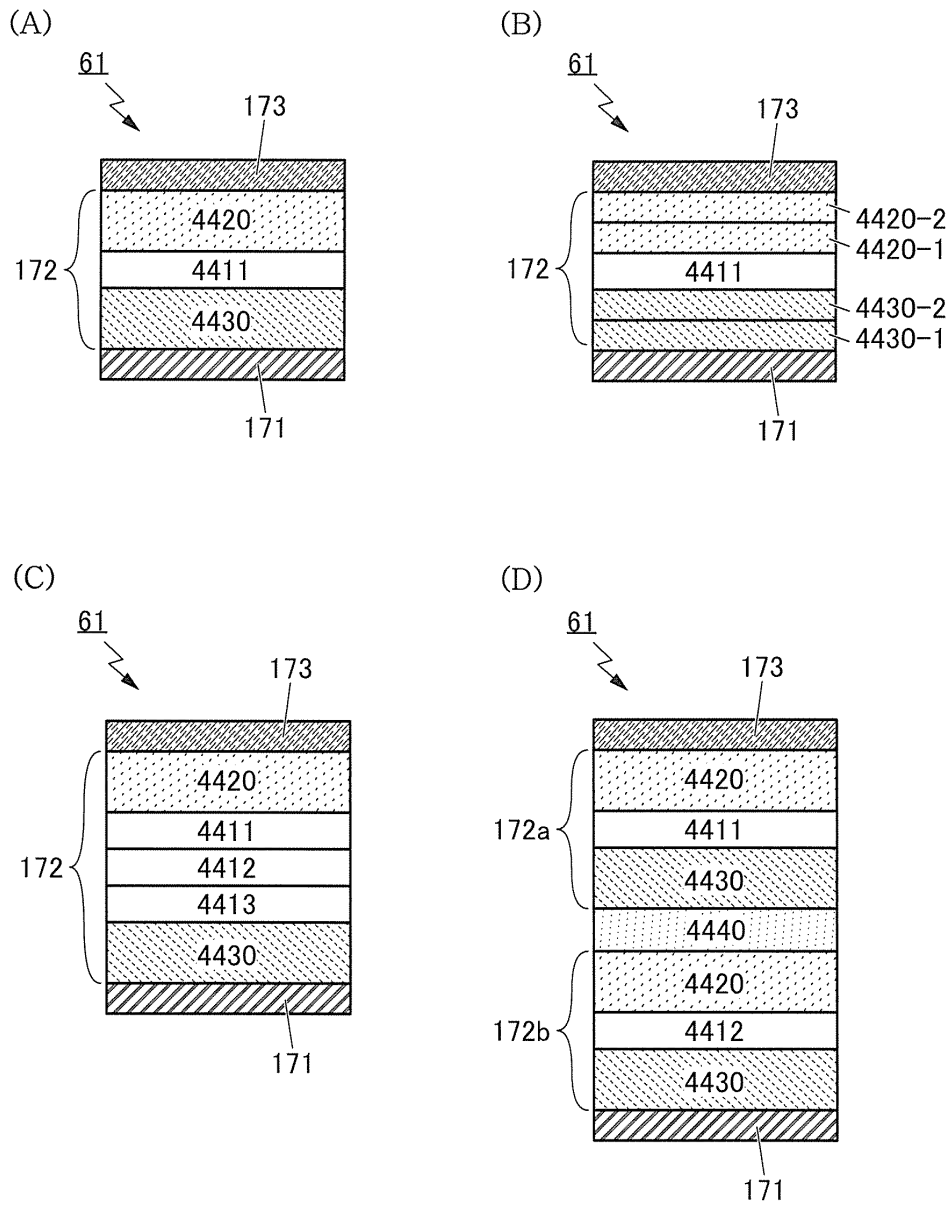
도면56



도면57

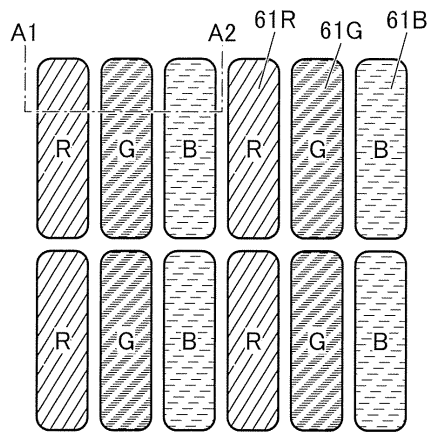


도면58

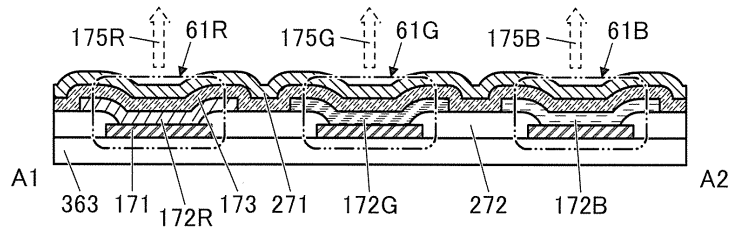


도면59

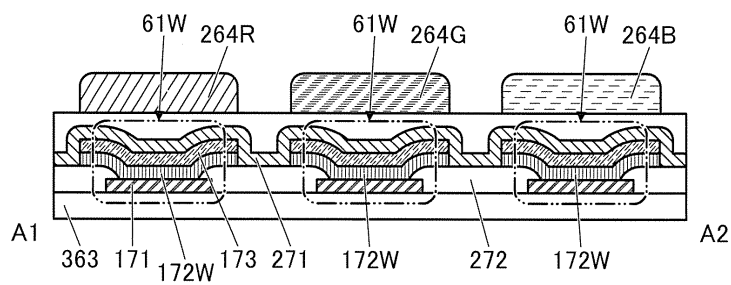
(A)



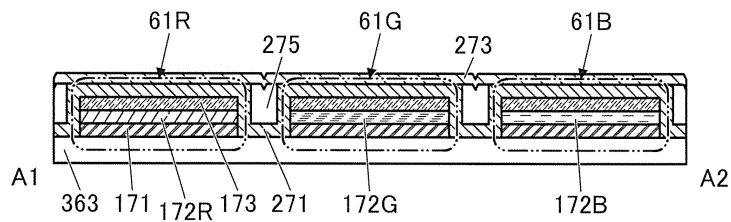
(B)



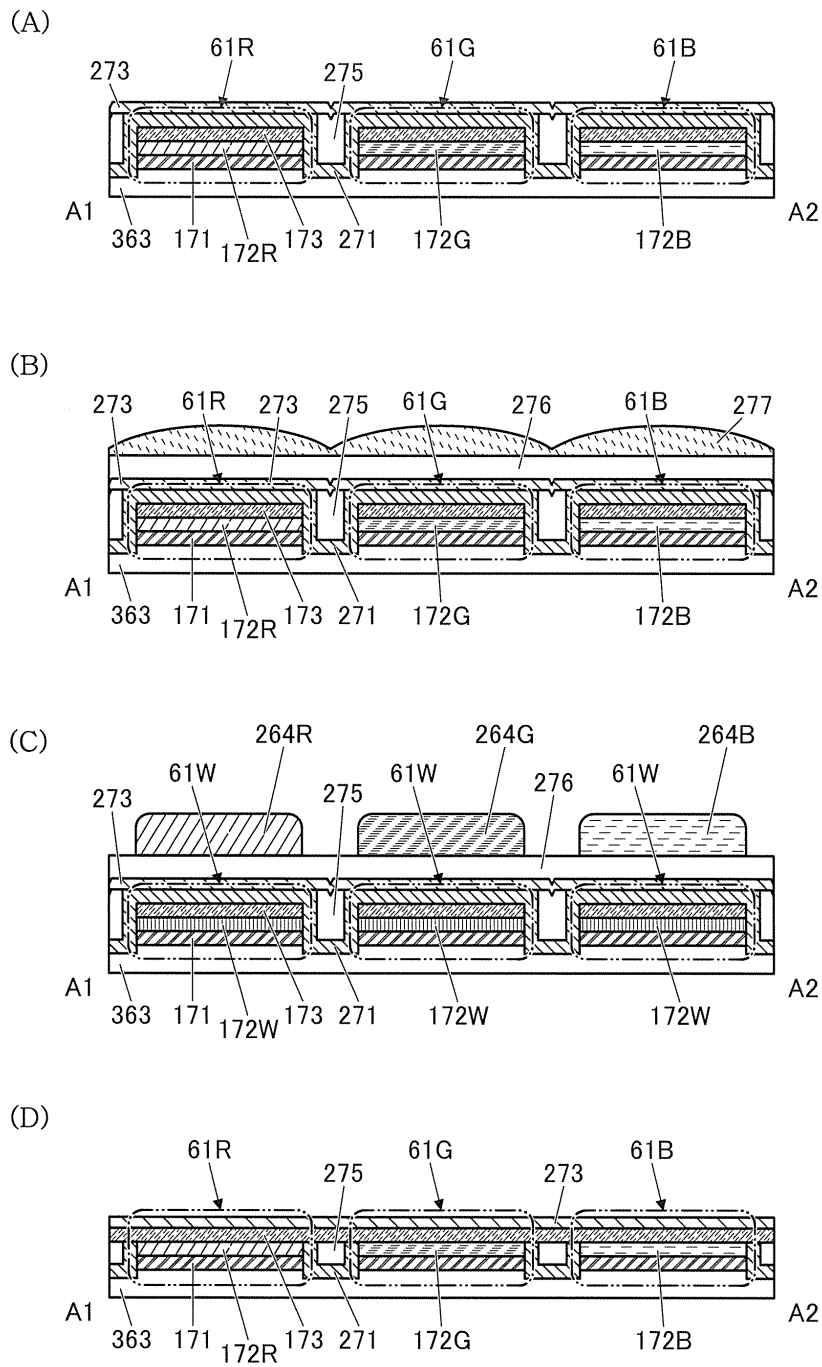
(C)



(D)

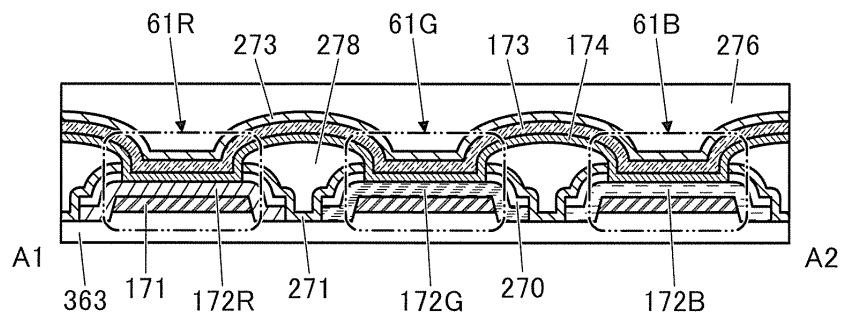


도면60

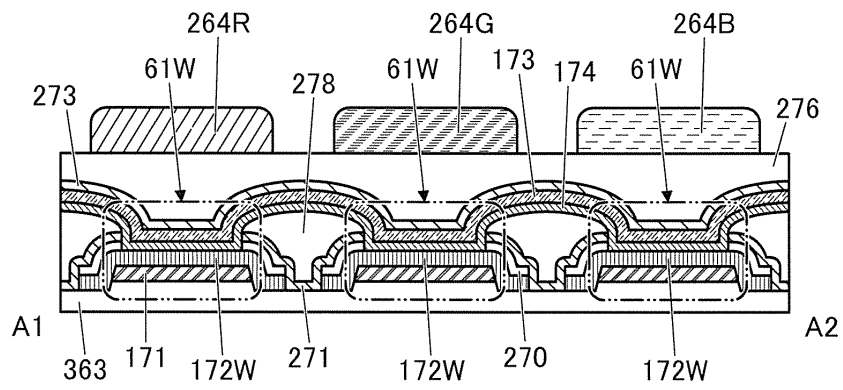


도면61

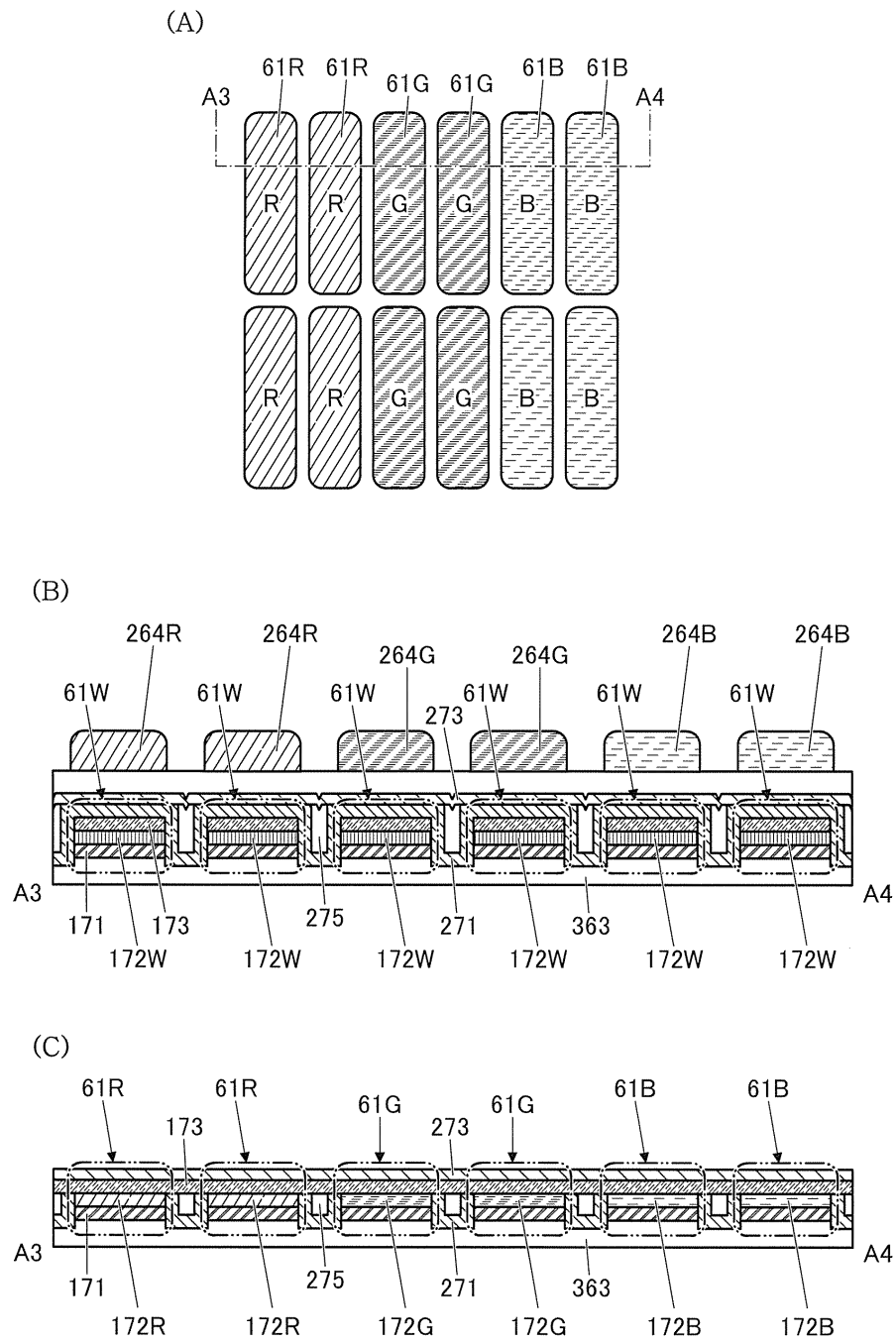
(A)



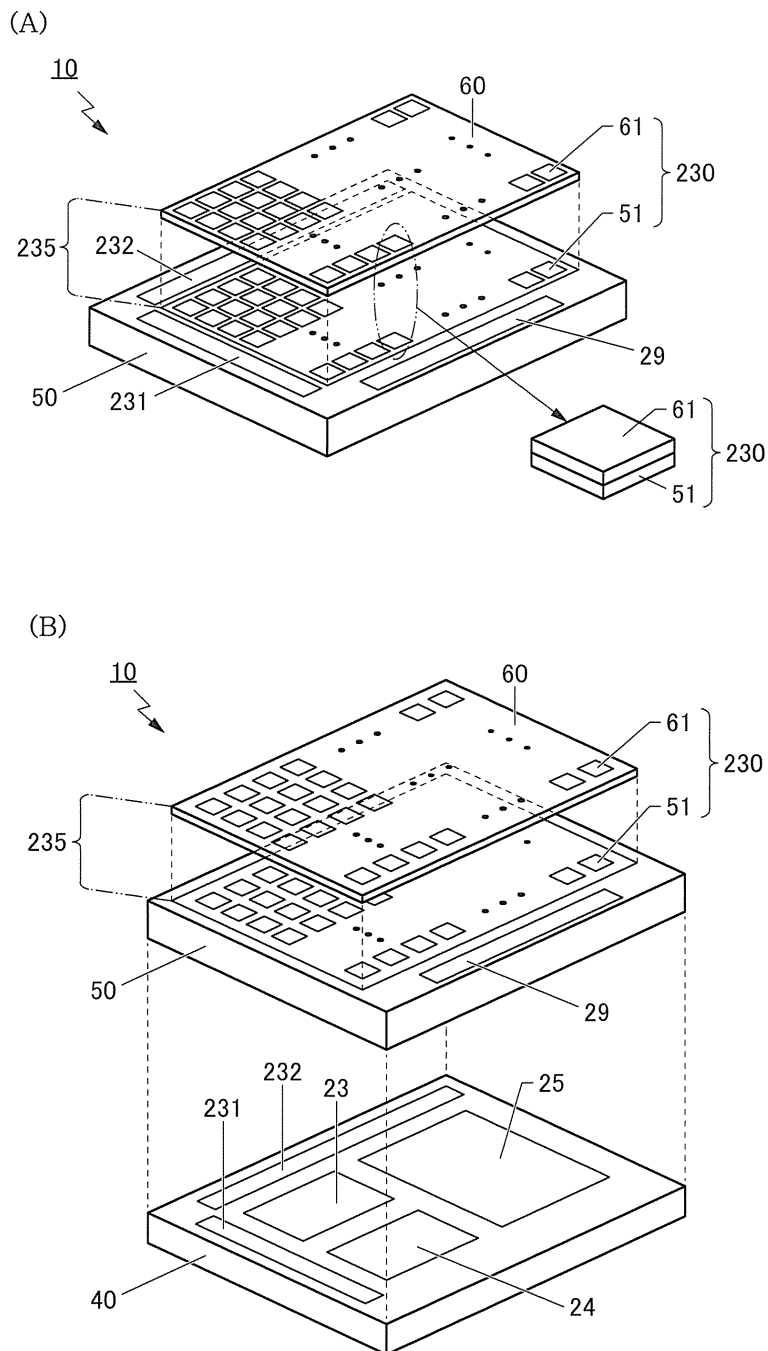
(B)



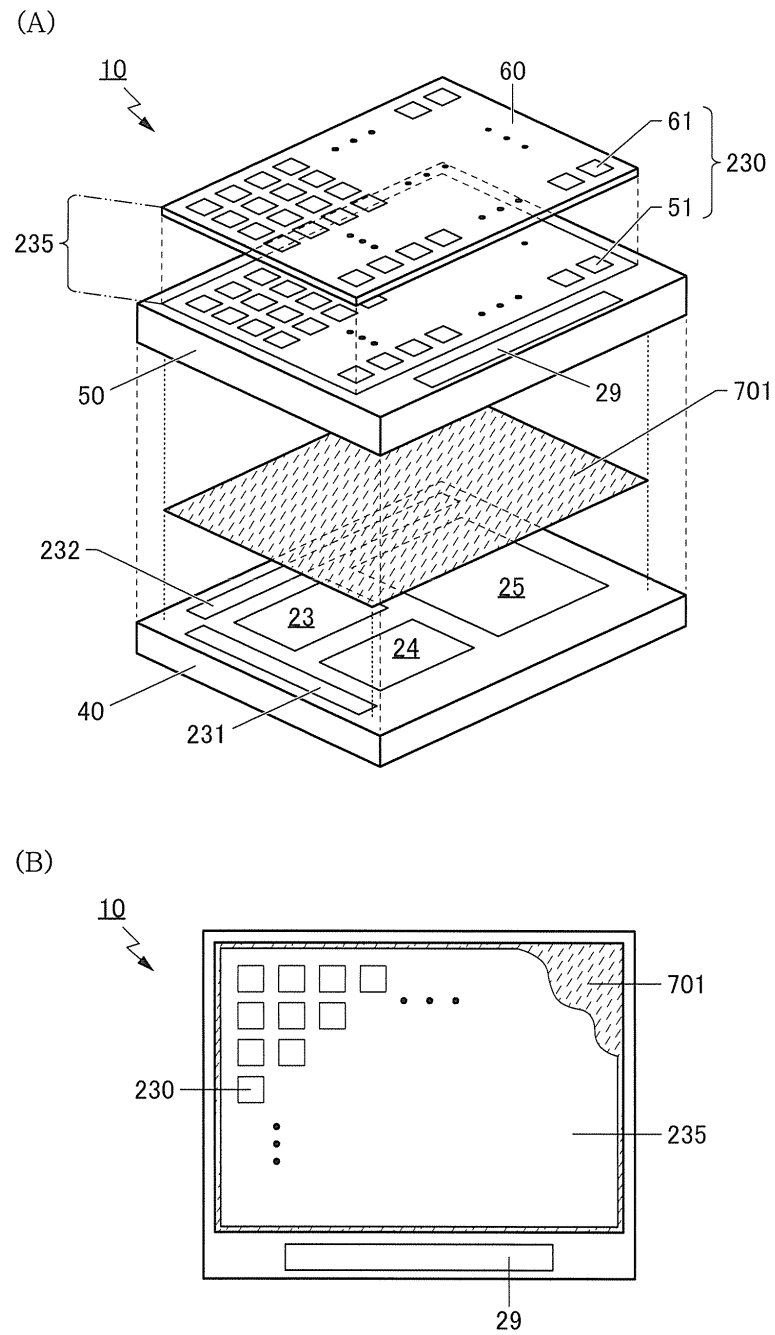
도면62



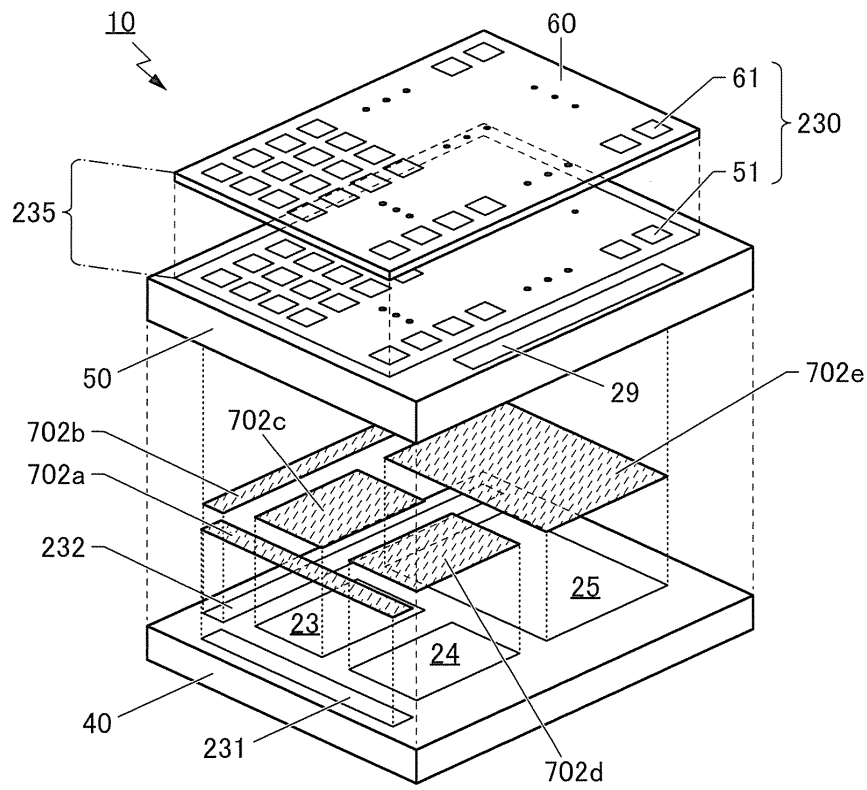
도면63



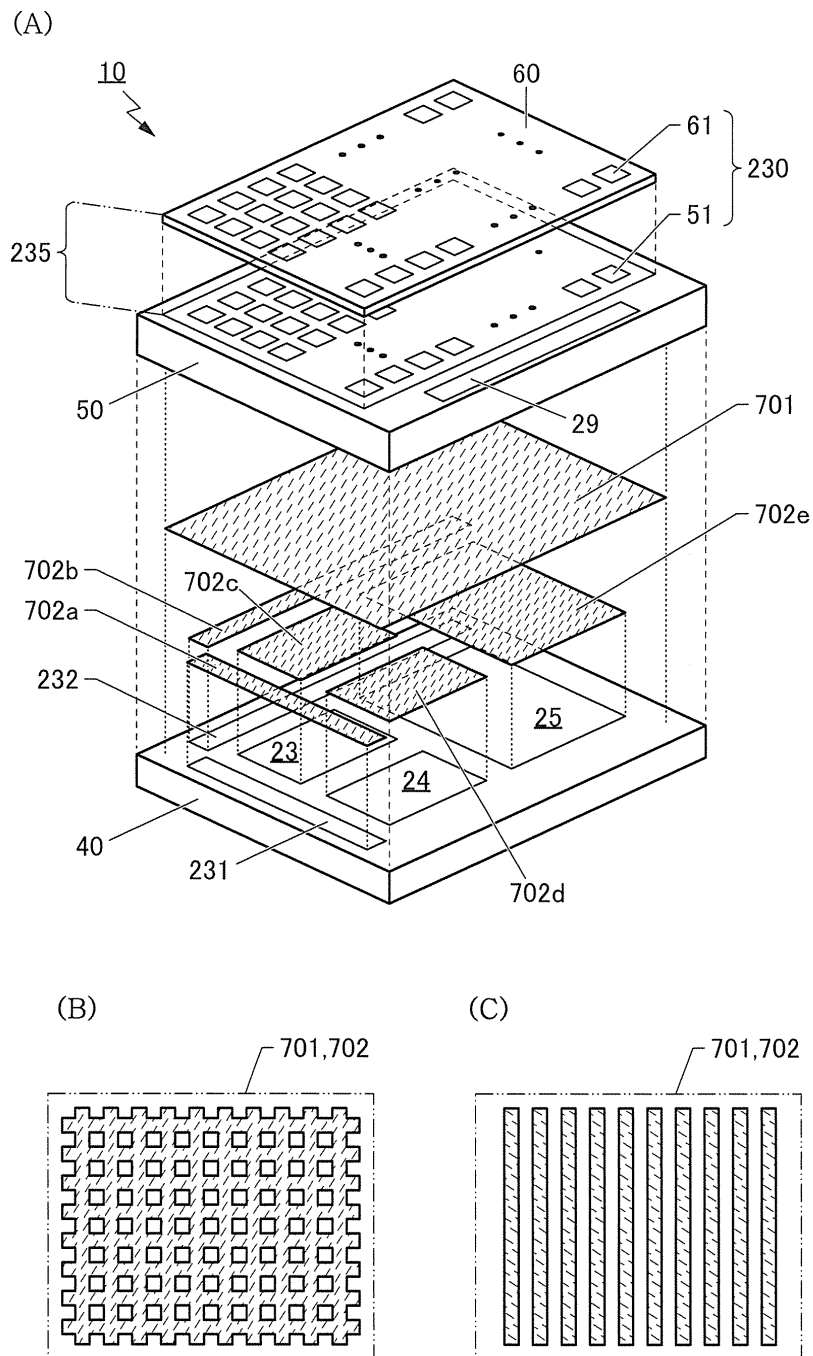
도면 64



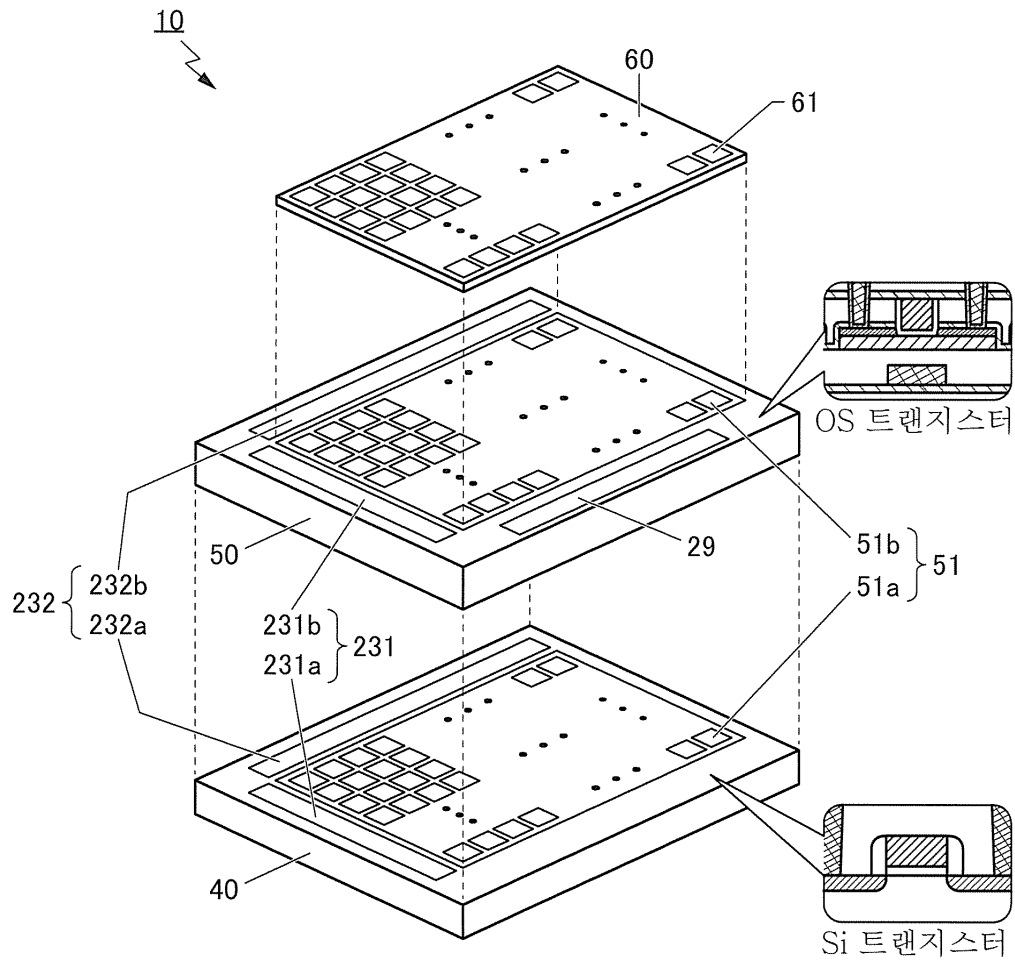
도면65



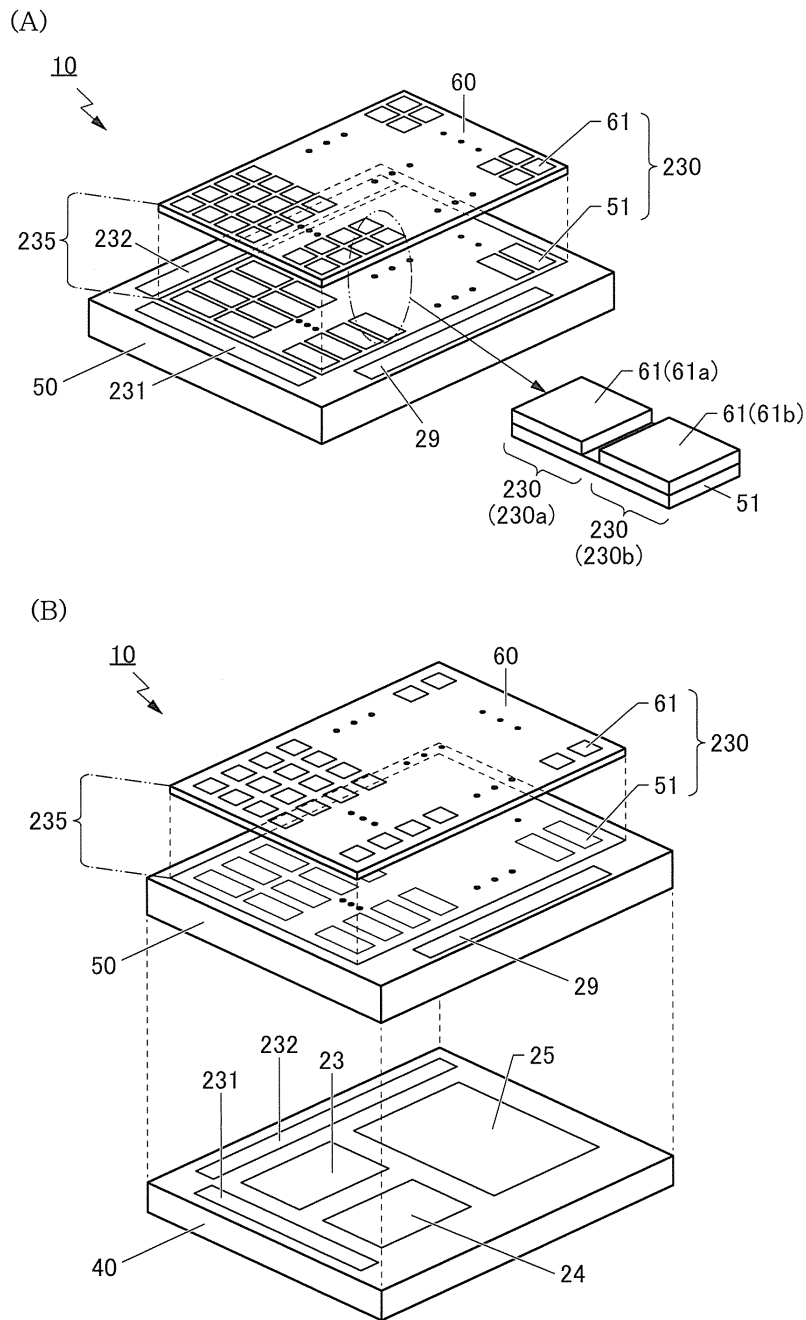
도면66



도면67

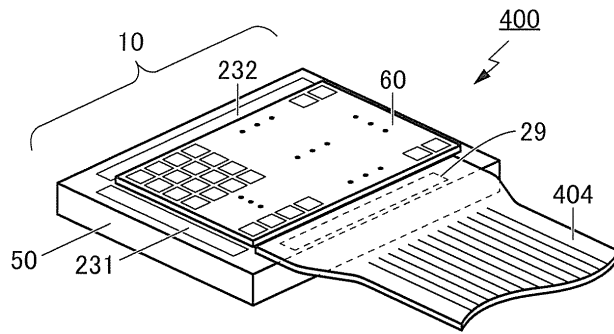


도면68

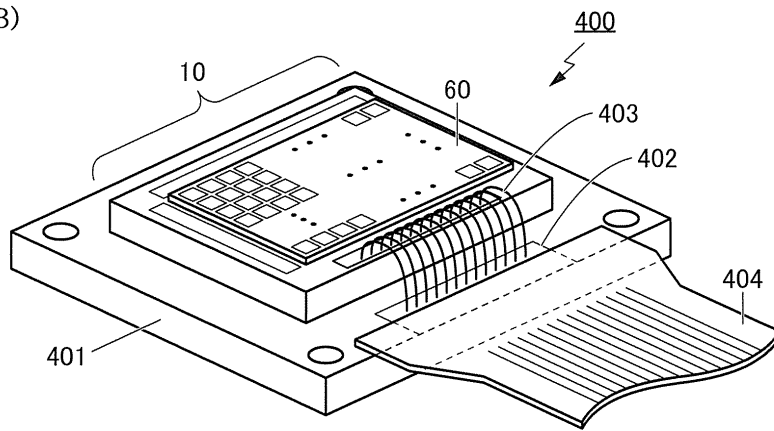


도면69

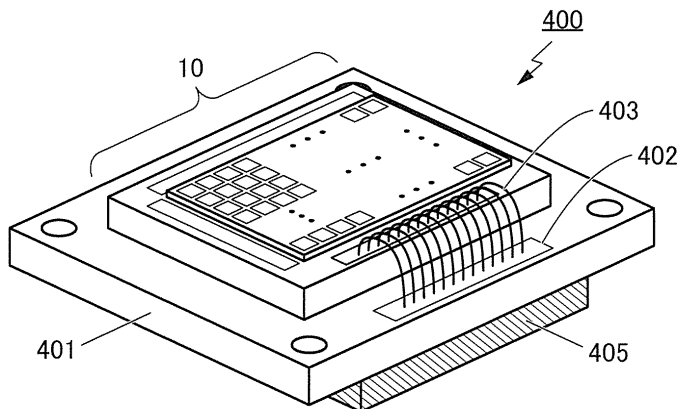
(A)



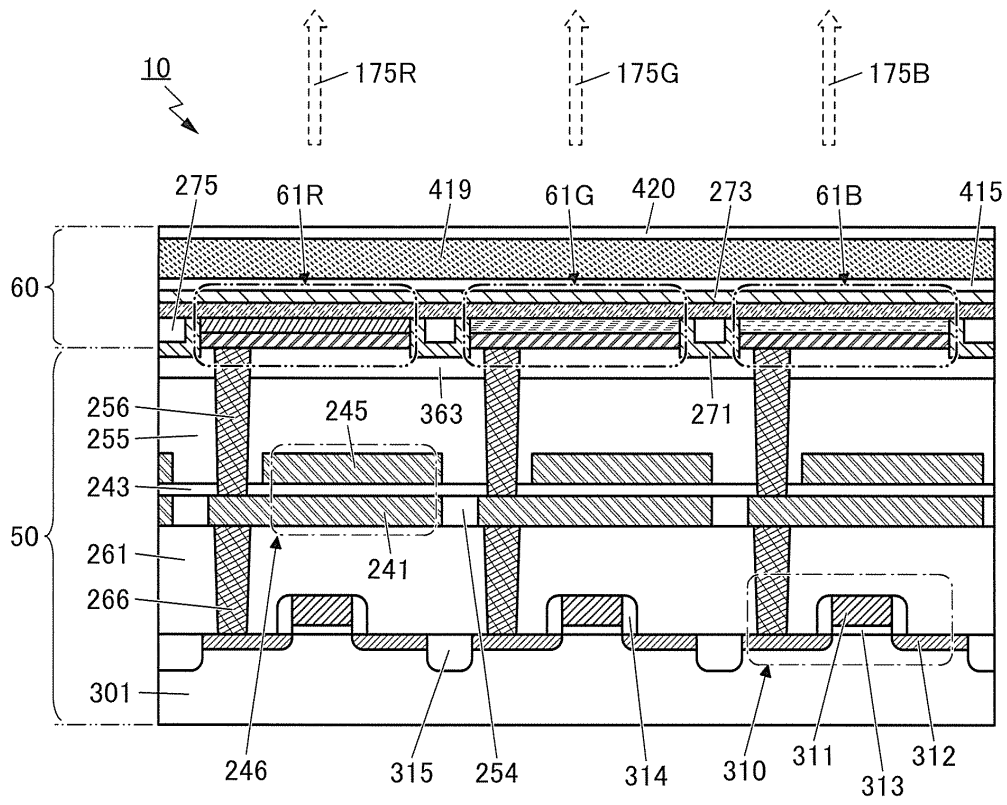
(B)



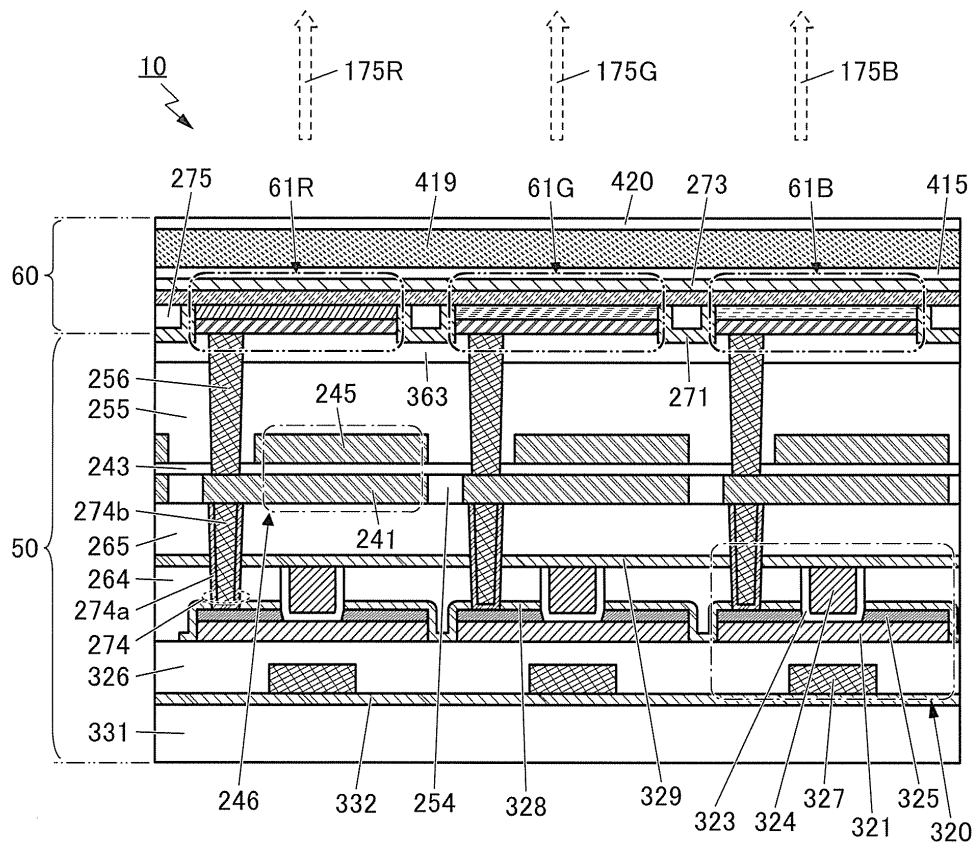
(C)



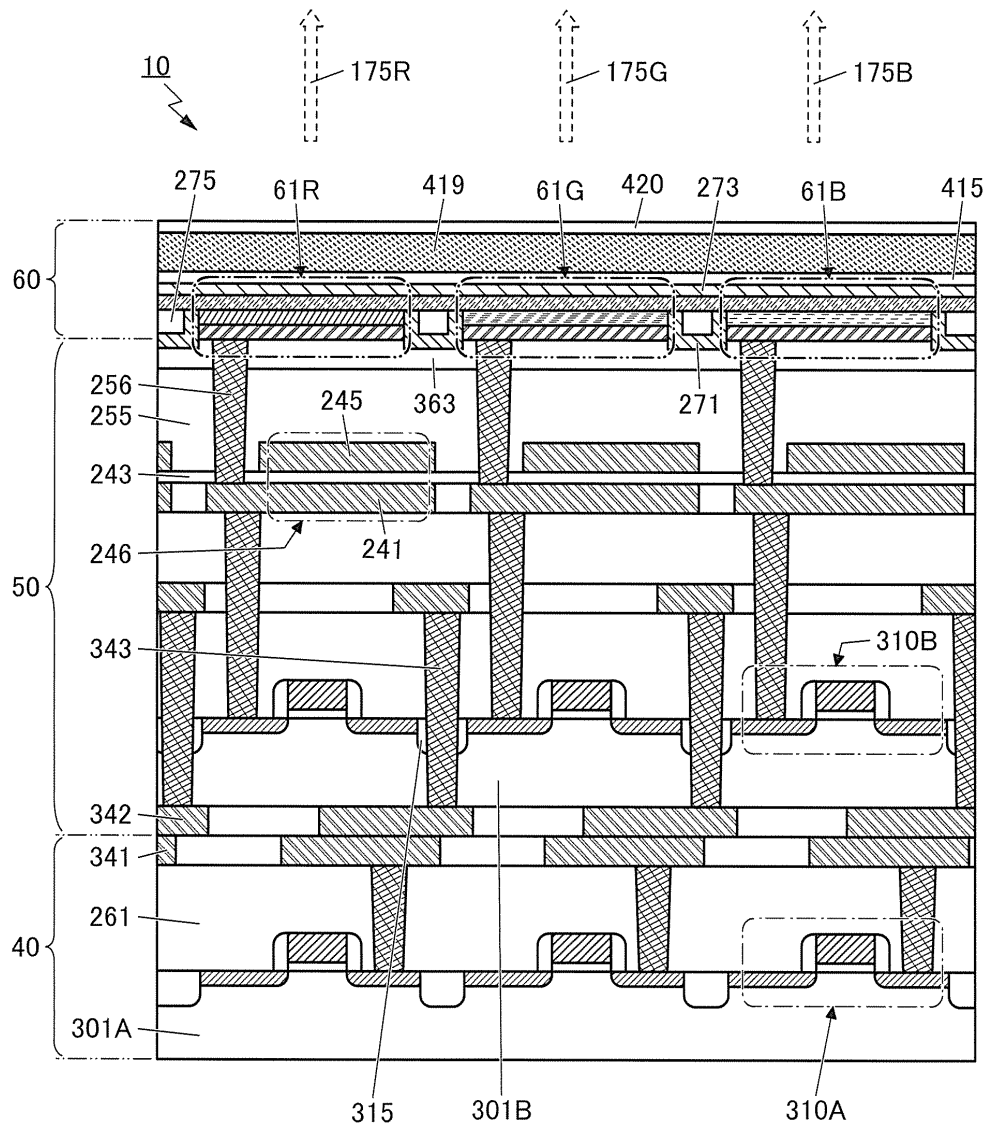
도면70



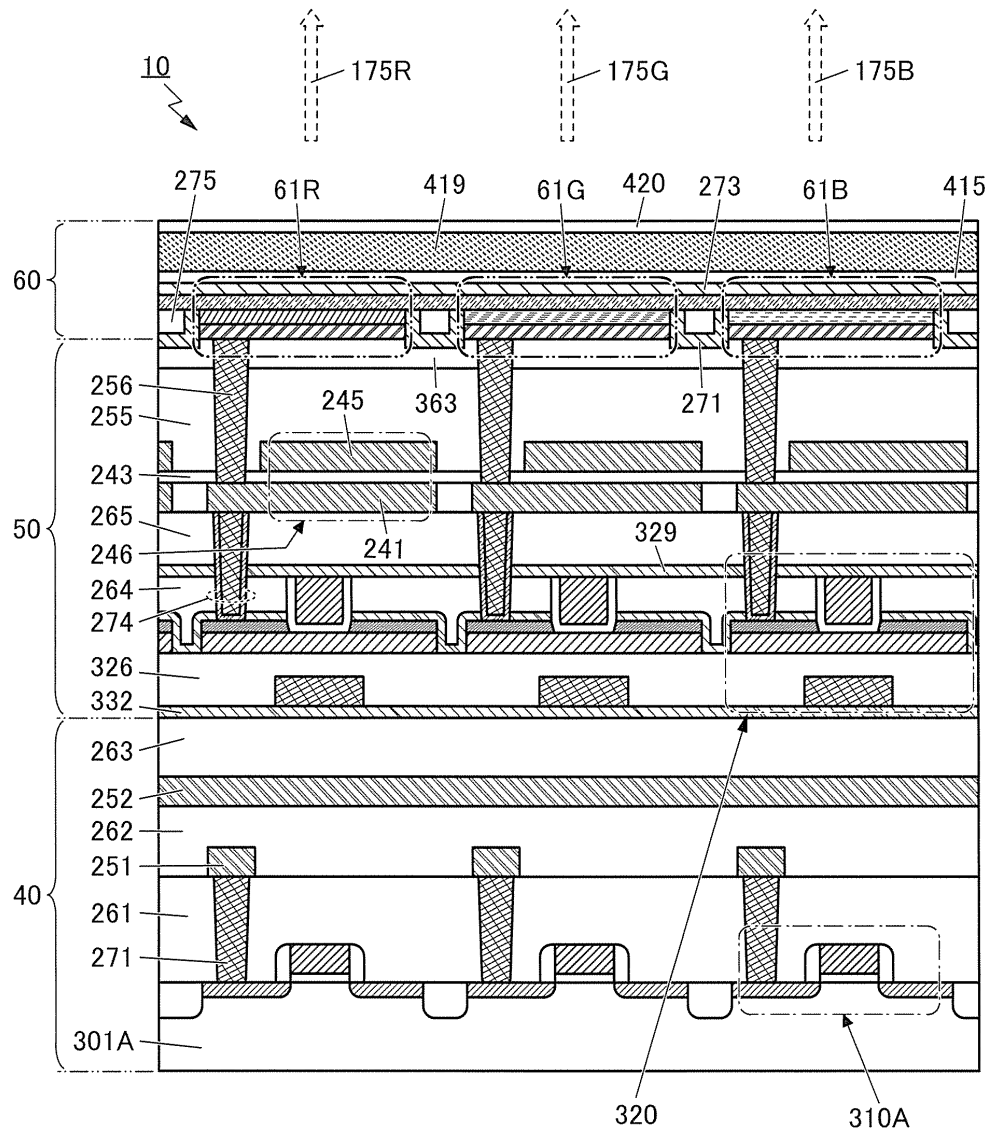
도면71



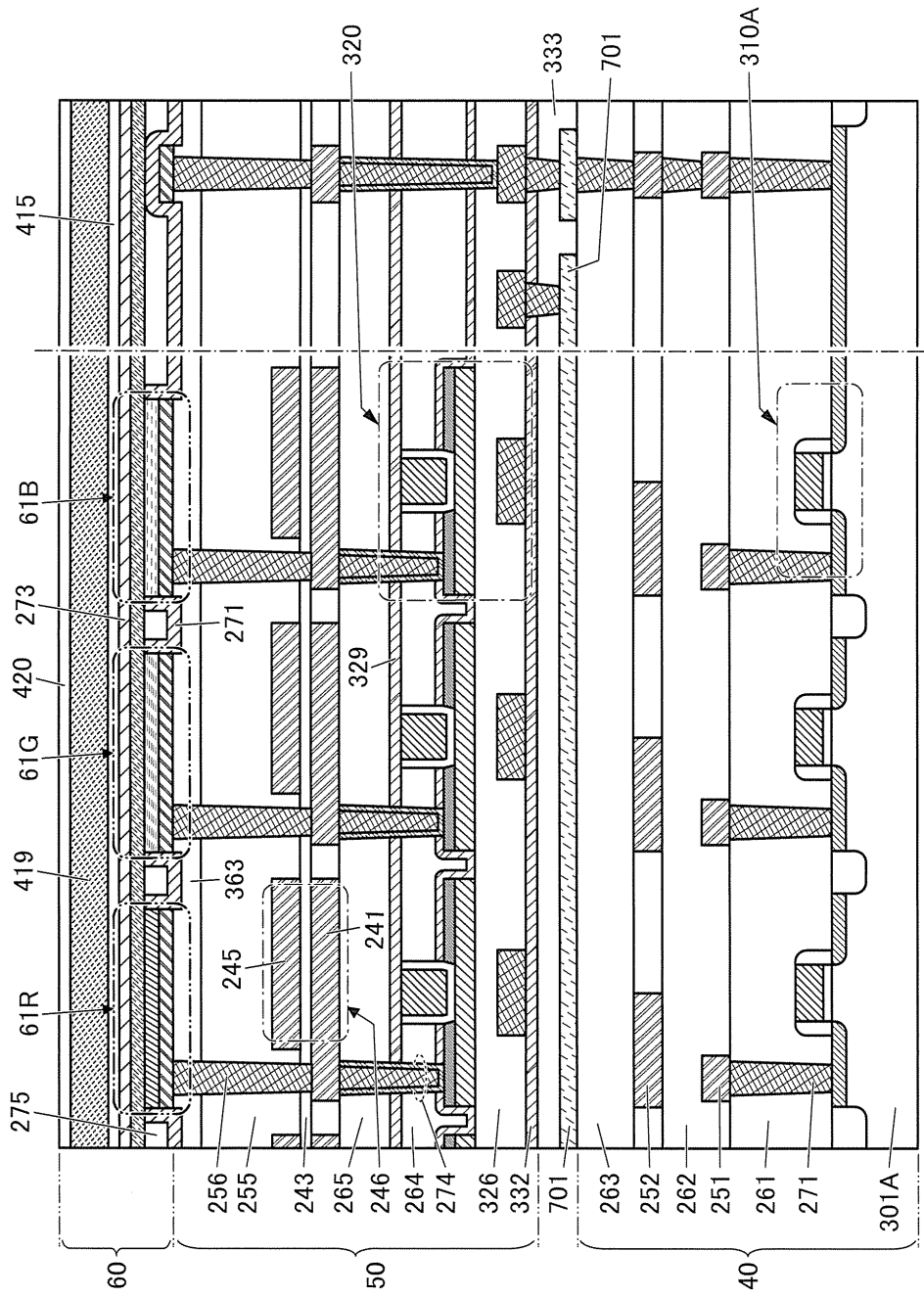
도면72



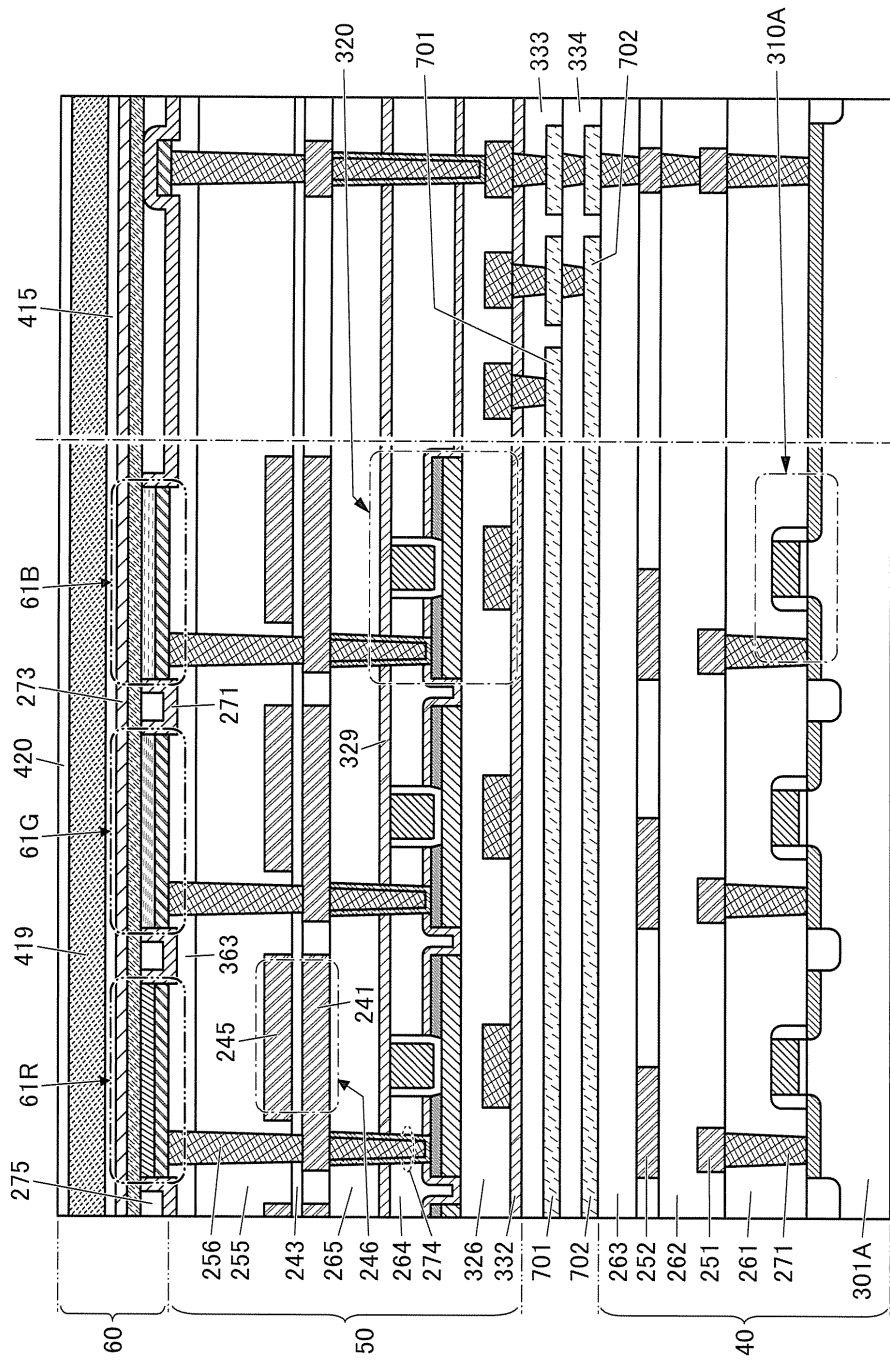
도면73



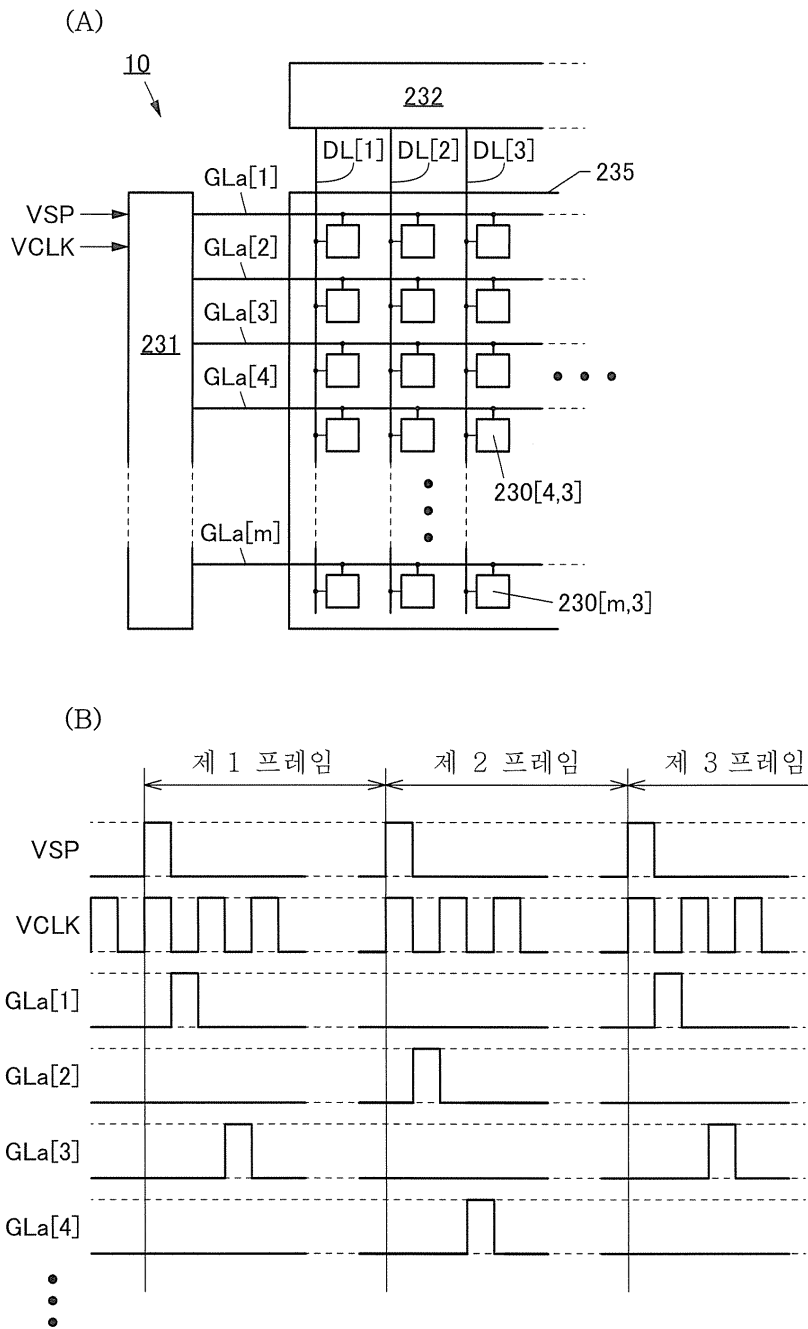
도면74



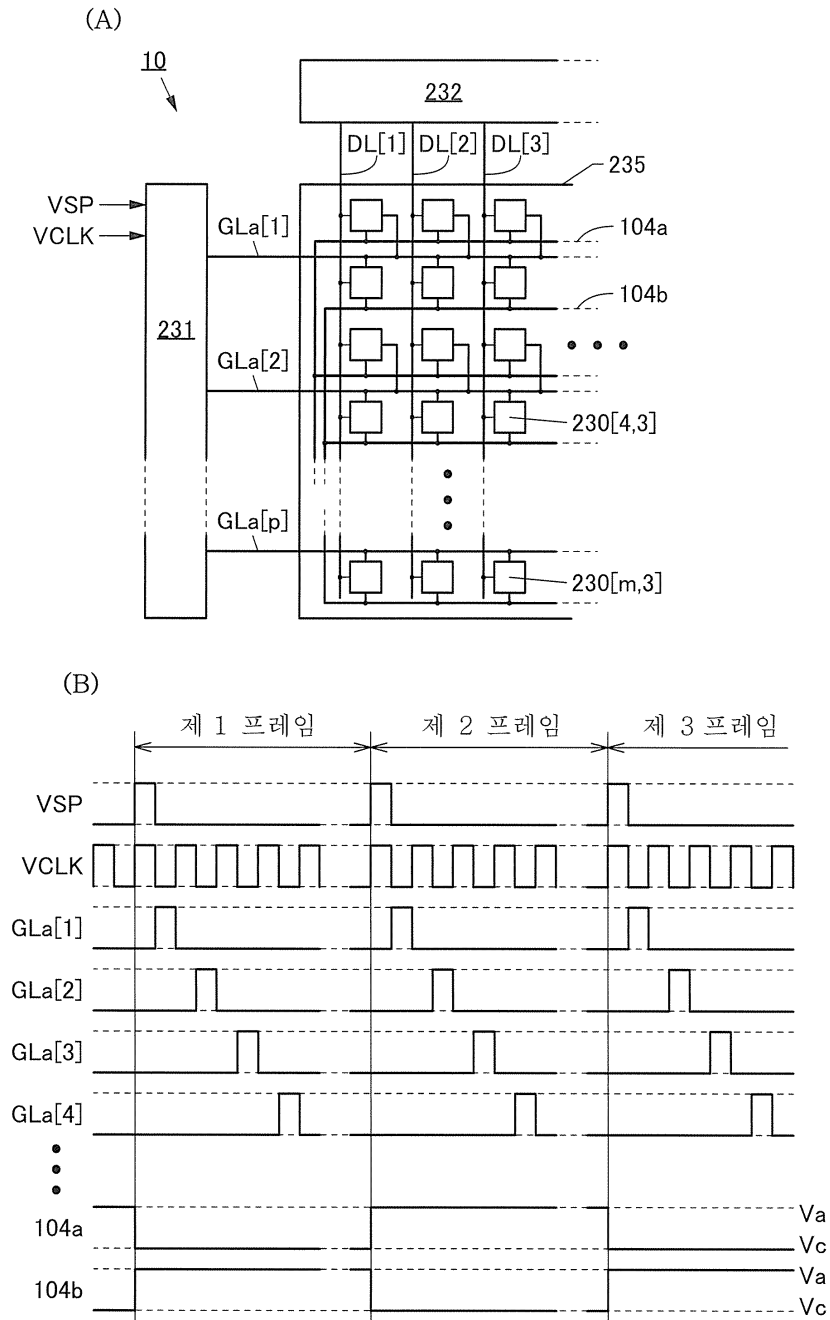
도면 75



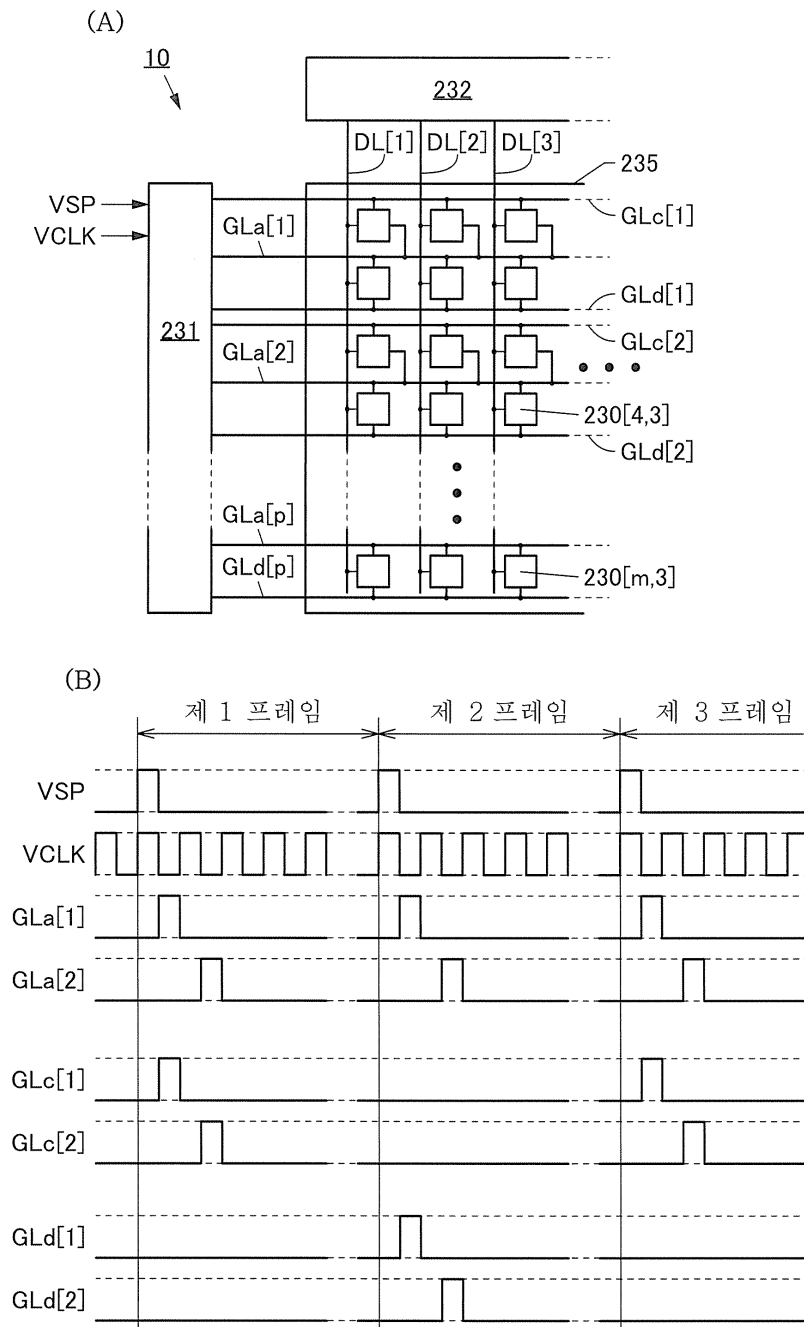
도면76



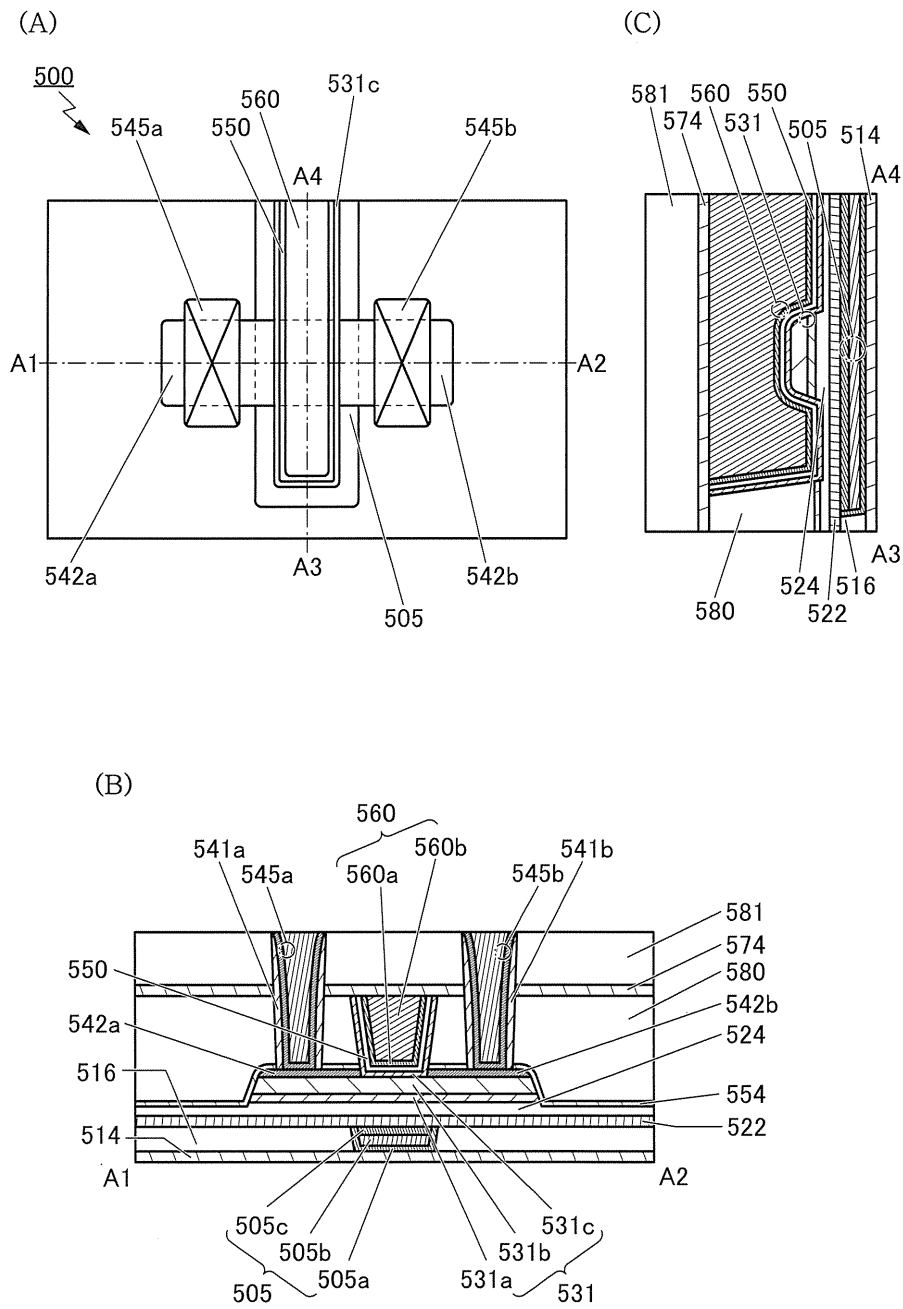
도면77



도면78



도면79



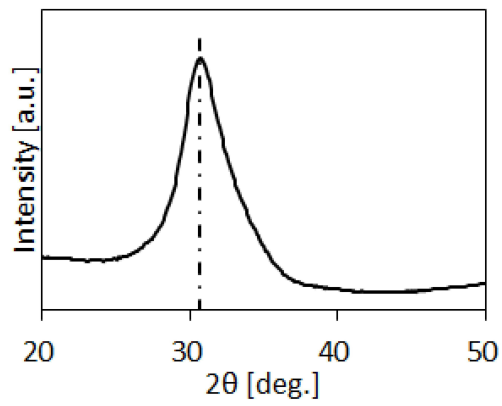
도면80

(A)

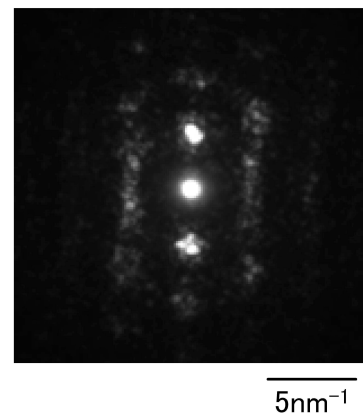
중간 상태
새로운 경계 영역

Amorphous (무정형)	Crystalline (결정성)	Crystal (결정)
completely amorphous	- CAAC - nc - CAC excluding single crystal and poly crystal	- single crystal - poly crystal

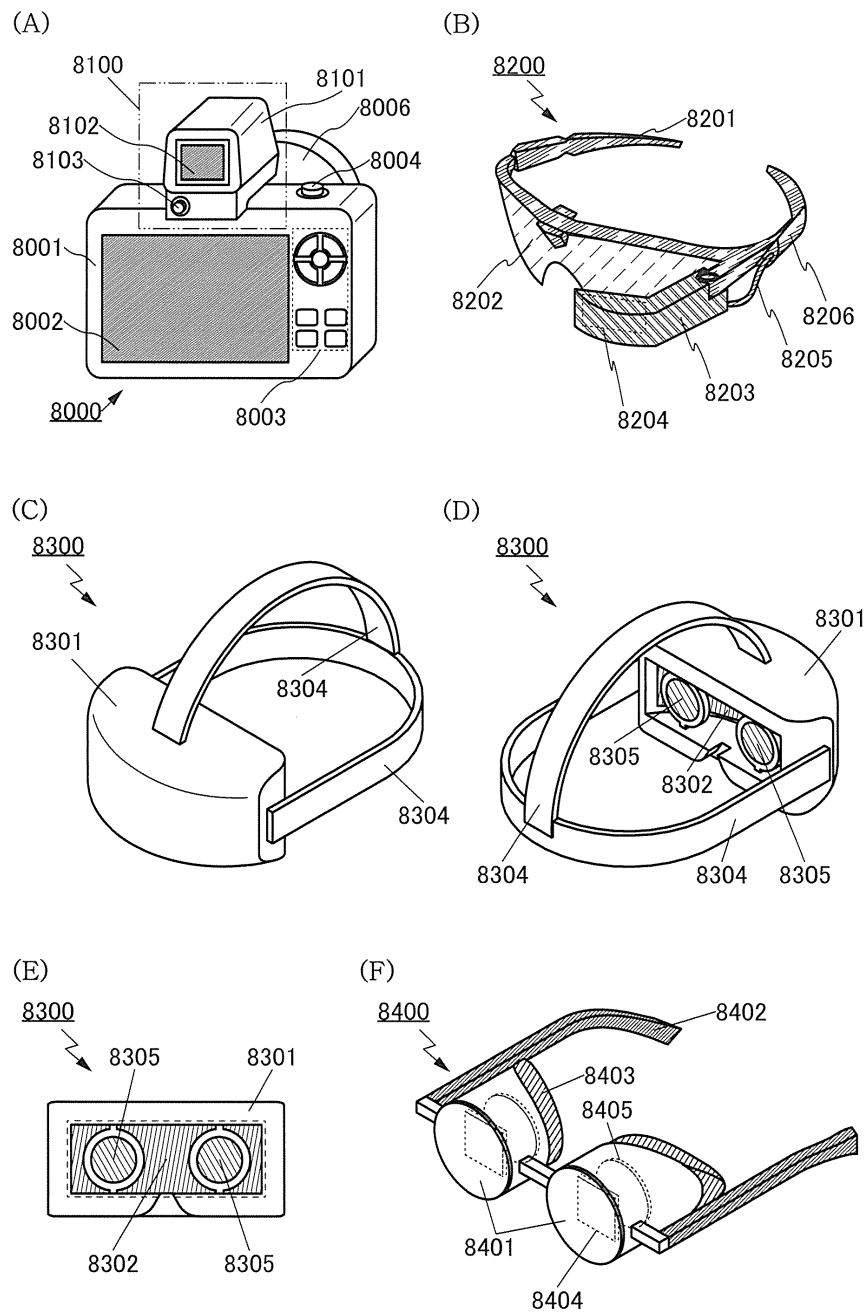
(B)



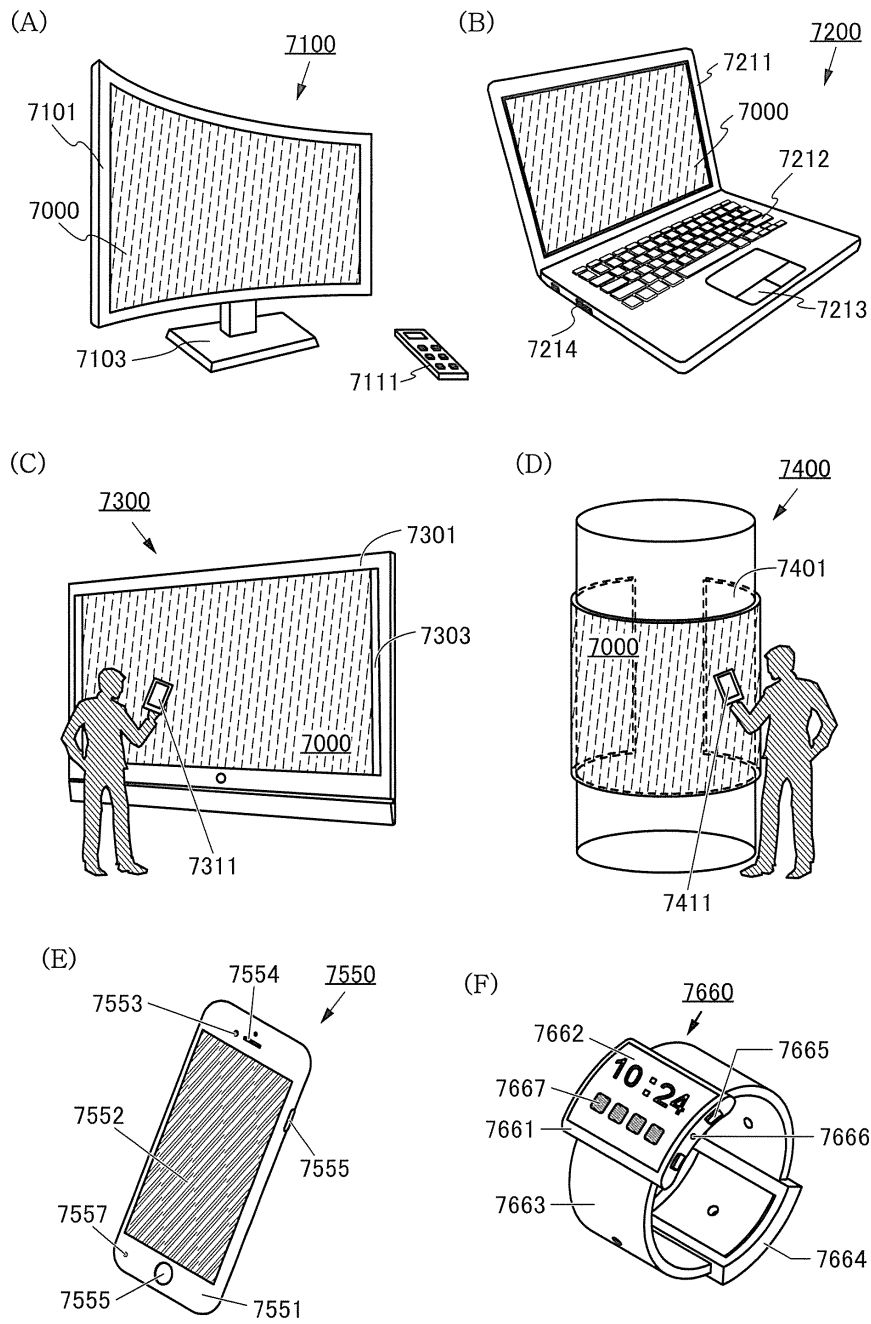
(C)



도면81

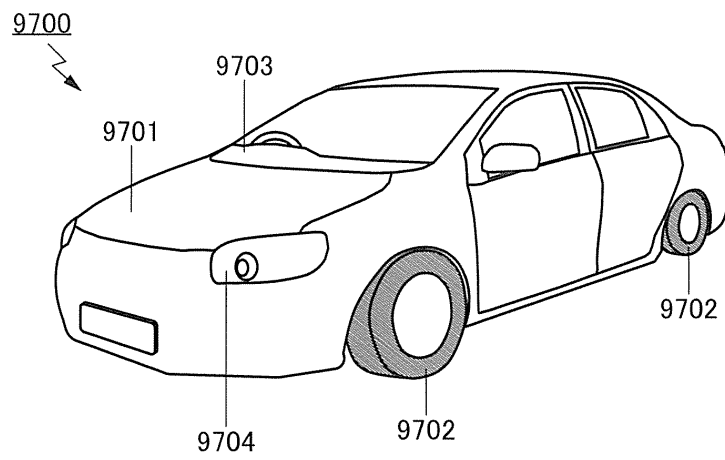


도면 82

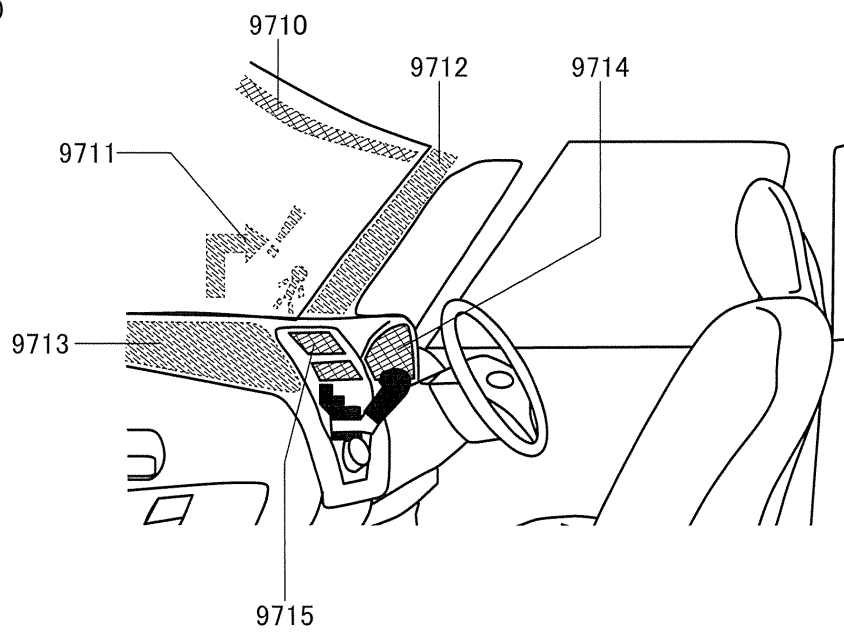


도면83

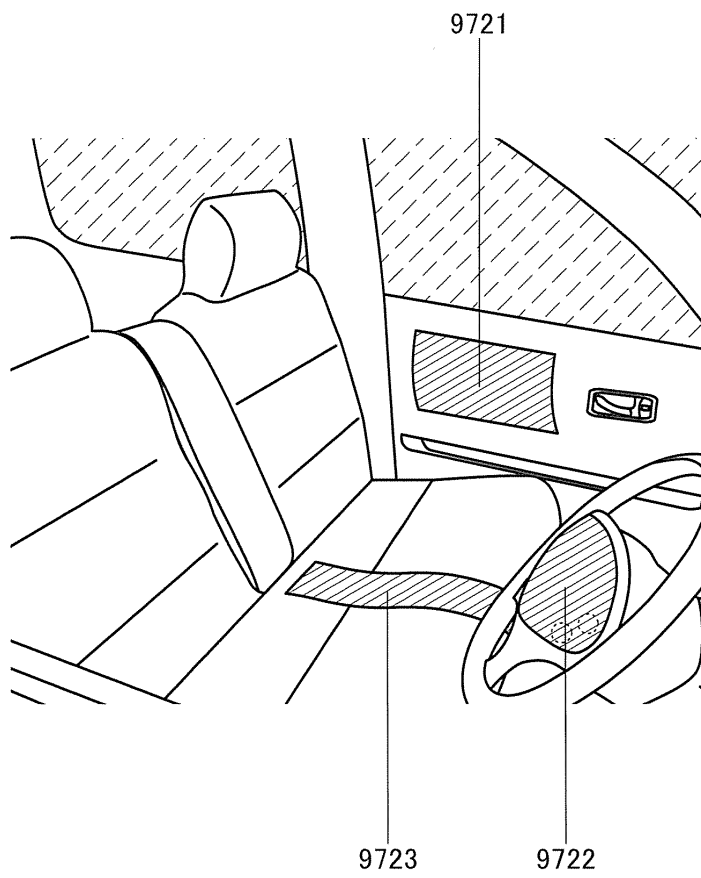
(A)



(B)

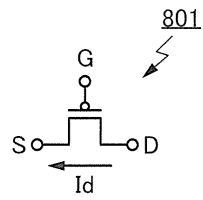
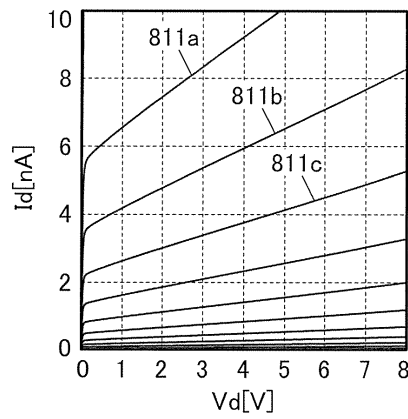


도면84

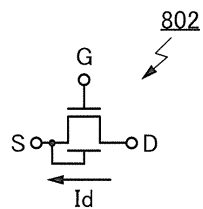
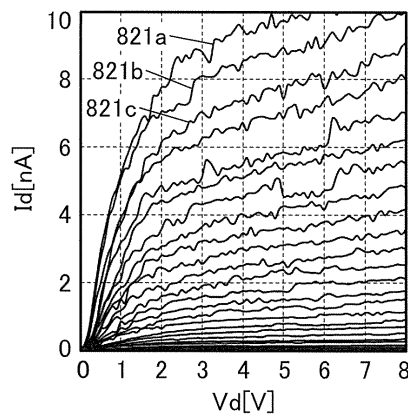


도면85

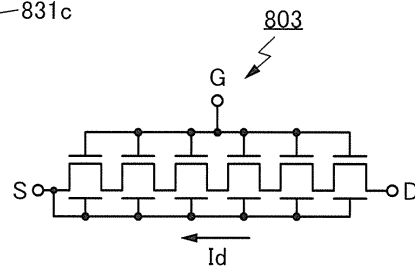
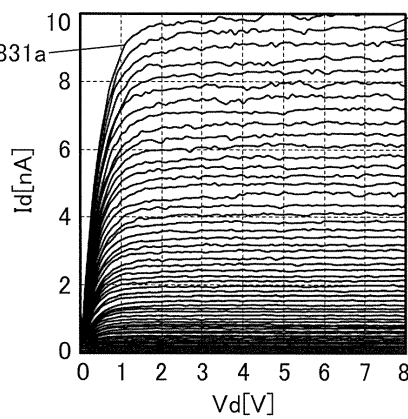
(A)



(B)



(C)



도면86

