



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I498574 B

(45) 公告日：中華民國 104 (2015) 年 09 月 01 日

(21) 申請案號：100115744

(22) 申請日：中華民國 100 (2011) 年 05 月 05 日

(51) Int. Cl. : **G01R31/28 (2006.01)**(71) 申請人：晨星半導體股份有限公司 (中華民國) MSTAR SEMICONDUCTOR, INC. (TW)
新竹縣竹北市台元街 26 號 4 樓之 1

(72) 發明人：辜志正 KU, CHIH CHENG (TW) ; 孫善政 SUN, SHAN CHENG (TW) ; 伍佑國 WU, YOU KUO (TW)

(74) 代理人：楊代強

(56) 參考文獻：

TW	I287096	CN	101738579A
JP	2010-261931A	US	6298001B1

審查人員：許哲睿

申請專利範圍項數：16 項 圖式數：4 共 21 頁

(54) 名稱

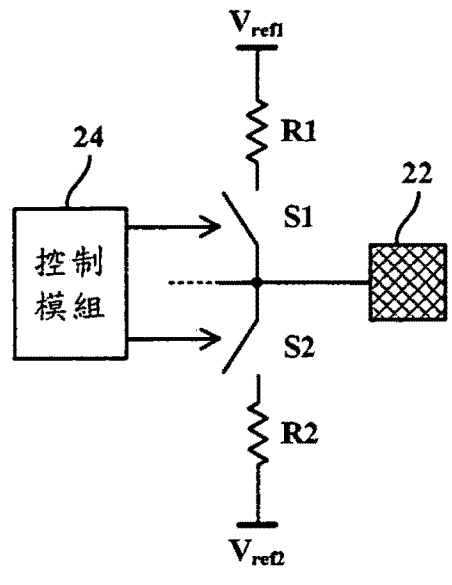
積體電路晶片及其測試方法

INTEGRATED CIRCUIT CHIP AND TESTING METHOD THEREOF

(57) 摘要

一種積體電路晶片及其測試方法。積體電路晶片包含焊墊、第一電阻、第一開關、第二電阻、第二開關、控制模組。第一電阻與第一開關係串接於該焊墊與第一參考電壓端之間。第二電阻與第二開關係串接於該焊墊與第二參考電壓端之間。該控制模組配合一錯誤判斷機制選擇性地開啟或關閉該第一開關及該第二開關。該錯誤判斷機制係用以判定與該焊墊相關之一錯誤狀況是否存在。

An integrated circuit chip and a testing method thereof are provided. The integrated circuit chip includes a pad, a first resistor, a second resistor, a first switch, a second switch and a controller. The first resistor and the first switch are serially connected between the pad and a first reference voltage terminal. The second resistor and the second switch are serially connected between the pad and a second reference voltage terminal. According to an error detecting mechanism for detecting whether an error condition related to the pad exists, the controller selectively turns on/off the first switch and the second switch.



- 22 . . . 焊墊
- R1、R2 . . . 電阻
- S1、S2 . . . 開關
- 24 . . . 控制模組

圖二 (A)

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100115744

※申請日： 100.5.05

※IPC 分類：

G01K

3/8

2006.01

一、發明名稱：(中文/英文)

積體電路晶片及其測試方法

INTEGRATED CIRCUIT CHIP AND TESTING METHOD
THEREOF

二、中文發明摘要：

一種積體電路晶片及其測試方法。積體電路晶片包含焊墊、第一電阻、第一開關、第二電阻、第二開關、控制模組。第一電阻與第一開關係串接於該焊墊與第一參考電壓端之間。第二電阻與第二開關係串接於該焊墊與第二參考電壓端之間。該控制模組配合一錯誤判斷機制選擇性地開啟或關閉該第一開關及該第二開關。該錯誤判斷機制係用以判定與該焊墊相關之一錯誤狀況是否存在。

三、英文發明摘要：

An integrated circuit chip and a testing method thereof are provided. The integrated circuit chip includes a pad, a first resistor, a second resistor, a first switch, a second switch and a controller. The first resistor and the first switch are serially connected between

the pad and a first reference voltage terminal. The second resistor and the second switch are serially connected between the pad and a second reference voltage terminal. According to an error detecting mechanism for detecting whether an error condition related to the pad exists, the controller selectively turns on/off the first switch and the second switch.

四、指定代表圖：

(一)本案指定代表圖為：圖二(A)。

(二)本代表圖之元件符號簡單說明：

22：焊墊

R1、R2：電阻

S1、S2：開關

24：控制模組

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係與積體電路相關，並且尤其與測試積體電路晶片的方法相關。

【先前技術】

為了保留積體電路晶片在不同狀況下的運用彈性，許多晶片被設計為包含一個或多個用以接收外部控制電壓的接合複選墊(bonding option pad)，透過搭接線(bonding wire)將不同的控制電壓提供至該焊墊，可令晶片操作在不同的工作模式。以視訊處理晶片為例，其中之接合複選墊被連接至電源供應端或接地端，可能代表該晶片被設定為接收不同規格的視訊信號。實務上，接合複選墊亦可能是根據後端客戶的需求，用以選擇開啟或關閉晶片中的特定功能。

如圖一(A)和圖一(B)所示，接合複選墊通常會透過一電阻 R 被固接至晶片內部的電壓供應端或接地端，其目的在於避免接合複選墊進入浮接(floating)狀態。以圖一(A)為例，若焊墊 10 本身發生損壞或是連接至焊墊 10 的搭接線 12 脫落，使得焊墊 10 無法確實接收該外部電壓，與焊墊 10 相連之內部電路接點的電壓至少會維持在高準位狀態，而不是處於浮接狀態。相對地，在焊墊 10、搭接線 12、外部電壓供應端 14 三者正常連接的情況，焊墊 10 的電壓

都會大致等於外部電壓供應端 14 的電壓。

在晶片製作完成之後，晶片製造者通常必須對晶片進行測試，其中包含測試接合複選墊本身的運作狀況以及測試接合複選墊與外部電壓供應端之間的連接是否正常。以圖一(A)為例，首先，在搭接線 12 被連接至焊墊 10 之前，測試者可先判斷焊墊 10 的功能是否正常。在搭接線 12 被連接至焊墊 10 之後，測試者則是可再次測試焊墊 10、搭接線 12、外部電壓供應端 14 三者是否正確連接。

以圖一(A)所示的連接方式為例，在搭接線 12 被連接至焊墊 10 之前，若測試者發現焊墊 10 的電壓並非高準位，則可判定焊墊 10 本身有缺陷，進而判定此晶片為不良品 (bad die)。另一方面，在焊墊 10 透過搭接線 12 連接至外部電壓供應端 14 之後，若外部電壓供應端 14 為接地端，測試結果卻指出焊墊 10 具有高準位電壓，測試者可推測應連接至焊墊 10 的搭接線 12 可能已脫落，亦判定此晶片為不良品。

如果沒有電阻 R，一旦發生上述損壞或電性連接不正常等錯誤情況，與焊墊 10 相連的內部電路接點即處於浮接狀態，亦即，其電壓可能為高準位，也可能為低準位。以圖一(A)為例，若外部電壓供應端 14 為接地端，且該浮接點恰巧具有低準位電壓，測試者即無法由測試結果查知錯誤狀況。由此可知電阻 R 存在的必要性。

然而，當圖一(A)中的外部電壓供應端 14 為接地端，於正常運作時，電阻 R 上就會存在固定的功率消耗。相似

地，若圖一(B)中的外部電壓供應端 14 為電源供應端，於正常運作時，電阻 R 上也會存在固定的功率消耗。對於相當重視電源續航力的行動裝置而言，上述固定耗電量所帶來的負面影響尤其重大。

此外，就測試方面而言，圖一(A)和圖一(B)所採用的連接方式尚無法提供完整的測試正確性。以圖一(A)所示者為例，在搭接線 12 被連接至焊墊 10 之後的測試模式下，若外部電壓供應端 14 為電源供應端，即使搭接線 12 脫落，焊墊 10 仍會因電阻 R 連接至內部電源供應端 VDD 而具有高準位電壓，測試者因此無法查知錯誤狀況的存在，不能儘速改善搭接線 12 焊接程序中可能存在的問題。相似地，就圖一(B)所示者而言，在搭接線 12 被連接至焊墊 10 之後的測試模式下，若外部電壓供應端 14 為接地端，即使搭接線 12 脫落，焊墊 10 仍會因電阻 R 連接至內部接地端 GND 而具有低準位電壓，測試者亦無法查知錯誤狀況的存在。

【發明內容】

為解決上述問題，本發明提出一種積體電路晶片及其測試方法。藉由在測試過程中選擇性地將焊墊連接至不同參考電壓並比較相對應的測試結果，根據本發明的積體電路晶片和測試方法可有效判斷與該焊墊相關的電性連接是否正常。由於在晶片處於正常運作模式時，焊墊和供電端/接地端之間可被控制為不存在漏電路徑，根據本發明的積

體電路晶片可避免先前技術中電阻造成固定耗電的問題。

根據本發明之一具體實施例為一種積體電路晶片，其中包含焊墊、第一電阻、第一開關、第二電阻、第二開關、控制模組。第一電阻與第一開關係串接於該焊墊與第一參考電壓端之間。第二電阻與第二開關係串接於該焊墊與第二參考電壓端之間。該控制模組配合一錯誤判斷機制選擇性地開啟或關閉該第一開關及該第二開關。該錯誤判斷機制係用以判定與該焊墊相關之一錯誤狀況是否存在。

根據本發明之另一具體實施例為一種積體電路晶片測試方法。一積體電路晶片包含焊墊、第一電阻、第一開關、第二電阻、第二開關。該第一電阻與該第一開關係串接於該焊墊與一第一參考電壓端之間。該第二電阻與該第二開關係串接於該焊墊與一第二參考電壓端之間。該方法首先執行一量測步驟，在開啟該第一開關並關閉該第二開關後，量測與該焊墊相關之一受測點，產生一第一受測結果。接著，該方法執行另一量測步驟，在開啟該第二開關並關閉該第一開關後，再次量測該受測點，產生一第二受測結果。其後，該方法即執行一判斷步驟，根據該第一受測結果及該第二受測結果判斷一錯誤狀況是否存在。

相較於先前技術，根據本發明之測試方法及積體電路晶片具有低耗電且能有效確認是否存在連接錯誤的優點。關於本發明的優點與精神可以藉由以下發明詳述及所附圖式得到進一步的瞭解。

【實施方式】

根據本發明之一具體實施例為一種積體電路晶片，圖二(A)為該積體電路晶片的局部示意圖。此積體電路晶片包含一焊墊 22、一第一電阻 R1、一第一開關 S1、一第二電阻 R2、一第二開關 S2 和一控制模組 24。舉例而言，焊墊 22 可為一接合複選墊，但不以此為限。

如圖二(A)所示，第一電阻 R1 與第一開關 S1 係串接於焊墊 22 與一第一參考電壓端 V_{ref1} 之間，第二電阻 R2 與第二開關 S2 則是串接於焊墊 22 與一第二參考電壓端 V_{ref2} 之間。其中，第一參考電壓端 V_{ref1} 和第二參考電壓端 V_{ref2} 兩者提供的電壓不同。實務上，第一開關 S1 及第一電阻 R1 可以一金氧半導體場效電晶體 MOSFET1 實現；同理，第二開關 S2 及第二電阻 R2 亦可以另一金氧半導體場效電晶體 MOSFET2 實現。其中，第一電阻 R1 及第二電阻 R2 分別為金氧半導體場效電晶體 MOSFET1 及 MOSFET2 之內電阻。當然，第一開關 S1 及第二開關 S2 亦可分別以一金氧半導體場效電晶體實現。於實際應用中，第一參考電壓端 V_{ref1} 和第二參考電壓端 V_{ref2} 可分別為積體電路晶片內部的電壓供應端。以下說明將以第一參考電壓端 V_{ref1} 為電源供應端 VDD 而第二參考電壓端 V_{ref2} 為接地端 GND 的情況為例。

配合一錯誤判斷機制，控制模組 24 選擇性地開啟 (turn-on) 或關閉 (turn-off) 第一開關 S1 及第二開關 S2。該錯

誤判斷機制可為測試過程中用以判定與該焊墊 22 相關之一錯誤狀況是否存在的程序。在測試過程中，控制模組 24 可首先開啟第一開關 S1 並關閉第二開關 S2，使焊墊 22 透過第一電阻 R1 連接至第一參考電壓端 V_{ref1} 。在控制模組 24 開啟第一開關 S1 並關閉第二開關 S2 之後，測試者可利用外部儀器量測焊墊 22 的電壓，做為第一電壓 V1。

接著，控制模組 24 可開啟第二開關 S2 並關閉第一開關 S1，使焊墊 22 透過第二電阻 R2 連接至第二參考電壓端 V_{ref2} 。在控制模組 24 開啟第二開關 S2 並關閉第一開關 S1 之後，測試者可再次量測焊墊 22 的電壓，做為第二電壓 V2。

首先討論在焊墊 22 未透過搭接線連接至外部電壓供應端之前的測試。若第一電壓 V1 與電源供應端 VDD 大致等電位（亦即焊墊 22 與第一參考電壓端 V_{ref1} 的電壓大致等電位），且第二電壓 V2 與接地端 GND 大致等電位（亦即焊墊 22 與第二參考電壓端 V_{ref2} 的電壓大致等電位），表示焊墊 22 的功能正常，可判定錯誤狀況不存在。

請參閱圖三(A)所示之整理表。若焊墊 22 的功能正常，當第一開關 S1 開啟、第二開關 S2 關閉時所測得的第一電壓 V1 應為高準位，而當第一開關 S1 關閉、第二開關 S2 開啟時所測得的第二電壓 V 應為低準位。換句話說，若測試結果不同於圖三(A)所示，表示焊墊 22 無法正常運作，即焊墊 22 可能已損壞。

接著討論在焊墊 22 已透過搭接線連接至外部電壓供

應端之後的測試。如圖二(B)所示，焊墊 22 可透過一搭接線 32 接收由外部電壓供應端 34 所提供之一外部電壓。針對圖二(B)所示之電路，測試者同樣可以分別開啟第一開關 S1 和第二開關 S2，量測上述第一電壓 V1 及第二電壓 V2。

當控制模組 24 開啟第一開關 S1 並關閉第二開關 S2，若焊墊 22、搭接線 32 與外部電壓供應端 34 之間的電性連接正常，無論外部電壓供應端 34 所提供之電壓等於電源供應端 VDD 的電壓、接地端 GND 的電壓，或其他電壓準位，焊墊 22 所具有的電壓都會大致等於該外部電壓。相對地，若搭接線 32 存在脫落或接觸不良的問題，無論該外部電壓為何，焊墊 22 的電壓都會大致等於電源供應端 VDD 的電壓。

當控制模組 24 關閉第一開關 S1 並開啟第二開關 S2，若焊墊 22、搭接線 32 與外部電壓供應端 34 之間的電性連接正常，無論外部電壓供應端 34 所提供之電壓等於電源供應端 VDD 的電壓、接地端 GND 的電壓，或是其他電壓準位，焊墊 22 所具有的電壓都會大致等於該外部電壓。相對地，若搭接線 32 存在脫落或接觸不良的問題，無論該外部電壓為何，焊墊 22 的電壓都會大致等於接地端 GND 的電壓。

綜上所述，若焊墊 22、搭接線 32 與外部電壓供應端 34 之間的電性連接正常，第一電壓 V1 和第二電壓 V2 都會大致等於該外部電壓。相對地，若存在錯誤狀況，第一電壓 V1 會大致等於電源供應端 VDD 的電壓，而第二電壓

V2 會大致等於接地端 GND 的電壓。由此可知，藉由比對第一電壓 V1 和第二電壓 V2，測試者即可判斷焊墊 22、搭接線 32 與外部電壓供應端 34 之間的連接是否存在錯誤狀況。更明確地說，若第一電壓 V1 不同於第二電壓 V2，錯誤狀況被判定為存在。

請參閱圖三(B)所示之整理表。若無錯誤狀況且外部電壓具有高準位，無論是第一開關 S1 開啟或第二開關 S2 開啟，第一電壓 V1 和第二電壓 V2 都會是高準位電壓。相對地，若無錯誤狀況且外部電壓具有低準位，無論是第一開關 S1 開啟或第二開關 S2 開啟，第一電壓 V1 和第二電壓 V2 都會是低準位電壓。然而，若存在錯誤狀況，第一電壓 V1 就會不同於第二電壓 V2。

於上述各實施例中，量測對象為焊墊 22 的電壓。須說明的是，在實際應用中，受測點可以是該積體電路晶片內部或外部其他與焊墊 22 相關的電性端點。舉例而言，假設該積體電路晶片另有一輸出腳位（未顯示於圖中），其輸出信號會隨著焊墊 22 的電壓之改變有所不同，則於本實施例中，測試者亦可根據該輸出腳位之輸出信號判定是否存在一錯誤狀況。比方說，當焊墊 22 具有第一電壓 V1，該輸出信號為 A；當焊墊 22 具有第二電壓 V2，該輸出信號為 B，A 不同於 B。以圖二(B)的測試狀況為例，若測試者發現在前述兩種不同連接方式下，該輸出腳位的輸出信號不同，則亦可據此判定存在錯誤狀況。

在另一實施例中，該積體電路晶片具有二輸入腳位 PE

及 PS (未顯示於圖中)，腳位 PE 及 PS 之電壓係由控制模組 24 控制，用以指示第一開關 S1 及第二開關 S2 為開啟或關閉。其中，當腳位 PE 具有一高準位電壓，表示第一開關 S1 及第二開關 S2 其一為開啟，另一為關閉。此外，當腳位 PS 具有一低準位電壓，表示第一開關 S1 為關閉，第二開關 S2 為開啟；反之，當腳位 PS 具有一高準位電壓，表示第一開關 S1 為開啟，第二開關為關閉。換言之，在焊墊 22 於未透過搭接線 32 連接至外部電壓供應端前之測試過程中，控制模組 24 首先使腳位 PE 具有高準位電壓以及腳位 PS 具有低準位電壓，使得第一開關 S1 為關閉，第二開關為開啟，以量測第一電壓 V1；接著，控制模組 24 使腳位 PE 維持高準位電壓但使腳位 PS 轉為具有高準位電壓，使得第一開關 S1 為開啟，第二開關 S2 為關閉，以量測第二電壓 V2。於焊墊 22 可正常運作之狀況，其測試結果亦如圖三(A)所示。而後，於焊墊 22 已透過搭接線連接至外部電壓供應端之後的測試過程中，控制模組 24 同樣控制腳位 PE 及腳位 PS 以達到量測第一電壓 V1 及第二電壓 V2 之目的。在搭接線 32 未脫落而無接觸不良的問題之狀況下，其測試結果則如圖三(B)所示。

在完成測試之後，當該積體電路晶片係處於一正常運作模式，控制模組 24 可將第一開關 S1 與第二開關 S2 皆關閉，令焊墊 22 只透過搭接線 32 接收外部電壓供應端 34 提供的控制電壓。採用這種連接方式時，焊墊 22 和供電端 VDD 或接地端 GND 間都不會有漏電路徑，因此可避免先

前技術中有固定耗電的問題。

根據本發明之另一具體實施例為一種可實現在圖二(A)及圖二(B)所示之積體電路晶片的測試方法。圖四為該測試方法的流程圖。該方法首先執行步驟 S42，在開啟第一開關 S1 並關閉第二開關 S2 後，量測與焊墊 22 相關之一受測點，產生一第一受測結果。接著，該方法執行另一量測步驟 S44，在開啟第二開關 S2 並關閉第一開關 S1 後，再次量測該受測點，產生一第二受測結果。其後，該方法即執行一判斷步驟 S46，根據該第一受測結果及該第二受測結果判斷搭接線 32 是否存在一連接錯誤。就圖二(B)所示之範例而言，若該第一受測結果不同於該第二受測結果，錯誤狀況被判定為存在。

須說明的是，步驟 S42 和步驟 S44 的執行順序可互換。此外，上述測試方法中採用的受測點亦不以焊墊 22 本身為限，並且焊墊 22 亦不以接合複選墊為限。易言之，上述測試方法亦可用於測試各種資料輸入/輸出焊墊或電力供應焊墊是否與外部電路正確連接。

如上所述，藉由在測試過程中選擇性地將焊墊連接至不同參考電壓並比較相對應的測試結果，根據本發明的積體電路晶片和測試方法可有效判斷與該焊墊相關的電性連接是否正常。由於在晶片處於正常運作模式時，焊墊和供電端/接地端之間可被控制為不存在漏電路徑，根據本發明的積體電路晶片可避免先前技術使用電阻造成固定耗電的問題。相較於先前技術，根據本發明之測試方法及積體電

路晶片具有低耗電且能有效確認是否存在連接錯誤的優點。

藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。

【圖式簡單說明】

本案得藉由下列圖式及說明，俾得一更深入之了解：圖一(A)和圖一(B)為先前技術中採用的焊墊連接方式示意圖。

圖二(A)及圖二(B)為根據本發明之一具體實施例中之積體電路晶片局部示意圖。

圖三(A)及圖三(B)為測試狀況和測試結果的整理表。

圖四為根據本發明之一具體實施例中之積體電路晶片測試方法流程圖。

【主要元件符號說明】

本案圖式中所包含之各元件列示如下：

10、22：焊墊	12、32：搭接線
14、34：外部電壓供應端	R、R1、R2：電阻

S1、S2：開關

24：控制模組

七、申請專利範圍：

1. 一種積體電路晶片，包含：

一焊墊；

一第一電阻與一第一開關，串接於該焊墊與一第一參考電壓端之間；

一第二電阻與一第二開關，串接於該焊墊與一第二參考電壓端之間；以及

一控制模組，用以配合一錯誤判斷機制開啟或關閉該第一開關及該第二開關，其中該錯誤判斷機制係用以判定與該焊墊相關之一錯誤狀況是否存在；

其中，該第二參考電壓端之電壓係不同於該第一參考電壓端之電壓。

2. 如申請專利範圍第 1 項所述之積體電路晶片，其中於該錯誤判斷機制中，當該控制模組開啟該第一開關並關閉該第二開關，與該焊墊相關之一受測點具有一第一受測結果；當該控制模組開啟該第二開關並關閉該第一開關，該受測點具有一第二受測結果；該第一受測結果及該第二受測結果係用以判定與該焊墊相關之該錯誤狀況是否存在。

3. 如申請專利範圍第 2 項所述之積體電路晶片，其中在該焊墊透過一搭接線接收一外部電壓之前，當該第一受測結果指出該焊墊與該第一參考電壓端大致等電位，且該第二受測結果指出該焊墊與該第二參考電壓端大致等電位，該錯誤狀況被判定為不存在。

4. 如申請專利範圍第 2 項所述之積體電路晶片，其中在該焊墊已透過一搭接線接收一外部電壓之後，當該第一受測結果不同於該第二受測結果，該錯誤狀況被判定為存在。
5. 如申請專利範圍第 2 項所述之積體電路晶片，其中該第一參考電壓端為一電源供應端，該第二參考電壓端為一接地端。
6. 如申請專利範圍第 2 項所述之積體電路晶片，其中該受測點為該焊墊本身。
7. 如申請專利範圍第 2 項所述之積體電路晶片，其中該第一開關與該第二開關分別包含一金氧半導體場效電晶體 (MOSFET)。
8. 如申請專利範圍第 7 項所述之積體電路晶片，其中該第一電阻與該第二電阻分別為該第一開關與該第二開關所包含之該金氧半導體場效電晶體 (MOSFET) 之內電阻。
9. 如申請專利範圍第 2 項所述之積體電路晶片，其中當該積體電路晶片係處於一正常運作模式，該控制模組關閉該第一開關與該第二開關。
10. 一種晶片測試方法，用以測試一積體電路晶片，其包含一焊墊、一第一電阻、一第一開關、一第二電阻、一第二開關，該第一電阻與該第一開關係串接於該焊墊與一第一參考電壓端之間，該第二電阻與該第二開關係串接於該焊墊與一第二參考電壓端之間，該第二參考電壓端之電壓係不同於該第一參考電壓端之電壓，該測試方法包含：

開啟該第一開關並關閉該第二開關後，量測與該焊墊

相關之一受測點，產生一第一受測結果；

開啟該第二開關並關閉該第一開關後，量測該受測點，產生一第二受測結果；以及

根據該第一受測結果及該第二受測結果判斷一錯誤狀況是否存在。

11. 如申請專利範圍第 10 項所述之晶片測試方法，其中在該焊墊透過一搭接線接收一外部電壓之前，若該第一受測結果指出該焊墊與該第一參考電壓端大致等電位，且該第二受測結果指出該焊墊與該第二參考電壓端大致等電位，該錯誤狀況被判定為不存在。

12. 如申請專利範圍第 10 項所述之晶片測試方法，其中在該焊墊已透過一搭接線接收一外部電壓之後，若該第一受測結果不同於該第二受測結果，該錯誤狀況被判定為存在。

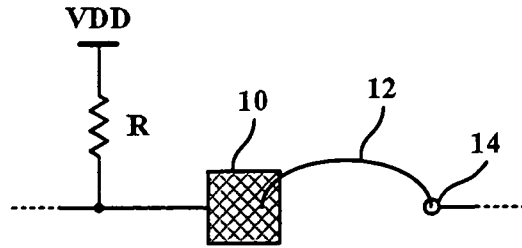
13. 如申請專利範圍第 10 項所述之晶片測試方法，其中該第一參考電壓端為一電源供應端，該第二參考電壓端為一接地端。

14. 如申請專利範圍第 10 項所述之晶片測試方法，其中該受測點為該焊墊本身。

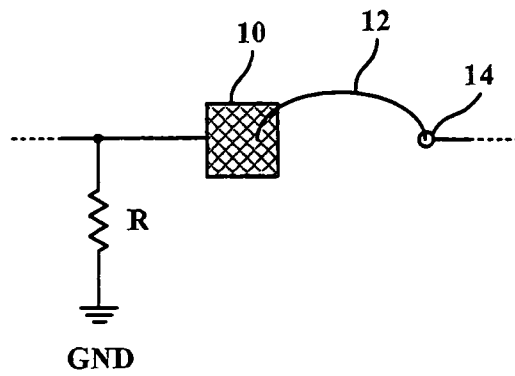
15. 如申請專利範圍第 10 項所述之晶片測試方法，其中若該第一受測結果不同於該第二受測結果，該錯誤狀況被判定為存在。

16. 如申請專利範圍第 10 項所述之晶片測試方法，其中當該積體電路晶片係處於一正常運作模式，該第一開關與該第二開關被關閉。

八、圖式：



圖一 (A)



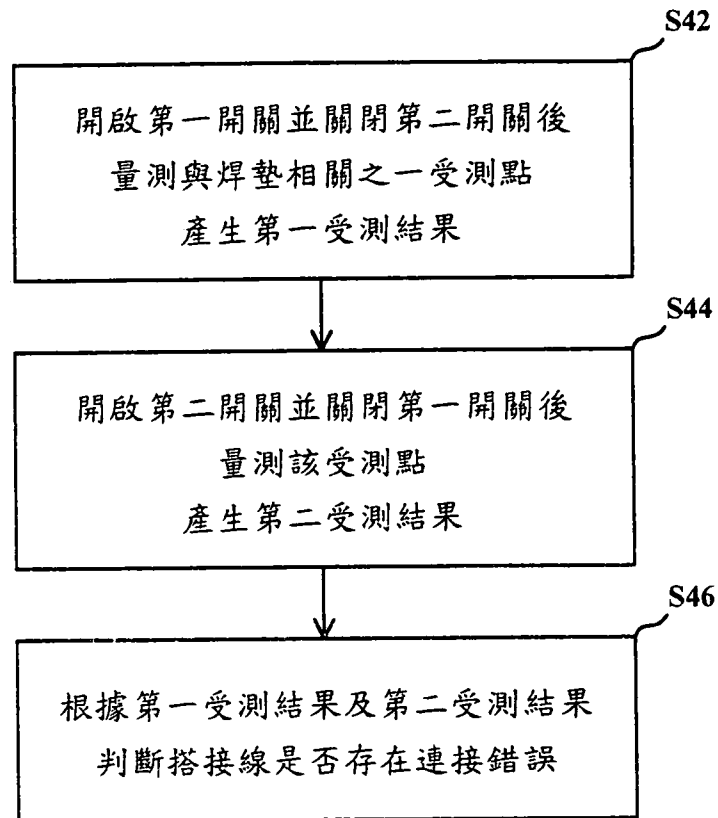
圖一 (B)

	第一開關	第二開關	測試結果
焊墊正常	開啟	關閉	V1為高準位
	關閉	開啟	V2為低準位

圖三 (A)

	第一開關	第二開關	測試結果
無錯誤且 外部電壓為高準位	開啟	關閉	V1和V2皆為高準位
	關閉	開啟	
無錯誤且 外部電壓為低準位	開啟	關閉	V1和V2皆為低準位
	關閉	開啟	
存在錯誤狀況	開啟	關閉	V1為高準位 V2為低準位
	關閉	開啟	

圖三 (B)



圖四