

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 5 月 14 日 (14.05.2015)



(10) 国际公布号
WO 2015/066971 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/06 (2006.01)
H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2014/070352
- (22) 国际申请日: 2014 年 1 月 9 日 (09.01.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310552567.5 2013 年 11 月 8 日 (08.11.2013) CN
- (71) 申请人: 北京大学 (PEKING UNIVERSITY)
[CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。
- (72) 发明人: 黄如 (HUANG, Ru); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。 黄芊芊 (HUANG, Qianqian); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。 吴春蕾 (WU, Chunlei); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。 王佳鑫 (WANG, Jiaxin); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。 詹瞻

(ZHAN, Zhan); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。 王阳元 (WANG, Yangyuan); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。

- (74) 代理人: 北京弘权知识产权代理事务所 (普通合伙) (CHINABLE IP); 中国北京市朝阳区安定路 35 号六层 35-10-2 内 620 室, Beijing 100029 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: JUNCTION MODULATION-TYPE TUNNELLING FIELD EFFECT TRANSISTOR AND PREPARATION METHOD THEREFOR

(54) 发明名称: 一种结调制型隧穿场效应晶体管及其制备方法

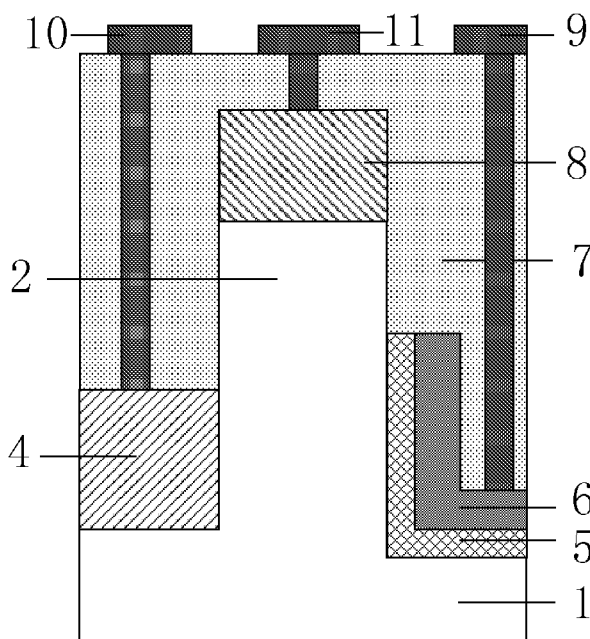


图 7 / Fig. 7

(57) Abstract: Disclosed are a junction modulation-type tunnelling field effect transistor and a preparation method therefor, which belong to the field of field effect transistor logic devices and circuits in a very large-scale integrated (ULSI) circuit of a CMOS. By using a PN junction provided by a highly-doped source region surrounded on three sides of a vertical channel region, the tunnelling field effect transistor can effectively deplete the channel region, so that the energy band of a lower surface channel of the gate is increased. When energy band tunnelling occurs in a device, an energy band steeper than and a tunnelling barrier width narrower than a traditional TFET can be obtained, so that the effect of a steep tunnelling junction doping concentration gradient is realized equivalently, thereby substantially improving the subthreshold characteristic of the traditional TFET and increasing the conduction current of a device at the same time. In the condition of being compatible with an existing CMOS process, on the one hand, the present invention can effectively suppress a bipolar conduction effect of a device, and can suppress the parasitic tunnelling current at a source junction corner in a small size at the same time, so that the effect of the steep source junction doping concentration can be realized equivalently.

(57) 摘要:

[见续页]



BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

本发明公开了一种结调制型隧穿场效应晶体管及其制备方法,属于 CMOS 超大集成电路 (ULSI) 中的场效应晶体管逻辑器件与电路领域。该隧穿场效应晶体管利用垂直沟道区三面包围的高掺杂源区提供的 PN 结能有效耗尽沟道区,使得栅下表面沟道能带提高,当器件发生带带隧穿时能获得比传统 TFET 更陡的能带和更窄的隧穿势垒宽度,等效实现了陡直的隧穿结掺杂浓度梯度的效果,从而大幅提高传统 TFET 的亚阈特性并同时提升器件的导通电流。本发明在与现有的 CMOS 工艺兼容的条件下,一方面有效地抑制了器件的双极导通效应,同时能抑制小尺寸下源结边角处的寄生隧穿电流,能等效实现陡直的源结掺杂浓度的效果。

一种结调制型隧穿场效应晶体管及其制备方法

相关申请的交叉引用

5 本申请要求于 2013 年 11 月 8 日提交的中国专利申请 (201310552567.5) 的优先权，其全部内容通过引用合并于此。

技术领域

本发明属于 CMOS 超大集成电路 (ULSI) 中的场效应晶体管逻辑器件与电路领域，具体涉及一种结调制型隧穿场效应晶体管及其制备方法。

背景技术

10 在摩尔定律的驱动下，传统 MOSFET 的特征尺寸不断缩小，如今已经到进入纳米尺度，随之而来，器件的短沟道效应等负面影响也愈加严重。漏致势垒降低、带带隧穿等效应使得器件关态漏泄电流不断增大，同时，传统 MOSFET 的亚阈值斜率受到热电势的限制无法随着器件尺寸的缩小而同步减小，由此增加了器件功耗。功耗问题如今已经成为限制器件等比例缩小的最严峻的问题。

15 为了能将器件应用在超低压低功耗领域，采用新型导通机制而获得超陡亚阈值斜率的器件结构和工艺制备方法已经成为小尺寸器件下大家关注的焦点。近些年来研究者们提出了一种可能的解决方案，就是采用隧穿场效应晶体管 (TFET)。TFET 不同于传统 MOSFET，其源漏掺杂类型相反，利用栅极控制反向偏置的 P-I-N 结的带带隧穿实现导通，能突破传统 MOSFET 亚阈值斜率 60mV/dec 的限制，并且其漏电流非
20 常小。TFET 具有低漏电流、低亚阈值斜率、低工作电压和低功耗等诸多优异特性，但由于受源结隧穿几率和隧穿面积的限制，TFET 面临着开态电流小的问题，远远比不上传统 MOSFET 器件，极大限制了 TFET 器件的应用。另外，具有陡直亚阈值斜率的 TFET 器件在实验上也较难实现，这是因为实验较难在源结处实现陡直的掺杂浓度梯度以致器件开启时隧穿结处的电场不够大，这会导致 TFET 的亚阈值斜率相对理
25 论值退化。因此，如何在源结实现陡直的掺杂浓度梯度而获得超低的亚阈值斜率，也成为了 TFET 器件的另一个重要问题。

发明内容

本发明的目的在于提出一种结调制型隧穿场效应晶体管及其制备方法。在与现有的 CMOS 工艺兼容的条件下,该器件能等效实现陡直的源结掺杂浓度的效果,更加显著地优化 TFET 器件的亚阈值斜率,并同时提升器件的导通电流,且栅和漏之间存在栅未覆盖区,一方面有效地抑制了器件的双极导通效应,同时能抑制小尺寸下源结边角处的寄生隧穿电流。

本发明的技术方案如下:

本发明隧穿场效应晶体管包括一个半导体衬底 (1)、一个垂直沟道区 (2)、一个高掺杂源区 (4)、一个低掺杂漏区 (8)、一个栅介质层 (5) 和一个控制栅 (6), 10 以及与控制栅 (6) 相连的栅电极 (9), 与高掺杂源区 (4) 连接的源电极 (10) 和与低掺杂漏区 (8) 连接的漏电极 (11), 其特征在于, 半导体衬底 (1) 的上方为垂直沟道区 (2), 垂直沟道区 (2) 呈长方体状; 垂直沟道区 (2) 的下方一侧为栅介质层 (5) 和控制栅 (6), 其它侧面为高掺杂源区 (4), 低掺杂漏区 (8) 位于垂直沟道区 (2) 的顶端, 低掺杂漏区 (8) 和控制栅 (6) 之间为隔离区 (7), 低掺杂漏区 (8) 15 和高掺杂源区 (4) 掺有不同掺杂类型的杂质, 且低掺杂漏区 (8) 的掺杂浓度在 $5 \times 10^{17} \text{cm}^{-3}$ 至 $1 \times 10^{19} \text{cm}^{-3}$ 之间, 高掺杂源区 (4) 的掺杂浓度在 $1 \times 10^{19} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 之间。半导体衬底 (1) 的掺杂浓度在 $1 \times 10^{14} \text{cm}^{-3}$ 至 $1 \times 10^{17} \text{cm}^{-3}$ 之间。长方体状的垂直沟道区 (2) 的长和宽相等, 且小于一倍的源耗尽层宽度, 源耗尽层宽度的范围为 25nm-1.5 μm , 垂直沟道区 (2) 的高大于长和宽, 垂直沟道区 (2) 的高度和长宽的比例为 1.5:1-5:1。低掺杂漏区 (8) 和控制栅 (6) 之间的垂直距离为 10nm-1 μm 。 20

上述隧穿场效应晶体管的制备方法, 包括以下步骤:

- (1) 在半导体衬底上淀积硬掩膜层, 并光刻刻蚀, 定义垂直沟道区图形; 在硬掩膜的保护下, 深刻蚀形成垂直的沟道区;
- (2) 在硬掩膜的保护下, 离子注入形成环绕垂直沟道区四面的高掺杂源区; 光刻仅 25 暴露出一面高掺杂源区, 并刻蚀, 刻蚀深度大于离子注入深度, 使得只剩下三面包围的高掺杂源区;
- (3) 生长栅介质层, 并淀积控制栅材料;
- (4) 接着淀积隔离层材料并回刻直至高掺杂源区上方的多晶硅, 在隔离层的保护下腐蚀多晶硅, 仅留下被隔离层覆盖的多晶硅层作为垂直控制栅;

—3—

(5) 继续淀积隔离层，淀积厚度决定了漏和栅之间栅未覆盖区的长度；在隔离层的保护下，离子注入形成另一种掺杂类型的较低掺杂漏区，然后快速高温热退火激活掺杂杂质；

(6) 最后进入常规 CMOS 后道工序，包括继续淀积隔离层、开接触孔以及金属化，即可制得所述的隧穿场效应晶体管，如图 1 所示。

上述的制备方法中，所述步骤 (1) 中的半导体衬底材料选自 Si、Ge、SiGe、GaAs 或其他 II-VI, III-V 和 IV-IV 族的二元或三元化合物半导体、绝缘体上的硅 (SOI) 或绝缘体上的锗 (GOI)。

上述的制备方法中，所述步骤 (3) 中的栅介质层材料选自 SiO_2 、 Si_3N_4 和高 K 栅介质材料。

上述的制备方法中，所述步骤 (3) 中的生长栅介质层的方法选自下列方法之一：常规热氧化、掺氮热氧化、化学气相淀积和物理气相淀积。

上述的制备方法中，所述步骤 (3) 中的控制栅材料选自掺杂多晶硅、金属钴、镍以及其他金属或金属硅化物。

本发明的技术效果如下：

一、本发明隧穿场效应晶体管的垂直沟道区三面包围的高掺杂源区提供的 PN 结能有效耗尽沟道区，使得栅下表面沟道能带提高，因此当该器件发生带带隧穿时能获得比传统 TFET 更陡的能带和更窄的隧穿势垒宽度，等效实现了陡直的隧穿结掺杂浓度梯度的效果，从而大幅提高传统 TFET 的亚阈特性。同时相比平面条形栅的结耗尽型隧穿场效应晶体管，由于平面结构只能靠两边 PN 结耗尽，因此本发明的三面包围结构能更加有效调制隧穿结，获得更加陡直的亚阈特性。

二、在不增加有源区面积的前提下，本发明的垂直沟道区的设计能有效提高隧穿面积，隧穿面积由高掺杂源区和栅的交界面决定，如图 1a 中的虚线框出的区域所示。隧穿面积的增加有利于进一步提高器件的开态电流。

三、本发明采用了短栅的设计，即栅电极部分覆盖沟道区，在栅和漏之间存在一定间距的未覆盖区域。这种设计不仅可以有效抑制漏结处的隧穿，即常规 TFET 中的双极导通效应，还能有效降低栅电极对未覆盖区的影响，因此可以抑制小尺寸下寄生隧穿结的隧穿，寄生隧穿结发生的区域如图 1a 中 B 点所示位置。因此能降低器件开启时的亚阈值斜率。另外，漏区掺杂浓度较低也能进一步抑制双极导通效应。

—4—

四、该器件制备工艺简单，制备方法与传统的 MOSFET 工艺完全兼容。

简而言之，该器件结构采用垂直沟道区增加了器件的隧穿面积，利用高掺杂源区三面包围沟道区的设计有效调制了源端隧穿结，并且抑制了双极导通效应和小尺寸下的寄生隧穿结的隧穿，提高了 TFET 器件的开态电流和亚阈特性且制备方法简单。

- 5 与现有的 TFET 相比，在同样的有源区尺寸下，该器件可以得到更高的导通电流和更陡直的亚阈值斜率，且能保持低的泄漏电流，有望在低功耗领域得到采用，有较高的实用价值。

附图说明

- 10 图 1a 是本发明的结调制型垂直隧穿场效应晶体管的剖面示意图，图 1b 是沿图 1a 中 AA'方向的器件俯视图，其中箭头所示为隧穿方向；

图 2a 是刻蚀形成垂直沟道之后，在硬掩膜的保护下离子注入形成高掺杂漏区后的器件剖面图，图 2b 是相应的器件俯视图；

图 3a 是光刻仅暴露出垂直沟道区的一面，并刻蚀形成凹槽后的器件剖面图，图 3b 是相应的器件俯视图；

- 15 图 4a 是生长栅介质层，并淀积控制栅材料后的器件剖面图，图 4b 是相应的器件俯视图；

图 5a 是淀积隔离层并回刻，腐蚀未被保护的多晶硅后的器件剖面图，图 5b 是相应的器件俯视图；

- 20 图 6a 是继续淀积隔离层，并离子注入形成另一种掺杂类型的较低掺杂漏区后的器件剖面图，图 6b 是相应的器件俯视图；

图 7 是继续淀积隔离层、开接触孔以及形成金属引出后的结调制型垂直隧穿场效应晶体管剖面图；

图中：

- | | |
|--------------|------------|
| 1 —— 半导体衬底 | 2 —— 垂直沟道区 |
| 25 3 —— 硬掩膜层 | 4 —— 高掺杂源区 |
| 5 —— 栅介质层 | 6 —— 控制栅 |
| 7 —— 隔离层 | 8 —— 低掺杂漏区 |

9 —— 栅电极

10 —— 源电极

11 —— 漏电极

具体实施方式

下面通过实例对本发明做进一步说明。需要注意的是，公布实施例的目的在于帮助进一步理解本发明，但是本领域的技术人员可以理解：在不脱离本发明及所附权利要求的精神和范围内，各种替换和修改都是可能的。因此，本发明不应局限于实施例所公开的内容，本发明要求保护的范围以权利要求书界定的范围为准。

本发明制备方法的一具体实例包括图 2 至图 7 所示的工艺步骤：

1、在晶向为 (100) 的体硅硅片硅衬底 1 上淀积硬掩膜层 3，硬掩膜层为 Si_3N_4 ，厚度为 300nm，衬底掺杂浓度为轻掺杂；然后光刻刻蚀，定义出垂直沟道区 2 所在的正方形图形，长宽均为 50nm；在硬掩膜的保护下，深刻蚀硅材料形成垂直的沟道区 2；

2、在硬掩膜的保护下，进行 P^+ 离子注入，形成环绕垂直沟道区四面的高掺杂源区 4，离子注入的能量为 40keV，注入杂质为 BF_2^+ ，如图 2a、2b 所示；

3、光刻仅暴露出环绕垂直沟道区一面的高掺杂源区，并刻蚀硅，刻蚀深度为 500nm，使得只剩下三面包围的高掺杂源区，去除光刻胶，如图 3a、3b 所示；

4、热生长一层栅介质层 5，栅介质层为 SiO_2 ，厚度为 1~5nm；淀积栅材料，栅材料为掺杂多晶硅层，厚度为 150~300nm，如图 4a、4b 所示。

5、淀积隔离层 7，隔离层为 SiO_2 ，厚度为 $1\mu\text{m}$ ，回刻，停止层为高掺杂源区上方的多晶硅；然后在隔离层 7 的保护下各项同性腐蚀多晶硅层，仅留下被隔离层覆盖的多晶硅层作为垂直控制栅 6，如图 5a、5b 所示。

6、继续淀积 SiO_2 ，淀积厚度为 50nm，然后进行 N 离子注入，形成另一种掺杂类型的低掺杂漏区 8，离子注入的能量为 50keV，注入杂质为 As^+ ，如图 6a、6b 所示；进行一次快速高温退火，激活源漏掺杂的杂质。

7、最后进入常规 CMOS 后道工序，包括淀积钝化层、开接触孔以及金属化，即可制得所述的结调制型垂直隧穿场效应晶体管，如图 7 所示。

虽然本发明已以较佳实施例披露如上，然而并非用以限定本发明。任何熟悉本领域的技术人员，在不脱离本发明技术方案范围情况下，都可利用上述揭示的方法和

技术内容对本发明技术方案作出许多可能的变动和修饰,或修改为等同变化的等效实施例。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。

权 利 要 求

1. 一种隧穿场效应晶体管，包括一个半导体衬底（1）、一个垂直沟道区（2）、一个高掺杂源区（4）、一个低掺杂漏区（8）、一个栅介质层（5）和一个控制栅（6），以及与控制栅（6）相连的栅电极（9），与高掺杂源区（4）连接的源电极（10）和与低掺杂漏区（8）连接的漏电极（11），其特征在于，半导体衬底（1）的上方为垂直沟道区（2），垂直沟道区（2）呈长方体状；垂直沟道区（2）的下方一侧为栅介质层（5）和控制栅（6），其它侧面为高掺杂源区（4），低掺杂漏区（8）位于垂直沟道区（2）的顶端，低掺杂漏区（8）和控制栅（6）之间为隔离区（7），低掺杂漏区（8）和高掺杂源区（4）掺杂有不同掺杂类型的杂质，且低掺杂漏区（8）的掺杂浓度在 $5 \times 10^{17} \text{cm}^{-3}$ 至 $1 \times 10^{19} \text{cm}^{-3}$ 之间，高掺杂源区（4）的掺杂浓度在 $1 \times 10^{19} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 之间。

2. 如权利要求 1 所述的隧穿场效应晶体管，其特征在于，半导体衬底（1）的掺杂浓度在 $1 \times 10^{14} \text{cm}^{-3}$ 至 $1 \times 10^{17} \text{cm}^{-3}$ 之间。

3. 如权利要求 1 所述的隧穿场效应晶体管，其特征在于，垂直沟道区（2）的长和宽相等，且小于一倍的源耗尽层宽度，源耗尽层宽度的范围为 25nm - $1.5 \mu\text{m}$ ，垂直沟道区（2）的高大于垂直沟道区（2）的长和宽，垂直沟道区（2）的高度和宽的比例为 1.5:1-5:1。

4. 如权利要求 1 所述的隧穿场效应晶体管，其特征在于，低掺杂漏区（8）和控制栅（6）之间的垂直距离为 10nm - $1 \mu\text{m}$ 。

5. 一种制备权利要求 1 所述的隧穿场效应晶体管的方法，包括以下步骤：

（1）在半导体衬底上淀积硬掩膜层，并光刻刻蚀，定义垂直沟道区图形；在硬掩膜的保护下，深刻蚀形成垂直的沟道区；

（2）在硬掩膜的保护下，离子注入形成环绕垂直沟道区四面的高掺杂源区；光刻仅暴露出一面高掺杂源区，并刻蚀，刻蚀深度大于离子注入深度，使得只剩下三面包围的高掺杂源区；

（3）生长栅介质层，并淀积控制栅材料；

（4）淀积隔离层材料并回刻直至高掺杂源区上方的多晶硅，在隔离层的保

护下腐蚀多晶硅，仅留下被隔离层覆盖的多晶硅层作为垂直控制栅；

(5) 继续淀积隔离层，淀积厚度决定了漏和栅之间栅未覆盖区的长度；在隔离层的保护下，离子注入形成另一种掺杂类型的低掺杂漏区，然后快速热退火激活掺杂杂质；

5 (6) 最后进入 CMOS 后道工序，包括继续淀积隔离层、开接触孔以及金属化，即可制得如权利要求 1 所述的隧穿场效应晶体管。

6. 如权利要求 5 所述的制备方法，其特征在于，所述步骤 (1) 中的半导体衬底材料选自 Si、Ge、SiGe、GaAs 或其他 II-VI，III-V 和 IV-IV 族的二元或三元化合物半导体、绝缘体上的硅或绝缘体上的锗。
10

7. 如权利要求 5 所述的制备方法，其特征在于，所述步骤 (3) 中的栅介质层材料选自 SiO₂、Si₃N₄ 和高 K 栅介质材料。

15 8. 如权利要求 5 所述的制备方法，其特征在于，所述步骤 (3) 中的生长栅介质层的方法选自下列方法之一：热氧化、掺氮热氧化、化学气相淀积和物理气相淀积。

20 9. 如权利要求 5 所述的制备方法，其特征在于，所述步骤 (3) 中的控制栅材料选自掺杂多晶硅、金属钴或镍。

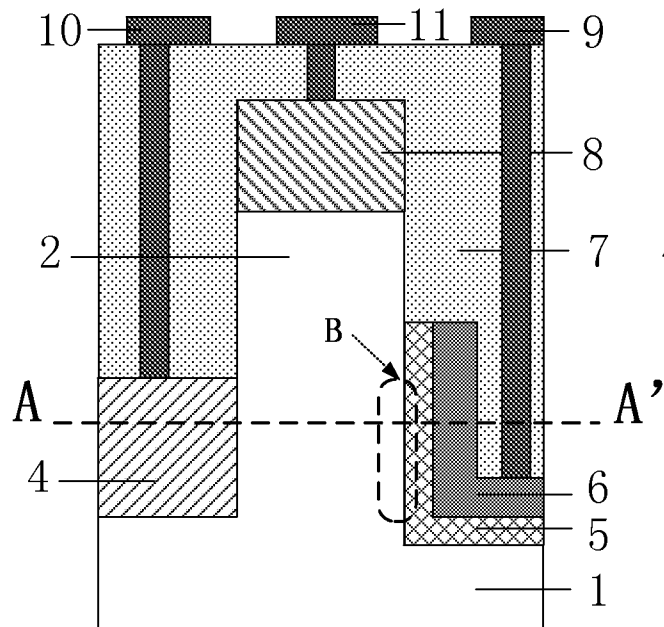


图 1a

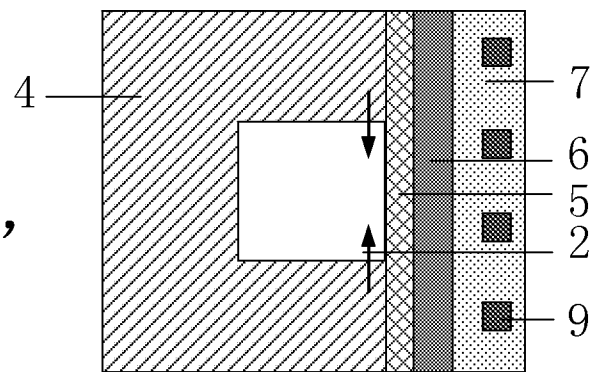


图 1b

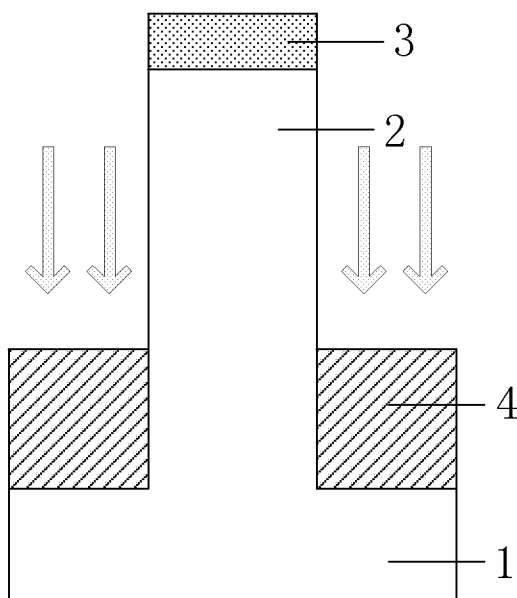


图 2a

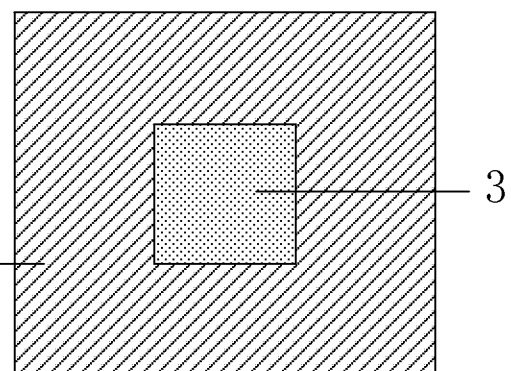


图 2b

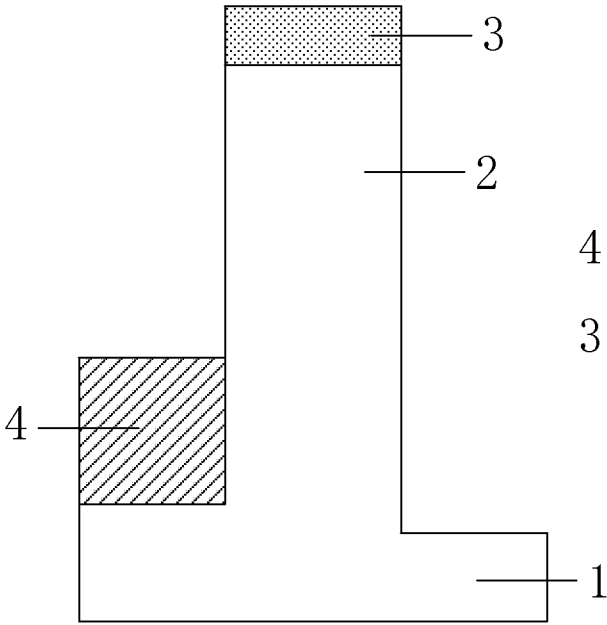


图 3a

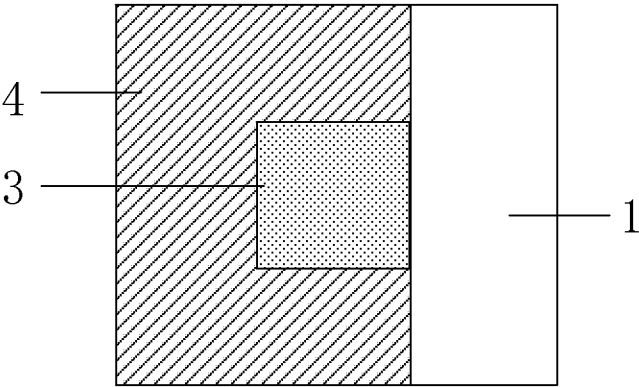


图 3b

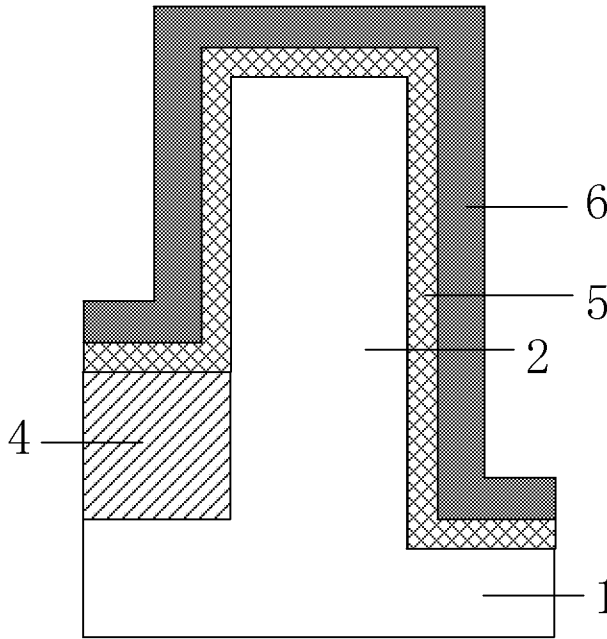


图 4a

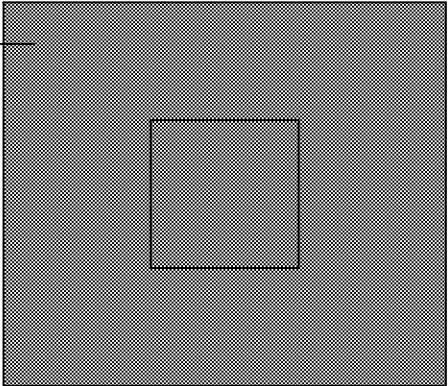


图 4b

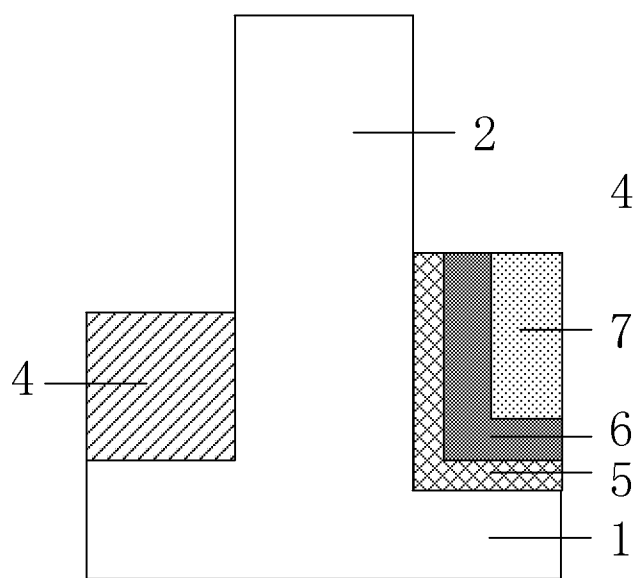


图 5a

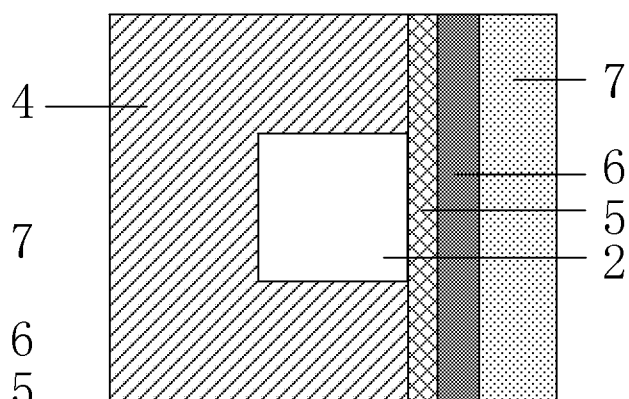


图 5b

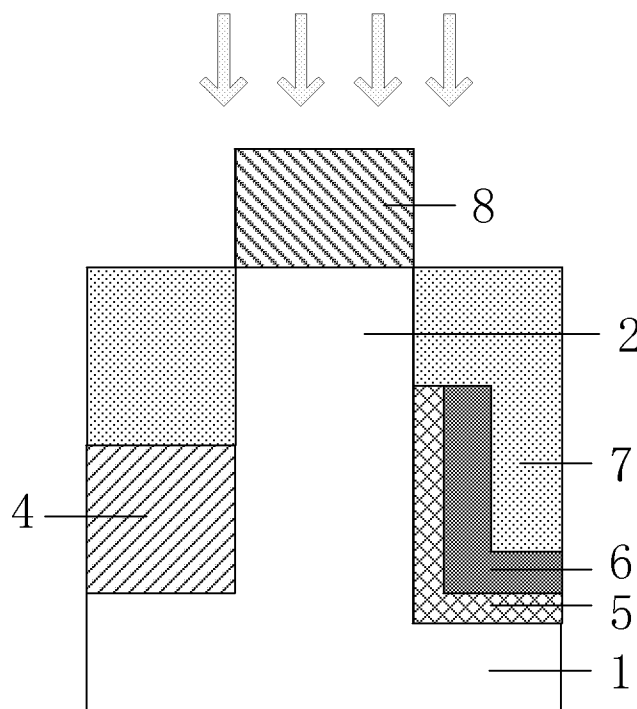


图 6a

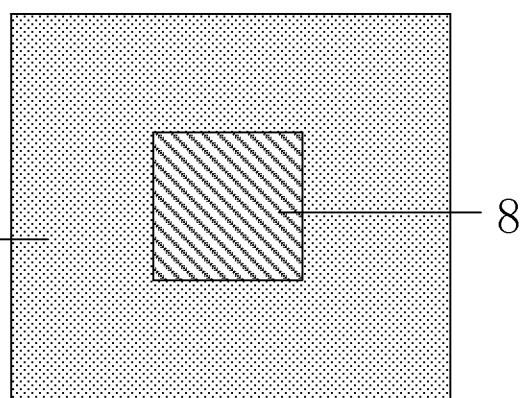


图 6b

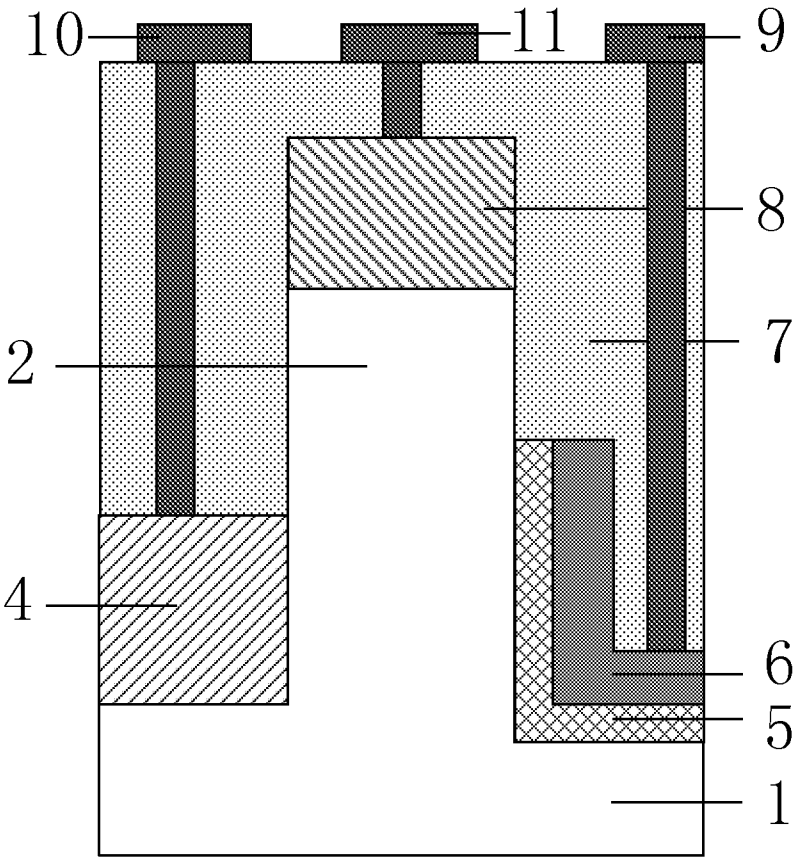


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/070352**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/336 (2006.01) i; H01L 29/78 (2006.01) i; H01L 29/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI: TFET, double pole conduction, gate?, vertical, perpendicular channel, control gate, tunnel, control, sub-threshold

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103151391 A (PEKING UNIVERSITY), 12 June 2013 (12.06.2013), the whole document	1-9
A	US 2006258072 A1 (KAVALIEROS et al.), 16 November 2006 (16.11.2006), the whole document	1-9
A	CN 102184955 A (TSINGHUA UNIVERSITY), 14 September 2011 (14.09.2011), the whole document	1-9
A	US 2011171803 A1 (KAKOSCHKE et al.), 14 July 2011 (14.07.2011), the whole document	1-9
A	US 2010200916 A1 (GOSSNER et al.), 12 August 2010 (12.08.2010), the whole document	1-9
A	CN 102364690 A (PEKING UNIVERSITY), 29 February 2012 (29.02.2012), the whole document	1-9
A	JP 2012190913 A (TOSHIBA KK), 04 October 2012 (04.10.2012), the whole document	1-9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 02 July 2014 (02.07.2014)	Date of mailing of the international search report 16 July 2014 (16.07.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHAO, Duan Telephone No.: (86-10) 62088403

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/070352

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103151391 A	12 June 2013	None	
US 2006258072 A1	16 November 2006	US 2008318385 A1	25 December 2008
		US 7888221 B2	15 February 2011
		US 7465976 B2	16 December 2008
CN 102184955 A	14 September 2011	US 2012267609 A1	25 October 2012
		CN 102184955 B	19 December 2012
		WO 2012136066 A1	11 October 2012
		US 8653504 B2	18 February 2014
US 2011171803 A1	14 July 2011	JP 4571544 B2	27 October 2010
		JP 2006054435 A	23 February 2006
		US 8389357 B2	05 March 2013
		FR 2879800 A1	23 June 2006
		GB 0513538 D0	10 August 2005
		CN 1750170 B	05 June 2013
		CN 1750170 A	22 March 2006
		GB 2417131 A	15 February 2006
		GB 2417131 B	11 October 2006
		US 2006033145 A1	16 February 2006
		DE 102005029493 A1	23 February 2006
		US 8288813 B2	16 October 2012
US 2010200916 A1	12 August 2010	US 2013181256 A1	18 July 2013
		DE 102010000354 A1	26 August 2010
		US 8405121 B2	26 March 2013
CN 102364690 A	29 February 2012	CN 102364690 B	06 November 2013
JP 2012190913 A	04 October 2012	JP 5383732 B2	08 January 2014
		US 2012228706 A1	13 September 2012

国际检索报告

国际申请号

PCT/CN2014/070352

A. 主题的分类

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;DWPI:TFET, 双极导通, gate?, vertical, 垂直沟道, 控制栅, 隧穿, control, 亚阈值

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103151391A (北京大学) 2013年 6月 12日 (2013 - 06 - 12) 全文	1-9
A	US 2006258072A1 (KAVALIEROS等) 2006年 11月 16日 (2006 - 11 - 16) 全文	1-9
A	CN 102184955A (清华大学) 2011年 9月 14日 (2011 - 09 - 14) 全文	1-9
A	US 2011171803A1 (KAKOSCHKE等) 2011年 7月 14日 (2011 - 07 - 14) 全文	1-9
A	US 2010200916A1 (GOSSNER等) 2010年 8月 12日 (2010 - 08 - 12) 全文	1-9
A	CN 102364690A (北京大学) 2012年 2月 29日 (2012 - 02 - 29) 全文	1-9
A	JP 2012190913A (TOSHIBA KK) 2012年 10月 04日 (2012 - 10 - 04) 全文	1-9

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 7月 02日

国际检索报告邮寄日期

2014年 7月 16日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

授权官员

赵端

传真号 (86-10)62019451

电话号码 (86-10)62088403

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/070352

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 103151391A	2013年 6月 12日	无	
US 2006258072A1	2006年 11月 16日	US 2008318385A1	2008年 12月 25日
		US 7888221B2	2011年 2月 15日
		US 7465976B2	2008年 12月 16日
CN 102184955A	2011年 9月 14日	US 2012267609A1	2012年 10月 25日
		CN 102184955B	2012年 12月 19日
		WO 2012136066A1	2012年 10月 11日
		US 8653504B2	2014年 2月 18日
US 2011171803A1	2011年 7月 14日	JP 4571544B2	2010年 10月 27日
		JP 2006054435A	2006年 2月 23日
		US 8389357B2	2013年 3月 05日
		FR 2879800A1	2006年 6月 23日
		GB 0513538D0	2005年 8月 10日
		CN 1750170B	2013年 6月 05日
		CN 1750170A	2006年 3月 22日
		GB 2417131A	2006年 2月 15日
		GB 2417131B	2006年 10月 11日
		US 2006033145A1	2006年 2月 16日
		DE 102005029493A1	2006年 2月 23日
		US 8288813B2	2012年 10月 16日
US 2010200916A1	2010年 8月 12日	US 2013181256A1	2013年 7月 18日
		DE 102010000354A1	2010年 8月 26日
		US 8405121B2	2013年 3月 26日
CN 102364690A	2012年 2月 29日	CN 102364690B	2013年 11月 06日
JP 2012190913A	2012年 10月 04日	JP 5383732B2	2014年 1月 08日
		US 2012228706A1	2012年 9月 13日

表 PCT/ISA/210 (同族专利附件) (2009年7月)