

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 9 月 14 日 (14.09.2017)



(10) 国际公布号
WO 2017/152553 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) *G01R 31/00* (2006.01)
G11C 19/28 (2006.01)
- (21) 国际申请号: PCT/CN2016/088080
- (22) 国际申请日: 2016 年 7 月 1 日 (01.07.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610136463.X 2016 年 3 月 10 日 (10.03.2016) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园, Anhui 230012 (CN)。
- (72) 发明人: 张淼 (ZHANG, Miao); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘金良 (LIU, Jinliang); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。陈沫

(CHEN, Mo); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。孙静 (SUN, Jing); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。孙松梅 (SUN, Songmei); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: GATE DRIVING CIRCUIT AND DETECTION METHOD THEREFOR, ARRAY SUBSTRATE, AND DISPLAY DEVICE

(54) 发明名称: 栅极驱动电路及其检测方法、阵列基板、显示装置

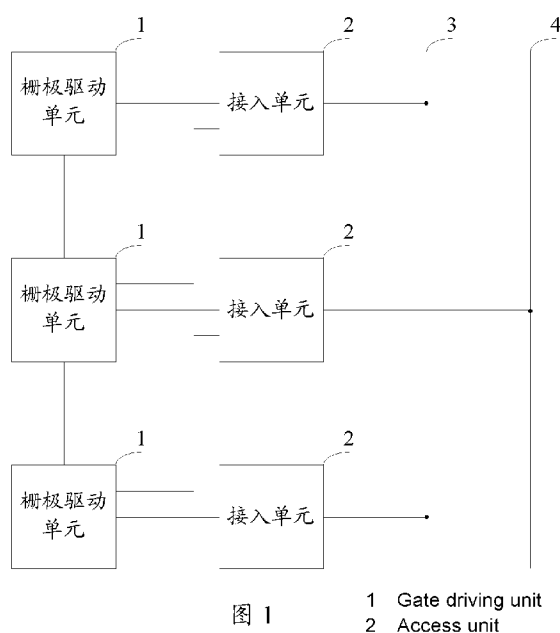


图 1

1 Gate driving unit
2 Access unit

(57) Abstract: A gate driving circuit and a detection method therefor, an array substrate, and a display device. The gate driving circuit comprises a plurality of cascaded gate driving units (1), access units (2), a first signal line (3), and a second signal line (4), each access unit (2) being connected respectively to the corresponding gate driving unit (1) and the gate driving unit (1) at the next stage of the corresponding gate driving unit (1), the access units (2) to which the gate driving units (1) at odd-numbered stages correspond being connected to the first signal line (3) such that the first signal line (3) detects, by means of the access units (2), the output signals of the gate driving units (1) at the odd-numbered stages; the access units (2) to which the gate driving units (1) at even-numbered stages correspond being connected to the second signal line (4) such that the second signal line (4) detects, by means of the access units (2), the output signals of the gate driving units (1) at the even-numbered stages. Whether a defect is present in the gate driving unit (1) at each stage can be determined just by connecting the first signal line (3) and the second signal line (4) respectively to an oscilloscope when the detection is performed, with simple operation and improved detection efficiency.

(57) 摘要:

[见续页]



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种栅极驱动电路及其检测方法、阵列基板、显示装置。栅极驱动电路包括多个级联的栅极驱动单元(1)、接入单元(2)、第一信号线(3)和第二信号线(4), 每个接入单元(2)分别与对应的栅极驱动单元(1)、对应的栅极驱动单元(1)的下一级的栅极驱动单元(1)连接, 奇数级的栅极驱动单元(1)对应的接入单元(2)与第一信号线(3)连接以便第一信号线(3)通过接入单元(2)检测奇数级的栅极驱动单元(1)的输出信号; 偶数级的栅极驱动单元(1)对应的接入单元(2)与第二信号线(4)连接以便第二信号线(4)通过接入单元(2)检测偶数级的栅极驱动单元(1)的输出信号。检测时将第一信号线(3)和第二信号线(4)分别与示波器连接即可确定各级的栅极驱动单元(1)是否存在缺陷, 操作简单, 提高了检测效率。

栅极驱动电路及其检测方法、阵列基板、显示装置

本申请要求了 2016 年 3 月 10 日提交的、申请号为 201610136463.X 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及显示技术领域，特别涉及一种栅极驱动电路及其检测方法、阵列基板、显示装置。

背景技术

阵列栅极驱动电路（Gate driver On Array，简称 GOA）技术是一种将液晶显示器栅极驱动集成电路（Gate Driver Integrated Circuit）集成在阵列（Array）基板上的技术。GOA 电路具有多个级联的 GOA 单元，各个 GOA 单元分别构成一个移位寄存器，本级的 GOA 单元的输入信号为上一级的 GOA 单元的输出信号，本级的 GOA 单元的输出信号为上一级的 GOA 单元的复位信号，各级的 GOA 单元的输出信号依次为高电平，实现液晶面板的逐行扫描。

由于本级的 GOA 单元的输出信号为下一级的 GOA 单元的输入信号，因此某一级的 GOA 单元的输出信号出现异常将导致后续的 GOA 单元的输出信号均出现异常，最终导致液晶面板显示异常。为了确定存在缺陷的 GOA 单元，通常依次将各级的 GOA 单元与示波器连接，根据示波器显示的各级 GOA 单元的输出信号的波形是否正常确定各级 GOA 单元是否存在缺陷。因此，至少存在以下问题：依次将各级的 GOA 单元与示波器连接，操作麻烦，检测效率低。

发明内容

本发明实施例提供了一种栅极驱动电路及其检测方法、阵列基板、显示装置。

根据本发明实施例的一方面，提供了一种栅极驱动电路，包括多个级联的栅极驱动单元；接入单元、第一信号线和第二信号线，每个所述接入单元分别与对应的所述栅极驱动单元、对应的所述栅极驱动单元的下一级的所述栅极驱动单元连接，其中奇数级的所述栅极驱动单元对应的所述接入单元与所述第一信号线连

接以便所述第一信号线通过所述接入单元检测奇数级的所述栅极驱动单元的输出信号，偶数级的所述栅极驱动单元对应的所述接入单元与所述第二信号线连接以便所述第二信号线通过所述接入单元检测偶数级的所述栅极驱动单元的输出信号。

可选地，奇数级的所述栅极驱动单元对应的接入单元用于，根据对应的所述栅极驱动单元的输出信号、以及对应的所述栅极驱动单元的下一级的所述栅极驱动单元的输出信号，将对应的所述栅极驱动单元的输出端与所述第一信号线导通；偶数级的所述栅极驱动单元对应的接入单元用于，根据对应的所述栅极驱动单元的输出信号、以及对应的所述栅极驱动单元的下一级的所述栅极驱动单元的输出信号，将对应的所述栅极驱动单元的输出端与所述第二信号线导通。

可选地，所述接入单元包括第一晶体管和第二晶体管，所述第一晶体管的栅极、所述第一晶体管的第一端、所述第二晶体管的第一端分别与所述接入单元对应的所述栅极驱动单元的输出端连接，所述第二晶体管的栅极与所述接入单元对应的所述栅极驱动单元的下一级所述栅极驱动单元的输出端连接，所述第一晶体管的第二端和所述第二晶体管的第二端分别与所述第一信号线连接，或者所述第一晶体管的第二端和所述第二晶体管的第二端分别与所述第二信号线连接。

可选地，所述栅极驱动单元包括多个晶体管、以及连接所述多个晶体管的引线，所述接入单元与所述多个晶体管同时制作，所述第一信号线和所述第二信号线均与所述引线同时制作。

可选地，所述接入单元、所述第一信号线和所述第二信号线均设置在所述栅极驱动单元的输出端。

可选地，所述第一信号线的一端和所述第二信号线的一端均设有测试端子，所述测试端子用于与示波器连接。

可选地，所述第一信号线设有所述测试端子的一端和所述第二信号线设有所述测试端子的一端位于所述栅极驱动电路的同一侧。

根据本发明实施例的另一方面，提供了一种阵列基板，所述阵列基板包括上述栅极驱动电路。

根据本发明实施例的又一方面，提供了一种显示装置，所述显示装置包括上述阵列基板。

根据本发明实施例的又一方面，提供了前述栅极驱动电路的检测方法，包括：

将第一信号线和第二信号线分别与示波器连接；

采用示波器显示所述第一信号线的输出信号和所述第二信号线的输出信号；

根据所述第一信号线的输出信号和所述第二信号线的输出信号中高低电平的变化情况，确定存在缺陷的栅极驱动单元。

根据本发明实施例，通过第一信号线检测奇数级的栅极驱动单元的输出信号，第二信号线检测偶数级的栅极驱动单元的输出信号，从而将各级栅极驱动单元的输出信号接入到第一信号线和第二信号线中。因此检测时只需将第一信号线和第二信号线分别与示波器连接即可确定各级的栅极驱动单元是否存在缺陷，操作简单方便，检测效率大大提高。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1是本发明实施例提供的一种栅极驱动电路的结构示意图；

图2是本发明实施例提供的一种栅极驱动电路的示例示意图；

图3是本发明实施例提供的栅极驱动单元的结构示意图；

图4是本发明实施例提供的栅极驱动单元中信号的时序图；

图5a是本发明实施例提供的正常和异常的上拉节点信号的时序图；

图5b是本发明实施例提供的正常和异常的输出信号的时序图；

图6a是本发明实施例提供的正常的第二信号线信号和第一信号线信号的时序图；

图6b是本发明实施例提供的异常的第二信号线信号和第一信号线信号的时序图；

图7是本发明实施例提供的一种栅极驱动电路的检测方法的流程图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明实施方式作进一步地详细描述。

本发明实施例提供了一种栅极驱动电路，参见图1，该栅极驱动电路包括多

个级联的栅极驱动单元 1 (图 1 仅以三个为例)、接入单元 2、第一信号线 3 和第二信号线 4。每个接入单元 2 分别与对应的栅极驱动单元 1、对应的栅极驱动单元 1 的下一级的栅极驱动单元 1 连接,其中,奇数级的栅极驱动单元 1 对应的接入单元 2 与第一信号线 3 连接以便第一信号线 3 通过接入单元 2 检测奇数级的栅极驱动单元 1 的输出信号;偶数级的栅极驱动单元 1 对应的接入单元 2 与第二信号线 4 连接以便第二信号线 4 通过接入单元 2 检测偶数级的栅极驱动单元 1 的输出信号。

本发明实施例通过第一信号线检测奇数级的栅极驱动单元的输出信号,通过第二信号线检测偶数级的栅极驱动单元的输出信号,从而将各级的栅极驱动单元的输出信号接入到第一信号线和第二信号线中。因此检测时只需将第一信号线和第二信号线分别与示波器连接即可确定各级的栅极驱动单元是否存在缺陷。

图 2 是本发明实施例提供的一种栅极驱动电路的示例示意图。参见图 2,该栅极驱动电路包括多个级联的栅极驱动单元 1 (图 2 仅以三个为例)、接入单元 2、第一信号线 3 和第二信号线 4。每个接入单元 2 分别与对应的栅极驱动单元 1、对应的栅极驱动单元 1 的下一级的栅极驱动单元 1 连接,奇数级的栅极驱动单元 1 对应的接入单元 2 与第一信号线 3 连接以便第一信号线 3 通过接入单元 2 检测奇数级的栅极驱动单元 1 的输出信号,偶数级的栅极驱动单元 1 对应的接入单元 2 与第二信号线 4 连接以便第二信号线 4 通过接入单元 2 检测偶数级的栅极驱动单元 1 的输出信号。

可以理解地,在采用第一信号线和第二信号线检测栅极驱动单元是否存在缺陷的过程中,会向栅极驱动单元中输入相应的信号,包括输入信号 IN、正向时钟信号 CLK、反相时钟信号 CLKB、复位信号 RESET、低电压信号 VSS,以使栅极驱动单元处于工作状态(即点灯状态)。

在本实施例的一种实现方式中,接入单元 2、第一信号线 3 和第二信号线 4 均可以设置在栅极驱动单元 1 的输出端,以方便布线。

在实际应用中,接入单元 2、第一信号线 3 和第二信号线 4 可以位于栅极驱动单元 1 和阵列基板的显示区之间,第一信号线和第二信号线均从显示装置的屏幕的一侧延伸到另一侧。

在本实施例的另一种实现方式中，第一信号线 3 的一端和第二信号线 4 的一端均可以设有测试端子，测试端子用于与示波器连接。

需要说明的是，栅极驱动电路通常封装在显示装置内部，设置测试端子可以在不破坏显示装置的情况下，将示波器分别与第一信号线和第二信号线连接进行检测，避免破坏显示装置损伤栅极驱动单元，不会对显示装置的正常工作造成影响，节省人力物力，提高测试的效率和准确度。

可选地，第一信号线 3 设有测试端子的一端和第二信号线 4 设有测试端子的一端可以位于栅极驱动电路的同一侧，以方便将示波器分别与第一信号线 3 和第二信号线 4 连接进行检测。

在实际应用中，测试端子 (Test pad) 设置在数据端子 (Data pad) 一侧。其中，数据端子用于将显示装置的外部的数据信号接入显示装置的内部，以控制显示装置显示的内容。具体地，测试端子和数据端子一起设置在显示装置的封装外，以在不破坏显示装置的封装的情况下获取到显示装置内的电信号。例如，测试端子和数据端子设置在液晶盒的封框胶外，因此能够在不损坏液晶盒的情况下将示波器的探针与测试端子连接，实现栅极驱动单元是否存在缺陷的检测。

在本实施例的又一种实现方式中，奇数级的栅极驱动单元 1 对应的接入单元 2 用于，根据对应的栅极驱动单元 1 的输出信号、以及对应的栅极驱动单元 1 的下一级的栅极驱动单元 1 的输出信号，将对应的栅极驱动单元 1 的输出端与第一信号线 3 导通；偶数级的栅极驱动单元 1 对应的接入单元 2 用于，根据对应的栅极驱动单元 1 的输出信号、以及对应的栅极驱动单元 1 的下一级的栅极驱动单元 1 的输出信号，将对应的栅极驱动单元 1 的输出端与第二信号线 4 导通。

参见图 2，接入单元 2 可以包括第一晶体管 M1 和第二晶体管 M2，第一晶体管 M1 的栅极、第一晶体管 M1 的第一端、第二晶体管 M2 的第一端分别与接入单元 2 对应的栅极驱动单元 1 的输出端连接，第二晶体管 M2 的栅极与接入单元 2 对应的栅极驱动单元 1 的下一级栅极驱动单元 1 的输出端连接，第一晶体管 M1 的第二端和第二晶体管 M2 的第二端分别与第一信号线 3 连接，或者第一晶体管 M1 的第二端和第二晶体管 M2 的第二端分别与第二信号线 4 连接。可以理解地，采用晶体管实现具有成本低的效果。

具体地，当接入单元 2 对应的栅极驱动单元 1 为奇数级的栅极驱动单元 1 时，第一晶体管 M1 的第二端和第二晶体管 M2 的第二端分别与第一信号线 3 连接；

当接入单元 2 对应的栅极驱动单元 1 为偶数级的栅极驱动单元 1 时, 第一晶体管 M1 的第二端和第二晶体管 M2 的第二端分别与第二信号线 4 连接。

在本实施例中, 第一端为漏极, 第二端为源极。

优选地, 第一晶体管 M1 和第二晶体管 M2 可以均为 N 型晶体管或者 P 型晶体管, 以适应不同的电路要求。

以第一晶体管 M1 和第二晶体管 M2 为 N 型晶体管为例, 奇数级的栅极驱动单元 1 对应的接入单元 2 用于, 在对应的栅极驱动单元 1 输出高电平时, 通过第一晶体管 M1 将对应的栅极驱动单元 1 的输出端与第一信号线 3 导通, 并在对应的栅极驱动单元 1 的下一级的栅极驱动单元 1 输出高电平时, 通过第二晶体管 M2 将对应的栅极驱动单元 1 的输出端与第一信号线 3 导通; 偶数级的栅极驱动单元 1 对应的接入单元 2 用于, 在对应的栅极驱动单元 1 输出高电平时, 通过第一晶体管 M1 将对应的栅极驱动单元 1 的输出端与第二信号线 4 导通, 并在对应的栅极驱动单元 1 的下一级的栅极驱动单元 1 输出高电平时, 通过第二晶体管 M2 将对应的栅极驱动单元 1 的输出端与第二信号线 4 导通。

具体地, 当本级栅极驱动单元 1 的输出信号 OUT 为高电平时, 第一晶体管 M1 导通, 本级栅极驱动单元 1 通过第一晶体管 M1 输出高电平的输出信号 OUT; 当本级栅极驱动单元 1 的下一级栅极驱动单元 1 的输出信号为高电平时 (由于各级栅极驱动单元 1 逐级输出高电平, 所以此时本级栅极驱动单元 1 的输出信号 OUT 已恢复为低电平), 第二晶体管 M2 导通, 本级栅极驱动单元 1 通过第二晶体管 M2 输出低电平的输出信号 OUT。

在本实施例中, 高电平和低电平是相对两种电压, 一般规定低电平为 0~0.25V, 高电平为 3.5~5V。

优选地, 第一晶体管 M1 和第二晶体管 M2 均可以为薄膜晶体管 (Thin Film Transistor, 简称 TFT), 以便于采用显示装置的工艺完成制作。

可选地, 栅极驱动单元 1 包括多个晶体管、以及连接多个晶体管的引线, 第一晶体管 M1 和第二晶体管 M2 均可以与多个晶体管同时制作, 第一信号线 3 和第二信号线 4 均可以与引线同时制作, 以节省工艺流程, 降低成本。

具体地, 参见图 3, 栅极驱动单元 1 可以包括电容 C、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6; 第三晶体管 M3 的第一端和第三晶体管 M3 的栅极连接输入信号 IN 的输入端, 第三晶体管 M3 的第二端连接上拉节

点 PU；电容 C 的第一极连接上拉节点 PU，电容 C 的第二极连接输出信号 OUT 的输出端；第四晶体管 M4 的第一端连接正相时钟信号 CLK 的输入端，第四晶体管 M4 的第二端连接输出信号 OUT 的输出端，第四晶体管 M4 的栅极连接上拉节点 PU；第五晶体管 M5 的第一端连接上拉节点 PU，第五晶体管 M5 的第二端连接低电压信号 VSS 的输入端，第五晶体管 M5 的栅极连接复位信号 RESET 的输入端；第六晶体管 M6 的第一端连接输出信号 OUT 的输出端，第六晶体管 M6 的第二端连接低电压信号 VSS 的输入端，第六晶体管 M6 的栅极连接复位信号 RESET 的输入端。

需要说明的是，由于第一信号线 3 和第二信号线 4 是与第一晶体管 M1 和第二晶体管 M2 连接，因此结合上述实现方式，与第一信号线 3 和第二信号线 4 同时制作的引线包括与第三至第六晶体管 M3-M6 的栅极连接的引线。具体地，第三至第六晶体管 M3-M6 的栅极连接的引线包括第三晶体管 M3 的栅极与输入信号 IN 的输入端的连接线、第四晶体管 M4 的栅极与上拉节点 PU 的连接线、第五晶体管 M5 的栅极与复位信号 RESET 的输入端的连接线、以及第六晶体管 M6 的栅极与复位信号 RESET 的输入端的连接线，以便于简化制作工艺。进一步地，第一信号线 3 和第二信号线 4 可以与第一至第六晶体管 M1-M6 的栅极同时制作。

可选地，各个栅极驱动单元 1 均还可以包括第七晶体管 M7、第八晶体管 M8、第九晶体管 M9、第十晶体管 M10；第七晶体管 M7 的第一端和第七晶体管 M7 的栅极连接反相时钟信号 CLKB 的输入端，第七晶体管 M7 的第二端连接下拉节点 PD；第八晶体管 M8 的第一端连接下拉节点 PD，第八晶体管 M8 的第二端连接低电压信号 VSS 的输入端，第八晶体管 M8 的栅极连接上拉节点 PU；第九晶体管 M9 的第一端连接上拉节点 PU，第九晶体管 M9 的第二端连接低电压信号 VSS 的输入端，第九晶体管 M9 的栅极连接下拉节点 PD；第十晶体管 M10 的第一端连接输出信号 OUT 的输出端，第十晶体管 M10 的第二端连接低电压信号 VSS 的输入端，第十晶体管 M10 的栅极连接下拉节点 PD。

具体地，第三至第十晶体管 M3-M10 均可以为 TFT。

具体地，第三至第十晶体管 M3-M10 可以均为 N 型晶体管或者 P 型晶体管。

以第一至第十晶体管 M1-M10 均为 N 型晶体管为例，图 4 为本发明实施例提供的栅极驱动单元中信号的时序图，包括输入阶段 T1、输出阶段 T2、复位阶段 T3 三个阶段。需要说明的是，图 4 所示的时序图以各晶体管为 N 型晶体管为例，

本发明实施例并不限制于此。

在输入阶段 T1:

正相时钟信号 CLK 为低电平,反相时钟信号 CLKB 为高电平,输入信号 IN 为高电平,复位信号 RESET 为低电平;

输入信号 IN 控制第三晶体管 M3 导通,上拉节点 PU 的电压被输入信号 IN 拉高。第四晶体管 M4 采用比输入信号 IN 的高电平电压更高的阈值电压的晶体管而截止,输出信号 OUT 为低电平;

同时反相时钟信号 CLKB 控制第七晶体管 M7 导通。第八晶体管 M8 在上拉节点 PU 的电压的控制下导通,下拉节点 PD 为低电平,第九晶体管 M9 和第十晶体管 M10 截止;

另外,复位信号 RESET 为低电平,第五晶体管 M5、第六晶体管 M6 截止。

在输出阶段 T2:

正相时钟信号 CLK 为高电平,反相时钟信号 CLKB 为低电平,输入信号 IN 为低电平,复位信号 RESET 为低电平;

正相时钟信号 CLK 为高电平,在第四晶体管 M4 中的等效电容的自举作用下,上拉节点 PU 的电压被进一步拉高,达到第四晶体管 M4 的阈值电压,第四晶体管 M4 导通,输出信号 OUT 为高电平;

反相时钟信号 CLKB 为低电平,第七晶体管 M7 截止。第八晶体管 M8 在上拉节点 PU 的电压的控制下导通,下拉节点 PD 为低电平,第九晶体管 M9 和第十晶体管 M10 截止;

复位信号 RESET 为低电平,第五晶体管 M5、第六晶体管 M6 截止。输入信号 IN 为低电平,第三晶体管 M3 截止。

在复位阶段 T3:

正相时钟信号 CLK 为低电平,反相时钟信号 CLKB 为高电平,输入信号 IN 为低电平,复位信号 RESET 为高电平;

复位信号 RESET 为高电平,第五晶体管 M5、第六晶体管 M6 导通,上拉节点 PU 的电压、输出信号 OUT 复位;

同时反相时钟信号 CLKB 为高电平,第七晶体管 M7 导通。第八晶体管 M8 在上拉节点 PU 的电压的控制下截止,下拉节点 PD 为高电平,第九晶体管 M9 和第十晶体管 M10 导通,拉低上拉节点 PU 和输出信号 OUT 的电压;

另外，输入信号 IN 为低电平，第三晶体管 M3 截止。第四晶体管 M4 在上拉节点 PU 的电压的控制下截止。

综上所述，参见图 5a，正常的上拉节点 PU 信号在输入阶段 T1 和输出阶段 T2 为高电平，输出阶段 T2 的高电平大于输入阶段 T1 的高电平，在复位阶段 T3 为低电平，因此正常的输出信号 OUT 在输出阶段 T2 为高电平，在输入阶段 T1 和复位阶段 T3 为低电平，如图 5b 所示。参见图 5a，异常的上拉节点 PU 信号在输入阶段 T1、输出阶段 T2、以及复位阶段 T3 均为高电平，导致异常的输出信号 OUT 在输出阶段 T2 和复位阶段 T3 均为高电平，只在输入阶段 T1 为低电平，如图 5b 所示。

如前所述，奇数级的栅极驱动单元 1 对应的接入单元 2 用于，在对应的栅极驱动单元 1 输出高电平时以及在对应的栅极驱动单元 1 的下一级的栅极驱动单元 1 输出高电平（此时对应的栅极驱动单元 1 输出低电平）时，将对应的栅极驱动单元 1 的输出端与第一信号线 3 导通，第一信号线 3 上对应各个奇数级的栅极驱动单元 1 的输出信号为依次出现一个高电平和一个低电平。同样地，偶数级的栅极驱动单元 1 对应的接入单元 2 用于，在对应的栅极驱动单元 1 输出高电平时以及在对应的栅极驱动单元 1 的下一级的栅极驱动单元 1 输出高电平（此时对应的栅极驱动单元 1 输出低电平）时，将对应的栅极驱动单元 1 的输出端与第二信号线 4 导通，第二信号线 4 上对应各个偶数级的栅极驱动单元 1 的输出信号为依次出现一个高电平和一个低电平。

结合图 2，栅极驱动单元的输入信号 IN 为该栅极驱动单元上一级的栅极驱动单元的输出信号 OUT，栅极驱动单元的输出信号为该栅极驱动单元上一级的栅极驱动单元的复位信号。具体地，在第一时刻，第一级栅极驱动单元输出高电平的输出信号 OUT（同时作为第二级栅极驱动单元的输入信号 IN），第一信号线上的信号为高电平；在第一时刻之后的第二时刻，第二级栅极驱动单元输出高电平的输出信号 OUT（同时作为第三级栅极驱动单元的输入信号 IN 和第一级栅极驱动单元的复位信号 RESET），第二信号线上的信号为高电平，同时第一级栅极驱动单元输出低电平的输出信号 OUT，第一信号线上的信号为低电平；在第二时刻之后的第三时刻，第三级栅极驱动单元输出高电平的输出信号 OUT（同时作为第四级栅极驱动单元的输入信号 IN 和第二级栅极驱动单元的复位信号 RESET），第一信号线上的信号为高电平，同时第二级栅极驱动单元输出低电平的输出信号

OUT, 第二信号线上的信号为低电平……依次类推, 因此正常情况下, 第一信号线和第二信号线上的信号为周期恒定的方波信号(高电平和低电平交替出现), 如图 6a 所示。

同时若某一级的栅极驱动单元的输出信号出现异常, 则某一级的栅极驱动单元的输出信号出现异常将导致后续的栅极驱动单元的输出信号均出现异常, 即在所有栅极驱动单元的输出信号均输出一次到第一信号线和第二信号线上的一个周期内, 第一信号线和第二信号线上的信号在对应该栅极驱动单元的输出信号的点之前为方波信号, 第一信号线和第二信号线上的信号在对应该栅极驱动单元的输出信号的点之后(包括该栅极驱动单元的输出信号的点)保持为高电平, 如图 6b 所示。

进一步地, 本发明利用上述原理, 根据第一信号线和第二信号线上一段连续的方波信号的周期数(即交替出现的高电平和低电平的数量), 即可确定是否存在缺陷、以及存在缺陷的栅极驱动单元。例如, 图 6b 中第一信号线上一段连续的方波信号的周期数为三个, 第二信号线上一段连续的方波信号的周期数为两个, 则存在缺陷的栅极驱动单元为第六级栅极驱动单元。

本发明实施例提供了一种栅极驱动电路的检测方法, 适用于检测图 1 或图 2 所示的栅极驱动电路, 参见图 7, 该检测方法包括:

步骤 701: 将第一信号线和第二信号线分别与示波器连接。

步骤 702: 采用示波器显示第一信号线的输出信号和第二信号线的输出信号。

步骤 703: 根据第一信号线的输出信号和第二信号线的输出信号中高低电平的变化情况, 确定存在缺陷的栅极驱动单元。

具体地, 当第一信号线的输出信号和第二信号线的输出信号一直为同一周期的方波信号, 则栅极驱动单元没有缺陷; 当第一信号线的输出信号和第二信号线的输出信号中的至少一个上同一周期的方波信号中出现连续的高电平, 则栅极驱动存在缺陷。其中, 将第一信号线的输出信号上一段连续的方波信号的周期数、第二信号线的输出信号上一段连续的方波信号的周期数之和加 1, 即为存在缺陷的栅极驱动单元的级数。例如, 第一信号线上一段连续的方波信号的周期数为三个, 第二信号线上一段连续的方波信号的周期数为两个, 则存在缺陷的栅极驱动单元为第六级栅极驱动单元。

本发明实施例通过第一信号线检测奇数级的栅极驱动单元的输出信号，第二信号线检测偶数级的栅极驱动单元的输出信号，即将各级的栅极驱动单元的输出信号接入在第一信号线和第二信号线中，检测时只需将第一信号线和第二信号线分别与示波器连接即可确定各级的栅极驱动单元是否存在缺陷，操作简单方便，检测效率大大提高。

本发明实施例提供了一种阵列基板，该阵列基板包括如图 1 或图 2 所示的栅极驱动电路。

本发明实施例通过第一信号线检测奇数级的栅极驱动单元的输出信号，第二信号线检测偶数级的栅极驱动单元的输出信号，即将各级的栅极驱动单元的输出信号接入在第一信号线和第二信号线中，检测时只需将第一信号线和第二信号线分别与示波器连接即可确定各级的栅极驱动单元是否存在缺陷，操作简单方便，检测效率大大提高。

本发明实施例提供了一种显示装置，该显示装置包括上述阵列基板。

本发明实施例通过第一信号线检测奇数级的栅极驱动单元的输出信号，第二信号线检测偶数级的栅极驱动单元的输出信号，即将各级的栅极驱动单元的输出信号接入在第一信号线和第二信号线中，检测时只需将第一信号线和第二信号线分别与示波器连接即可确定各级的栅极驱动单元是否存在缺陷，操作简单方便，检测效率大大提高。

以上所述仅为本发明的较佳实施例，并不用以限制本发明，凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种栅极驱动电路，包括多个级联的栅极驱动单元，其特征在于，所述栅极驱动电路还包括与所述栅极驱动单元一一对应的接入单元、第一信号线和第二信号线，每个所述接入单元分别与对应的所述栅极驱动单元、对应的所述栅极驱动单元的下一级的所述栅极驱动单元连接，

其中奇数级的所述栅极驱动单元对应的所述接入单元与所述第一信号线连接以便所述第一信号线通过所述接入单元检测奇数级的所述栅极驱动单元的输出信号；偶数级的所述栅极驱动单元对应的所述接入单元与所述第二信号线连接以便所述第二信号线通过所述接入单元检测偶数级的所述栅极驱动单元的输出信号。

2、根据权利要求1所述的栅极驱动电路，其特征在于，奇数级的所述栅极驱动单元对应的接入单元用于，根据对应的所述栅极驱动单元的输出信号、以及对应的所述栅极驱动单元的下一级的所述栅极驱动单元的输出信号，将对应的所述栅极驱动单元的输出端与所述第一信号线导通；偶数级的所述栅极驱动单元对应的接入单元用于，根据对应的所述栅极驱动单元的输出信号、以及对应的所述栅极驱动单元的下一级的所述栅极驱动单元的输出信号，将对应的所述栅极驱动单元的输出端与所述第二信号线导通。

3、根据权利要求1所述的栅极驱动电路，其特征在于，所述接入单元包括第一晶体管和第二晶体管，所述第一晶体管的栅极、所述第一晶体管的第一端、所述第二晶体管的第一端分别与所述接入单元对应的所述栅极驱动单元的输出端连接，所述第二晶体管的栅极与所述接入单元对应的所述栅极驱动单元的下一级所述栅极驱动单元的输出端连接，所述第一晶体管的第二端和所述第二晶体管的第二端分别与所述第一信号线连接，或者所述第一晶体管的第二端和所述第二晶体管的第二端分别与所述第二信号线连接。

4、根据权利要求3所述的栅极驱动电路，其特征在于，所述栅极驱动单元包括多个晶体管、以及连接所述多个晶体管的引线，所述第一晶体管和所述第二晶体管均与所述多个晶体管同时制作，所述第一信号线和所述第二信号线均与所述引线同时制作。

5、根据权利要求1所述的栅极驱动电路，其特征在于，所述接入单元、所述第一信号线和所述第二信号线均设置在所述栅极驱动单元的输出端。

6、根据权利要求1所述的栅极驱动电路，其特征在于，所述第一信号线的一端和所述第二信号线的一端均设有测试端子，所述测试端子用于与示波器连接。

7、根据权利要求6所述的栅极驱动电路，其特征在于，所述第一信号线设有所述测试端子的一端和所述第二信号线设有所述测试端子的一端位于所述栅极驱动电路的同一侧。

8、一种阵列基板，其特征在于，所述阵列基板包括如权利要求1-7任一项所述的栅极驱动电路。

9、一种显示装置，其特征在于，所述显示装置包括如权利要求8所述的阵列基板。

10、一种如权利要求1-7任一项所述的栅极驱动电路的检测方法，其特征在于，所述检测方法包括：

将第一信号线和第二信号线分别与示波器连接；

采用示波器显示所述第一信号线的输出信号和所述第二信号线的输出信号；

根据所述第一信号线的输出信号和所述第二信号线的输出信号中高低电平的变化情况，确定存在缺陷的栅极驱动单元。

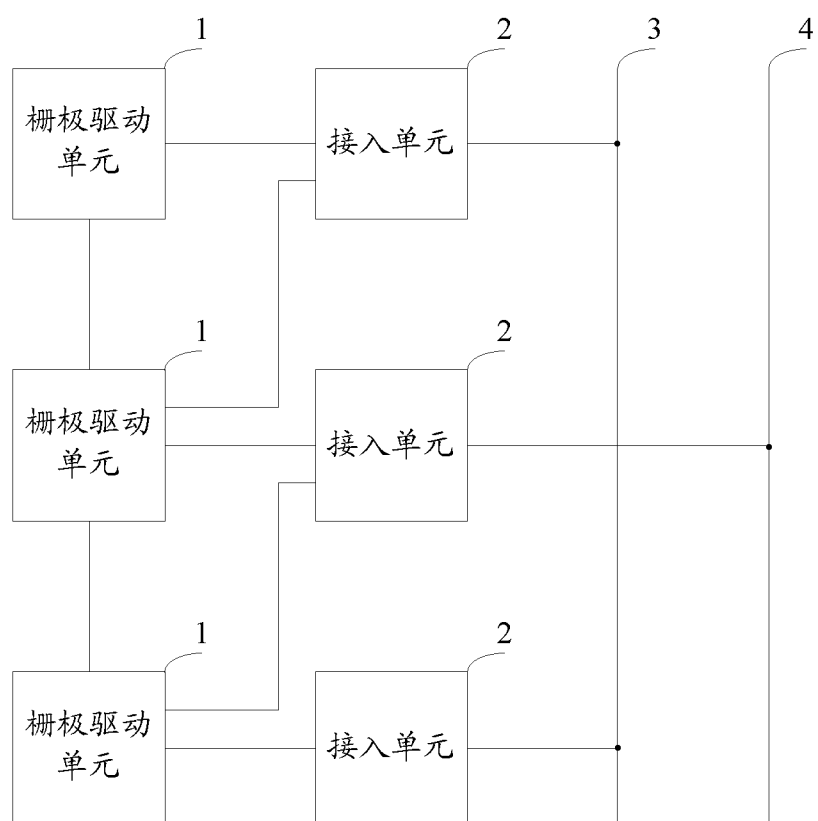


图 1

2/5

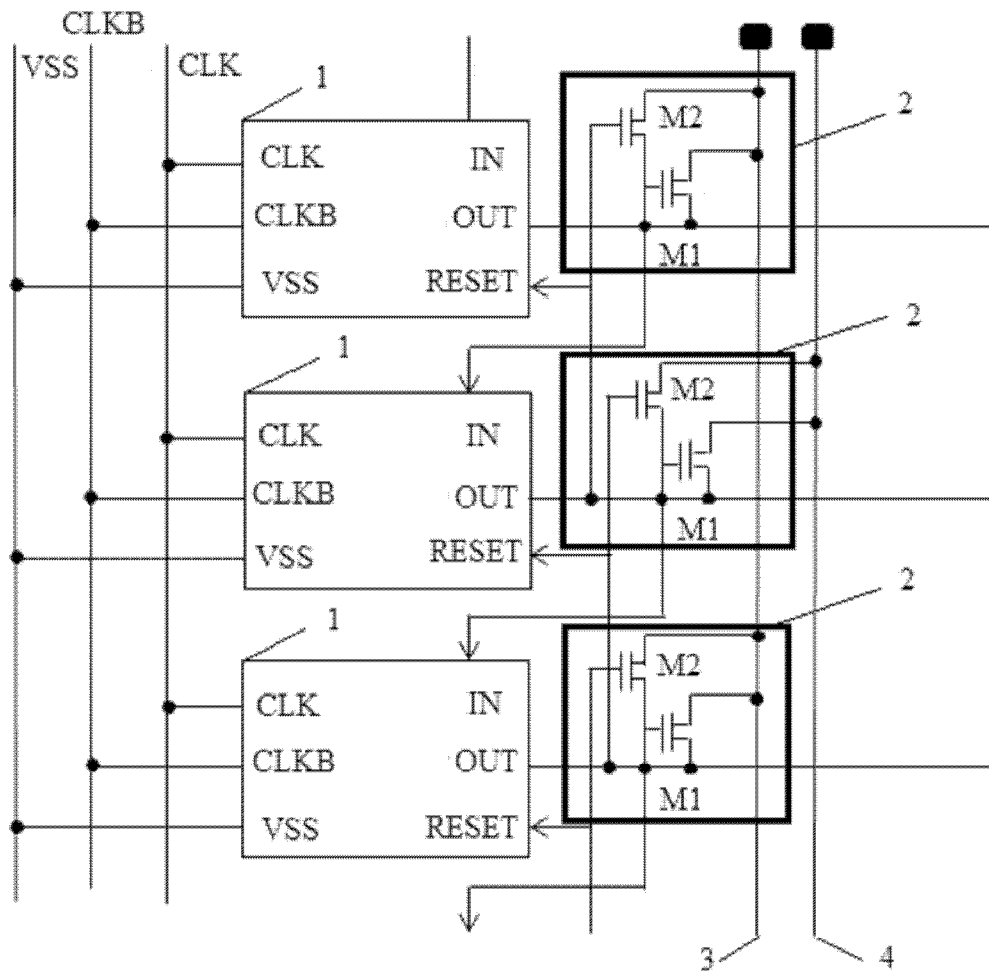


图 2

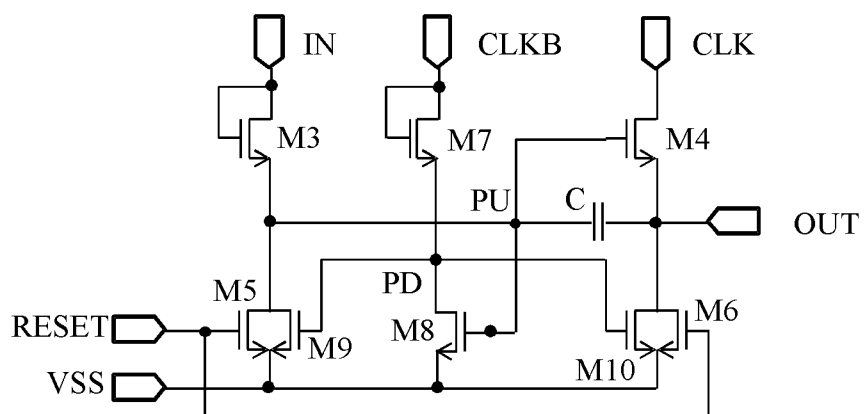


图 3

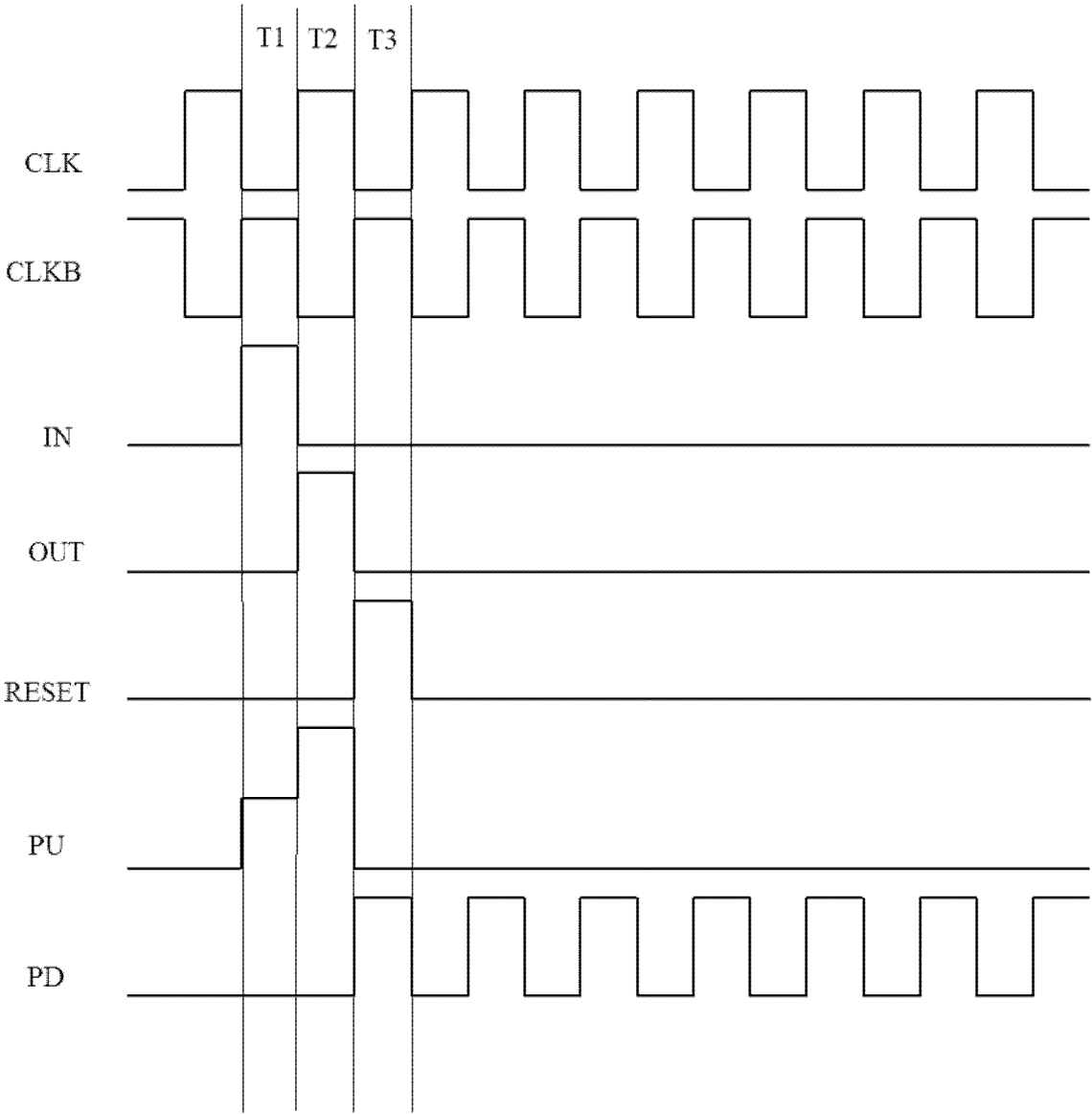


图 4

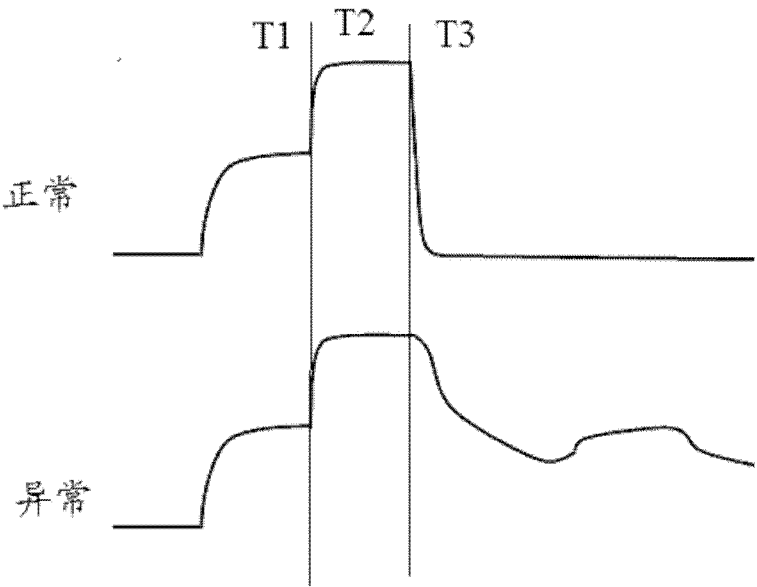


图 5a

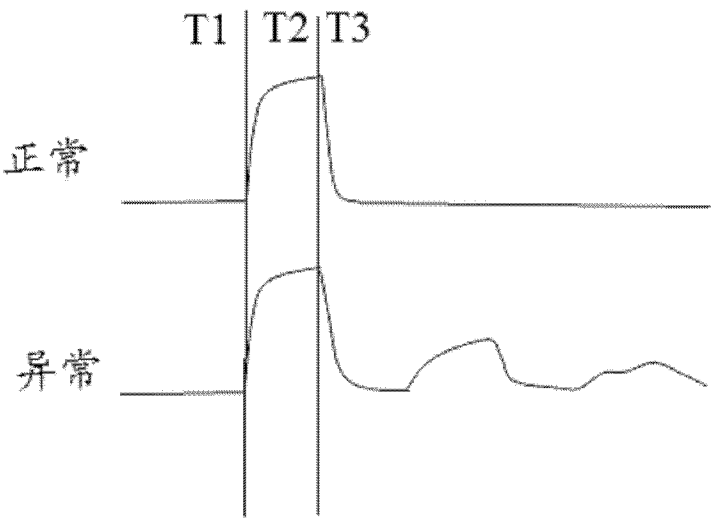


图 5b

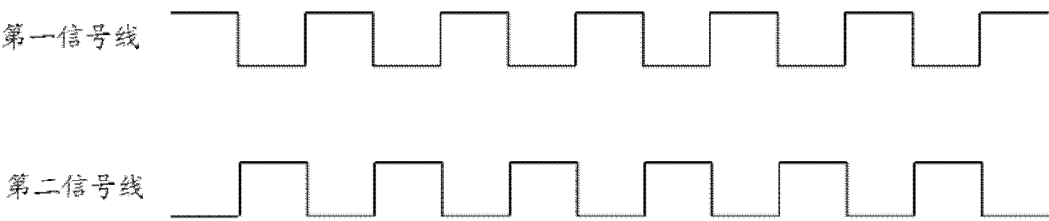


图 6a

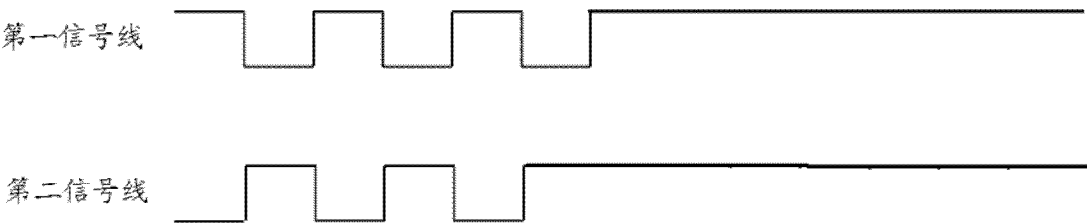


图 6b

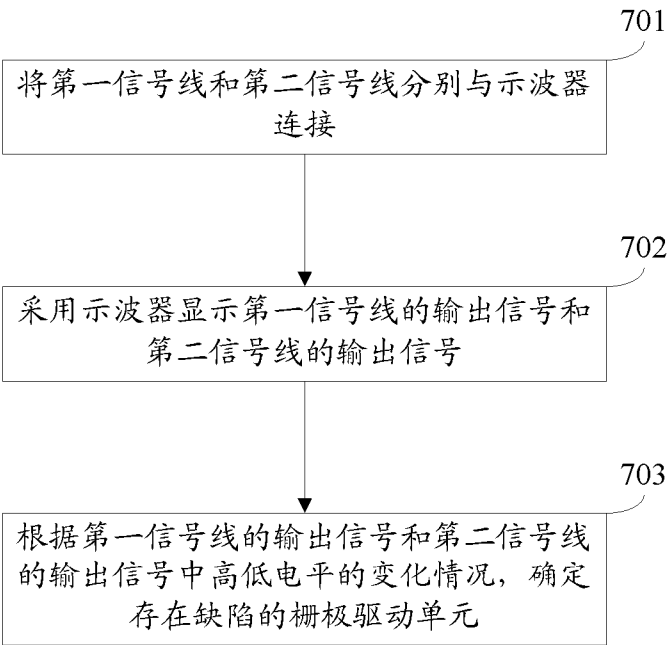


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/088080

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i; G01R 31/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G11C 19/-; G01R 31/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, TWABS, CNTXT, TWTXT, CNKI, WPI, EPODOC, EPTXT, USTXT, WOTXT: BOE, shift, registering, cache, temporary storage, storage, fault, gate, scan+, GOA, detect+, inspect+, test+, shift register?, switch+, transistor?, odd, even, error, defect

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105590607 A (BOE TECHNOLOGY GROUP CO., LTD.), 18 May 2016 (18.05.2016), claims 1-10, and description, paragraphs [0033]-[0089]	1-10
X	CN 104183225 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD.), 03 December 2014 (03.12.2014), description, paragraphs [0010], [0019]-[0024], [0027]-[0034] and [0048]-[0051], and figures 2 and 4	1, 5-10
A	CN 1800926 A (SAMSUNG SDI CO., LTD.), 12 July 2006 (12.07.2006), the whole document	1-10
A	CN 101488310 A (AU OPTRONICS CORP.), 22 July 2009 (2009-0-22), the whole document	1-10
A	CN 101567160 A (SVA OPTRONICS CO., LTD.), 28 October 2009 (28.10.2009), the whole document	1-10
A	CN 101861625 A (SHARP KABUSHIKI KAISHA), 13 October 2010 (13.10.2010), the whole document	1-10

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 November 2016 (17.11.2016)	Date of mailing of the international search report 01 December 2016 (01.12.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Shaowei Telephone No.: (86-10) 53318977

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/088080

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102455553 A (BOE TECHNOLOGY GROUP CO., LTD.), 16 May 2012 (16.05.2012), the whole document	1-10
A	CN 202383981 U (BOE TECHNOLOGY GROUP CO., LTD.), 15 August 2012 (15.08.2012), the whole document	1-10
A	KR 20080035086 A (SAMSUNG ELECTRONICS CO., LTD.), 23 April 2008 (23.04.2008), the whole document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/088080

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105590607 A	18 May 2016	None	
CN 104183225 A	03 December 2014	None	
CN 1800926 A	12 July 2006	JP 2006189423 A	20 July 2006
		US 8223108 B2	17 July 2012
		US 7408376 B2	05 August 2008
		US 2006145996 A1	06 July 2006
		KR 20060080773 A	11 July 2006
		KR 101093229 B1	13 December 2011
		JP 4959974 B2	27 June 2012
		CN 1800926 B	10 November 2010
		TW I385452 B	11 February 2013
		US 2008284766 A1	20 November 2008
CN 101488310 A	22 July 2009	US 8248356 B2	21 August 2012
		TW 201017189 A	01 May 2010
		CN 101488310 B	08 September 2010
		TW I374281 B	11 October 2012
		US 2010103184 A1	29 April 2010
CN 101567160 A	28 October 2009	CN 101567160 B	09 February 2011
CN 101861625 A	13 October 2010	US 2010214206 A1	26 August 2010
		CN 101861625 B	16 April 2014
		US 8457272 B2	04 June 2013
		WO 2009084271 A1	09 July 2009
CN 102455553 A	16 May 2012	US 2012099043 A1	26 April 2012
		CN 102455553 B	04 May 2016
		US 8937691 B2	20 January 2015
CN 202383981 U	15 August 2012	None	
KR 20080035086 A	23 April 2008	None	

A. 主题的分类 G09G 3/36(2006.01)i; G11C 19/28(2006.01)i; G01R 31/00(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 3/-; G11C 19/-; G01R 31/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, TWABS, CNTXT, TWTXT, CNKI, WPI, EPODOC, EPTXT, USTXT, WOTXT: 京东方, 栅极, 闸极, 扫描, 扫描, 检测, 测试, 移位, 位移, 寄存, 缓存, 暂存, 存储, 开关, 晶体管, 奇, 偶, 故障, 缺陷, gate, scan+, GOA, detect+, inspect+, test+, shift register?, switch+, transistor?, odd, even, error, defect		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 105590607 A (京东方科技集团股份有限公司 等) 2016年 5月 18日 (2016 - 05 - 18) 权利要求1-10, 说明书第[0033]-[0089]段	1-10
X	CN 104183225 A (上海天马微电子有限公司 等) 2014年 12月 3日 (2014 - 12 - 03) 说明书第[0010]段, 第[0019]-[0024]段、第[0027]-[0034]段, 第[0048]-[0051]段、附图2, 4	1, 5-10
A	CN 1800926 A (三星电子株式会社) 2006年 7月 12日 (2006 - 07 - 12) 全文	1-10
A	CN 101488310 A (友达光电股份有限公司) 2009年 7月 22日 (2009 - 07 - 22) 全文	1-10
A	CN 101567160 A (上海广电光电子有限公司) 2009年 10月 28日 (2009 - 10 - 28) 全文	1-10
A	CN 101861625 A (夏普株式会社) 2010年 10月 13日 (2010 - 10 - 13) 全文	1-10
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 11月 17日		国际检索报告邮寄日期 2016年 12月 1日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 王少伟 电话号码 (86-10)53318977

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 102455553 A (京东方科技集团股份有限公司) 2012年 5月 16日 (2012 - 05 - 16) 全文	1-10
A	CN 202383981 U (京东方科技集团股份有限公司) 2012年 8月 15日 (2012 - 08 - 15) 全文	1-10
A	KR 20080035086 A (SAMSUNG ELECTRONICS CO., LTD.) 2008年 4月 23日 (2008 - 04 - 23) 全文	1-10

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/088080

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105590607	A	2016年 5月 18日	无			
CN	104183225	A	2014年 12月 3日	无			
CN	1800926	A	2006年 7月 12日	JP	2006189423	A	2006年 7月 20日
				US	8223108	B2	2012年 7月 17日
				US	7408376	B2	2008年 8月 5日
				US	2006145996	A1	2006年 7月 6日
				KR	20060080773	A	2006年 7月 11日
				KR	101093229	B1	2011年 12月 13日
				JP	4959974	B2	2012年 6月 27日
				CN	1800926	B	2010年 11月 10日
				TW	I385452	B	2013年 2月 11日
				US	2008284766	A1	2008年 11月 20日
CN	101488310	A	2009年 7月 22日	US	8248356	B2	2012年 8月 21日
				TW	201017189	A	2010年 5月 1日
				CN	101488310	B	2010年 9月 8日
				TW	I374281	B	2012年 10月 11日
				US	2010103184	A1	2010年 4月 29日
CN	101567160	A	2009年 10月 28日	CN	101567160	B	2011年 2月 9日
CN	101861625	A	2010年 10月 13日	US	2010214206	A1	2010年 8月 26日
				CN	101861625	B	2014年 4月 16日
				US	8457272	B2	2013年 6月 4日
				WO	2009084271	A1	2009年 7月 9日
CN	102455553	A	2012年 5月 16日	US	2012099043	A1	2012年 4月 26日
				CN	102455553	B	2016年 5月 4日
				US	8937691	B2	2015年 1月 20日
CN	202383981	U	2012年 8月 15日	无			
KR	20080035086	A	2008年 4月 23日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)