

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 1 月 21 日 (21.01.2021)



(10) 国际公布号
WO 2021/007883 A1

(51) 国际专利分类号:
G09G 3/3266 (2016.01)

(21) 国际申请号: PCT/CN2019/097728

(22) 国际申请日: 2019 年 7 月 25 日 (25.07.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910641805.7 2019 年 7 月 16 日 (16.07.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 薛炎 (XUE, Yan); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: GOA CIRCUIT

(54) 发明名称: GOA 电路

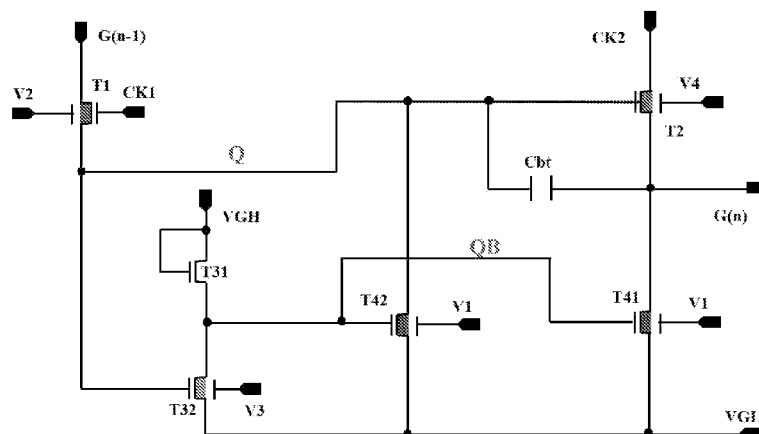


图 3

(57) **Abstract:** The present invention relates to a GOA circuit. The GOA circuit comprises multiple cascaded GOA units, the nth GOA unit comprising: a first thin-film transistor (T1), a second thin-film transistor (T2), a third thin-film transistor (T31), a fourth thin-film transistor (T32), a fifth thin-film transistor (T41), a sixth thin-film transistor (T42), and a storage capacitor (Cbt), wherein at least one of the first thin-film transistor (T1), the second thin-film transistor (T2), the fourth thin-film transistor (T32), the fifth thin-film transistor (T41), and the sixth thin-film transistor (T42) is a dual-gate thin-film transistor, top gates of which are respectively connected to the GOA unit as gates, and bottom gates of which are respectively connected to corresponding potential-adjustable bottom gate voltages. According to the GOA circuit of the present invention, an adjustable threshold voltage V_{th} of a TFT in the GOA circuit can be realized; and independent control over the threshold voltage V_{th} of each TFT can be realized.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本发明涉及一种GOA电路。该GOA电路包括多个级联的GOA单元, 第n级GOA单元包括: 第一薄膜晶体管 (T1), 第二薄膜晶体管 (T2), 第三薄膜晶体管 (T31), 第四薄膜晶体管 (T32), 第五薄膜晶体管 (T41), 第六薄膜晶体管 (T42), 以及存储电容 (Cbt); 所述第一薄膜晶体管 (T1)、第二薄膜晶体管 (T2)、第四薄膜晶体管 (T32)、第五薄膜晶体管 (T41) 以及第六薄膜晶体管 (T42) 中至少其中之一为双栅极薄膜晶体管, 所述双栅极薄膜晶体管的顶栅分别作为所述栅极连接于所述GOA单元中, 所述双栅极薄膜晶体管的底栅分别连接对应的电位可调的底栅电压。本发明的GOA电路能够实现GOA电路中TFT的阈值电压 V_{th} 可调节; 实现每颗TFT的阈值电压 V_{th} 的独立控制。

GOA 电路

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种GOA电路。

背景技术

[0002] 目前，AMOLED（有源矩阵型有机发光二极管）显示面板水平扫描线的驱动是由外接集成电路来实现的，外接集成电路可以控制各级行扫描线的逐级开启，而采用阵列基板行驱动（GOA，Gate Driver on Array）方法，可以将行扫描驱动电路集成在显示面板基板上，能够减少外接芯片（IC）的数量，从而降低了显示面板的生产成本，并且能够实现显示装置的窄边框化。铟镓锌氧化物（IGZO）具有高的迁移率，和良好的器件稳定性，目前广泛的应用于铟镓锌氧化物GOA（IGZO-GOA）电路中。IGZO-GOA电路可运用于LCD显示面板和OLED显示面板的设计中。

[0003] 在IGZO-TFT（铟镓锌氧化物薄膜晶体管）制程中，工艺波动会影响整体面板阈值电压 V_{th} 的均匀性，此外，IGZO-TFT受到电学压力（stress），光照及温度变异等外界条件干扰，器件阈值电压 V_{th} 较易发生偏移。综合以上因素，为保证GOA电路在阈值电压 V_{th} 不均匀或变异前提下能够正常工作，IGZO-GOA电路中需要设置很多的子电路，因而每级IGZO-GOA电路的设计较为复杂，TFT（薄膜晶体管）的数量众多（通常20个以上），这不利于显示面板的窄边框化，与GOA电路的设计初衷不符。

[0004] 如图1所示，其为现有的设计中最简化的一种GOA电路的单级GOA单元结构示意图，该单级GOA单元由T1、T2、T31、T32、T41及T42共六颗TFT以及存储电容 C_{bt} 组成，具有节点Q和节点QB，输出第n级水平扫描信号 $G(n)$ ；时钟信号CK1、时钟信号CK2、直流高电压VGH、直流低电压VGL以及作为级传信号的第n-1级水平扫描信号 $G(n-1)$ 输入该GOA单元。尽管该GOA电路原理性正确，但是该电路不具备防止阈值电压 V_{th} 变异的功能，如果TFT的阈值电压 V_{th} 发生偏移或者TFT的阈值电压 V_{th} 均匀性较差，该电路就会失效。GOA电路中Q点是控

制输出信号高电平的TFT栅极点，当Q点处于高电位时，TFT处于开启状态，输出信号保持高电位。因此，在实际工作过程中，Q点电位的维持能力是保证GOA电路稳定输出的关键所在。

[0005] 图2为图1所示电路的时序图，显示了该电路的输出情况，从图中可以看出由于该电路未设置防止阈值电压 V_{th} 负偏的子电路，在Q点电位被耦合（couple）阶段，Q点的电位难以维持住，逐渐降低，尽管输出信号 $G(n)$ 仍有效，但是如果GOA电路工作过程中，TFT的阈值电压 V_{th} 发生负偏，GOA电路易失效。此外，图1中GOA电路的工作脉宽为15微秒（ μs ），目前AMOLED显示面板的像素电路主要采用外部补偿方式，外部补偿需要毫秒（ms）级超宽脉冲，由于Q点电位无法维持，最简化的GOA电路无法满足GOA电路的宽脉冲需求。因此，该电路不具备可行性。

发明概述

技术问题

[0006] 因此，本发明的目的在于提供一种GOA电路，减少GOA电路版图所占空间，补偿GOA电路中TFT的阈值电压 V_{th} 不均及变异。

问题的解决方案

技术解决方案

[0007] 为实现上述目的，本发明提供了一种GOA电路，包括多个级联的GOA单元，设 n 为自然数，负责输出第 n 级水平扫描信号的第 n 级GOA单元包括：

[0008] 第一薄膜晶体管，其栅极连接第一时钟信号，源极和漏极分别连接来自前一级GOA单元的级传信号和第一节点；

[0009] 第二薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接第二时钟信号和第 n 级水平扫描信号输出端；

[0010] 第三薄膜晶体管，其栅极连接电源高电压，源极和漏极分别连接电源高电压和第二节点；

[0011] 第四薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接第二节点和直流低电压；

[0012] 第五薄膜晶体管，其栅极连接第二节点，源极和漏极分别连接第 n 级水平扫描

信号输出端和直流低电压；

[0013] 第六薄膜晶体管，其栅极连接第二节点，源极和漏极分别连接第一节点和直流低电压；

[0014] 存储电容，其两端分别连接第一节点和第n级水平扫描信号输出端；

[0015] 所述第一薄膜晶体管、第二薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管以及第六薄膜晶体管中至少其中之一为双栅极薄膜晶体管，所述双栅极薄膜晶体管的顶栅分别作为所述栅极连接于所述GOA单元中，所述双栅极薄膜晶体管的底栅分别连接对应的电位可调的底栅电压。

[0016] 其中，所述第五薄膜晶体管以及第六薄膜晶体管为双栅极薄膜晶体管，其底栅连接第一底栅电压。

[0017] 其中，所述第一薄膜晶体管为双栅极薄膜晶体管，其底栅连接第二底栅电压。

[0018] 其中，所述第四薄膜晶体管为双栅极薄膜晶体管，其底栅连接第三底栅电压。

[0019] 其中，所述第二薄膜晶体管为双栅极薄膜晶体管，其底栅连接第四底栅电压。

[0020] 其中，所述第n级水平扫描信号作为级传信号输入下一级GOA单元。

[0021] 其中，对于第1级GOA单元，启动信号作为来自前一级GOA单元的级传信号。

[0022] 其中，所述GOA电路为铟镓锌氧化物GOA电路。

[0023] 其中，所述第一时钟信号和第二时钟信号波形相同，占空比为三分之一，并且相位相差三分之一周期。

[0024] 其中，每当所述GOA电路工作一段时间后，智能调节一次所述底栅电压。

发明的有益效果

有益效果

[0025] 综上，本发明的GOA电路能够减少GOA电路版图所占空间，有利于显示屏窄边框化，同时能够补偿GOA电路中TFT的阈值电压 V_{th} 不均及变异，使GOA电路的可靠性得到提高；实现GOA电路中TFT的阈值电压 V_{th} 可调节；实现每颗TFT的阈值电压 V_{th} 的独立控制；保证GOA电路中TFT的阈值电压 V_{th} 能够得到实时补偿，并保证GOA电路的输出良好。

对附图的简要说明

附图说明

- [0026] 下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。
- [0027] 附图中，
- [0028] 图1为现有的一种GOA电路的单级GOA单元结构示意图；
- [0029] 图2为图1所示电路的时序图；
- [0030] 图3为本发明GOA电路一较佳实施例的单级GOA单元结构示意图；
- [0031] 图4为通过底栅电压调节阈值电压的示意图；
- [0032] 图5为本发明的GOA电路一较佳实施例的时序图；
- [0033] 图6为本发明的GOA电路一较佳实施例的输出效果示意图；
- [0034] 图7为本发明的GOA电路一较佳实施例的模拟仿真的输出效果示意图。

发明实施例

本发明的实施方式

- [0035] 参见图3，其为本发明GOA电路一较佳实施例的单级GOA单元结构示意图，该GOA单元中TFT数量为六颗，TFT可以采用双栅型TFT设计，其中TFT顶栅可以用于连接GOA电路中节点，底栅可以用于连接外接电压源。本发明采用一组CK时钟信号（共三个时钟信号，CK1，CK2，CK3）进行驱动，第一时钟信号CK1、第二时钟信号CK2和第三时钟信号CK3波形相同，占空比为三分之一，并且相位依次相差三分之一周期，各级GOA单元按照驱动时序输入对应的两个时钟信号，图3所示的单级GOA单元以第一时钟信号CK1、第二时钟信号CK2为例进行绘示，实际上，GOA电路的各级GOA单元分别对应输入第一时钟信号CK1、第二时钟信号CK2和第三时钟信号CK3其中两个以实现顺序驱动各级GOA单元，并且前一级即第 $n-1$ 级GOA单元输出的扫描信号 $G(n-1)$ 作为级传信号连接当前级级即第 n 级GOA单元，当前级即第 n 级GOA单元输出的扫描信号 $G(n)$ 作为级传信号连接第 $n+1$ 级GOA单元，值得注意的是，启动信号STV作为级传信号与GOA电路第一级的第一薄膜晶体管T1相连，同时每个GOA单元使用了2个直流（DC）信号直流高电压VGH与直流低电压VGL。
- [0036] 负责输出第 n 级水平扫描信号 $G(n)$ 的第 n 级GOA单元包括：
- [0037] 第一薄膜晶体管T1，其栅极连接第一时钟信号CK1，源极和漏极分别连接来自

前一级GOA单元的级传信号 $G(n-1)$ 和第一节点Q；第n级水平扫描信号 $G(n)$ 作为级传信号输入下一级GOA单元；

[0038] 第二薄膜晶体管T2，其栅极连接第一节点Q，源极和漏极分别连接第二时钟信号CK2和第n级水平扫描信号 $G(n)$ 输出端；

[0039] 第三薄膜晶体管T31，其栅极连接电源高电压VGH，源极和漏极分别连接电源高电压VGH和第二节点QB；

[0040] 第四薄膜晶体管T32，其栅极连接第一节点Q，源极和漏极分别连接第二节点QB和直流低电压VGL；

[0041] 第五薄膜晶体管T41，其栅极连接第二节点QB，源极和漏极分别连接第n级水平扫描信号 $G(n)$ 输出端和直流低电压VGL；

[0042] 第六薄膜晶体管T42，其栅极连接第二节点QB，源极和漏极分别连接第一节点Q和直流低电压VGL；

[0043] 存储电容Cbt，其两端分别连接第一节点Q和第n级水平扫描信号 $G(n)$ 输出端；

[0044] 所述第一薄膜晶体管T1、第二薄膜晶体管T2、第四薄膜晶体管T32、第五薄膜晶体管T41以及第六薄膜晶体管T42中至少其中之一为双栅极薄膜晶体管，在此实施例中，前述薄膜晶体管均为双栅极薄膜晶体管，所述双栅极薄膜晶体管的顶栅分别作为所述栅极连接于所述GOA单元中，所述双栅极薄膜晶体管的底栅分别连接对应的电位可调的底栅电压；

[0045] 在此实施例中，第五薄膜晶体管T41以及第六薄膜晶体管T42的底栅连接第一底栅电压V1；第一薄膜晶体管T1的底栅连接第二底栅电压V2；第四薄膜晶体管T32的底栅连接第三底栅电压V3；第二薄膜晶体管T2的底栅连接第四底栅电压V4。前述GOA电路可以为铟镓锌氧化物GOA电路。

[0046] 本发明的设计优点如下：

[0047] 1、TFT的阈值电压 V_{th} 不仅受顶栅控制（顶栅连接GOA电路中节点），同时受底栅控制（可调电位控制）。在GOA电路工作过程中，利用该设计能够使底栅实现TFT的阈值电压 V_{th} 可控，实现GOA电路中TFT的阈值电压 V_{th} 可调节。

[0048] 图4为通过底栅电压调节阈值电压的示意图，横轴表示底栅电压 V_{BG} （单位V），纵轴为Log漏极电流（单位A），TFT的底栅电压 V_{BG} 对TFT的阈值电压 V_{th} 可

控，图4中，在漏极电压 $V_D=0.1V$ 的条件下，各曲线分别表示顶栅电压 V_{TG} 为0V，2V，4V，6V，8V，10V时的曲线，以及通过底栅电压调节阈值电压得到的校正后的曲线。如果面板产出后，经过量测，TFT的阈值电压 V_{th} 整体偏负，可将底栅电压调负。如果TFT的阈值电压 V_{th} 正偏，可以将底栅电压调正，利用该方案可实现TFT的电性可控。

[0049] 2、该GOA电路中T31基本不受电压压力作用，可近似认为T31的阈值电压 V_{th} 不会发生偏移，因此无需加底栅，其余5颗TFT均添加底栅实现阈值电压 V_{th} 可控；由于不同TFT受到的压力不同，T1受50%占空比的 V_{gs} 交流（AC）压力作用，T2受 V_{ds} 交流作用，T32受 V_{gs} 交流压力作用；T41及T42受到 V_{gs} 交流压力条件相似，可认为工作过程中，阈值电压 V_{th} 的偏移量相同；该设计可以针对不同TFT添加不同的底栅电压 $V_1\sim V_4$ ，实现每颗TFT的阈值电压 V_{th} 的独立控制。

[0050] 3、该架构能够在面板出厂前探测GOA电路的输出信号，根据输出信号的波形，判断整体TFT的电性偏移情况以及底栅电压是否需要调节。

[0051] 4、面板出厂前可对GOA电路进行编程（预先设定），每当GOA电路工作一段时间后，智能调节一次底栅电压，保证GOA电路中TFT的阈值电压 V_{th} 能够得到实时补偿，并保证GOA电路的输出良好。

[0052] 图5为本发明的GOA电路一较佳实施例的时序图，如下表一为该较佳实施例的信号幅值，图6为本发明的GOA电路一较佳实施例的输出效果示意图；在此实施例中，第一时钟信号CK1、第二时钟信号CK2和第三时钟信号CK3波形相同，占空比为三分之一，并且相位依次相差三分之一周期。面板出厂时，底栅电压整体设置为0V时，Q点波形失真，GOA电路输出失效，如果将T1，T41与T42的底栅电压设置为-3V时，TFT的阈值电压 V_{th} 整体正偏，Q点的波形得到改善，T1，T41与T42的底栅电压设置为-8V时，TFT的阈值电压 V_{th} 整体正偏更多，Q点波形正常，因此，出厂时可将底栅电压设置为-8V。

[0053] 表一、信号幅值

[]

GOA 信号	电压设置	
	最低 (伏特)	最高 (伏特)
G (n-1)	-10	+ 24
CK1	-10	+ 24
CK2	-10	+ 24
CK3	-10	+ 24
VGH	+ 24	
VGL	-10	

[0054] 本发明所提供的GOA电路及架构，每级GOA单元只有六颗TFT，不仅能够极大减少GOA电路版图所占空间，有利于显示屏窄边框化，同时能够补偿GOA电路中TFT的阈值电压 V_{th} 不均及变异，使GOA电路的可靠性得到提高。

[0055] 如图7所示，其为本发明的GOA电路一较佳实施例的模拟仿真的输出效果示意图，对该较佳实施例的GOA电路进行仿真电路模拟器（spice）模拟仿真，得到了非常好的信号输出。下面以单级GOA电路为例，T1，T41与T42的底栅出厂电压设置为-8V，说明电路的工作过程。

[0056] S1阶段：CK1与G(n-1)升为高电位，T1打开，Q点升为高电位，高电位存储于存储电容 C_{bt} 中，T2与T32打开，由于T32的TFT宽长比远比T31大，QB输出低电位，输出信号G(n)输出低电位。

[0057] S2阶段：CK1与G(n-1)降为低电位，T1关闭，CK2由低电位升为高电位，输出信号G(n)升为高电位，由于存储电容的存在，Q点电位被耦合至更高电位。

[0058] S3阶段：CK1与G(n-1)为低电位，T1维持关闭，CK2由高电位降为低电位，T2打开，输出信号G(n)被拉低为低电位，Q点电位被耦合至高电位。

[0059] 综上，本发明的GOA电路能够减少GOA电路版图所占空间，有利于显示屏窄边框化，同时能够补偿GOA电路中TFT的阈值电压 V_{th} 不均及变异，使GOA电路

的可靠性得到提高；实现GOA电路中TFT的阈值电压 V_{th} 可调节；实现每颗TFT的阈值电压 V_{th} 的独立控制；保证GOA电路中TFT的阈值电压 V_{th} 能够得到实时补偿，并保证GOA电路的输出良好。

[0060] 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权利要求书

- [权利要求 1] 一种GOA电路，包括多个级联的GOA单元，设 n 为自然数，负责输出第 n 级水平扫描信号的第 n 级GOA单元包括：
- 第一薄膜晶体管，其栅极连接第一时钟信号，源极和漏极分别连接来自前一级GOA单元的级传信号和第一节点；
- 第二薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接第二时钟信号和第 n 级水平扫描信号输出端；
- 第三薄膜晶体管，其栅极连接电源高电压，源极和漏极分别连接电源高电压和第二节点；
- 第四薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接第二节点和直流低电压；
- 第五薄膜晶体管，其栅极连接第二节点，源极和漏极分别连接第 n 级水平扫描信号输出端和直流低电压；
- 第六薄膜晶体管，其栅极连接第二节点，源极和漏极分别连接第一节点和直流低电压；
- 存储电容，其两端分别连接第一节点和第 n 级水平扫描信号输出端；
- 所述第一薄膜晶体管、第二薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管以及第六薄膜晶体管中至少其中之一为双栅极薄膜晶体管，所述双栅极薄膜晶体管的顶栅分别作为所述栅极连接于所述GOA单元中，所述双栅极薄膜晶体管的底栅分别连接对应的电位可调的底栅电压。
- [权利要求 2] 如权利要求1所述的GOA电路，其中，所述第五薄膜晶体管以及第六薄膜晶体管为双栅极薄膜晶体管，其底栅连接第一底栅电压。
- [权利要求 3] 如权利要求1所述的GOA电路，其中，所述第一薄膜晶体管为双栅极薄膜晶体管，其底栅连接第二底栅电压。
- [权利要求 4] 如权利要求1所述的GOA电路，其中，所述第四薄膜晶体管为双栅极薄膜晶体管，其底栅连接第三底栅电压。
- [权利要求 5] 如权利要求1所述的GOA电路，其中，所述第二薄膜晶体管为双栅极

薄膜晶体管，其底栅连接第四底栅电压。

- [权利要求 6] 如权利要求1所述的GOA电路，其中，所述第n级水平扫描信号作为级传信号输入下一级GOA单元。
- [权利要求 7] 如权利要求1所述的GOA电路，其中，对于第1级GOA单元，启动信号作为来自前一级GOA单元的级传信号。
- [权利要求 8] 如权利要求1所述的GOA电路，其中，所述GOA电路为铟镓锌氧化物GOA电路。
- [权利要求 9] 如权利要求1所述的GOA电路，其中，所述第一时钟信号和第二时钟信号波形相同，占空比为三分之一，并且相位相差三分之一周期。
- [权利要求 10] 如权利要求1所述的GOA电路，其中，每当所述GOA电路工作一段时间后，智能调节一次所述底栅电压。

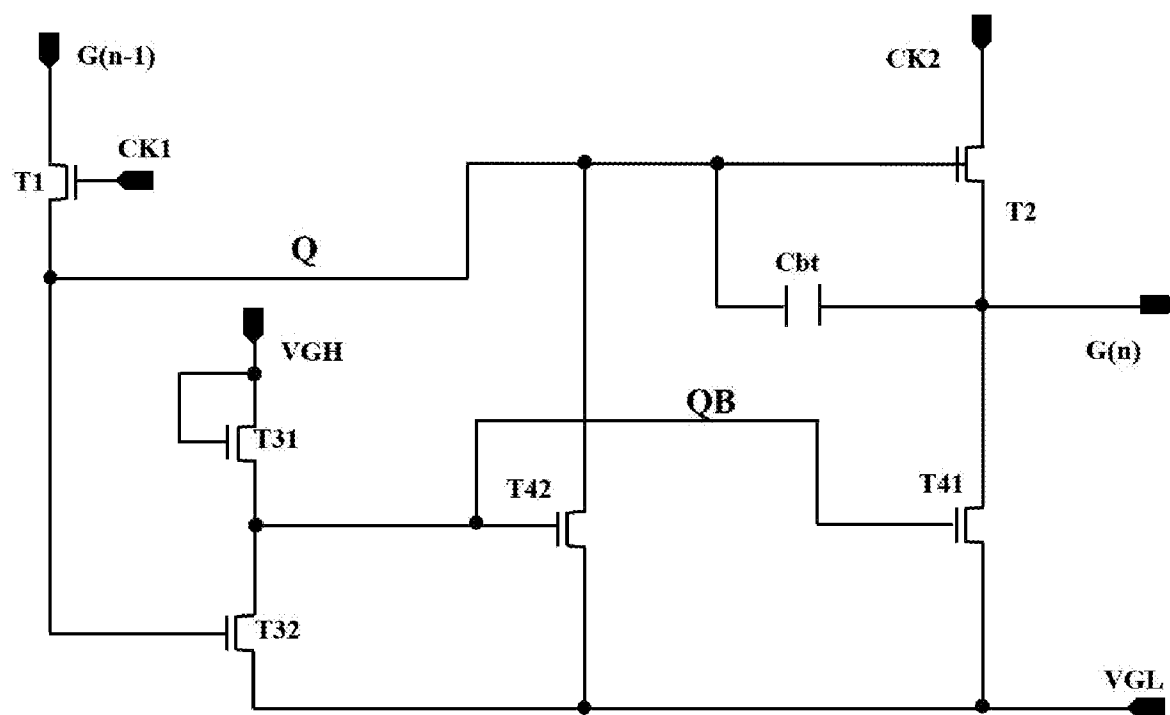


图 1

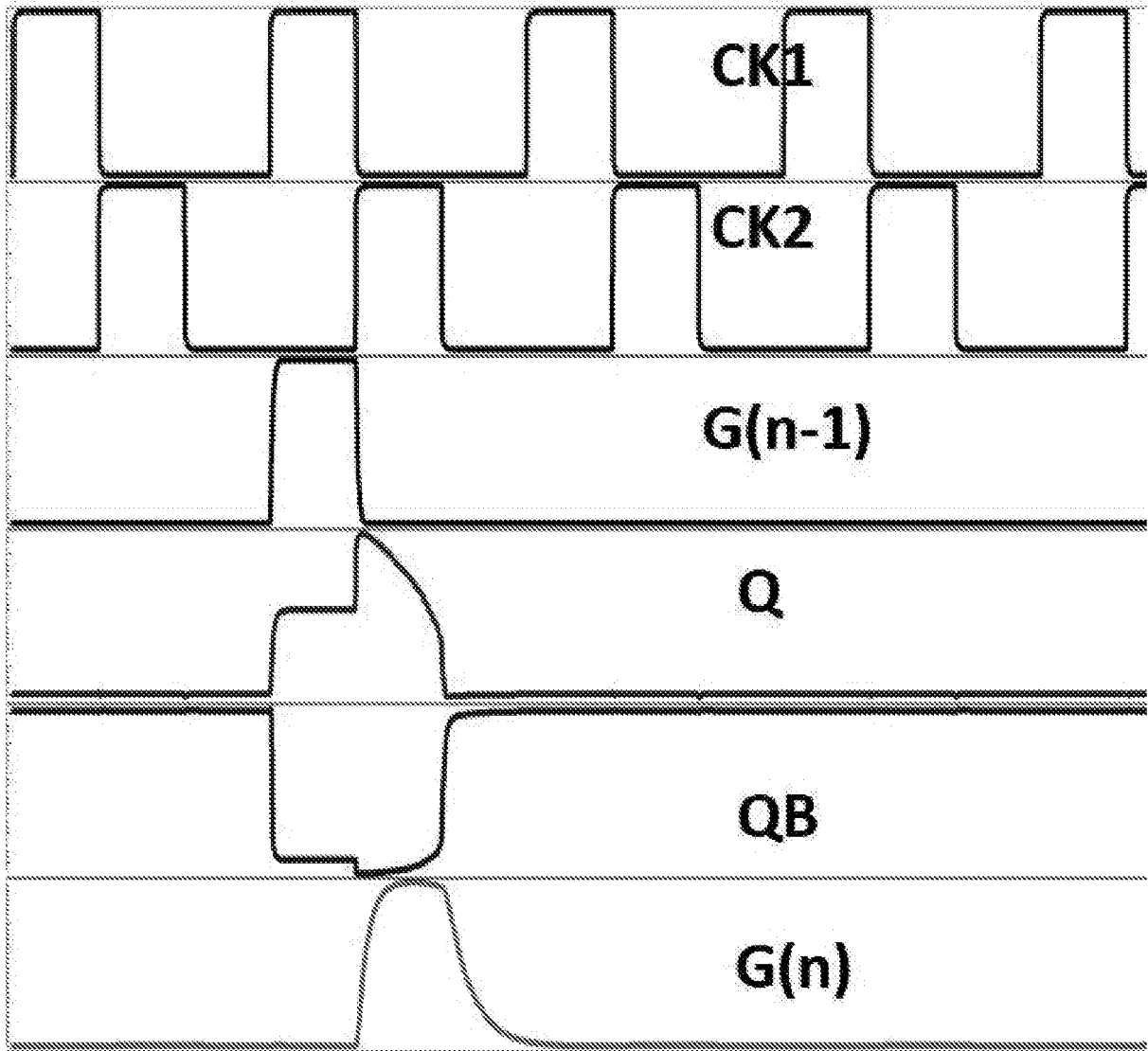


图 2

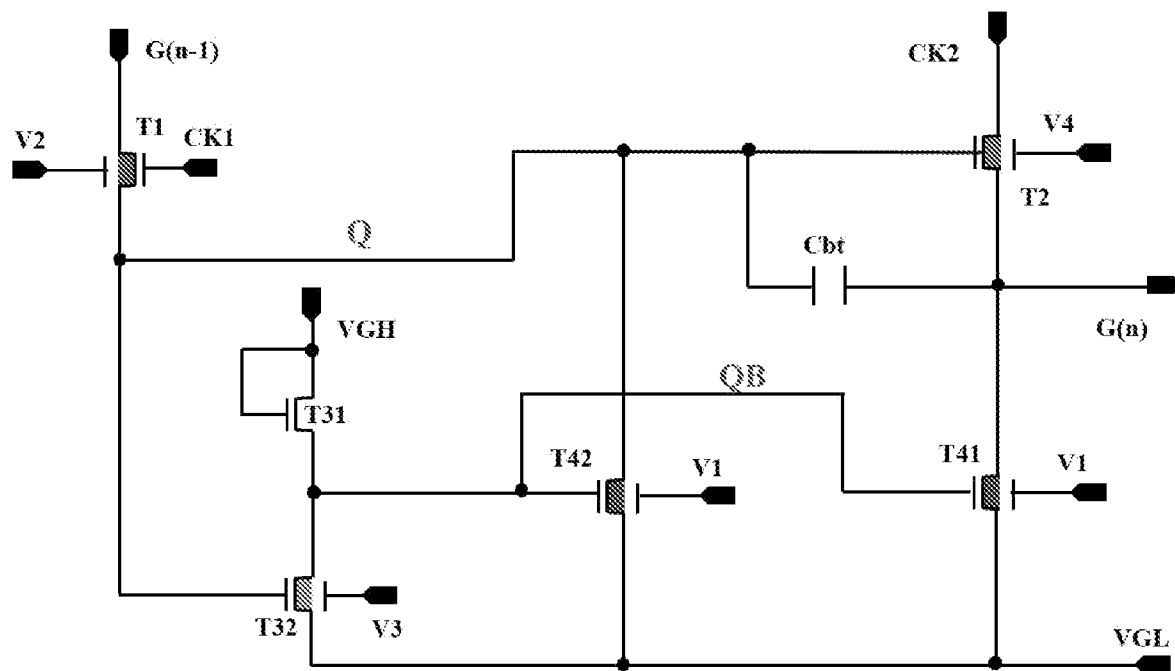


图 3

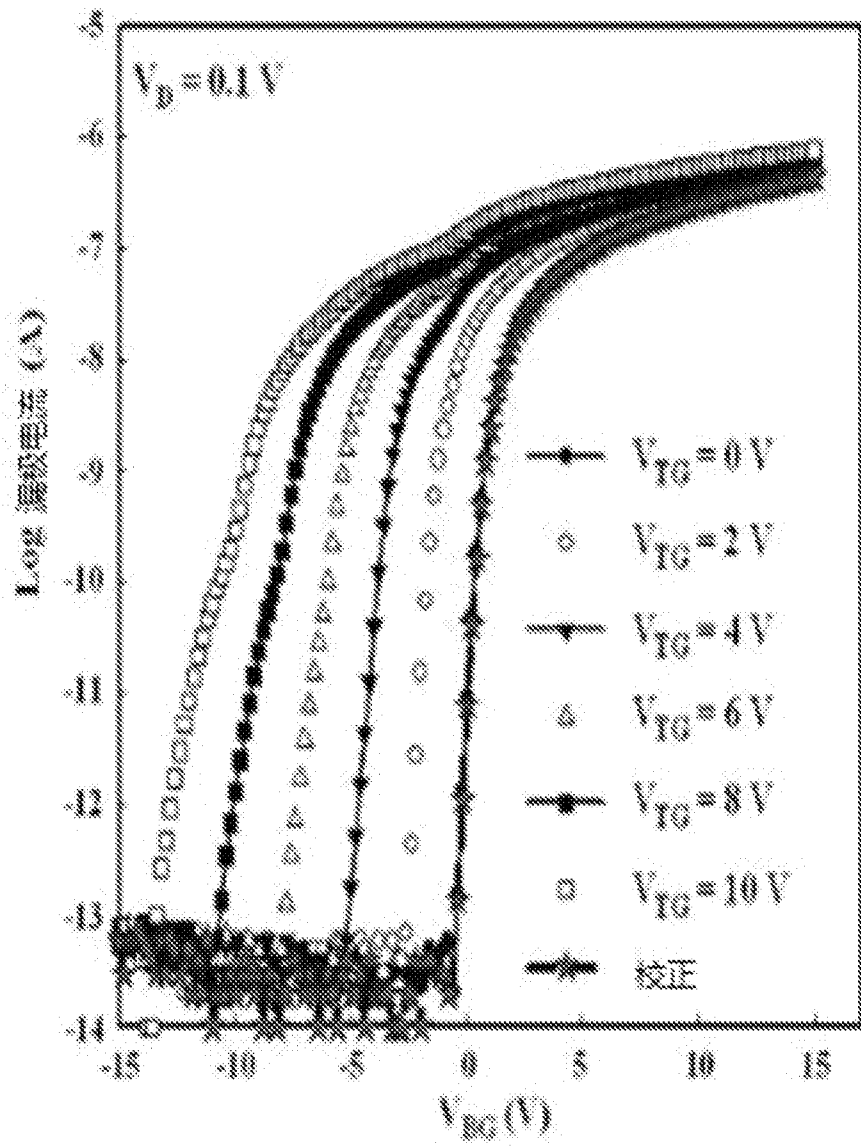


图 4

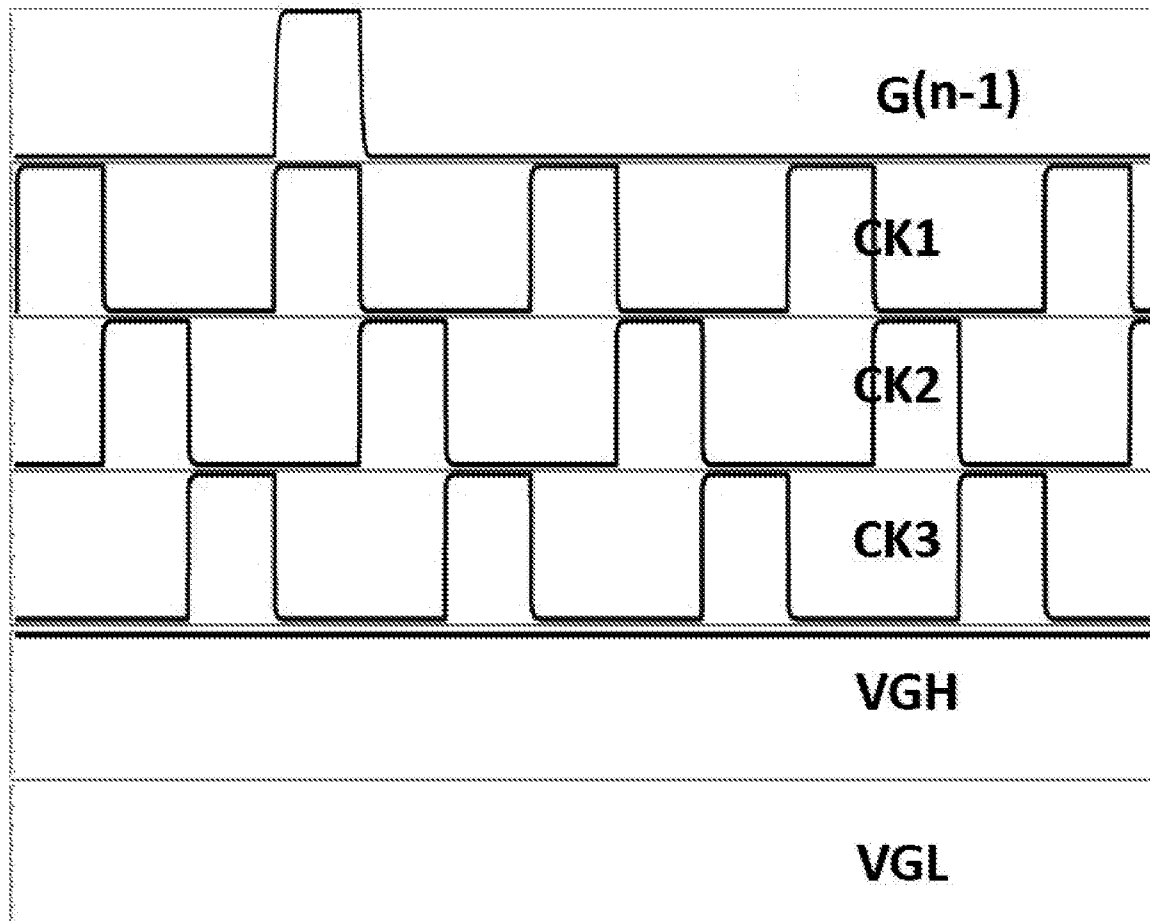


图 5

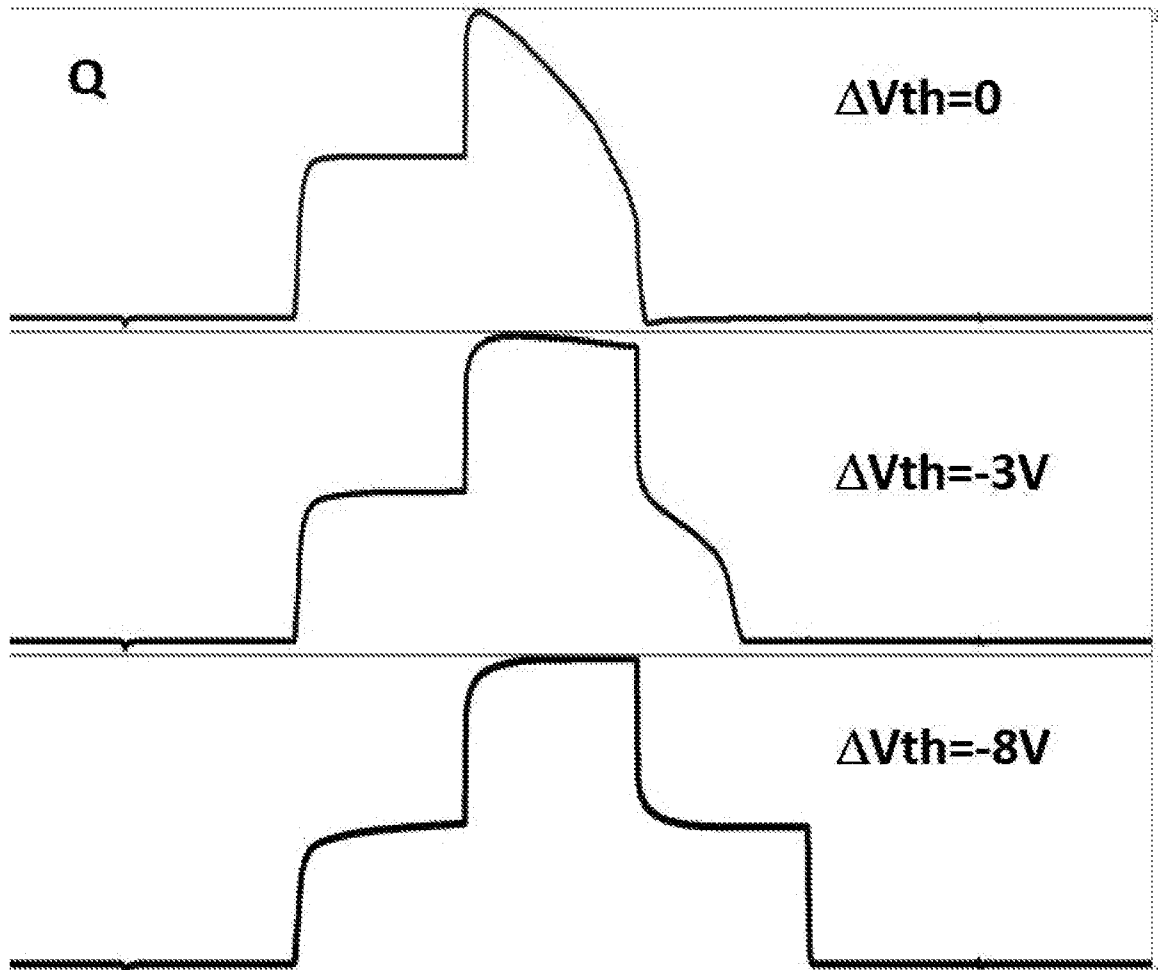


图 6

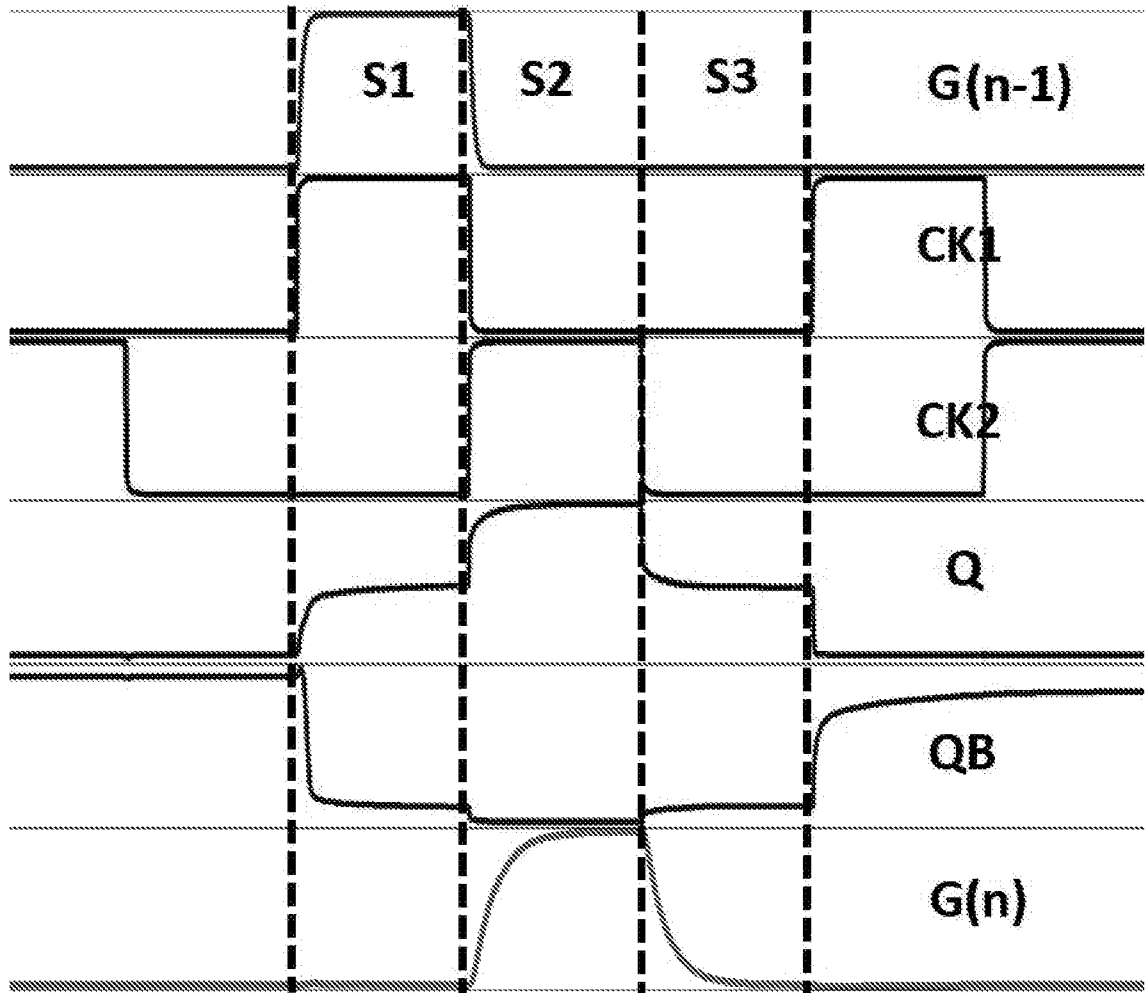


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/097728

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/3266(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/- Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, CNTXT, CNKI, VEN, IEEE, USTXT, EPTXT, WOTXT: 双, 二, 栅, 晶体管, 补偿, 阈值, 电压, 电容, 驱动, dual, double, two, gate, transistor, compensate, threshold, voltage, capacitor, driver		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012206168 A1 (PARK Yong-Sung et al.) 16 August 2012 (2012-08-16) description, paragraphs 5-129, figures 14-15	1-10
A	CN 107393473 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 24 November 2017 (2017-11-24) entire document	1-10
A	CN 107767814 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.) 06 March 2018 (2018-03-06) entire document	1-10
A	CN 107358931 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 17 November 2017 (2017-11-17) entire document	1-10
A	CN 109147637 A (LG DISPLAY CO., LTD.) 04 January 2019 (2019-01-04) entire document	1-10
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 23 March 2020		Date of mailing of the international search report 17 April 2020
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/097728

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2012206168	A1	16 August 2012	KR	20120091881	A	20 August 2012
				KR	101863199	B1	02 July 2018
				US	8937489	B2	20 January 2015
CN	107393473	A	24 November 2017	WO	2019037299	A1	28 February 2019
				CN	107393473	B	23 November 2018
				US	2019066596	A1	28 February 2019
				US	10446085	B2	15 October 2019
CN	107767814	A	06 March 2018	US	2019164476	A1	30 May 2019
				CN	107767814	B	21 February 2020
CN	107358931	A	17 November 2017	CN	107358931	B	24 December 2019
CN	109147637	A	04 January 2019	US	2018366067	A1	20 December 2018
				KR	20180136684	A	26 December 2018

国际检索报告

国际申请号

PCT/CN2019/097728

A. 主题的分类

G09G 3/3266(2016.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, CNKI, VEN, IEEE, USTXT, EPTXT, WOTXT: 双, 二, 栅, 晶体管, 补偿, 阈值, 电压, 电容, 驱动, dual, double, two, gate, transistor, compensate, threshold, voltage, capacitor, driver

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2012206168 A1 (PARK Yong-Sung 等) 2012年 8月 16日 (2012 - 08 - 16) 说明书第5-129段, 附图14-15	1-10
A	CN 107393473 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 24日 (2017 - 11 - 24) 全文	1-10
A	CN 107767814 A (合肥鑫晟光电科技有限公司 等) 2018年 3月 6日 (2018 - 03 - 06) 全文	1-10
A	CN 107358931 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 17日 (2017 - 11 - 17) 全文	1-10
A	CN 109147637 A (乐金显示有限公司) 2019年 1月 4日 (2019 - 01 - 04) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 3月 23日

国际检索报告邮寄日期

2020年 4月 17日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

姜婷婷

电话号码 86-(20)-28958038

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/097728

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2012206168	A1	2012年 8月 16日	KR	20120091881	A	2012年 8月 20日
				KR	101863199	B1	2018年 7月 2日
				US	8937489	B2	2015年 1月 20日
CN	107393473	A	2017年 11月 24日	WO	2019037299	A1	2019年 2月 28日
				CN	107393473	B	2018年 11月 23日
				US	2019066596	A1	2019年 2月 28日
				US	10446085	B2	2019年 10月 15日
CN	107767814	A	2018年 3月 6日	US	2019164476	A1	2019年 5月 30日
				CN	107767814	B	2020年 2月 21日
CN	107358931	A	2017年 11月 17日	CN	107358931	B	2019年 12月 24日
CN	109147637	A	2019年 1月 4日	US	2018366067	A1	2018年 12月 20日
				KR	20180136684	A	2018年 12月 26日