公告本

申請日期	87 年 2 月 10 日
案號	87101777
類別	H01L 27/04

A4
C4

（以上各欄由本局填註）

432675

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體積體電路裝置
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 三村晃滿
	國籍	(1) 日本
	住、居所	(1) 日本國東京都青梅市新町二一一－三住宅新塔嶋田二〇四
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
IPC分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1997 年 3 月 31 日	9-096654	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

〔發明之領域〕

本發明係有關於半導體積體電路裝置，例如，利用於動態隨機存取記憶體之基板逆偏壓電壓產生電路等之內部電壓產生電路，非常有效之技術。

〔先前之技術〕

關於具備有形成基板逆偏壓電壓之抽送電路之動態隨機存取記憶體（以下稱動態型ＲＡＭ），已經有揭示於日本特開平７－１３０１７１、特開平１－２０７９６２、特開平２－１３７２５４、特開平５－５３６６７、特開平４－８７３６４。

〔發明所欲解決之問題〕

像上述這樣的內部電壓產生電路，爲了達到內部電壓之安定化及低消費電力化，設有間歇地作動之位準檢測電路，以使基板電壓成爲所期望之電壓之方式，控制上述充電幫浦電路之動作者。但是，位準檢測電路於非作動時，會產生內部電壓之安定化會受影響之問題。這是經過本案發明者，仔細研究而明朗化者。

本發明之目的係，提供具備有實現低消費電力化與動作之安定化之內部電壓產生電路之半導體積體電路裝置。本發明之其他目的係，提供具備以簡單之構成實現低消費電力化與動作之安定化之內部電壓產生電路之半導體積體電路裝置。本發明之上述及其他之目的及新穎之特徵，係從本說明書之記載及圖示，可以很容易明瞭者。

〔解決問題之手段〕

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

本發明所揭示之發明之中，具有代表性者之概要，茲簡單說明如下。即，係將第1週期之脈衝予以整流，利用充電幫浦電路形成內部電壓，設置檢測上述內部電壓之位準是否達到所期望位準之位準檢測電路，配合該檢測信號使上述內部電壓成爲所期望之位準之方式，以控制電路控制上述充電幫浦電路，同時，將被第2週期之脈衝所切換控制之切換元件，插入上述位準檢測電路之電流流經路。更者，將比上述電流流經路所流通之電流小之洩漏電流流通之電流流經路，設於充電幫浦電路之輸出端子與規定之電源端子之間。

〔圖式說明〕

圖1係表示本發明之基板逆偏壓電壓產生電路之一實施例之方塊圖。

圖2係表示說明本發明之基板逆偏壓電壓產生電路之動作之一例之定時圖。

圖3係表示說明圖1所示之基板逆偏壓電壓產生電路之動作之一例之定時圖。

圖4係表示圖1之1脈衝產生電路2與OSC啓動電信號控制電路3及OSC控制電路4之一實施例之電路圖。

圖5係表示圖1之VBB位準偵測器5之一實施例之電路圖。

圖6係表示圖1之振盪器（OSC2）6與充電幫浦電路7之一實施例之電路圖。

圖7係表示圖1之洩漏電流電路9之一實施例之電路圖。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

圖8係表示本發明被應用之動態型ＲＡＭ之一實施例之概略配置圖。

圖9係表示圖8之動態型ＲＡＭ之一實施例之概略元件構造剖面圖。

圖10係圖1之基準電壓產生電路8之一實施例之電路圖。

圖11係表示本發明之電壓產生電路之其他之實施例之概略方塊圖。

圖12係表示將本發明利用於升壓電壓產生電路時之一實施例之方塊圖。

圖13係表示說明本發明之基板逆偏壓電壓產生電路之啓動方法所用之其他之一實施例之方塊圖。

圖14係表示說明本發明之基板逆偏壓電壓產生電路之啓動方法所用之其他之一實施例之方塊圖。

圖15係表示本發明之基板逆偏壓電壓產生電路之其他之一實施例之方塊圖。

圖16係表示本發明之動態型ＲＡＭ之電源系統之一實施例之概略方塊圖。

〔符號說明〕

1　振盪電路（ＯＳＣ１）

2　1脈衝產生電路

3　ＯＳＣ啓動信號控制電路

4　ＯＳＣ控制電路

5　ＶＢＢ位準偵測器

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（4）

6　振盪電路（ＯＳＣ２）

7　充電抽取電路

〔實施例〕

圖１係表示本發明之基板逆偏壓電壓產生電路之一實施例之方塊圖。該基板逆偏壓電壓產生電路，係將被弄成負電壓之逆偏壓電壓ＶＢＢ，供給至後述之動態型ＲＡＭ之記憶體陣列被形成之Ｐ型阱領域或Ｐ型基板者，與構成上述動態型ＲＡＭ之其他電路方塊，藉由習知之半導體積體電路之製造技術，於單晶矽這樣之１個半導體基板上被形成。

振盪電路（ＯＳＣ１）１，係以約１００ＫＨｚ左右之比較低之頻率進行振盪動作。像這樣低頻率之振盪脈衝ＳＬＯＳＣ係被供給到１脈衝產生電路２。於１脈衝產生電路２中，與從上述低頻之脈衝ＳＬＯＳＣ之一方之位準到另一方之位準之變化定時同步，產生使其脈衝寬度小到約１／１００之１脈衝ＳＥＬＦＯＳＣ。上述１脈衝ＳＥＬＦＯＳＣ，被供給到ＯＳＣ啓動信號控制電路３。

ＯＳＣ啓動信號控制電路３，係接受上述１脈衝ＳＥＬＦＯＳＣ，及ＶＢＢ位準偵測器５的位準檢測信號ＤＥＴＡ，產生控制信號ＬＤＲＤＬ。該信號ＬＤＲＤＬ信號與上述ＶＢＢ位準偵測器５之位準檢測信號ＤＥＴＡ，被供給到ＯＳＣ控制電路４。於ＯＳＣ控制電路４，藉由上述信號ＬＤＲＤＬ，產生使上述ＶＢＢ位準偵測器５成爲作動狀態之信號ＤＥＴＳＷ。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（5）

藉由上述信號ＤＥＴＳＷ，上述ＶＢＢ位準偵測器5成爲作動狀態，如果其位準檢測信號ＤＥＴＡ被判定爲比ＶＢＢ之設定值，其絕對值小之位準時，於ＯＳＣ控制電路4中，產生振盪控制信號ＶＢＯＳＣＳＷ，使振盪電路（ＯＳＣ２）6成爲作動狀態。結果，對於充電幫浦電路7，供給振盪派衝ＯＳＣ與其反轉信號ＯＳＣＢ，從基板電壓ＶＢＢ拉過電流，使變化成負電位方向。如果，藉由上述信號ＤＥＴＳＷ成爲作動狀態之ＶＢＢ位準偵測器5之位準檢測信號ＤＥＴＡ，對於基板電壓ＶＢＢ之設定值，被判定爲其絕對值大之位準時，於ＯＳＣ控制電路4中，不產生振盪控制信號ＶＢＯＳＣＳＷ。即，像上述這樣，藉由振盪電路1之振盪脈衝，藉由一定週期，即使使ＶＢＢ位準偵測器成爲作動狀態，如果基板電壓ＶＢＢ爲所期望電位，則不使上述充電幫浦電路7作動。

於該實施例中，上述ＯＳＣ啓動信號控制電路3中，ＶＢＢ位準偵測器5之位準檢測信號ＤＥＴＡ，被判斷爲比ＶＢＢ之設定值，其絕對值小之位準時，取代上述1脈衝產生電路2所形成之脈衝ＳＥＬＦＯＳＣ，將信號ＬＤＲＤＬ維持於高位準，使上述ＶＢＢ位準偵測器5成爲作動狀態之信號ＬＤＲＤＬ持續形成。即，藉由ＯＳＣ啓動信號控制電路3、ＯＳＣ控制電路4、ＶＢＢ位準偵測器5構成回授環路，上述ＶＢＢ位準偵測器5之位準檢測信號ＤＥＴＡ，一直到被判定爲比起ＶＢＢ之設定值，其絕對值大爲止，成閂鎖狀態。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（6）

藉由設置像這樣之控制信號之閂鎖環路，ＶＢＢ位準偵測器５成爲作動狀態，其位準檢測信號ＤＥＴＡ像上述這樣，被判定爲比起ＶＢＢ之設定值，其絕對值小之位準時，在到達所期望之ＶＢＢ位準爲止，介由振盪電路（ＯＳＣ２）６，使充電幫浦電路７成爲作動狀態。因此，藉由振盪電路（ＯＳＣ２）６，於每此脈衝ＯＳＣ與ＯＳＣＢ產生時，被進行充電幫浦動作，被進行基板電壓ＶＢＢ之拉取。然後，ＶＢＢ位準偵測器５之位準檢測信號ＤＥＴＡ，如上述這樣，當到達基板ＶＢＢ之設定值時，ＯＳＣ啓動信號控制電路３之輸出信號ＬＤＲＤＬ會變化，通過ＯＳＣ控制電路４，信號ＤＥＴＳＷ變化，使ＶＢＢ位準偵測器５之動作成爲非動作狀態，同時，振盪電路（ＯＳＣ２）６之振盪動作也停止。

藉由上述信號ＤＥＴＳＷ，ＶＢＢ位準偵測器５之位準檢測信號ＤＥＴＡ，強制地像上述這樣，成爲與絕對值到達ＶＢＢ之設定值時相同的之位準。其結果，於１脈衝產生電路２之輸出脈衝ＳＥＬＦＯＳＣ到來之下一個定時之間，藉由該信號ＳＥＬＦＯＳＣ之位準，藉由上述信號ＬＤＲＤＬ，控制上述ＯＳＣ控制電路４，將信號ＤＥＴＳＷ即ＶＢＯＳＣＳ維持於上述之狀態。即，ＶＢＢ位準偵測器５成爲非動作狀態，振盪電路（ＯＳＣ２）６與充電幫浦電路７，成爲非作動狀態。

像上述這樣，ＶＢＢ位準偵測器５與充電幫浦電路７，成爲非作動狀態時，基板電壓ＶＢＢ之電流流路消失，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（7）

成爲低消費電流動作，另一方面，藉由與其他電源線之容量耦合，易產生電位變動，此唯一問題點。因此，設有洩漏電流電路9。該洩漏電流電路9係被插入於基板電壓ＶＢＢ與適當之電源端子之間，使微小之電流流動。該洩漏電流值，係與上述ＶＢＢ位準偵測器5作動狀態時，流通於基板之電流相比，較小，而且，被設定減低上述電位變動所需要之電流值。

洩漏電流電路9，係像上述這樣，爲了減低基板電位ＶＢＢ成爲浮動狀態時之容量耦合所造成之電位變動爲目的所設者，所以，藉由上述ＶＢＢ位準偵測器5之控制信號ＤＥＴＡ，與ＶＢＢ位準偵測器5互補地作動。即，藉由信號ＤＥＴＡ，ＶＢＢ位準偵測器5成爲作動狀態時，洩漏電流9成爲非動作狀態，當ＶＢＢ位準偵測器5成爲非動作狀態時，洩漏電流9成爲動作狀態。

基準電壓產生電路（ＶＲＥＦ）8，係於射極（emitter）面積不同之2個電晶體流通相同之電流，形成利用對應其射極電流密度之基極、射極間電壓之定電壓ＶＲＥＦ。該定電壓ＶＲＦＥ係被供給上述ＶＢＢ位準偵測器，將利用該定電壓ＶＲＥＦ所形成之定電流，作爲將上述ＶＢＢ位準偵測器5之ＶＢＢ電位檢側用之電流路徑及其檢側信號予以放大之放大電路之偏壓電流。藉由利用像這樣之定電流，可以使ＶＢＢ位準偵測器5以低消費電力及安定地動作。雖然並沒有特別之限制，但是可以作爲設定上述洩漏電流電路9之洩漏電流所用之定電壓來使用

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

。

圖2係表示說明本發明之基板逆偏壓電壓產生電路之動作之一例所用之定時圖。藉由像上述這樣之振盪電路（ＯＳＣ１），形成振盪脈衝ＳＬＯＳＣ。該振盪脈衝ＳＬＯＳＣ係被設定成其１週期Ｔ約爲１０μｓ（約１００ＫＨｚ）左右之低頻率者。於上述之１脈衝產生電路２中，上述振盪脈衝ＳＬＯＳＣ從高位準變化成低位準之定時中，產生脈衝寬度ＰＷ約０．１μｓ左右之脈衝。藉此，於上述１脈衝產生電路２中，產生比上述振盪脈衝ＳＬＯＳＣ之１週期小約１／１００左右之脈衝ＳＥＬＦＯＳＣ。

於控制電路中，產生對應上述脈衝ＳＥＬＦＯＳＣ之控制信號ＤＥＴＳＷ。於該控制信號ＤＥＴＳＷ之高位準期間，使ＶＢＢ位準偵測器成爲ＯＮ狀態（作動狀態），使ＶＢＢ洩漏電路成爲ＯＦＦ狀態（非作動狀態）。即，於本實施例中，上述ＤＥＴＳＷ只有於高位準期間，上述這樣之ＶＢＢ位準偵測器５才成爲作動狀態，對應於其檢側信號，控制上述這樣之振盪電路（ＯＳＣ２）６與充電幫浦電路７。

即，藉由ＶＢＢ位準偵測器５，當被判定爲基板電壓ＶＢＢ之絕對值比設定值小時，藉由其檢側信號使上述振盪電路６作動，藉由充電幫浦電路７，使基板電壓ＶＢＢ於負方向變大。所以，於本實施例中，於上述控制信號ＤＥＴＳＷ爲高位準期間，以使基板電壓ＶＢＢ成爲設定

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

值之方式，被設定振盪電路（ＯＳＣ２）６之振盪頻率與充電幫浦電路７之電流供給能力。藉由上述充電幫浦電路７之動作，當被判定爲基板電壓ＶＢＢ其絕對值比設定值大時，上述振盪電路６仍然爲非作動狀態，充電幫浦電路７當然不作動。

藉由上述這樣之構成，於ＶＢＢ位準偵測器或振盪電路ＯＳＣ２及充電幫浦電路作動期間，可以對應上述脈衝ＳＥＬＦＯＳＣ之脈衝寬度ＰＷ，大幅度地變小。與習知這樣，使ＶＢＢ位準偵測器定常地作動之方式相比，如果是在使用相同電路構成之ＶＢＢ位準偵測器時來比較，則消費電流可以減少到１／１００。

圖３係表示說明上述圖１所示之基板逆偏壓電壓電路產生電路之動作之一例所用之定時圖。藉由上述振盪電路（ＯＳＣ１），形成振盪脈衝ＳＬＯＳＣ。該振盪脈衝ＳＬＯＳＣ並沒有特別限制，與上述相同地，被設定成１週期Ｔ約爲１０μｓ（約１００ＫＨｚ）左右之低頻率。於上述１脈衝產生電路２中，於上述振盪脈衝ＳＬＯＳＣ從高位準變化成低位準之定時中，產生脈衝寬度ＰＷ約爲０．１μｓ左右之脈衝。

像上述這樣，於ＯＳＣ啓動信號控制電路中３中，藉由上述１脈衝ＳＥＬＦＯＳＣ之低位準，產生控制信號ＬＤＲＤＬ，於ＯＳＣ控制電路４中，藉由上述制信號ＬＤＲＤＬ，使信號ＤＥＴＳＷ變化成高位準。藉由該信號ＤＥＴＳＷ之高位準，上述ＶＢＢ位準偵測器５成爲作

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（10）

動狀態，當基板電壓ＶＢＢ被判定爲其絕對值比設定值ＶＬＴ小時，使檢測信號ＤＥＴＡ成爲高位準，代替上述1脈衝ＳＥＬＦＯＳＣ之低位準，產生控制信號ＬＤＲＤＬ，使ＯＳＣ控制電路4之信號ＤＥＴＳＷ維持於高位準。即，即使上述1脈衝ＳＥＬＦＯＳＣ回復到高位準，檢測信號ＤＥＴＡ如果爲高位準，則將上述信ＤＥＴＳＷ維持於高位準，使ＶＢＢ位準偵測器5成爲作動狀態。

於上述ＯＳＣ控制電路4中，產生振盪控制信號ＶＢＯＳＣＳＷ，使振盪電路（ＯＳＣ２）6成爲作動狀態。其結果，對於充電幫浦電路7，被供給振盪脈衝ＯＳＣ及其反轉信號ＯＳＣＢ，從基板電壓ＶＢＢ拔取電流，使其電壓變化成負電位方向。如果，藉由上述信號ＤＥＴＳＷ，成爲動作狀態之ＶＢＢ位準偵測器5之位準檢測信號ＤＥＴＡ判斷爲其絕對值比設定值ＶＬＴ大時，於ＯＳＣ控制電路4中，不產生振盪控制信號ＶＢＯＳＣＳＷ。即，即使像上述這樣，藉由振盪電路1之振盪脈衝，利用一定週期，使ＶＢＢ位準偵測器5成爲作動狀態，只要基板電壓ＶＢＢ爲所期望之電位，則上述充電幫浦電路7不作動。然後，當上述1脈衝ＳＥＬＦＯＳＣ回復到高位準時刻，ＶＢＢ位準偵測器5也成爲非作動狀態。

於該實施例中，於上述ＯＳＣ啓動電信號控制電路3中，被判斷爲ＶＢＢ位準偵測器5其絕對值比設定值小時

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

，藉由位準檢測信號ＤＥＴＡ之高位準，取代上述１脈衝產生電路２所形成之脈衝ＳＥＬＦＯＳＣ，將信號ＬＤＲＤＬ維持於高位準，使上述ＶＢＢ位準偵測器５成爲作動狀態之信號ＬＤＲＤＬ持續被形成。所以，直到基板電壓ＶＢＢ到達設定值ＶＬＴ爲止，ＶＢＢ位準偵測器５監視ＶＢＢ電位，介由振盪電路（ＯＳＣ２）６，使充電幫浦電路７成爲作動狀態者。因此，藉由振盪電路（ＯＳＣ２）６，於每次產生脈衝ＯＳＣ與ＯＳＣＢ時，被進行充電抽取動作，基板電壓ＶＢＢ之拔取被進行，到達設定值ＶＬＴ。

當上述基板電壓ＶＢＢ到達設定值ＶＬＴ時，位準檢測信號ＤＥＴＡ從高位準變化成低位準，然後，使上述ＯＳＣ啓動電信號控制電路３之輸出信號ＬＤＲＤＬ變化，使ＯＳＣ控制電路４之輸出信號ＤＥＴＳＷ成爲低位準。其結果，使ＶＢＢ位準偵測器５之動作成爲非作動狀態，同時，也使振盪電路（ＯＳＣ２）６之振盪動作停止。只有在從像上述這樣之位準檢測時刻起，到上述振盪電路（ＯＳＣ２）６被停止爲止之時間延遲，於充電幫浦電路７進行充電抽取動作，所以，基板電壓ＶＢＢ成爲其絕對值比設定值稍微大者。又，當ＶＢＢ位準偵測器５之位準檢測信號ＤＥＴＡ變化成低位準時，ＶＢＢ位準偵測器５之動作成爲非動作狀態。於ＶＢＢ位準偵測器５中，不需要使位準設定ＶＬＴ具有特別之滯後作用（hysteresis）特性。因此，可以達成像上述這樣之ＶＢＢ位準偵測器５之

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

電路之簡單化。

藉由上述信號ＤＥＴＳＷ，ＶＢＢ位準偵測器５之位準檢測信號ＤＥＴＡ，被強制地像上述這樣，與其絕對值到達ＶＢＢ之設定值時相同之位準。其結果，於１脈衝產生電路２之輸出脈衝ＳＥＬＦＯＳＣ到來之下一個定時爲止之間，該信號ＳＥＬＦＯＳＣ之位準，藉由上述信號ＬＤＲＤＬ，控制上述ＯＳＣ控制電路４，使信號ＤＥＴＳＷ及ＶＢＯＳＣＳＷ維持於上述之狀態。即，ＶＢＢ位準偵測器５成爲非動作狀態，振盪電路（ＯＳＣ２）６與充電幫浦電路７成爲非動作狀態。

像上述這樣，當ＶＢＢ位準偵測器５與充電幫浦電路７成爲非動作狀態，則基板電壓ＶＢＢ之電流路徑消失，成爲低消費電路，但是另一面，會產生藉由與其他之電源線之容量耦合，容易造成電位變動之問題。因此，藉由上述信號ＤＥＴＳＷ之高位準，當ＶＢＢ位準偵測器５爲動作狀態時，使洩漏電流電路９成爲ＯＦＦ狀態（非動作狀態），但是，藉由上述信號ＤＥＴＳＷ之低位準，ＶＢＢ位準偵測器５成爲非動作狀態，基板電壓ＶＢＢ電流路徑消失時，使上述洩漏電流電路９成爲ＯＮ狀態（動作狀態）。

於圖４係表示上述１脈衝產生電路２與ＯＳＣ啓動電信號控制電路３與ＯＳＣ控制電路４之一實施例之電路圖。於以下之說明中，像ＭＯＳＦＥＴＱ１、４這樣，於通道部分給予箭頭之ＭＯＳＦＥＴ係表示Ｐ通道型。相對於

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

此，ＭＯＳＦＥＴＱ２這樣，於通道部分什麼都不標示者爲Ｎ通道型。

於１脈衝產生電路２中，爲了形成與成爲像上述這樣的低頻之振盪脈衝ＳＬＯＳＣ同步，脈衝寬度變小之１脈衝ＳＥＬＦＯＳＣ，構成由Ｐ通道型ＭＯＳＦＥＴＱ１與Ｎ通道型ＭＯＳＦＥＴＱ４所形成之ＣＭＯＳ反相電路、及將定電流ＭＯＳＦＥＴＱ６作爲負載之反相電路縱列連接於Ｐ通道型ＭＯＳＦＥＴＱ４與Ｑ５之延遲電路。爲了使上述ＣＭＯＳ反相電路之延遲時間變長，所以於Ｎ通道型ＭＯＳＦＥＴＱ２與電路之接地電位之間，設有定電流ＭＯＳＦＥＴＱ３。進行上述定電流動作之ＭＯＳＦＥＴＱ３與Ｑ６，係於閘極、元極間，施加定電壓ＶＳＮ。

上述ＭＯＳＦＥＴＱ３及Ｑ６所形成之定電流之電流值，被設定成形成上述定電壓ＶＳＮ之電流鏡電路所流通之電流值，或藉由構成電流鏡電路之ＭＯＳＦＥＴ之尺寸比，設定爲非常小。藉此，於由ＭＯＳＦＥＴＱ１與Ｑ２所構成之ＣＭＯＳ反相電路中，下一段之ＭＯＳＦＥＴＱ４、Ｑ５之輸入容量所形成之負載容量之放電變遲。所以，其輸入信號從低位準變化成高位準時，輸出信號從高位準變化成低位準時之延遲時間變長。下一段之反相電路中，Ｐ通道型ＭＯＳＥＴＱ４與Ｑ５被連接成串聯，藉此負載容量之充電動作及定電流ＭＯＳＦＥＴＱ６之負載容量之放電動作變遲。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（14）

於上述這樣之延遲電路中，上述振盪脈衝ＳＬＯＳＣ介由反相電路Ｎ１被反轉而被輸入。該反相電路Ｎ１之輸出信號，被供給到上述延遲電路，同時，被供給到非與閘（NAND Gate）電路Ｇ１之一方之輸入。該非與閘電路Ｇ１之另一方輸入，被供給上述延遲電路之延遲信號。非與閘電路Ｇ１之輸出設有反相電路Ｎ２，藉由上述非與閘電路Ｇ１與反相電路Ｎ２，進行非或（NOR）閘動作。上述振盪脈衝ＳＬＯＳＣ，被供給至設於輸出部之非或閘電路Ｇ２之一方之輸入。於該非或電路Ｇ２之他方，被供給上述反相電路Ｎ２之輸出信號。上述非或閘電路Ｇ２之輸出，設有反相電路Ｎ３。所以，藉由上述非或電路Ｇ２及反相電路Ｎ３，被進行或閘動作。

於此實施例中，振盪脈衝ＳＬＯＳＣ從高位準變化成低位準，對應於此，輸出信號ＳＥＬＦＯＳＣ成爲低位準。即，振盪脈衝ＳＬＯＳＣ爲高位準時，非與閘電路Ｇ１之輸入信號都成爲低位準，形成低位準之輸出信號，所以，於上述振盪脈衝ＳＬＯＳＣ從高位準變化成低位準之定時，藉由上述輸出部之或閘動作，輸出信號ＳＥＬＦＯＳＣ成爲低位準。

當上述振盪脈衝ＳＬＯＳＣ從高位準變化到低位準時，反相電路Ｎ１之輸出信號，從低位準變化到高位準，但是，只有上述ＭＯＳＦＥＴＱ１～Ｑ６之延遲電路之延遲時間，非與閘電路Ｇ１之他方之輸入，維持於低位準，所以，反相電路Ｎ２之輸出信號，仍然爲低位準。當經過上

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

述延遲時間時，非與閘電路Ｇ１之輸入信號都成爲高位準，使反相電路Ｎ２之輸出信號從低位準變化成高位準。藉此，上述輸出信號ＳＥＬＦＯＳＣ也從低位準變化成高位準。所以，對應上述延遲電路與上述閘電路Ｇ１即反相電路Ｎ２之信號傳播延遲時間，輸出信號ＳＥＬＦＯＳＣ也被設定於低位準期間。

ＯＳＣ啓動電信號控制電路３，係由反相電路Ｎ４、非與電路Ｇ３即Ｇ４所構成。反相電路Ｎ４於輸入被供給低位準，定常地形成高位準之輸出信號，被供給至非與閘電路Ｇ３之一方之輸入。代替此構成，也可以於非與閘電路Ｇ３之一方之輸入，供給像電源電壓這樣之高位準之構成。於上述非與閘電路Ｇ３之他方之輸入，被供給ＶＢＢ位準偵測器之位準檢測信號ＤＥＴＡ。該非與閘電路Ｇ３之輸出信號，被供給至非與閘電路Ｇ４之一方之輸入。於該非與閘電路Ｇ４之他方之輸入，被供給上述信號ＳＥＬＦＯＳＣ，形成從其輸出端子供給至ＯＳＣ控制電路４之信號ＬＤＲＤＬ。

於上述ＯＳＣ啓動電信號控制電路３中，如後述這樣，ＶＢＢ位準偵測器爲非動作狀態時，強制地被弄成與基板電壓ＶＢＢ到達設定值ＶＬＴ者相同之低位準，所以，與其對應，非與閘電路Ｇ３之輸出信號成爲高位準。所以，當從１脈衝產生電路２來之信號ＳＥＬＦＯＳＣ成爲低位準時，產生與其同步被變或成高位準之控制信號ＬＤＲＤＬ。如果，從ＶＢＢ位準偵測器５來之位準檢測

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

信號ＤＡＴＡ，爲表示設定值ＶＬＴ以下之高位準時，上述非與閘電路Ｇ３變化成低位準，即使上述之被延遲電路等所設定之時間經過，上述１脈衝產生電路２之信號ＳＥＬＦＯＳＣ回復高位準，也將控制信號ＬＤＲＤＬ維持於高位準。藉由這樣之切換，ＶＢＢ位準偵測器５之輸出信號所對應之環路被形成，於基板電壓ＶＢＢ到達設定值爲止之期間，被進行上述這樣之閂鎖動作。

ＯＳＣ控制電路４，係由非或閘電路Ｇ５、Ｇ６及非與閘電路Ｇ７及反相電路Ｎ５所構成。非或閘電路Ｇ５與Ｇ６之一方之輸入，定常地被供給低位準。於上述非或閘電路Ｇ５之他方之輸入，被供給控制信號ＬＤＲＤＬ。上述非或閘電路Ｇ５之輸出信號，被供給到非或閘電路Ｇ６之他方之輸入。該非或閘電路Ｇ６之輸入端子，形成控制ＶＢＢ位準偵測器５之動作之信號ＤＥＴＳＷ。又，上述非或閘電路Ｇ６之輸出信號，被供給到非與閘電路Ｇ７之一方之輸入，他方之輸入被供給上述ＶＢＢ位準偵測器５之位準檢測信號ＤＥＴＡ。非與閘電路Ｇ７之輸出信號通過反相電路Ｎ５而被輸出，形成控制振盪電路（ＯＳＣ２）６之控制信號ＶＢＯＳＣＳＷ。

於ＯＳＣ控制電路４中，當信號ＬＤＲＤＬ變化成高位準時，非或閘電路Ｇ５之輸出信號成爲低位準，非或閘電路Ｇ６之輸出信號成爲高位準。上述非或閘電路Ｇ５與Ｇ６，實質上進行作爲反相電路之動作。藉由非或閘電路Ｇ６之輸出信號ＤＥＴＳＷ之高位準，ＶＢＢ位準偵測器

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

5成爲動作狀態，位準檢測信號ＤＥＴＡ仍爲低位準時，換句話說，基板電壓ＶＢＢ其絕對值比設定值ＶＬＴ大時，非與閘電路Ｇ７之輸出信號，仍然爲高位準，信號ＶＢＯＳＳＷ仍爲踢位準，振盪電路（ＯＳＣ２）６不進行振盪動作，所以，充電幫浦電路７也仍爲非動作狀態。這時，上述１脈衝產生電路２之１脈衝ＳＥＬＦＯＳＣ回復到高位準時，信號ＬＤＲＤＬ也成爲低位準，於ＯＳＣ控制電路４使信號ＤＥＴＳＷ成爲低位準，使ＶＢＢ位準偵測器５成爲非動作狀態。

使ＶＢＢ位準偵測器５成爲動作狀態，位準檢測信號ＤＥＴＡ變化成高位準時，換句話說，被判定爲基板電壓ＶＢＢ其絕對值比設定值ＶＬＴ小時，非與閘電路Ｇ７之輸出信號變化成低位準，使信號ＶＢＯＳＣＳＷ成爲高位準。藉此，使振盪電路（ＯＳＣ２）６成爲振盪狀態，所以，充電幫浦電路７將其振盪脈衝予以整流，將基板電壓ＶＢＢ拔取至負方向。這時，即使上述１脈衝產生電路２之１脈衝ＳＥＬＦＯＳＣ回復到高位準，像上述這樣藉由位準檢測信號ＤＥＴＡ之高位準，信號ＬＤＲＤＬ維持於高位準，於ＯＳＣ控制電路４使信號ＤＥＴＳＷ仍爲高位準，使ＶＢＢ位準偵測器５之動作狀態持續。藉由上述充電幫浦電路Ｇ７之動作，基板電壓下降，到達上述設定值時，位準檢測信號ＤＥＴＡ變化成低位準，使信號ＬＤＲＤＬ變化成低位準，於ＯＳＣ控制電路４，與信號ＤＥＴＳＷ變化成低位準，使ＶＢＢ位準偵測器５之動作

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

及振盪電路（ＯＳＣ２）６與上述充電幫浦電路７之動作停止。

於ＯＳＣ控制電路４，於信號傳達路經上設置作爲延遲電路作動之非或閘電路Ｇ５、Ｇ６，設置對應位準檢測信號ＤＥＴＡ形成振盪電路之動作控制信號ＶＢＯＳＣＳＷ所用之非與閘電路Ｇ７及反相電路Ｎ５，藉此，即使位準檢測信號ＤＥＴＡ從高位準變化成低位準，只有上述信號傳達路徑之延遲時間，振盪電路（ＯＳＣ２）６繼續振盪動作，所以，於期間充電幫浦電路Ｇ７，被拔取至負電壓，比起設定值，係被作的非常大。藉由像這樣之延遲時間之設定或像上述這樣之ＶＢＢ位準偵測器之間歇動作，於ＶＢＢ位準偵測器，不需要保持滯後作用特性。

圖５係表示ＶＢＢ位準偵測器５之一實施例之電路圖。以後述這樣之基準電路產生電路所形成之基準電壓ＶＲＥＦ，被施加於Ｎ通道型ＭＯＳＦＥＴＱ１０之閘極、源極間。藉由該ＭＯＳＦＥＴＱ１０所形成之定電流，被供給到Ｐ通道型ＭＯＳＦＥＴＱ１１與Ｑ１２之電流鏡電路，於此處，形成控制Ｐ通道型之定電流ＭＯＳＦＴ之定電壓ＶＰＯ。

上述Ｐ通道型ＭＯＳＦＥＴＱ１２之汲極電流，被供給至由Ｎ通道ＭＯＳＦＥＴＱ１３與Ｑ１４所構成之電流鏡電路，於此處，形成控制Ｎ通道型之定電流ＭＯＳＦＥＴ之定電流ＶＳＮ。該定電流ＶＳＮ，與上述

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

圖４所示之１脈衝產生電路２也被使用。

ＭＯＳＦＥＴＱ１４之汲極電流，係流通於二極體型態之Ｐ通道型ＭＯＳＦＥＴＱ１５。與該ＭＯＳＦＥＴＱ１５一起，成爲電流鏡型態之Ｐ通道型ＭＯＳＦＥＴＱ１６與Ｑ１２被設置，位準檢測部與放大其檢測位準之放大電路之動作電流被設定。

上述ＭＯＳＦＥＴＱ１６之源極，被施加電源電壓ＶＤＤ，於汲極被設置Ｐ通道型之切換ＭＯＳＦＴＱ１７。該ＭＯＳＦＥＴＱ１７與電路之接地電位之間，設有Ｐ通道型ＭＯＳＦＥＴＱ１８，係接地電位被定常地供給於閘極，藉此，作爲電阻元件而作動者。該ＭＯＳＦＥＴＱ１８其ＯＮ電阻值被設定很大。於上述ＭＯＳＦＥＴＱ１８，設有並聯之相同之Ｐ通道型ＭＯＳＦＥＴＱ１９，於其汲極與基板電壓ＶＢＢ之間，設有Ｎ通道型ＭＯＳＦＥＴＱ２０。於該ＭＯＳＦＥＴＱ２０之閘極，被定常地供給接地電位。

Ｎ通道型ＭＯＳＦＥＴＱ２０，係於其閘極被供給電路之接地電位，所以，被給予基板電壓ＶＢＢ之源極電位，爲其臨界值電壓以下時，成爲ＯＮ之狀態，形成電流通路。對應基板電壓ＶＢＢ降低，對應上述ＭＯＳＦＥＴＱ２０與Ｐ通道型ＭＯＳＦＥＴＱ１９之電導比，ＭＯＳＦＥＴＱ１９與２０之連接點之電位也降低。該檢測信號，被ＭＯＳＦＥＴＱ２１～Ｑ２４所形成之放大電路所放大。即，Ｐ通道型ＭＯＳＦＥＴＱ２１作爲

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（20）

定電流負載而發生其作用，P通道型ＭＯＳＦＥＴＱ２２，係進行伴隨間歇動作之動作控制之電流切換元件，上述連接點之電位被供給至閘極之Ｎ通道型ＭＯＳＦＥＴＱ２３，構成放大元件。Ｎ通道型ＭＯＳＦＥＴＱ２４係藉由電源電壓ＶＤＤ被供給至閘極，而作爲電阻元件發生作用，上述放大ＭＯＳＦＥＴＱ２３係作爲源極之負回授元件而產生作用。

上述ＭＯＳＦＥＴＱ１９與Ｑ２０之電導比，或兼顧上述放大電路之邏輯臨界值電壓，而決定設定值ＶＬＴ，上述放大電路之輸出信號，係Ｐ通道型ＭＯＳＦＥＴＱ２５與Ｎ通道型ＭＯＳＦＥＴＱ２６所形成之ＣＭＯＳ反相電路成爲２進位信號。該ＣＭＯＳ反相電路（Ｑ２５與Ｑ２６）中，上述放大電路之輸出信號不能完全取得２進位信號，所以，在此種情形下，會發生比較大之貫通電流。爲了減低這樣之貫通電流，於ＭＯＳＦＥＴＱ２６設有Ｎ通道型ＭＯＳＦＥＴＱ２７。該ＭＯＳＦＥＴＱ２７之閘極，被施加上述定電壓ＶＳＮ，進行定電流動作，所以，Ｐ通道型ＭＯＳＦＥＴＱ２５與Ｎ通道型ＭＯＳＦＥＴＱ２６都成爲ＯＮ狀態，限制進行放大動作時之貫通電流者。

於上述ＶＢＢ位準偵測器之電流通路即放大電路之電流通路所設之Ｐ通道型之切換ＯＭＳＦＥＴＱ１７與Ｑ２２之閘極，被供給接受控制信號ＤＥＴＳＷ之反相電

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

路Ｎ１０之輸出信號。該反相電路Ｎ１０之輸出信號，被反相電路Ｎ１１所反轉，被供給至輸出部所設之非與閘電路Ｇ１０之一方之輸入。該非與閘電路Ｇ１０之他方之輸入，被供給上述ＣＭＯＳ反相電路（Ｑ２５、Ｑ２６）之輸出信號。上述非與閘電路Ｇ１０之輸出，被設有反相電路Ｎ１２，形成位準檢測信號ＤＥＴＡ。

控制信號ＤＥＴＳＷ爲低位準時，反相電路Ｎ１０之輸出信號成爲高位準，使上述切換ＭＯＳＦＥＴＱ１７與Ｑ２２成爲ＯＦＦ狀態。藉此，於ＶＢＢ位準偵測器部或放大電路，電流不流通。藉由上述控制信號ＤＥＴＳＷ之低位準，通過上述反相電路Ｎ１０與Ｎ１１之輸出信號，也成爲低位準，通過於輸出部所設之非與閘電路Ｇ１０與反相電路Ｎ１２，將位準檢測信號ＤＥＴＡ固定於低位準。即，當ＶＢＢ位準偵測器爲非動作狀態時，將位準檢測信號ＤＥＴＡ之位準控制成與基板電壓ＶＢＢ爲設定值以下相同之位準。

控制信號ＤＥＴＳＷ爲高位準時，反相電路Ｎ１０之輸出信號成爲低位準，使上述切換ＭＯＳＦＥＴＱ１７與Ｑ２２成爲ＯＮ狀態。藉此，ＶＢＢ位準偵測器部或放大電路成爲動作狀態，上述輸出部所設之非與閘電路Ｇ１０之一方之輸入成爲高位準，所以，通過ＶＢＢ位準偵測器部與放大電路即ＣＭＯＳ反相電路之輸出信號所對應之輸出信號，作爲位準檢測信號ＤＥＴＡ而被輸出。即，當基板電壓ＶＢＢ比設定值ＶＬＴ高時，換句話說，基板電壓

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（22）

ＶＢＢ其絕對值比目標值小時，ＶＢＢ位準偵測器部之電位變高，於放大電路被反轉放大，輸出信號成爲低位準側，以ＣＭＯＳ反相電予以放大，作成高位準之２進位信號。因此，位準檢測信號ＤＥＴＡ成爲高位準。

藉由上述位準檢測信號ＤＥＴＡ之高位準，振盪電路（ＯＳＣ２）６與充電幫浦電路７作動，將基板電壓ＶＢＢ拉過負電位側之結果，基板電壓ＶＢＢ比設定值ＶＬＴ低時，換句話說，基板電壓ＶＢＢ其絕對值比目標值大時，ＶＢＢ位準偵測器部之電位變低，於放大電路被反轉放大，輸出信號成爲高位準側，以ＣＭＯＳ反相電路予以放大，作成低位準之２進位信號。因此，位準檢測信號ＤＥＴＡ變化成低位準，使上述振盪電路６及充電幫浦電路７之動作停止者。

圖６係表示振盪電路（ＯＳＣ２）６與充電幫浦電路７之一實施例之電路圖。振盪電路６係利用５段之環型振盪器。同圖中，與有在環型振盪器之初段電路與最終段電路之ＭＯＳＦＥＴ，被給予電路記號。於初段電路中，由Ｐ通道型ＭＯＳＦＥＴＱ３０與Ｎ通道型ＭＯＳＦＥＴＱ３３所形成之ＣＭＯＳ反相電路設有，藉由將接地電位供給閘極，而作爲電阻元件產生作用之Ｐ通道型ＭＯＳＦＥＴＱ３１，及藉由將電源電壓ＶＤＤ施加於閘極，而作爲電阻元件產生作用之Ｎ通道型ＭＯＳＦＥＴＱ３２，與下一段之輸入容量一起，構成時間常數電路。藉由像這樣之電路連結成５段環狀態，構成

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（23）

振盪電路。

爲了對應控制信號ＶＢＯＳＣＳＷ，間接地進行上述這樣之振盪電路之動作，將作爲最終段電路之電阻元件而產生作用之Ｎ通道型ＭＯＳＦＥＴＱ３６之閘極，被供給控制信號ＶＢＯＳＣＳＷ。其輸出端子與電源端子ＶＤＤ之間，設有上述控制信號ＶＢＯＳＣＳＷ被施加於閘極之吸合（pull-up）用之Ｐ通道型ＭＯＳＦＥＴＱ３８。於上述環型振盪器之輸出部，設有構成波形整形電路之ＣＭＯＳ反相電路Ｎ２０～Ｎ２３。反相電路Ｎ２３係爲了對於從反相電路Ｎ２２來之振盪脈衝ＯＳＣ，形成使相位反轉之振盪脈脈衝ＯＳＣＢ。

當控制信號ＶＢＯＳＣＳＷ爲低位準時，上述Ｎ通道型ＭＯＳＦＥＴＱ３６成爲ＯＦＦ狀態，Ｐ通道型ＭＯＳＦＥＴＱ３８成爲ＯＮ狀態。藉此，最終段電路之輸出信號被固定成像電源電壓ＶＤＤ這樣之高位準，振盪動作成爲停止狀態。這時係振盪輸出ＯＳＣ被固定於低位準，ＯＳＣＢ被固定於高位準之狀態。當控制信號ＶＢＯＳＣＳＷ成爲高位準時，上述最終段電路之ＭＯＳＦＥＴＱ３６成爲ＯＮ狀態，Ｑ３８成爲ＯＦＦ狀態，上述５個反相電路成爲縱列連接狀態起，開始振盪動作。

該實施例之充電幫浦電路７，係使用Ｐ通道型ＭＯＳＦＥＴＱ３９～Ｑ４６而構成者。這些Ｐ通道型ＭＯＳＦＥＴ形成爲Ｎ型阱領域。因此，與記憶格被形成

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

之Ｐ型阱領域電氣分離，於充電抽取動作中，於Ｎ型阱領域產生少數載體，所以，對於Ｐ型阱領域所形成之記憶格沒有任何影響。

藉由利用ＭＯＳ容量所形成之電容器Ｃ３及ＭＯＳＦＥＴＱ４１及Ｑ４３，形成產生負電壓ＶＢＢ之抽運電路之基本電路。電容器Ｃ４與ＭＯＳＦＥＴＱ４２及Ｑ４４也有同樣之基本電路，與被輸入之脈衝ＯＳＣＯＳＣＢ彼此係其主動位準沒有重合之逆相關係，對應輸入脈衝，輪流作動，進行效率良好之充電抽取動作。

ＭＯＳＦＥＴＱ４１與Ｑ４３，基本上可以是二極體型態，但是如果是如此，則只會產生其臨界值電壓份量之位準損失。脈衝信號ＯＳＣ之高位準爲３．３Ｖ這樣之低電壓時，實質上變成不動作。因此，ＭＯＳＦＥＴＱ４１係，著眼於輸入脈衝ＯＳＣ爲低位準時，只要成爲ＯＮ狀態即可一事，設置形成與輸入脈衝同樣之脈衝之反相電路Ｎ２４與電容器Ｃ１與切換ＭＯＳＦＥＴＱ３９，形成成爲負電壓之控制電壓。藉此，可以不損失位準，而將電容器Ｃ３之負電位傳送到基板電壓ＶＢＢ側。ＭＯＳＦＥＴＱ３９係於藉由其他方之輸入脈衝ＯＳＣＢ形成負電壓時成爲ＯＮ狀態，進行電容器Ｃ１之充電。電容器Ｃ１係足夠形成上述ＭＯＳＦＥＴＱ４１之控制電壓之小尺寸之電容器。

ＭＯＳＦＥＴＱ４３係於逆閘（通道部分）接受他方

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

之輸入脈衝ＯＳＣＢ之驅動反相電路Ｎ２７之高位準之輸出信號予以接收，藉此，於很快時刻，成爲ＯＦＦ狀態，可以使基板電位之拔取非常有效率。同樣地，於ＭＯＳＦＥＴＱ４１之逆閘，藉由驅動用之反相電路Ｎ２６之輸出信號被供給，將電容器Ｃ３充電時，使ＭＯＳＦＥＴＱ４１於很早的時間成爲ＯＦＦ狀態，使基板電壓ＶＢＢ之洩漏成爲最小。對應他方之輸入脈衝ＯＳＣＢ之ＭＯＳＦＥＴＱ４２之閘極所被供給之控制電壓、ＭＯＳＦＥＴＱ４４與Ｑ４２之逆閘極電壓也進行同樣之動作之反相電路Ｎ２５與電容器Ｃ２所形成之脈衝信號及輸入脈衝ＯＳＣ所形成之脈衝信號被使用。

上述ＭＯＳＦＥＴＱ３９及Ｑ４３（Ｑ４０與Ｑ４４）閘極電壓，以很快的時間予以拔取之ＭＯＳＦＥＴＱ４５（Ｑ４６）被設置。該ＭＯＳＦＥＴＱ４５（Ｑ４６），其閘極與汲極被共通連接，成爲二極體狀態，同時，於逆閘極接受本身之輸入脈衝ＯＳＣ（ＯＳＣＢ）之驅動用反相電路Ｎ２６（Ｎ２７）之輸出信號被供給，藉此，與ＭＯＳＦＥＴＱ４３（Ｑ４４）互補地被切換控制。藉此，對應輸入脈衝ＯＳＣ（ＯＳＣＢ），驅動用反相電路Ｎ２６（Ｎ２７）之輸出信號變化成低位準時，可以很快地將ＭＯＳＦＥＴＱ４３（Ｑ４４）從ＯＮ狀態切換成ＯＦＦ狀態，所以，可以很有效率地將基板電位拉到負電位。

圖７係表示洩漏電流電路９之一實施例之電路圖。該

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（26）

電路圖係於電源電路ＶＤＤ與基板電壓ＶＢＢ之間，將Ｐ通道型ＭＯＳＦＥＴＱ５０、Ｑ５１及Ｎ通道型ＭＯＳＦＥＴＱ５２連接成串聯型態。

ＭＯＳＦＥＴＱ５０之閘極，被供給上述定電壓ＶＯＰ，對應此，ＭＯＳＦＥＴＱ５０進行定電流動作。洩漏電流電路，於上述ＶＢＢ位準偵測器或充電幫浦電路非動作其間，基板電壓ＶＢＢ受到從其他之電源來之耦合之影響，成爲不安定之情形可以被防止，所以藉由上述控制信號ＤＥＴＳＷ，ＭＯＳＦＥＴＱ５１被切換控制。即，上述ＶＢＢ位準偵測器藉由控制信號ＳＥＴＳＷ之低位準，而爲非作動時，上述ＭＯＳＦＥＴＱ５１成爲ＯＮ狀態，流通洩漏電流。

本來使ＶＢＢ位準偵測器間歇動作，係爲了使消費電流減低，所以，流通於上述洩漏電流電路之電流於上述ＶＢＢ位準偵測器中，與基板電壓ＶＢＢ所流通之電流爲相同程度者時，使上述ＶＢＢ位準偵測器間歇動作之意義消失。因此，從洩漏電流電路流向基板電壓ＶＢＢ之洩漏電流，與從上述ＶＢＢ位準偵測器流向基板電壓ＶＢＢ之位準偵測電流相比，大幅度地變小，例如被設定爲數μＡ左右。

圖８係表示本發明所應用之動態型ＲＡＭ之一實施例之概略配置圖。記憶體陣列，整體被分爲４個。對於半導體晶片之長度方向，於左右各分配有２個之記憶體陣列，於中央部份１４，設有由地址輸入電路、資料輸出入電路

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（27）

及接合片列所形成之輸出入介面電路等。接於這些中央部分１４之兩側之記憶體陣列之部分，被配置列解碼器領域１３。將上述半導體晶片於長度方向分配成各２個之中央部分中之一方，設有由上述圖１之電路方塊圖１～９所形成之基板逆偏壓電壓產生電路。雖然並沒有特別限制，但是，於該基板逆偏壓電壓產生電路之相反側，設有例如缺陷救濟所用之冗長電路。

像上述這樣，對於半導體晶片之長度方向，於左右分２個、上下分２個共４個所形成之各記憶體陣列中，對於長度方向，於上下中央部設有主行解碼器領域１１。於該主行解碼器之上下，形成主字驅動器領域，分別驅動被分成上述上下之記憶體陣列之主字線。以下，記憶格陣列係如放大圖所示，夾著記憶格陣列１５，形成讀出放大器領域１６、副字驅動器領域１７。上述讀出放大器領域與上述負字驅動器領域之交叉部，爲交叉領域１８。上述讀出放大器領域所設之讀出放大器，係以共用讀出方式所構成，除去記憶格陣列之兩端所配置之讀出放大器，係以讀出放大器爲中心，於左右設置互補位元線，選擇性地連接於左右任何一個之記憶格陣列之互補位元線。

該實施例之動態型ＲＡＭ，係成爲具有約６４Ｍ（百萬）位元之記憶容量。記憶陣列，係如上述這樣，全體被分成８個。對於半導體晶片之長度方向於左右分別有４個，以２個爲一組而被配置。像這樣，以２個爲一組所配置之２個記憶陣列，於其中央部分，被配置主字驅動器１２

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（28）

。該主字驅動器１２，係以其爲中心對應上下所分開之２個之記憶陣列而被設置。主字驅動器１２，係形成貫通上述１個之記憶陣列之方式所延伸之主字線之選擇信號。１個記憶陣列，係連接於構成於上述主字線方向２Ｋ位元，於與其垂直之未圖示之互補位元線（或資料線）方向４Ｋ位元之記憶容量之動態型記憶陣列。像這樣之記憶陣列，全體共設有８個，所以，全體共具有８×２Ｋ×４Ｋ＝６４Ｍ位元之大記憶容量。

上述１個記憶陣列，係於主字線方向被分割成８個。於上述被分割之每個記憶體塊，設有副字驅動器１７。副字驅動器１７，係被分割成主字線之１／８長度，形成與其平行延長之副字線之選擇信號。此實施例中，爲了將主字線之數目減少，換句話說，爲了使主字線之配線間隔寬鬆，對於１個主字線，於互補位元方向配置由４根所形成之副字線。像這樣，於主字線方向被分割成８根，及對於互補位元線各分配４根之副字線之中，爲了選擇１根之副字線，而配置副字選擇驅動器。該副字選擇驅動器，形成從上述副字驅動器之排列方向所延伸之４根之副字選擇線中，選擇１個之選擇信號。

著眼於上述１個記憶陣列時，被分配於１個主字線之８個記憶體塊之中，所應選擇之記憶格被包含之１個記憶體塊所對應之副驅動器１７中，１根之副字選擇線被選擇之結果，係從屬於１根之主字線之８×４＝３２根之副字線中，１根之副字線被選擇。像上述這樣，於主字線方向

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（29）

被設有２Ｋ（２０４８）之記憶格，所以，於１個副字線被連接２０４８／８＝２５６個之記憶格。又，雖然沒有特別限制，但是於更新動作（例如自身更新模式）中，對應１根之主字線之８根之副字線成爲選擇狀態。

像上述這樣，１個記憶陣列，係對於互補位元線方向，具有４Ｋ位元之記憶容量。但是，對於１個互補位元線，連接４Ｋ之記憶格時，互補位元線之寄生容量增大，藉由細微之資訊記憶用電容器之容量比所讀出之信號位準變成無法獲得，所以，對於互補位元線方向也被分割成１６份。即，藉由以粗黑線所表示之讀出放大器１６，互補位元線被分割成１６分割。雖然沒有特別限制，讀出放大器１６被共通讀出方式所構成，除了記憶陣列之兩端所配置之讀出放大器，以讀出放大器１６爲中心，於左右射互補位元線，左右之任何一個之互補位元線被選擇性地連接。因此，連接於１個讀出放大器１６之位元線之全體之長度成爲２倍，所以，當作信號傳達路徑來看，則位元線可看做倍８分割。

圖９係表示上述動態型ＲＡＭ之一實施例之概略元件構造剖面圖。該圖於記憶陣列部與其周邊電路部被簡略化表示。記憶陣列部係形成於形成很深的深度之Ｎ－型之阱領域ＤＷＥＬＬ。該ＤＷＥＬＬ係形成構成上述讀出放大器或副字驅動器之記憶陣列所相關聯之電路之Ｐ通道型ＭＯＳＦＥＴ（ＰＭＯＳ）。形成動態型記憶格之部分，形成上述ＤＷＥＬＬ所形成之Ｐ型阱領域ＰＷＥＬＬ。該

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（30）

P型阱領域被供給於上述基板逆偏壓電壓產生電路所形成之基板電壓VBB。

於形成有記憶陣列部之DWELL，於構成地址選擇MOSFET之N通道型MOSFET（NMOS）或共通切換MOSFET之閘極，被施加比電源電壓VDD高出上述MOSFET之臨界值電壓之升壓電壓VPP。對應像這樣之升壓電壓VPP之位準之信號，通過上述DWELL內所形成之MOSFET而被輸出，所以，對應於此，被施加於上述DWELL之偏壓電壓也成爲升壓電壓VPP這樣之高電壓。相對於此，構成周邊電路之N通道型MOSFET，係形成於P型之基板PSUB。又，P通道型OMSFET係於形成於基板PSUB所形成之N－型之阱領域NWELL。上述P型基板被供給電路之接地電位VSS，上述NWEL被施加電源電壓VDD。

像上述這樣之2重阱構造，形成記憶格之P型阱領域，與構周邊電路之P型基板分離，只在形成上述記憶格之P型阱領域PWELL，施加負的基板電壓VBB之構成，藉由提高構成動態型記憶格之地址選擇MOSFET之實效之臨界值電壓，減低成爲字線爲低位準這樣之非選擇位準時之洩漏電流，可以使記憶電容器所保持之資訊電荷之保持時間變長。一方面，周邊電路之N通道型MOSFET，係被電路之接地電位VSS給予基板電壓PSUB，所以，爲了使臨界值電壓小，如果爲相同大小

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（31）

則所流之電流變大，所以動作速度可以高速。

於上述構成中，形成記憶格之Ｐ型阱領域ＰＷＥＬＬ與深的深度之ＤＷＥＬＬ，被ＰＮ接合所電氣分離，但是，於該處存在有大的寄生電容。因此，像上述這樣，使基板逆偏壓電壓產生電路之ＶＢＢ位準偵測器間歇動作時，於非動作狀態中，昇壓電壓ＶＰＰ之變動會作爲ＶＢＢ之變動而出現，此爲一問題點。因此，設置上述洩漏電流電路，則可以將上述ＶＢＢ之電動控制於最小之方式作用。洩漏電流電路，像上述這樣，只流通複μＡ左右之電流，不一定需要與所ＶＢＢ位準偵測器互補作動，與ＶＢＢ位準偵測器之間些動作無關連，而定常地作動即可。

圖１０係表示上述基準電壓產生電路８之一實施例之電路圖。該實施例之基準電壓產生電路，係使ＰＮＰ電晶體Ｔ１與Ｔ２之射極面積比不同，使其上流通相同之電流ＩＲ，使射極電流密度不同。藉此，形成對應像ΔＶＢＥ這樣之能隙之定電壓。爲了使上述電晶體Ｔ１與Ｔ２２流通相同之電流ＩＲ，設有Ｐ通道型ＭＯＳＦＥＴＱＰ１０、ＱＰ１１、Ｎ通道型ＭＯＳＦＥＴＱＮ１０及ＱＮ１１。即，將電晶體Ｔ１之射極電位，經由

ＭＯＳＦＥＴＱＮ１０之源極－閘極、

ＭＯＳＦＥＴＱＮ１１之閘極－源極，施加於電阻Ｒ１之一端，使該電阻Ｒ１之它端，連接於上述電晶體Ｔ２之射極。藉此，於電阻Ｒ１被施加對應上述矽能隙之定電壓ΔＶＢＥ，定電流ＩＲ被流通。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（32）

該定電流ＩＲ，通過上述ＭＯＳＦＥＴＱＮ１１，經由Ｐ通道型ＭＯＳＦＥＴＱＰ１０～ＱＰ１２所構成之電流鏡電路與Ｎ通道型ＭＯＳＦＥＴＱＮ１０，供給至電晶體Ｔ１之射極。又，通過Ｐ通道型ＭＯＳＦＥＴＱＰ１２，流到電阻Ｒ２，可得到定電壓ＶＲＥＦ。但是，於上述電阻Ｒ２之它端，設置與上述電晶體Ｔ２相同尺寸之電晶體Ｔ３，使其進行溫度補償，所以，於該基極、射極間，被施加電壓。於基準電壓產生電路之輸出端子，設有電容器Ｃ，藉由基準定電壓ＶＲＥＦ使安定化。藉此，形成被安定化之定電壓ＶＲＥＦ，所以，可以將上述ＶＢＢ位準偵測器或洩漏電流電路等之電流設定高精度地控制，可以達成低消費電力化與動作之安定化。

圖１１係表示本發明之其他之實施例之概略方塊圖。該實施例中，係將控制上述ＶＢＢ位準偵測器之間歇動作所用之振盪電路ＯＳＣ１，也用於其他電路。即，將振盪電路ＯＳＣ１之振盪脈衝，供給由上述這樣之ＶＢＢ位準偵測器、控制電路即振盪電路即充電抽取電路所構成之基板電壓產生電路ＶＢＢ　Ｇｅｎ，同時也供給昇壓電壓產生電路ＶＰＰ　Ｇｅｎ及更新控制電路ＳＥＬＦ。

昇壓電壓產生電路ＶＰＰ　Ｇｅｎ，係當動態型ＲＡＭ成爲準備狀態時，將從上述振盪電路ＯＳＣ１來之低頻率之脈衝，予以整流，形成昇壓電壓之方式予以利用。藉此，進行ＶＰＰ電壓被洩漏電流所加低者予以補償之昇壓動作。動態型ＲＡＭ成爲動作狀態，當記憶體存取開始時，

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（33）

昇壓電壓產生電路ＶＰＰ　Ｇｅｎ所包含之高頻率之振盪電路成爲動作狀態，成爲進行上述昇壓動作者。於更新控制電路ＳＥＬＦ，形成爲了更新動作之地址更新或決定更新週期所用之上述振盪電路ＯＳＣ１之振盪脈衝。

圖１２係表示將本發明利用於昇壓電壓產生電路時之一實施例之方塊圖。該實施例係將上述這樣之振盪電路ＯＳＣ１所形成之低頻率之脈衝，以１脈衝產生電路，使脈衝寬度變短，藉此，經由ＯＳＣ控制信號，啓動ＶＰＰ位準偵測器。於ＯＳＣ啓動電路，如果上述被啓動之ＶＰＰ位準偵測器之輸出，爲所期望之昇壓電壓以下，則使振盪電路ＯＳＣ３作動，使充電抽取電路動作，進行昇壓電壓動作。藉由ＶＰＰ位準偵測器，當昇壓電壓ＶＰＰ到達所期望之昇壓電壓時，使上述振盪電路ＯＳＣ３之振盪動作停止。

上述這樣之昇壓電壓產生電路，係他被形成之動態型ＲＡＭ爲準備狀態時作動。即，昇壓電壓產生電路，係形成字線之選擇位準、共用選擇ＭＯＳＦＥＴ之選擇位準者，所以，於記憶體存取被進行之狀態，於字線之選擇動作等中，電位變化變大，所以，於像上述這樣之間歇動作來不及。因此，記憶體存取時，使另外所設之振盪電路動作，使上述充電抽取取電路動作，維持昇壓電壓，係爲現實之物。

圖１３係表示說明本發明之基板逆偏壓電壓產生電路之啓動方法所用之其他之一實施例之方塊圖。於該實施例

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（34）

中，設有兩個振盪電路ＨＦＯＳＣ與ＬＦＯＳＣ。ＨＦＯＳＣ其振盪頻率比較高，考量記憶體存取時之基板電壓之變動，其頻率被弄高。相對於此，ＬＦＯＳＣ，係與上述實施例相同地，考量記憶體位準備狀態時之基板電壓之變動，像上述這樣，使其成爲１００ＫＨｚ這樣之低頻率。

上述兩個振盪電路ＨＦＯＳＣ與ＬＦＯＳＣ所形成之振盪脈衝，係被供給至非及（ＮＡＮＤ）閘電路Ｇ１１與Ｇ１２之一方之輸入。於上述非及閘電路Ｇ１１之另一方之輸入，經由反相電路Ｎ１３，被供給模式控制信號ＭＳ（例如行地址選通信號／ＲＡＳ）。於上述非及閘電路Ｇ１２之他方之輸入，被供給上述模式控制信號ＭＳ。

於此構成中，於指示記憶體存取之模式控制信號ＭＳ（動態型ＲＡＭ之例中，行地址選通信號／ＲＡＳ）成爲低位準時，上述非及閘電路Ｇ１２之輸出信號，係不論上述振盪電路ＬＦＯＳＣ之低頻之振盪衝，被固定於高位準，於上述非及閘電路Ｇ１１，經由反相電路Ｎ１３，被供給高位準之控制信號，所以，使輸出上述振盪電路ＨＦＯＳＣ之高頻之振盪脈衝。藉此，從接收上述兩個非及閘電路Ｇ１１與Ｇ１２之輸出信號之非及閘電路Ｇ１３，形成對應上述高頻率之脈衝輸出ＯＵＴ者。該脈脈衝ＯＵＴ係被供給至上述這樣之１脈衝產生電路，作爲上述ＶＢＢ位準偵測器之啓動信號而被利用。

於記憶體爲準備狀態，模式控制信號ＭＳ（於動態型

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（35）

ＲＡＭ之例，行地址選通信號／ＲＡＳ）成爲高位準，上述非及閘電路Ｇ１２之輸出信號，係輸出上述振盪電路ＬＦＯＳＣ之低頻之振盪脈衝。一方面，於上述非及閘電路Ｇ１１，經由反相電路Ｎ１３，低位準之控制信號被供給，所以，不管上述振盪電路ＨＦＯＳＣ之高頻之振盪脈衝，使輸出高位準。藉此，從接收上述兩個非及閘電路Ｇ１１與Ｇ１２之輸出信號之非及閘電路Ｇ１３，形成對應上述低頻之脈衝輸出ＯＵＴ者。該脈衝ＯＵＴ係被供給至上述這樣之１脈衝產生電路，作爲上述ＶＢＢ位準偵測器之啓動信號而被利用。

像上述這樣，配合動作模式形成２類之啓動信號，藉此，可以使記憶體存起時之基板電壓與準備時之基板電壓以最佳條件產生，可以減低基板電壓之安定化與基板逆偏壓電壓產生電路之消費電流者。

圖１４係表示說明本發明之基板逆偏壓電壓產生電路之啓動方法所用之另一實施例之方塊圖。該實施例中，係以於準備時，上述被設定低頻率之振盪電路ＬＦＯＳＣ之間歇動作被指示，於記憶體存取時，連續動作被進行之方式被切換。即，上述振盪電路ＬＦＯＳＣ所形成之振盪脈衝，被供給至非及電路Ｇ１４之一方之輸入。該非及閘電路Ｇ１４之他方之輸入，被供給模式控制信號ＭＳ（於動態型ＲＡＭ之例，爲行地址選通信號ＲＡＳ）。然後，上述非及閘電路Ｇ１４之輸出信號，通過反相電路Ｎ１４，作爲輸出信號ＯＵＴ被輸出。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（36）

於上述構成中，準備狀態時，由於控制信號ＭＳ（／ＲＡＳ）爲高位準，所以，非及閘Ｇ１４卡開閘，通過上述低頻之脈衝，介由反相電路Ｎ１４而輸出。該脈衝ＯＵＴ係被供給上述這樣之１脈衝產生電路，作爲上述ＶＢＢ位準偵測器之啓動信號而被利用。即，ＶＢＢ位準偵測器之上述這樣之間歇動作被進行。相對於此，於記憶體存取時，上述控制信號ＭＳ（／ＲＡＳ）成爲低位準。因此，非及閘電路Ｇ１４不受上述低頻率之脈衝影響，將輸出ＯＵＴ固定於高位準。藉此，上述ＶＢＢ位準偵測器之間歇動作停止。然後，雖未圖示，但是，藉由上述信號ＯＳ之低位準，使上述ＶＢＢ位準偵測器連續動作。

圖１５係表示本發明之基板逆偏壓電壓產生電路之其他之實施例之方塊圖。該實施例中，於充電抽取電路，利用藉由電容器之電荷傳送作出之直流電流，以充電抽取電路所形成之最大電壓成爲基板逆偏壓電壓之設定電壓之方式，將動作電壓降壓，予以定電壓化。即，利用降電壓電路將外部電源ＶＤＤ降壓，藉由該被降壓之定電壓ＶＬ，使構成脈衝之波形整形與驅動電路之反相電路Ｎ１５與Ｎ１６作動。通過這些反相電路，傳送振盪脈衝ＯＳＣ，藉此高位準之電壓對應上述降壓電壓ＶＬ之脈衝被形成。

電容器Ｃ５與二極體型態之ＭＯＳＦＥＴＱ５０與Ｑ５１，構成充電抽取電路，上述反相電路Ｎ１６輸出信號爲高位準時，電容器Ｃ５被充電成ＶＬ－Ｖｔｈ（Ｖｔｈ爲ＭＯＳＦＥＴＱ５３之臨界值電壓）。反相電路

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（37）

Ｎ１６之輸出信號爲低位準（０Ｖ）時，從電容器Ｃ５產生－（ＶＬ－Ｖｔｈ）之負電壓，通過ＭＯＳＦＥＴＱ５４，傳至基板電壓ＶＢＢ。這時，只有ＭＯＳＦＥＴＱ５４之臨界值Ｖｔｈ產生位準損失，所以被傳至基板電壓ＶＢＢ側之最大電壓成爲－（ＶＬ－２Ｖｔｈ）。考慮上述充電抽取電路之效率，對於基板電壓ＶＢＢ之設定電壓值，以使上述－（ＶＬ－２Ｖｔｈ）稍微大一點之方式先予以設計，則即使使上述充電抽取電路連續作動，也不會低於上述電壓以下。

於該實施例之基板逆偏壓電壓產生電路，不需要ＶＢＢ位準偵測器。ＶＢＢ位準偵測器係使基板電壓成爲一定化者，但是，從別的觀點還看，可以看成於充電抽取電路中，使成爲不使基板電壓ＶＢＢ之絕對值比設定值大者。即，藉由ＶＢＢ位準偵測器使充電抽取電路之動作停止者，係如上述這樣，防止ＶＢＢ降的過低，同時，抑制無用之充電抽取動作之電流者。所以，像上述這樣，即使使充電抽取電路連續作動，只要使ＶＢＢ值不比設定值大，則可以不需要ＶＢＢ位準偵測器，可以使基板逆偏壓電壓產生電路之動作控制簡單化。

當上述充電抽取電路之最大電壓與基板電壓ＶＢＢ成爲相等時，上述電容器Ｃ５與基板電壓ＶＢＢ之間之電荷之傳送消失，所以不產生電流消耗。但是，振盪電路或上述相反電路Ｎ１５之充電之充放電，存在有電流消耗。因此，於準備時，使振盪脈衝ＯＳＣ之振盪頻率低，於記憶

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

體存取時，使振盪脈衝ＯＳＣ之振盪頻率高之方式來切換。即，不以閘電路進行上述圖１３之實施例這樣之頻率切換，而藉由２個振盪電路ＨＦＯＳＣ與ＬＦＯＳＣ之動作之切換來進行即可。

於圖１６表示本發明之動態型ＲＡＭ之電源系統之一實施例之概略方塊圖。由外部端子所供給之電源電壓ＶＤＤ與電路之接地電位ＶＳＳ所構成之電源電壓，被供給至列系選擇電路、字線選擇電路與主放大器．Ｉ／Ｏ系、ＤＲＡＭ控制系。又，被供給至３種類之內部電壓產生電路。負電壓產生電路ＶＢＢ－Ｇ係與上述實施例這樣之基板逆偏壓電壓產生電路相同之電路，接受上述電源電壓ＶＤＤ與電路之接地電位ＶＳＳ，由上述實施例這樣之環形振盪器等之振盪電路，及藉由這樣之振盪衝形成負電壓之充電抽取電路所構成。爲了上述負電壓之安定化及控制不必要之電流消耗，將上述這樣之基板電壓，進行位準偵測，間歇地進行充電抽取動作之控制電路被設置。

內部電壓產生電路ＶＳＡ－Ｇ，係形成將電源電壓ＶＤＤ只移位ＭＯＳＦＥＴ之臨界值電壓者，基本上，可以由Ｎ通道型ＭＯＳＦＥＴ之源極輸出電路所構成。電壓產生電路ＶＰＬ，形成位元線之預充電電壓，與屏極電壓ＶＰＬ。該電壓產生電路ＶＰＬ－Ｇ係與上述相同的形成將電源電壓ＶＰＬ位移ＭＯＳＦＥＴ之臨界值電壓之電壓，產生使其成爲１／２分壓之電壓。上述預充電電壓與屏極電壓ＶＰＬ爲相同電壓即可，所以也可以共通化，但是

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（39）

，爲了不使彼此受影響，分別介由別的驅動器輸出。

上述負電壓產生電路ＶＢＢ－Ｇ所形成之負電壓ＶＢＢ，被供給至上述字線選擇電路。上述預充電電壓，被用於預充電電路ＰＣＣ，屏極電壓ＶＰＬ被傳至記憶格之電容器之共通電極（屏極）。內部電壓ＶＰＬ係作爲偵測放大器ＳＡ與寫入緩衝器ＷＢ之動作電壓而被給予。於此構成，於形成記憶體陣列之Ｐ型阱領域，沒有被施加成爲上述負電壓之逆偏壓電壓ＶＢＢ，而被施加０Ｖ這樣之ＶＳＳ。

該實施例之動態型ＲＡＭ，對於動態型記憶格之地址選擇ＭＯＳＦＥＴ之閘極被連接之字線，供給對應電源電壓之選擇位準與比電路之接地電位低之負電位所對應之非選擇位準，利用使上述電源電壓只昇壓相當於上述地址選擇用ＭＯＳＦＥＴ之臨界值電壓而形成之內部電壓與以電路之接地電位動作之讀出放大器，將上述互補位元線所讀出之記憶格之信號放大者。

藉由該構成，形成記憶格之Ｐ型領域或Ｐ型基板，可以不需要供給基板逆偏壓電壓，而於如圖９這這樣之形成記憶體陣列之部分形成很深之ＤＷＥＬＬ之２重阱構造成爲不需要，達成過程簡單化。又，字線之選擇位準，可以使用對於電源電壓爲被昇壓之電壓ＶＰＰ。這時，讀出放大器只要以電源電路與電路之接地電位作動即可。

上述之實施例所得到之作用效果係如下所示。

（１）將第１週期之脈衝予以整流，然後藉由充電抽取電

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（40）

路形成內部電路，設置檢測上述內部電壓之位準是否到達所期望之位準之位準檢測電路，對應其檢測信號，以使上述內部電壓成爲所希望之位準之方式，以控制電路控制上述充電抽取電路，同時，於上述位準檢測電路之電流路徑，插入以第2週期之脈衝作切換控制之切換元件，設置流著比流通於上述電流路徑之電流小之電流之洩漏電流路徑，藉此，利用通過位準檢測電路所流通之電流，不會使內部電壓被減低到不期望之處，所以，可以降低全體之消耗電流，可以達成上述位準檢測電路成爲非動作狀態時之內部電壓之安定化之效果。

（2）藉由上述控制電路，以上述切換元件，判斷位準檢測電路之檢測信號之絕對值比上述所期望位準小時，於上述檢測信號到達上述所期望位準爲止，形成使上述切換元件成爲ON狀態之控制信號，藉此，上述內部電壓所對應之合理之電壓產生成爲可能。

（3）以第1振盪電路形成上述第1週期之脈衝，對應上述位準檢測電路之監測信號，控制其振盪動作，藉此，控制上述充電抽取電路之實質之動作，藉此，振盪電路也可以間歇地動作，該處之電流消耗也可以成爲最小。

（4）以與上述第1週期之脈衝相比成爲低頻率之頻率，使其振盪動作之第2振盪電路，形成上述第2週期脈衝，藉此，可以實質地使位準檢測電路之動作期間便短，同時，形成上述第2週期之脈衝所用之電流變小，所以可以達成低消費電力。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（41）

（５）上述第２週期之脈衝，被輸入１短脈衝產生電路，使其脈衝比變小，藉此，上述位準檢測電路之動作期間變短，對應於此，大幅度之低消耗電力化成爲可能。

（６）於進行上述位準檢測電路之位準檢測動作電流路徑，將接受基準電壓進行定電流動作之定電流源ＭＯＳＦＥＴ串流插入、將上述電流路徑所形成之位準檢測信號，藉由被上述同樣之定電流源ＭＯＳＦＥＴ所限制動作電流之放大電路予以放大，使電流大幅度地減低，同時，可以進行安定之位準檢測動作。

（７）半導體積體電路裝置處於非動作狀態時，藉由上述第２週期之脈衝，使上述切換元件成爲ＯＮ狀態，藉此可以獲得使非動作狀態之電流消耗減低之效果。

（８）當半導體積體電路裝置處於非動作狀態時，藉由上述第２週期之脈衝，使上述切換元件成爲ＯＮ狀態，上述半導體積體電路裝置爲動作狀態時，定常地成爲ＯＮ狀態，藉此，於非動作狀態，於低消費電力之下，達成內部電壓之安定化，於動作狀態，對應其動作，可以使內部電壓安定化。

（９）當半導體積體電路裝置處於非動作狀態時，藉由上述第２週期之脈衝，使上述切換元件成爲ＯＮ狀態，上述半導體積體電路裝置爲非動作狀態時，藉由比上述第２週期之脈衝爲短之第３週期之脈衝，成爲ＯＮ狀態，於非動作狀態與動作狀態，都於低消費電力之下，可以達成使內部電壓安定化。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（42）

（１０）藉由上述充電抽取電路，地址選擇ＭＯＳＦＥＴ與記憶電容器所構成之動態型記憶格被配置成矩陣之記憶體陣列被形成之Ｐ型阱領域所被供給之負電壓之偏壓電壓予以形成，藉此，以低消費電力可以達成基板逆偏壓電壓之安定化之效果。

（１１）藉由上述充電抽取電路，形成構成動態型記憶格之地址選擇ＭＯＳＦＥＴ之閘極所連接之字線之非選擇位準，藉此，可以使上述地址選擇ＭＯＳＦＥＴ被形成之Ｐ型阱領域或Ｐ型基板成爲０Ｖ，可以達成製程簡化之效果。

（１２）於上述洩漏電流路徑，設置與於上述位準檢測電路之電流路徑所設之切換元件互補地被切換控制之切換元件，藉此，可以使該處之電流設定成所需要之最小值。

（１３）使上述記憶陣列被形成之Ｐ型阱領域型成爲很深的深度之Ｎ型阱領域，於其Ｎ型阱領域，施加上述記憶格陣列所形成之動態型記憶格之地址選擇ＭＯＳＦＥＴ之閘極所連接之字線之選擇位準所對應之昇壓電壓時，藉由上述洩漏電流路徑，可以防止昇壓電壓之耦合之電壓變動之效果。

（１４）將上述充電抽取電路，使用於地址選擇ＭＯＳＦＥＴ與記憶電容器所構成之動態型記憶格被配置成矩陣之記憶陣列所形成之Ｐ型阱領域所被供給之負電壓之偏壓電壓予以形成之第１電路，及構成上述動態型記憶格之地址選擇ＭＯＳＦＥＴ之閘極所連接之字線之選擇位

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（43）

準予以形成之地址選擇ＭＯＳＦＥＴ２電路，藉此，可以以低消費電力形成各各電壓。

（１５）具備將外部端子所供給之電源電壓，以降電壓電路予以降壓然後形成所期望之定電壓，使輸出週期脈衝之脈衝輸出電路動作，將上述脈衝輸出電路所輸出之脈衝予以整流，形成內部電壓之充電抽取電路，藉由將上述降電壓之電壓值與上述脈衝之頻率及上述充電抽取電路之效率予以組合，設定上述內部電壓之位準，藉此，可以獲得不設定上述位準檢測電路，而可以將內部電壓設定成所期望之電壓之效果。

以上係依據實施例，具體地說明了本發明者之發明，但是，本發明並不只限於上述實施例，只要不脫離其要旨，可以作種種之變更。例如，位準檢測電路之具體構成，係對應應形成之內部電壓，而採取種種之實施型態。例如，圖５之實施例，如果要使基板電壓ＶＢＢ成爲更深之電壓，則只要於ＭＯＳＦＥＴＱ２０上串聯連接成爲二極體型態之Ｎ通道型ＭＯＳＦＥＴ，或使放大電路之邏輯臨界值變化即可。充電抽取電路，於產生負電壓時之圖６之實施例中，係利用彼此爲逆相之振盪脈衝，但是，也可以採用只使用一邊之脈衝之構成或作成圖１５這樣之單純之電路等種種之實施型態。

本發明，除了上述這樣之動態型ＲＡＭ之外，可以廣泛地利用於具利用成爲負電壓之內部電壓、或對於電源電壓被昇壓之內部電壓等，充電抽取電路，與外部端子所供

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（44）

給之電壓不同之內部電壓產生電路之各種半導體積體電路裝置。

於本發明所揭示之發明中，具有代表性者所獲得之效果簡單說明如下。即，將第1週期之脈衝予以整流，利用充電抽取電路形成內部電壓，檢測出上述內部電壓之位準是否達到所期望之位準之位準檢測電路被設置，配合其檢測信號，以使上述內部電壓成爲所期望之位準之方式，以控制電路，控制上述充電抽取電路，同時，於上述位準檢測電路之電流路徑，插入被第2週期脈衝所切換控制之切換元件，藉此，以通過位準檢測電路所流通之電流，不會使內部電壓不期望地減低，所以可以減低全體之消費電流。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：半導體積體電路裝置）

本發明係有關於半導體積體電路裝置，例如，利用於動態隨機存取記憶體之基板逆偏壓電壓產生電路等之內部電壓產生電路，非常有效之技術。係將第1週期之脈衝予以整流，利用充電幫浦電路形成內部電壓，設置檢測上述內部電壓之位準是否達到所期望位準之位準檢測電路，配合該檢測信號使上述內部電壓成爲所期望之位準之方式，以控制電路控制上述充電幫浦電路，同時，將被第2週期之脈衝所切換控制之切換元件，插入上述位準檢測電路之輸出電流流經路。更者，將比上述電流流經路，設於充電幫浦電路之洩漏電流流通之電流流經路，設於充電幫浦電路之輸出端子與規定之電源端子之間。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

432675

A8
B8
C8
D8

89年12月28日 修正 補充

煩請委員明示 89年12月28日所提之修正本有無變更實質內容是否准予修正。

六、申請專利範圍

第87101777號專利申請案

中文申請專利範圍修正本

民國89年12月修正

1、一種半導體積體電路裝置，係包含將第1週期之脈衝予以整流，形成內部電壓之充電抽取電路；及檢測上述內部電壓之位準是否到達規定值之位準檢測電路；及依據上述位準檢測電路之輸出信號，控制上述充電抽取電路之動作之控制電路；

被插入上述位準檢測電路之動作電流流通之第1電流路徑，被第2週期之脈衝所切換控制之第1開關元件，及其中上述第1電流路徑之一端被連接於上述充電抽取電路之輸出端子；

被插入於電源電壓端子與上述充電抽取電路之輸出端子之間所形成之第2電流路徑之第2開關元件，其中流通於上述第2電流路徑之電流，係比流通於第1電流路徑之電流小。

2、如申請專利範圍第1項之半導體積體電路裝置，其中上述第1開關元件與第2開關元件，係互補地被切換控制。

3、如申請專利範圍第1項之半導體積體電路裝置，其中上述位準檢測電路之檢測信號，被判斷爲其絕對值爲比上述所期望位準小之值時，上述第1開關元件爲ON狀態，直到上述檢測信號到達上述所期望位準爲止。

（請先閱讀背面之注意事項再填寫本頁）

訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

電路裝置，其中上述開關元件，係當半導體積體電路裝置處於非動作狀態時，藉由上述第2週期之脈衝，成爲ON狀態，上述半導體積體電路裝置爲動作狀態時，定常地成爲ON狀態。

27、如申請專利範圍第19或20項之半導體積體電路裝置，其中上述開關元件，係當半導體積體電路裝置處於非動作狀態時，藉由上述第2週期之脈衝，成爲ON狀態，上述半導體積體電路裝置爲非動作狀態時，藉由成爲比上述第2週期之脈衝短之週期之第3週期之脈衝，成爲ON狀態者。

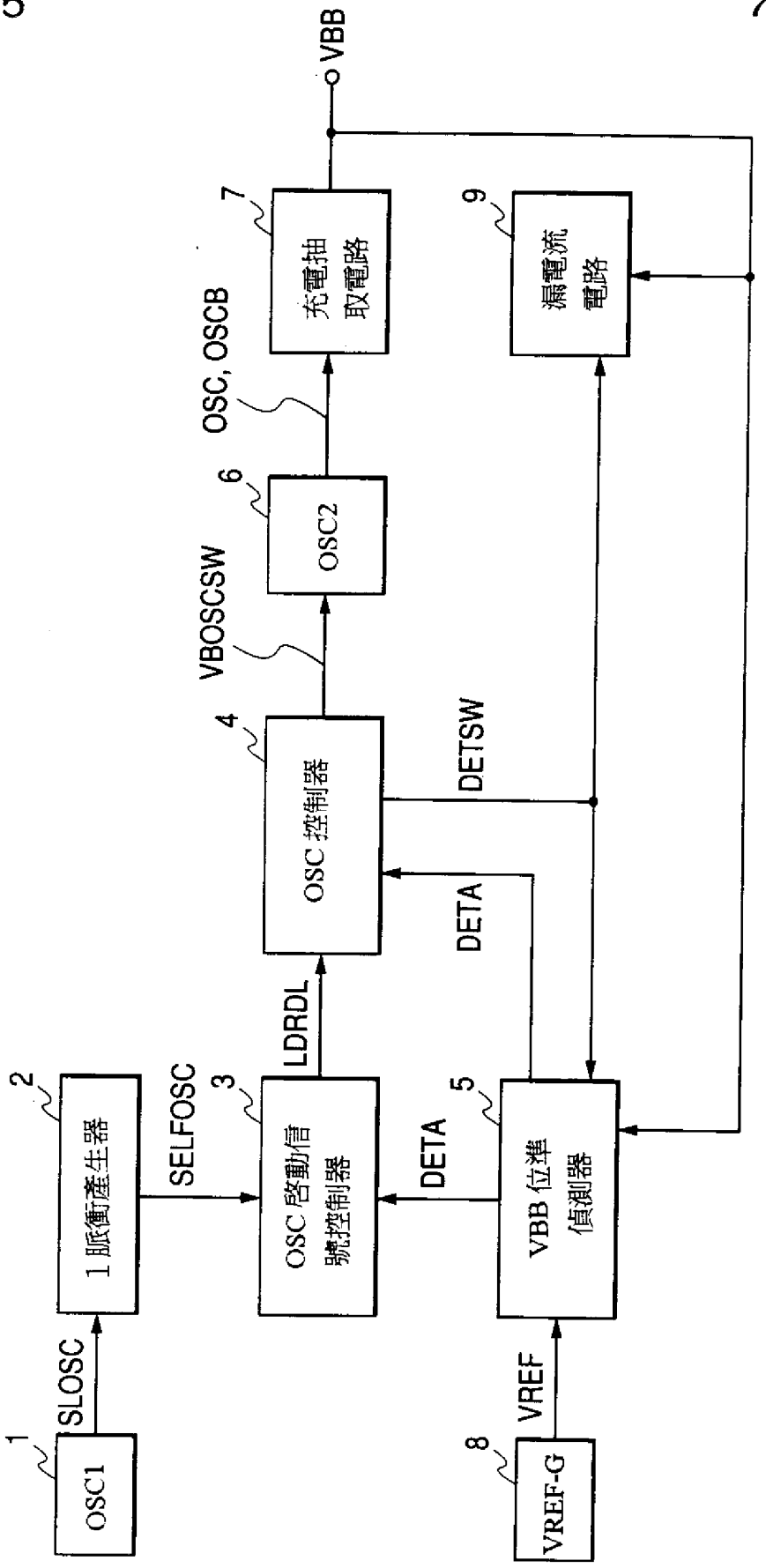
28、如申請專利範圍第25項之半導體積體電路裝置，其中上述充電抽取電路，係形成地址選擇MOSFET與記憶電容器所形成之動態型記憶格，被配置成矩陣之記憶體陣列被形成之P型阱領域所被供給之負電壓之偏壓電壓。

29、如申請專利範圍第25項之半導體積體電路裝置，其中上述充電抽取電路，係形成構成動態型記憶格之地址選擇MOSFET之閘極被連接之字線之非選擇位準者；

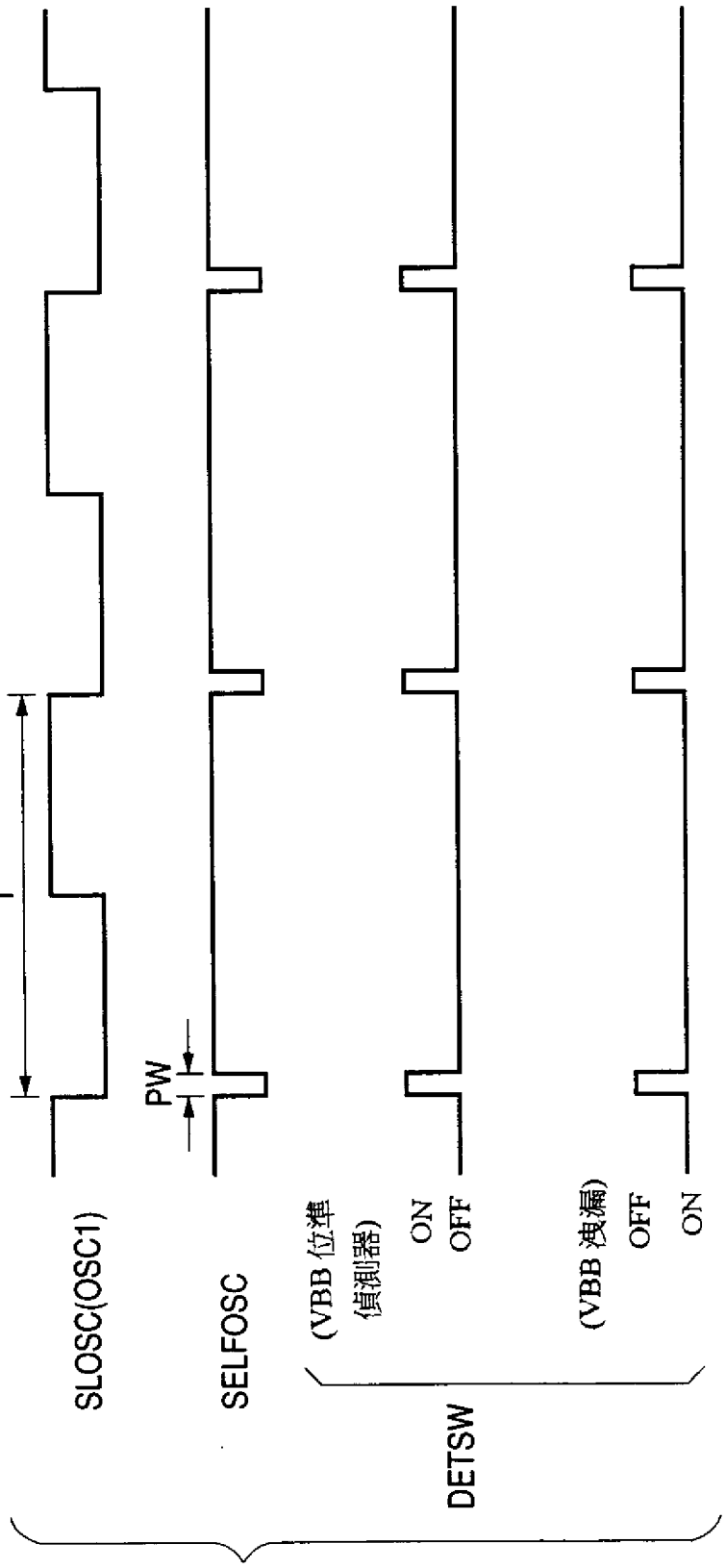
形成有上述地址選擇MOSFET之P型阱領域或P型基板，被供給0V，作爲偏壓電壓。

30、如申請專利範圍第19項之半導體積體電路裝置，其中上述第2電流路徑，係設有與上述位準檢測電路之第1電流路徑所設之開關元件互補地被切換控制之開關

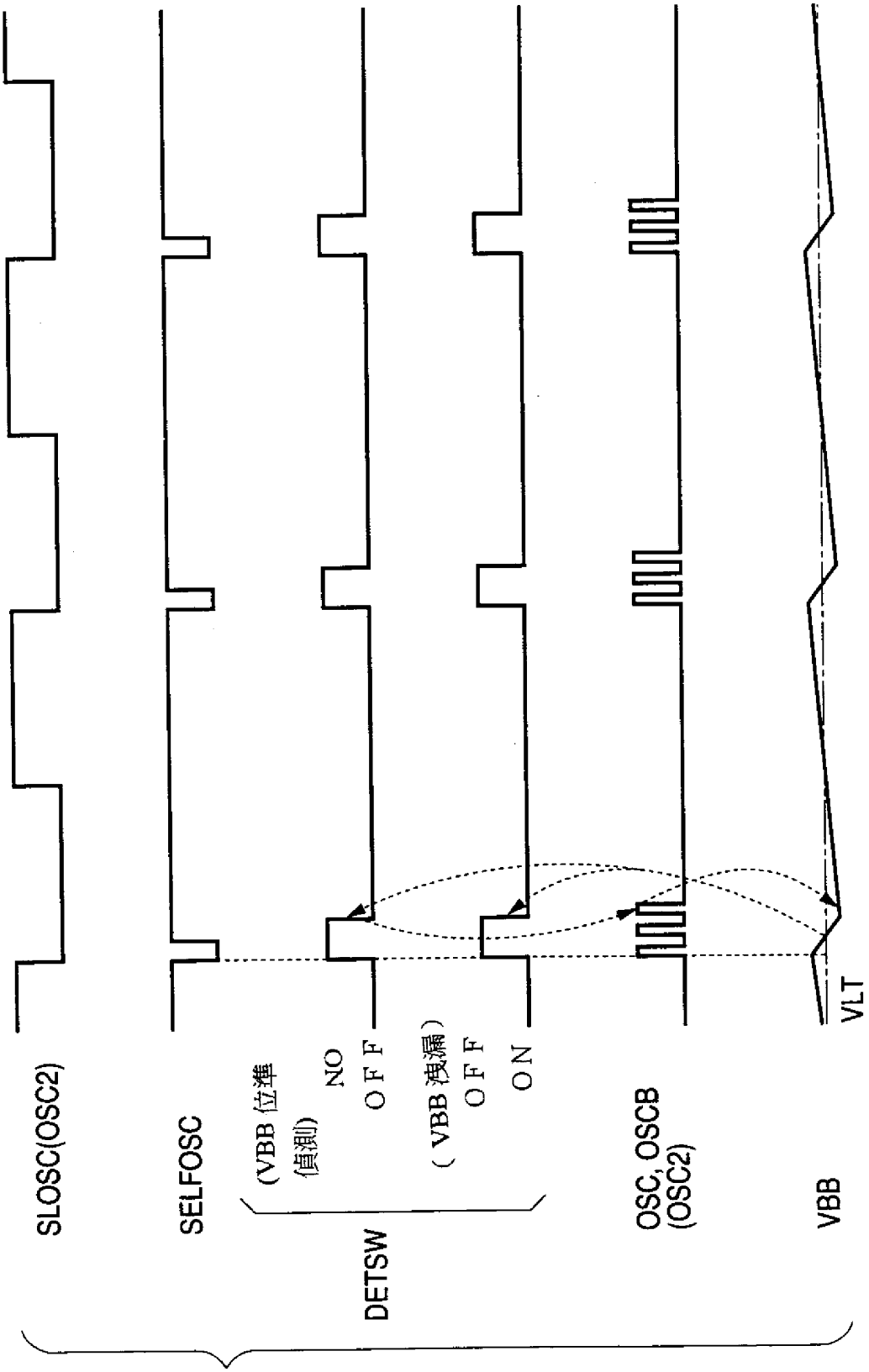
（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製


VBB
充電抽取電路
漏電流電路
OSC, OSCB
OSC2
VBOSCSW
OSC 控制器
DETSW
DETA
LDRDL
1 脈衝產生器
SELFOSC
OSC 啓動信號控制器
DETA
VBB 位準偵測器
SLOSC
OSC1
VREF
VREF-G
1
2
3
4
5
6
7
8
9

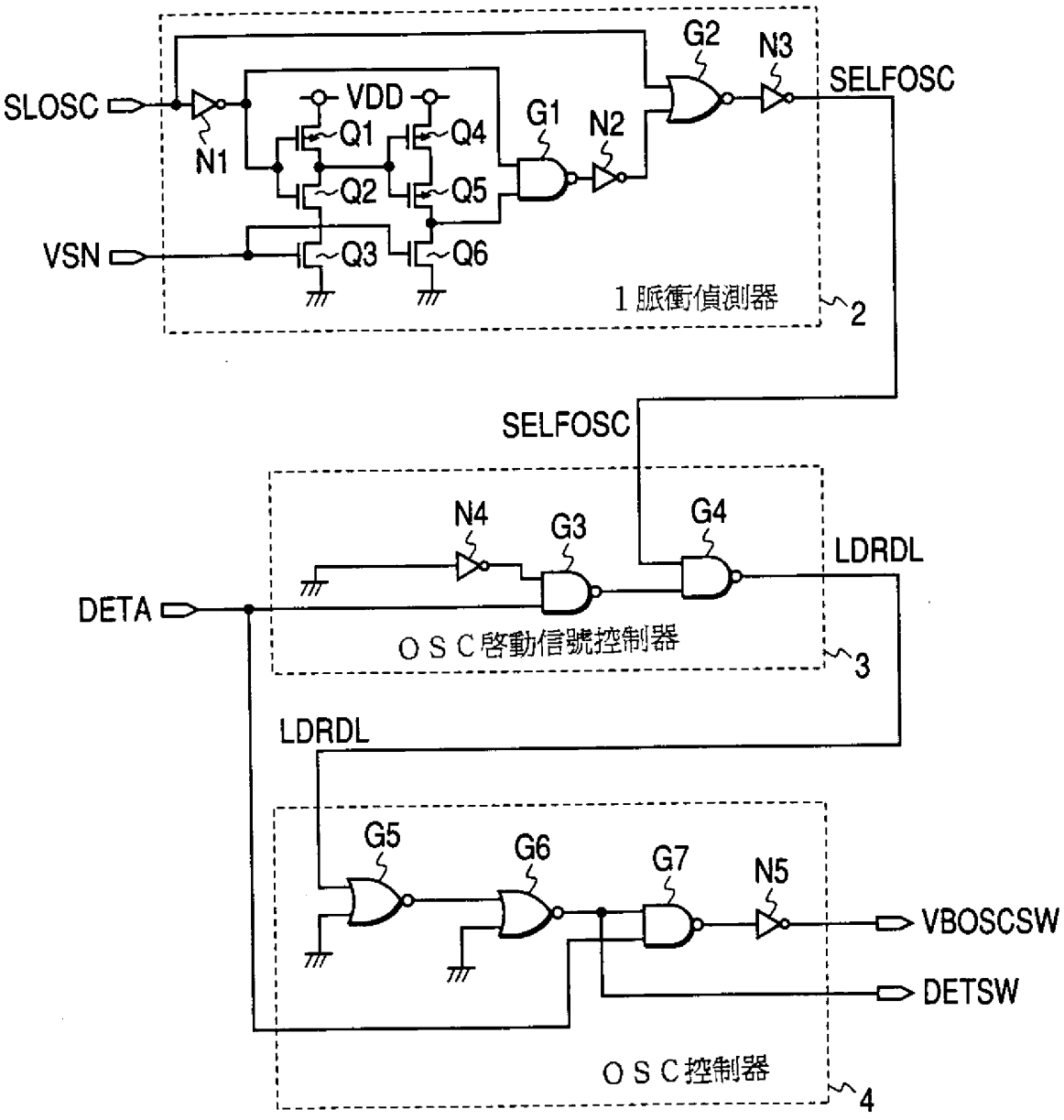
第 1 圖



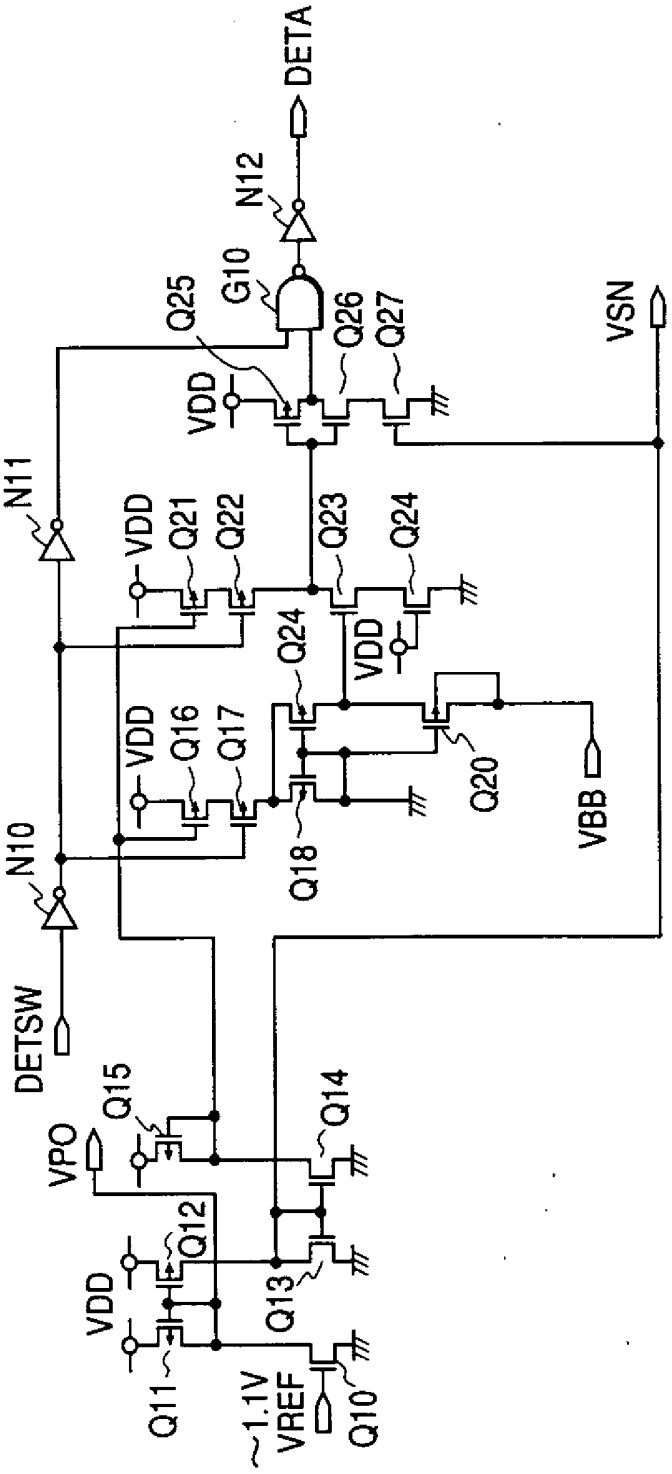
第 2 圖


SLOSC(OSC2)
SELFOSC
(VBB 位準
偵測)
NO
OFF
(VBB 洩漏)
OFF
ON
DETSW
OSC, OSCB
(OSC2)
VBB
VLT

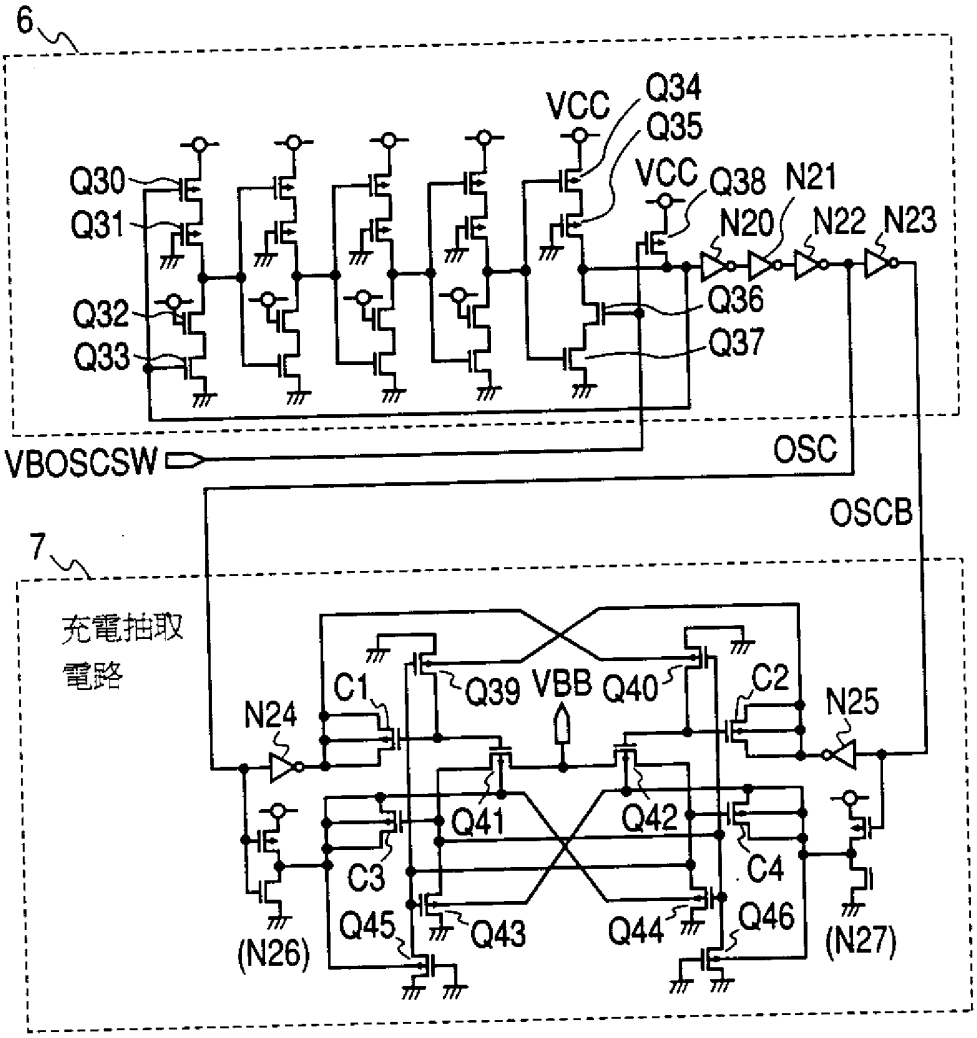
第 3 圖


SLOSC
N1
VDD
Q1
Q4
Q2
Q5
G1
N2
G2
N3
SELFOSC
VSN
Q3
Q6
1脈衝偵測器
2
SELFOSC
N4
G3
G4
LDRDL
DETA
OSC啓動信號控制器
3
LDRDL
G5
G6
G7
N5
VBOSCSW
DETSW
OSC控制器
4

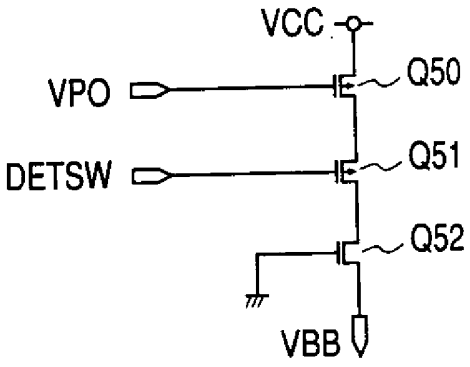
第 4 圖


DETA
N12
G10
Q25
Q26
Q27
VSN
VDD
N11
Q21
Q22
Q23
Q24
Q16
Q17
Q18
Q20
VBB
N10
DETSW
Q15
Q14
VPO
Q12
Q13
Q11
1.1V
VREF
Q10

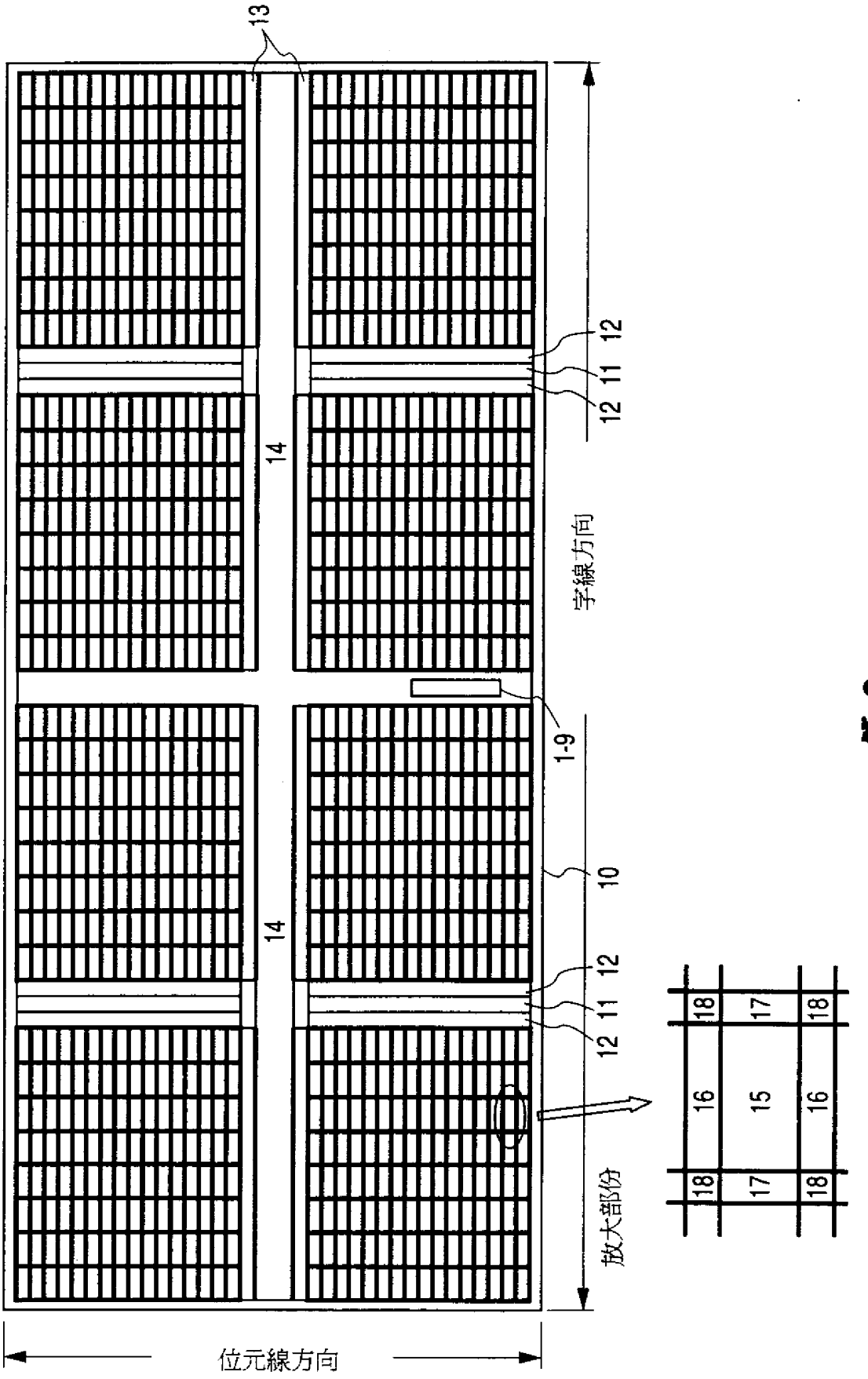
第5圖


6
VCC
Q34
Q35
VCC
Q38
N21
N20
N22
N23
Q30
Q31
Q32
Q33
Q36
Q37
VBOSCSW
OSC
OSCB
7
充電抽取
電路
N24
C1
Q39
VBB
Q40
C2
N25
Q41
Q42
C3
C4
Q45
Q43
Q44
Q46
(N26)
(N27)

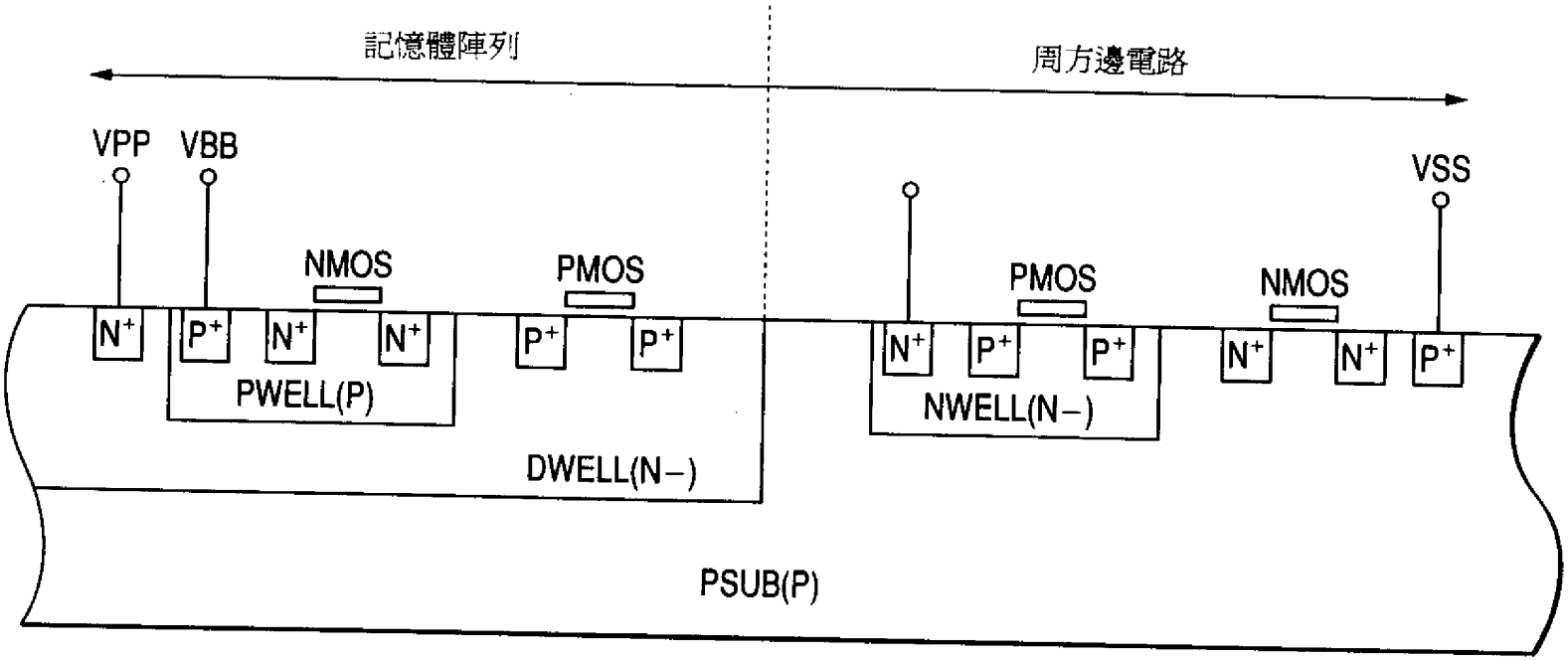
第 6 圖


VCC
VPO
Q50
DETSW
Q51
Q52
VBB

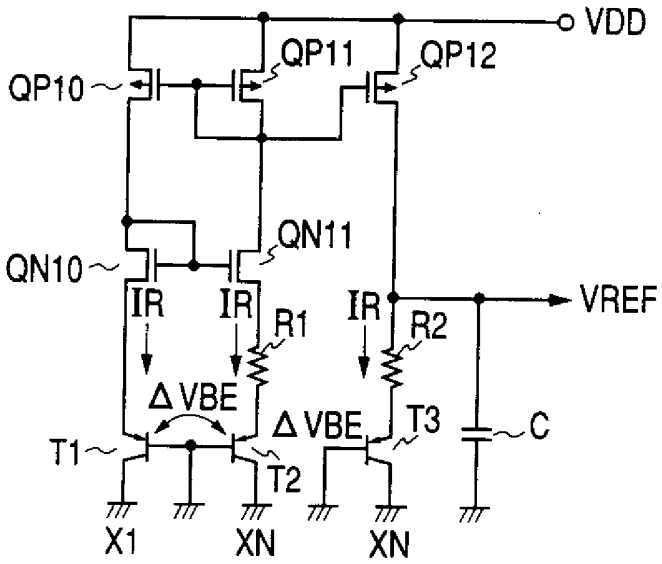
第 7 圖


13
14
12
11
12
字線方向
1-9
10
14
12
11
12
放大部份
18
17
18
16
15
16
18
17
18
位元線方向

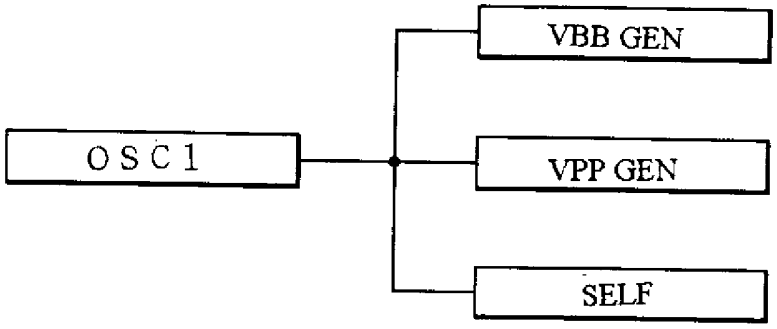
第 8 圖


記憶體陣列
周方邊電路
VPP
VBB
VSS
NMOS
PMOS
PMOS
NMOS
N+
P+
N+
N+
P+
P+
N+
P+
P+
N+
N+
P+
PWELL(P)
NWELL(N−)
DWELL(N−)
PSUB(P)

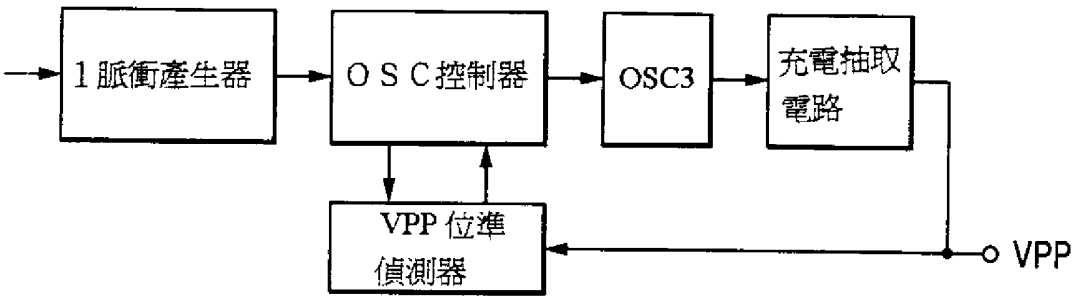
第 9 圖


VDD
QP11
QP12
QP10
QN11
QN10
IR
IR
R1
IR
R2
VREF
ΔVBE
ΔVBE
T3
C
T1
T2
X1
XN
XN

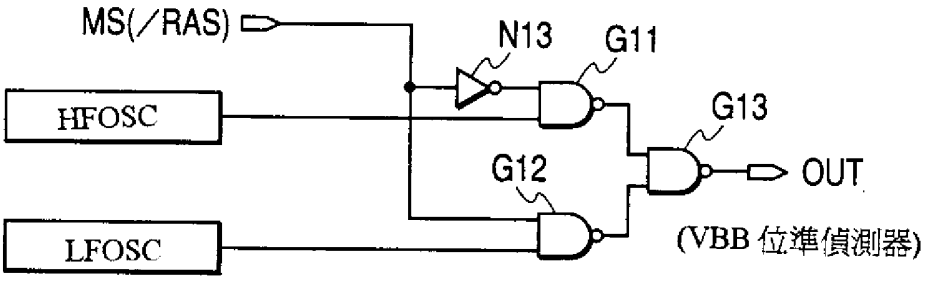
第10圖


VBB GEN
OSC1
VPP GEN
SELF

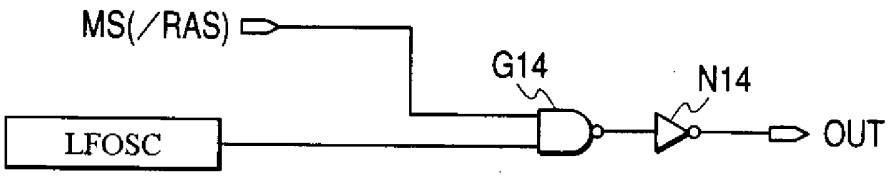
第11圖



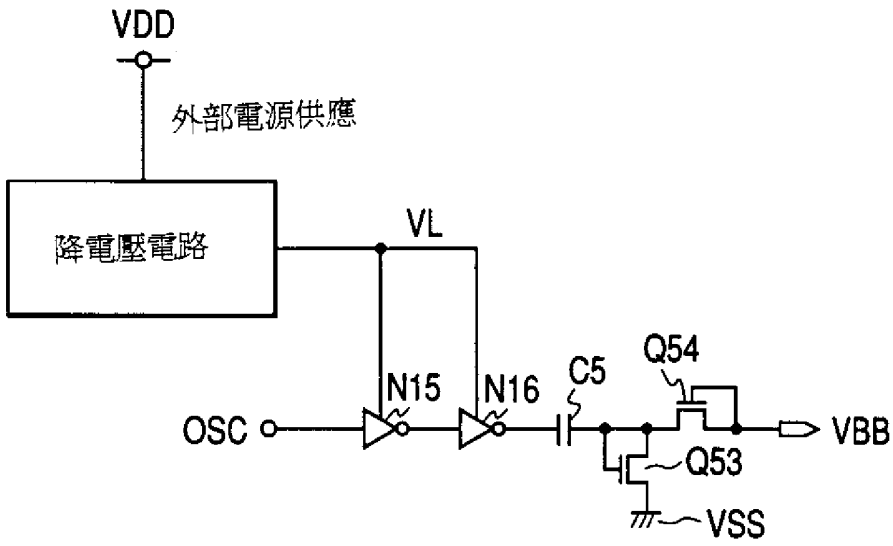
第12圖



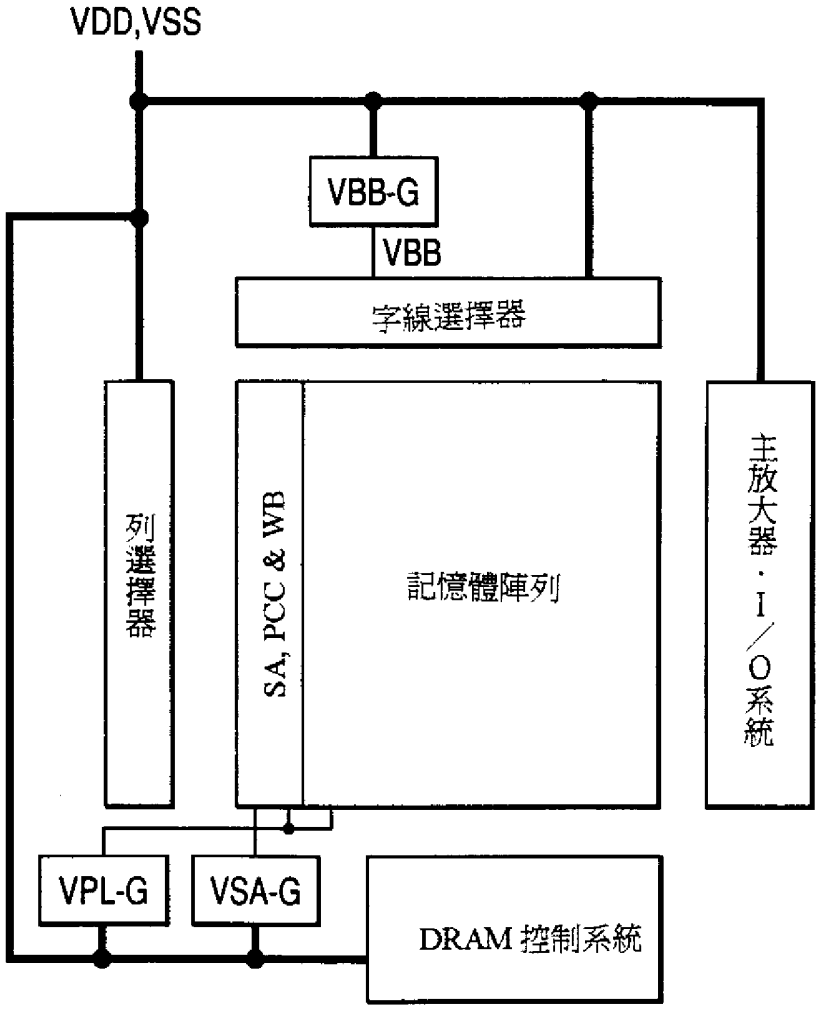
第13圖



第14圖


VDD
外部電源供應
降電壓電路
VL
N15
N16
C5
Q54
OSC
VBB
Q53
VSS

第15圖


VDD,VSS
VBB-G
VBB
字線選擇器
列選擇器
SA, PCC & WB
記憶體陣列
主放大器·I／O系統
VPL-G
VSA-G
DRAM 控制系統

第16圖

432675

A8
B8
C8
D8

89年12月28日 修正 補充

煩請委員明示 89年12月28日所提之修正本有無變更實質內容是否准予修正。

六、申請專利範圍

第87101777號專利申請案

中文申請專利範圍修正本

民國89年12月修正

1、一種半導體積體電路裝置，係包含將第1週期之脈衝予以整流，形成內部電壓之充電抽取電路；及檢測上述內部電壓之位準是否到達規定值之位準檢測電路；及依據上述位準檢測電路之輸出信號，控制上述充電抽取電路之動作之控制電路；

被插入上述位準檢測電路之動作電流流通之第1電流路徑，被第2週期之脈衝所切換控制之第1開關元件，及其中上述第1電流路徑之一端被連接於上述充電抽取電路之輸出端子；

被插入於電源電壓端子與上述充電抽取電路之輸出端子之間所形成之第2電流路徑之第2開關元件，其中流通於上述第2電流路徑之電流，係比流通於第1電流路徑之電流小。

2、如申請專利範圍第1項之半導體積體電路裝置，其中上述第1開關元件與第2開關元件，係互補地被切換控制。

3、如申請專利範圍第1項之半導體積體電路裝置，其中上述位準檢測電路之檢測信號，被判斷爲其絕對值爲比上述所期望位準小之值時，上述第1開關元件爲ON狀態，直到上述檢測信號到達上述所期望位準爲止。

（請先閱讀背面之注意事項再填寫本頁）

訂 線

經濟部智慧財產局員工消費合作社印製