



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I636552 B

(45) 公告日：中華民國 107 (2018) 年 09 月 21 日

(21) 申請案號：106101802 (22) 申請日：中華民國 106 (2017) 年 01 月 19 日

(51) Int. Cl. : **H01L27/105 (2006.01)** **H01L21/8229(2006.01)**
G11C11/34 (2006.01)

(30) 優先權：2016/02/29 美國 62/300,949
2016/09/16 美國 15/267,948

(71) 申請人：東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)
日本

(72) 發明人：系川寬志 ITOKAWA, HIROSHI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

US	2009/0189213A1	US	2014/0291847A1
US	2015/0200199A1	US	2015/0236038A1

審查人員：張錦昇

申請專利範圍項數：20 項 圖式數：16 共 34 頁

(54) 名稱

半導體記憶裝置及其製造方法

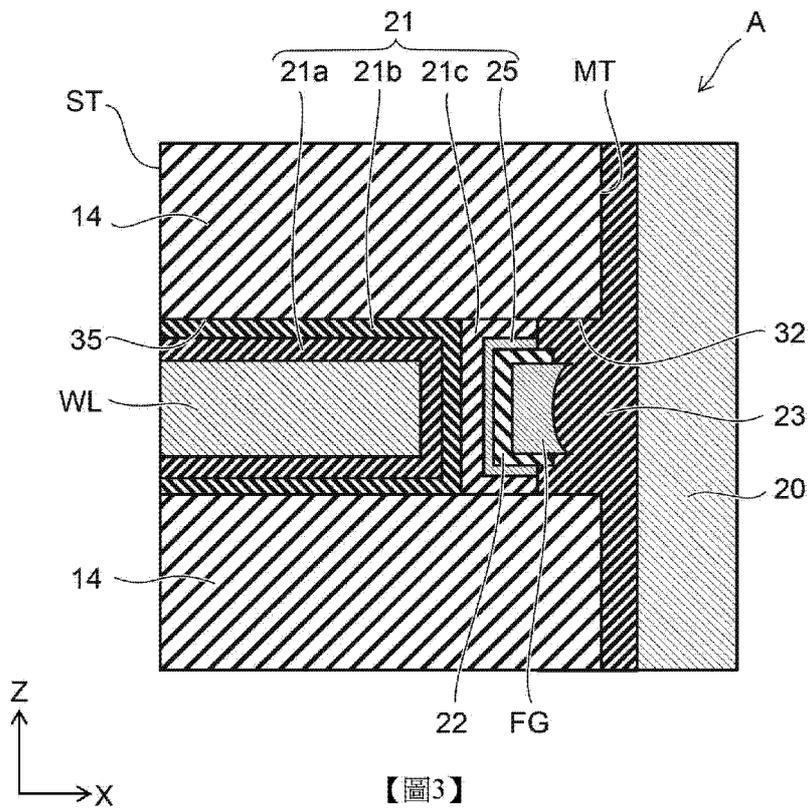
SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) 摘要

實施形態之半導體記憶裝置具備：配線，其於第 1 方向延伸；半導體構件，其於相對於上述第 1 方向交叉之第 2 方向延伸；電極，其設置於上述配線與上述半導體構件之間；第 1 絕緣膜，其設置於上述配線與上述電極之間；第 2 絕緣膜，其設置於上述第 1 絕緣膜與上述電極之間；第 3 絕緣膜，其設置於上述電極與上述半導體構件之間；及含金屬層，其設置於上述第 1 絕緣膜與上述第 2 絕緣膜之間或上述第 1 絕緣膜之內部，且金屬之面濃度為 $1 \times 10^{14} \text{cm}^{-2}$ 以上且 $5 \times 10^{15} \text{cm}^{-2}$ 以下。

A semiconductor memory device according to one embodiment, includes an interconnect extending in a first direction, a semiconductor member extending in a second direction crossing the first direction, an electrode provided between the interconnect and the semiconductor member, a first insulating film provided between the interconnect and the electrode, a second insulating film provided between the first insulating film and the electrode, a third insulating film provided between the electrode and the semiconductor member, and a metal-containing layer provided between the first insulating film and the second insulating film or inside the first insulating film, and having a metal surface concentration of $1 \times 10^{14} \text{cm}^{-2}$ or more and $5 \times 10^{15} \text{cm}^{-2}$ or less.

指定代表圖：



【圖3】

符號簡單說明：

- 14 . . . 層間絕緣膜
- 20 . . . 半導體構件
- 21 . . . 阻擋絕緣膜
- 21a . . . 高介電常數層
- 21b . . . 低介電常數層
- 21c . . . 高介電常數層
- 22 . . . 電極間絕緣膜
- 23 . . . 穿隧絕緣膜
- 25 . . . 含金屬層
- 32 . . . 凹部
- 35 . . . 凹部
- A . . . 區域
- FG . . . 浮動閘極電極
- MT . . . 記憶體溝槽
- ST . . . 狹縫
- WL . . . 字元線
- X . . . 方向
- Z . . . 方向

【發明說明書】

【中文發明名稱】

半導體記憶裝置及其製造方法

【英文發明名稱】

SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR
MANUFACTURING THE SAME

【技術領域】

本實施形態係關於一種半導體記憶裝置及其製造方法。

【先前技術】

近年來，提出一種使記憶胞三維地積體而成之積層型半導體記憶裝置。於此種積層型半導體記憶裝置中，於半導體基板上設置有電極膜與絕緣膜交替地積層而成之積層體，且設置有貫通積層體之半導體構件。且，於電極膜與半導體構件之每一交叉部分形成記憶胞。於此種半導體記憶裝置中，亦要求更進一步之微細化。

【發明內容】

實施形態提供一種容易微細化之半導體記憶裝置及其製造方法。

實施形態之半導體記憶裝置具備：配線，其於第1方向延伸；半導體構件，其於相對於上述第1方向交叉之第2方向延伸；電極，其設置於上述配線與上述半導體構件之間；第1絕緣膜，其設置於上述配線與上述電極之間；第2絕緣膜，其設置於上述第1絕緣膜與上述電極之間；第3絕緣膜，其設置於上述電極與上述半導體構件之間；及含金屬層，其設置於上述第1絕緣膜與上述第2絕緣膜之間或上述第1絕緣膜之內部，且金屬之面濃度為 $1 \times 10^{14} \text{ cm}^{-2}$ 以上且 $5 \times 10^{15} \text{ cm}^{-2}$ 以下。

實施形態之半導體記憶裝置之製造方法係於基板上，藉由使第1膜與第2膜交替地積層而形成積層體。上述方法係於上述積層體形成於第1方向延伸之第1溝槽。上述方法係經由上述第1溝槽將上述第2膜之一部分去除，藉此，於上述第1溝槽之側面形成於上述第1方向延伸之第1凹部。上述方法係於上述第1凹部之內面上形成第1絕緣膜。上述方法係藉由對上述第1絕緣膜之表面導入金屬，而形成含金屬層。上述方法係於上述第1絕緣膜之表面上形成第2絕緣膜。上述方法係於上述第1凹部內形成電極。上述方法係於上述第1溝槽之側面上形成第3絕緣膜。上述方法係於上述第1溝槽內形成半導體構件。上述方法係將上述半導體構件、上述第3絕緣膜、上述電極、上述第2絕緣膜及上述含金屬層於上述第1方向上分斷。上述方法係於上述積層體形成於上述第1方向延伸之第2溝槽。上述方法係經由上述第2溝槽將上述第2膜之剩餘部分去除，藉此，於上述第2溝槽之側面形成於上述第1方向延伸之第2凹部。上述方法係於上述第2凹部內形成配線。

【圖式簡單說明】

圖1係顯示實施形態之半導體記憶裝置之方塊圖。

圖2係顯示實施形態之半導體記憶裝置之記憶體陣列之立體圖。

圖3係顯示圖2之區域A之剖視圖。

圖4係顯示實施形態之半導體記憶裝置之記憶胞之帶圖。

圖5～圖16係顯示實施形態之半導體記憶裝置之製造方法之剖視圖。

【實施方式】

以下，參照圖式說明實施形態。

圖1係顯示實施形態之半導體記憶裝置之方塊圖。

圖2係顯示實施形態之半導體記憶裝置之記憶體陣列之立體圖。

圖3係顯示圖2之區域A之剖視圖。

如圖1所示，於本實施形態之半導體記憶裝置1中，於矽基板10內及矽基板10上，設置有記憶資料之記憶體陣列MA、及驅動記憶體陣列MA之控制電路CC。矽基板10例如由矽之單晶形成。

如圖2所示，於記憶體陣列MA中，於矽基板10上設置有積層體12。以下，於本說明書中，為了說明之方便起見，採用XYZ正交座標系。將相對於矽基板10之上表面10a平行且相互正交之2個方向設為「X方向」及「Y方向」，將相對於矽基板10之上表面10a垂直之方向設為「Z方向」。另外，亦將Z方向中之自矽基板10朝向積層體12之方向稱為「上」，亦將其相反方向稱為「下」，該區別係為了方便起見，與重力之方向無關。

如圖2所示，於積層體12中，於Z方向相互隔開地排列有包含例如矽氧化物之層間絕緣膜14。於積層體12，形成有於Y方向延伸之複數條記憶體溝槽MT、及於Y方向延伸之複數條狹縫ST。記憶體溝槽MT及狹縫ST於X方向交替地排列。各記憶體溝槽MT及各狹縫ST貫通積層體12，到達至矽基板10。於本說明書中，當提及某構成構件於Y方向延伸時，該構成構件中最長之方向係Y方向。關於其他方向亦同。於各記憶體溝槽MT及狹縫ST中，最長之方向係Y方向，第二長之方向係Z方向，最短之方向係X方向。

於積層體12中，於X方向上之記憶體溝槽MT與狹縫ST之間且Z方向上之層間絕緣層14間之各者，設置有於Y方向延伸之1條字元線WL、及於Y方向排列之複數個浮動閘極電極FG。因此，於積層體12中，字元線WL沿X方向及Z方向排列成二維矩陣狀。浮動閘極電極FG沿X方向、Y方向及Z方向排列成三維矩陣狀。

字元線WL包含導電性材料，例如由包含鎢(W)之本體部(未圖示)、及

包含鈦氮化物(TiN)之障壁金屬層(未圖示)構成。障壁金屬層配置於本體部之上表面上、下表面上及朝向浮動閘極電極FG之側面上。浮動閘極電極FG包含導電性材料，例如由包含雜質之多晶矽形成。

於各記憶體溝槽MT內，設置有複數個半導體構件20。半導體構件20例如由矽形成。各半導體構件20之形狀為於Z方向延伸之大致四角柱形，下端與矽基板10連接。複數個半導體構件20沿著Y方向相互隔開地排列成一行。於Y方向上，半導體構件20配置於與浮動閘極電極FG相同之位置。因此，浮動閘極電極FG配置於半導體構件20與字元線WL之間。又，各半導體構件20配置於隔著記憶體溝槽MT於X方向上隔開之浮動閘極電極FG間。

如圖3所示，於字元線WL與浮動閘極電極FG之間，設置有阻擋絕緣膜21。阻擋絕緣膜21係即便被施加由控制電路CC(參照圖1)輸出之特定之驅動電壓、實質上亦不流通電流之膜。於阻擋絕緣膜21中，自字元線WL側朝向浮動閘極電極FG依序積層有高介電常數層21a、低介電常數層21b及高介電常數層21c。高介電常數層21a及21c之介電常數高於低介電常數層21b之介電常數。高介電常數層21a及低介電常數層21b配置於字元線WL之上表面上、下表面上、及朝向浮動閘極電極FG之側面上。高介電常數層21a與字元線WL相接。

例如，高介電常數層21a及21c由鈣矽氧化物(HfSiO)形成，低介電常數層21b由矽氧化物(SiO)形成。另，高介電常數層21a及21c亦可由鋯氧化物(ZrO)或鋯矽氧化物(ZrSiO)等金屬氧化物形成，低介電常數層21b亦可由鋁氧化物(AlO)形成。

於阻擋絕緣膜21與浮動閘極電極FG之間，設置有電極間絕緣膜22。

電極間絕緣膜22配置於浮動閘極電極FG之上表面上、下表面上、及朝向字元線WL之側面上。電極間絕緣膜22由相較於矽氧化物障壁高度較高且介電常數較高之絕緣材料形成，例如，由矽氮化物(SiN)形成。又，高介電常數層21c配置於電極間絕緣膜22之上表面上、下表面上、及朝向字元線WL之側面上。

於各半導體構件20與沿著Z方向排列成一行之複數個浮動閘極電極FG之間，設置有穿隧絕緣膜23。穿隧絕緣膜23係通常為絕緣性但若被施加由控制電路CC輸出之特定之驅動電壓則流通穿隧電流之膜。穿隧絕緣膜23例如由矽氧化物形成。另，穿隧絕緣膜23亦可為由氧化矽層、氮化矽層及氧化矽層堆疊而成之ONO(Oxide-Nitride-Oxide，氧化物-氮化物-氧化物)膜。穿隧絕緣膜23之形狀為於Z方向延伸之帶狀。穿隧絕緣膜23整體之平均介電常數較阻擋絕緣膜21整體之平均介電常數低。

且，於阻擋絕緣膜21之高介電常數層21c中之與電極間絕緣膜22相接之部分，形成包含金屬例如鉬(Mo)之含金屬層25。於一例中，高介電常數層21c整體之厚度為5 nm(奈米)左右，其中，含金屬層25之厚度為1 nm左右。於含金屬層25中，例如，鉬以單體之點或與鉛之合金之點之形式存在。含金屬層25中之鉬之面濃度例如為 $1 \times 10^{14} \text{ cm}^{-2}$ 以上且 $5 \times 10^{15} \text{ cm}^{-2}$ 以下。另，於本實施形態中，含金屬層25形成於阻擋絕緣膜21之內部，但亦可作為獨立於阻擋絕緣膜21之層而設置於阻擋絕緣膜21與電極間絕緣膜22之間。

包含半導體構件20、穿隧絕緣膜23、浮動閘極電極FG、電極間絕緣膜22及高介電常數層21c之構造體於Y方向上相互隔開地排列。另，含金屬層25包含於高介電常數層21c。該構造體間可藉由絕緣材料填埋，亦可設為

氣隙。狹縫ST內亦可由絕緣材料填埋，亦可設為氣隙。

如圖2所示，於積層體12上設置有通孔28，於通孔28上設置有於X方向延伸之位元線BL。位元線BL經由通孔28與半導體構件20之上端連接。

接著，對本實施形態之半導體記憶裝置之動作進行說明。

圖4係顯示本實施形態之半導體記憶裝置之記憶胞之帶圖。

另，為了容易直觀地理解，於圖4中填寫形成各部分之材料例，但各部分之材料並不限定於圖4中填寫之材料。

如圖3所示，於本實施形態之半導體記憶裝置1中，於半導體構件20與字元線WL之每一交叉部分形成包含浮動閘極電極FG之記憶胞。記憶胞係場效應電晶體，半導體構件20作為通道發揮功能，字元線WL作為閘極發揮功能，穿隧絕緣膜23作為閘極絕緣膜發揮功能，浮動閘極電極FG作為浮動閘極發揮功能。

此時，如圖4所示，浮動閘極電極FG及含金屬層25成為夾於穿隧絕緣膜23與阻擋絕緣膜21之間之能階之井。又，浮動閘極電極FG與含金屬層25藉由電極間絕緣膜22而電性分離。

於對某記憶胞(稱為「選擇胞」)寫入資料時，控制電路CC(參照圖1)向字元線WL與半導體構件20之間施加將字元線WL設為正極且將半導體構件20設為負極之寫入電壓。藉此，半導體構件20內之電子於穿隧絕緣膜23內作為穿隧電流流動，並注入至浮動閘極電極FG內。

注入至浮動閘極電極FG內之電子之一部分於浮動閘極電極FG內散射而失去能量，而蓄積於浮動閘極電極FG內。注入至浮動閘極電極FG內之剩餘電子於浮動閘極電極FG內幾乎不失去能量，而以保持高能量之狀態通過電極間絕緣膜22，與含金屬層25碰撞。且，於含金屬層25散射而失去能

量，藉此蓄積於含金屬層25內。記憶胞之閾值電壓因蓄積於浮動閘極電極FG內及含金屬層25之電子而變化，而寫入資料。

接著，對本實施形態之半導體記憶裝置之製造方法進行說明。

圖5～圖16係顯示本實施形態之半導體記憶裝置之製造方法之剖視圖。

圖5～圖16之中，圖14以外之圖係顯示XZ剖面。圖5～圖9、圖15、圖16係整體圖，圖10～圖13係局部放大圖。圖14係顯示XY剖面。

首先，如圖5所示，準備矽基板10。接著，於矽基板10上，例如藉由CVD(Chemical Vapor Deposition，化學氣相沉積)法使矽氧化物及矽氮化物交替地堆疊。藉此，沿著Z方向交替地積層包含矽氧化物之層間絕緣膜14及氮化矽膜31，形成積層體12。

接著，如圖6所示，例如藉由光微影法及RIE(Reactive Ion Etching，反應性離子蝕刻)法，於積層體12形成複數條到達至矽基板10且於Y方向延伸之記憶體溝槽MT。

接著，如圖7所示，經由記憶體溝槽MT，實施例如使用熱磷酸之濕蝕刻。藉此，將氮化矽膜31之於記憶體溝槽MT內露出之部分去除，而於記憶體溝槽MT之側面形成凹部32。凹部32沿著記憶體溝槽MT於Y方向延伸。

接著，如圖8所示，藉由例如CVD法，於整面形成高介電常數材料、例如鈰矽氧化物(HfSiO)。藉此，於記憶體溝槽MT之內面上大致均勻地形成高介電常數層21c。高介電常數層21c亦形成於凹部32之內面上。高介電常數層21c之厚度例如設為5 nm。接著，進行熱處理，將高介電常數層21c結晶化。

接著，如圖9所示，藉由例如等電漿摻雜法，將鉬導入至高介電常數

層21c之表面。具體來說，向腔室內導入氩(Ar)或氦(He)等稀有氣體，施加高頻功率進行電漿化，且導入五氯化鉬(MoCl_5)或六氟化鉬(MoF_6)等原料。藉此，原料中所含之鉬原子離子化，而侵入至高介電常數層21c內。然而，由於未對鉬離子施加偏壓，故鉬離子停留於高介電常數層21c之極表層部分。

其結果，如圖10所示，於高介電常數層21c之露出面附近，形成極薄之含金屬層25。例如，含金屬層25之厚度成為1 nm左右，鉬之面濃度例如成為 $1 \times 10^{14} \text{ cm}^{-2}$ 以上且 $5 \times 10^{15} \text{ cm}^{-2}$ 以下。多數情況下，不形成鉬之連續膜，而作為鉬單體之點或鉬鉛合金之點存在於高介電常數層21c中。

接著，如圖11所示，藉由例如CVD法使矽氮化物堆疊，於記憶體溝槽MT之內面上形成電極間絕緣膜22。接著，使矽堆疊，於記憶體溝槽MT之內面上形成導電性之矽膜33。矽膜33之堆疊量設為如埋入凹部32內且未將記憶體溝槽MT整體完全填埋之量。

接著，如圖12所示，例如藉由實施RIE等異向性蝕刻，而將矽膜33、電極膜絕緣膜22及高介電常數層21c之堆疊於凹部32外部之部分去除。藉此，矽膜33、電極膜絕緣膜22及高介電常數層21c殘留於凹部32內，且於凹部32間相互隔開。

接著，如圖13所示，於記憶體溝槽MT之側面上，使矽氧化物堆疊，而形成穿隧絕緣膜23。接著，使矽堆疊而於記憶體溝槽MT內填埋半導體構件34。

接著，如圖14所示，藉由將半導體構件34、穿隧絕緣膜23、矽膜33、電極間絕緣膜22及高介電常數層21c選擇性地去除而於Y方向上分斷。其結果，於各記憶體溝槽MT內，半導體構件34被分斷為複數條半導體構件20。

又，矽膜33沿著Y方向於每一半導體構件20被分斷而成為浮動閘極電極FG。另，高介電常數層21c之除了含金屬層25以外之部分亦可不被分斷而殘留。接著，利用矽氧化物(未圖示)填埋記憶體溝槽MT之剩餘部分內。

接著，如圖15所示，於積層體12之記憶體溝槽MT間之部分形成於Y方向延伸之狹縫ST。狹縫ST到達至矽基板10。

接著，如圖16所示，經由狹縫ST實施蝕刻，將氮化矽膜31之剩餘部分去除。例如，實施使用熱磷酸之濕蝕刻。此時，高介電常數層21c作為蝕刻終止層發揮功能。藉此，於狹縫ST之側面形成於Y方向延伸之凹部35。

接著，如圖3所示，使低介電常數材料例如矽氧化物堆疊，而於狹縫ST之內面上形成低介電常數層21b。接著，使高介電常數材料例如鉛矽氧化物堆疊而形成高介電常數層21a。藉由高介電常數層21c、低介電常數層21b及高介電常數層21a，形成阻擋絕緣膜21。

接著，使例如鈦氮化物堆疊而於狹縫ST之內面上形成障壁金屬層，接著，使鎢堆疊。接著，藉由實施RIE等異向性蝕刻，而將鎢及障壁金屬層之堆疊於凹部35外部之部分去除。藉此，鎢及障壁金屬層於每一凹部35被分斷，於各凹部35內填埋字元線WL。又，阻擋絕緣膜21亦於每一凹部35被分斷。

接著，如圖2所示，於積層體12上形成絕緣膜(未圖示)，於該絕緣膜內形成通孔28，並使其與半導體構件20之上端連接。接著，於該絕緣膜上形成於X方向延伸之位元線BL，並使其與通孔28連接。如此，製造本實施形態之半導體記憶裝置1。

接著，對本實施形態之效果進行說明。

如圖3所示，於本實施形態之半導體記憶裝置1中，於阻擋絕緣膜21

之與電極間絕緣膜22相接之部分，設置有含有鉬之含金屬層25。藉此，可藉由含金屬層25捕捉自半導體構件20經由穿隧絕緣膜23注入至浮動閘極電極FG內之電子中之已貫通浮動閘極電極FG之電子。因此，本實施形態之半導體記憶裝置1之寫入特性良好。

又，藉由設置含金屬層25，可防止於寫入動作時以保持較高能量之狀態通過浮動閘極電極FG之電子(Ballistic Electron，彈道電子)與阻擋絕緣膜21碰撞，而避免阻擋絕緣膜21受損。因此，半導體記憶裝置1之可靠性較高。

一般而言，X方向上之浮動閘極電極FG之厚度越薄，則以保持較高能量之狀態通過浮動閘極電極FG之電子(Ballistic Electron)越多，可藉由浮動閘極電極FG捕捉電子之概率越低。因此，假設若不設置含金屬層25，則於伴隨著半導體記憶裝置之微細化而浮動閘極電極FG變薄時，寫入特性降低，且可靠性降低。

相對於此，根據本實施形態，由於設置有含金屬層25，故即便薄化浮動閘極電極FG，亦可藉由含金屬層25捕捉已通過浮動閘極電極FG之電子。因此，可抑制寫入特性降低，且可提高可靠性。換言之，可保持所要求之寫入特性及可靠性，且可將半導體記憶裝置微細化。

再者，於本實施形態中，含金屬層25含有鉬。鉬之功函數為例如4.36~4.95 eV，費米能量為例如5.9 eV，由於鉬之功函數與費米能量之合計值相對較大，故可相對於阻擋絕緣膜21及電極間絕緣膜22形成較深之能階。其結果，含金屬層25蓄積電子之能力較高。

再者，於本實施形態之半導體記憶裝置1中，於浮動閘極電極FG與含金屬層25之間設置有電極間絕緣膜22，因此，可將浮動閘極電極FG與含金

屬層25電性分離。藉此，可使經由穿隧絕緣膜23注入之電子分開蓄積至浮動閘極電極FG及含金屬層25。其結果，可防止於浮動閘極電極FG內過量地蓄積電子而對穿隧絕緣膜23施加過大之電場，且可防止於含金屬層25內過量地蓄積電子而對阻擋絕緣膜21施加過大之電場。其結果，可使於穿隧絕緣膜23流動之洩漏電流及於阻擋絕緣膜21流動之洩漏電流均降低。

另，於本實施形態中，顯示使用鉬作為含金屬層25中含有之金屬之例，但並不限定於此，只要為金屬，則可獲得一定效果。

又，於本實施形態中，顯示如下之例，即如圖8所示，於記憶體溝槽MT之內面上形成高介電常數層21c後，如圖9及圖10所示，對高介電常數層21c之最表層導入鉬而形成含金屬層25，如圖11所示，形成電極間絕緣膜22及矽膜33，如圖12所示，將矽膜33、電極膜絕緣膜22及高介電常數層21c於每一凹部32分斷。然而，製造半導體記憶裝置1之製程之順序並不限定於此，而為任意。例如，亦可形成高介電常數層21c，並藉由RIE於每一凹部32分斷後，使其結晶化，對高介電常數層21c及層間絕緣膜14導入鉬，藉由使用稀氫氟酸之濕處理等，將層間絕緣膜14中之導入有鉬之表層部分去除，形成電極間絕緣膜22及矽膜33，並將該等於每一凹部32分斷。

根據以上說明之實施形態，可實現容易微細化之半導體記憶裝置及其製造方法。

雖已對本發明之若干實施形態進行說明，但該等實施形態係作為例而提出者，並不意圖限定發明之範圍。該等新穎之實施形態可以其他各種方式實施，於不脫離發明之主旨之範圍內可進行各種省略、置換、變更。該等實施形態或其變化包含於發明之範圍或主旨，且包含於申請專利範圍所記載之發明及其均等之範圍內。

[相關申請案]

本申請享有以美國臨時專利申請案62/300,949號(申請日：2016年2月29日)及美國專利申請案15/267,948號(申請日：2016年9月16日)為基礎申請案之優先權。本申請案藉由參照該等基礎申請案而包含基礎申請案之全部內容。

【符號說明】

1	半導體記憶裝置
10	矽基板
10a	上表面
12	積層體
14	層間絕緣膜
20	半導體構件
21	阻擋絕緣膜
21a	高介電常數層
21b	低介電常數層
21c	高介電常數層
22	電極間絕緣膜
23	穿隧絕緣膜
25	含金屬層
28	通孔
31	氮化矽膜
32	凹部
33	矽膜

34	半導體構件
35	凹部
A	區域
BL	位元線
CC	控制電路
FG	浮動閘極電極
MA	記憶體陣列
Mo	鉬
MT	記憶體溝槽
ST	狹縫
WL	字元線
X	方向
Y	方向
Z	方向



申請日: 106/01/19

IPC分類: **H01L 27/105** (2006.01)
H01L 21/8229 (2006.01)
G11C 11/34 (2006.01)

I636552

【發明摘要】

【中文發明名稱】

半導體記憶裝置及其製造方法

【英文發明名稱】

SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR
MANUFACTURING THE SAME

【中文】

實施形態之半導體記憶裝置具備：配線，其於第1方向延伸；半導體構件，其於相對於上述第1方向交叉之第2方向延伸；電極，其設置於上述配線與上述半導體構件之間；第1絕緣膜，其設置於上述配線與上述電極之間；第2絕緣膜，其設置於上述第1絕緣膜與上述電極之間；第3絕緣膜，其設置於上述電極與上述半導體構件之間；及含金屬層，其設置於上述第1絕緣膜與上述第2絕緣膜之間或上述第1絕緣膜之內部，且金屬之面濃度為 $1 \times 10^{14} \text{ cm}^{-2}$ 以上且 $5 \times 10^{15} \text{ cm}^{-2}$ 以下。

【英文】

A semiconductor memory device according to one embodiment, includes an interconnect extending in a first direction, a semiconductor member extending in a second direction crossing the first direction, an electrode provided between the interconnect and the semiconductor member, a first insulating film provided between the interconnect and the electrode, a second insulating film provided between the first insulating film and the electrode, a third insulating film provided between the electrode and the semiconductor member, and a metal-containing layer

provided between the first insulating film and the second insulating film or inside the first insulating film, and having a metal surface concentration of $1 \times 10^{14} \text{ cm}^{-2}$ or more and $5 \times 10^{15} \text{ cm}^{-2}$ or less.

【指定代表圖】

圖3

【代表圖之符號簡單說明】

14	層間絕緣膜
20	半導體構件
21	阻擋絕緣膜
21a	高介電常數層
21b	低介電常數層
21c	高介電常數層
22	電極間絕緣膜
23	穿隧絕緣膜
25	含金屬層
32	凹部
35	凹部
A	區域
FG	浮動閘極電極
MT	記憶體溝槽
ST	狹縫
WL	字元線
X	方向
Z	方向

【發明申請專利範圍】**【第1項】**

一種半導體記憶裝置，其具備：

配線，其於第1方向延伸；

半導體構件，其於相對於上述第1方向交叉之第2方向延伸；

電極，其設置於上述配線與上述半導體構件之間；

第1絕緣膜，其設置於上述配線與上述電極之間；

第2絕緣膜，其設置於上述第1絕緣膜與上述電極之間；

第3絕緣膜，其設置於上述電極與上述半導體構件之間；及

含金屬層，其設置於上述第1絕緣膜與上述第2絕緣膜之間或上述第1絕緣膜之內部，且金屬之面濃度為 $1 \times 10^{14} \text{ cm}^{-2}$ 以上且 $5 \times 10^{15} \text{ cm}^{-2}$ 以下。

【第2項】

如請求項1之半導體記憶裝置，其中上述含金屬層與上述第2絕緣膜相接。

【第3項】

如請求項1之半導體記憶裝置，其中上述金屬為鉬。

【第4項】

如請求項1之半導體記憶裝置，其進而具備：配置於上述半導體構件之上上述第2方向側之基板，

上述半導體構件連接於上述基板，

上述第1方向沿著上述基板之連接有上述半導體構件之表面，且

上述第2方向相對於上述表面交叉。

【第5項】

一種半導體記憶裝置，其具備：

配線，其於第1方向延伸；

半導體構件，其於相對於上述第1方向交叉之第2方向延伸；

電極，其設置於上述配線與上述半導體構件之間；

第1絕緣膜，其設置於上述配線與上述電極之間；

第2絕緣膜，其設置於上述第1絕緣膜與上述電極之間；

第3絕緣膜，其設置於上述電極與上述半導體構件之間；及

含金屬層，其設置於上述第1絕緣膜與上述第2絕緣膜之間或上述第1絕緣膜之內部，且含有鉬。

【第6項】

如請求項5之半導體記憶裝置，其中上述含金屬層與上述第2絕緣膜相接。

【第7項】

如請求項5之半導體記憶裝置，其中上述含金屬層之上述金屬之面濃度為 $1 \times 10^{14} \text{ cm}^{-2}$ 以上且 $5 \times 10^{15} \text{ cm}^{-2}$ 以下。

【第8項】

如請求項5之半導體記憶裝置，其中

上述第1絕緣膜具有：

第1絕緣層，其與上述配線相接；

第2絕緣層，其介電常數低於上述第1絕緣層之介電常數；及

第3絕緣層，其與上述第2絕緣膜相接，且介電常數高於上述第2絕緣層之介電常數；且

上述含金屬層配置於上述第3絕緣層內。

【第9項】

如請求項5之半導體記憶裝置，其中上述第1絕緣膜含有鉛、矽及氧。

【第10項】

如請求項5之半導體記憶裝置，其中上述電極含有矽。

【第11項】

如請求項5之半導體記憶裝置，其中上述第2絕緣膜含有矽及氮。

【第12項】

如請求項5之半導體記憶裝置，其進而具備：沿著上述第2方向相互隔開地排列之複數個第4絕緣膜，

上述配線、上述第1絕緣膜、上述第2絕緣膜及上述電極配置於上述第2方向上之上述第4絕緣膜間，且

上述半導體構件配置於自上述複數個第4絕緣膜來看相對於包含上述第1方向及上述第2方向之平面交叉的第3方向。

【第13項】

如請求項12之半導體記憶裝置，其中

上述半導體構件設置有複數個，且沿著上述第1方向排列，且

上述含金屬層及上述電極沿著上述第1方向於每一上述半導體構件被分斷。

【第14項】

如請求項13之半導體記憶裝置，其中

於上述半導體構件之上述第3方向之兩側，自上述半導體構件側依序分別配置有上述第3絕緣膜、上述電極、上述第2絕緣膜、上述第1絕緣膜、上述配線，且於兩側之2個上述配線之間構成2個記憶胞。

【第15項】

一種半導體記憶裝置之製造方法，其具備如下步驟：

於基板上，藉由使第1膜與第2膜交替地積層，而形成積層體；

於上述積層體形成於第1方向延伸之第1溝槽；

經由上述第1溝槽將上述第2膜之一部分去除，藉此於上述第1溝槽之側面形成於上述第1方向延伸之第1凹部；

於上述第1凹部之內面上形成第1絕緣膜；

藉由對上述第1絕緣膜之表面導入金屬，而形成含金屬層；

於上述第1絕緣膜之表面上形成第2絕緣膜；

於上述第1凹部內形成電極；

於上述第1溝槽之側面上形成第3絕緣膜；

於上述第1溝槽內形成半導體構件；

將上述半導體構件、上述第3絕緣膜、上述電極、上述第2絕緣膜及上述含金屬層於上述第1方向上分斷；

於上述積層體形成於上述第1方向延伸之第2溝槽；

經由上述第2溝槽將上述第2膜之剩餘部分去除，藉此，於上述第2溝槽之側面形成於上述第1方向延伸之第2凹部；及

於上述第2凹部內形成配線。

【第16項】

如請求項15之半導體記憶裝置之製造方法，其中上述金屬之導入係藉由電漿摻雜法而進行。

【第17項】

如請求項15之半導體記憶裝置之製造方法，其中上述金屬為鉬。

【第18項】

如請求項15之半導體記憶裝置之製造方法，其中上述金屬之導入係藉由以五氯化鉬或六氟化鉬為原料之電漿摻雜法而進行。

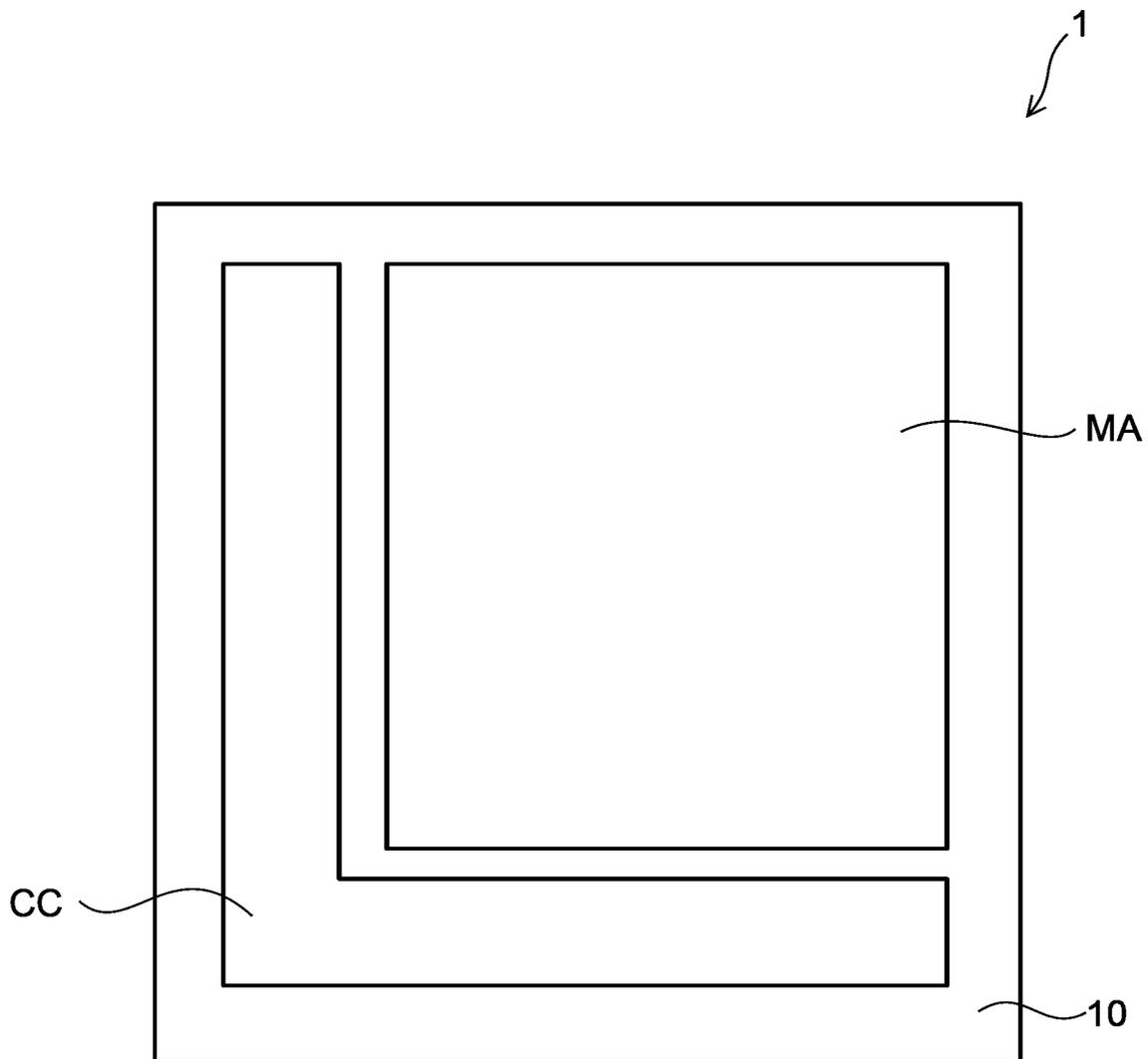
【第19項】

如請求項15之半導體記憶裝置之製造方法，其中將上述金屬之導入量設為 $1 \times 10^{14} \text{ cm}^{-2}$ 以上且 $5 \times 10^{15} \text{ cm}^{-2}$ 以下。

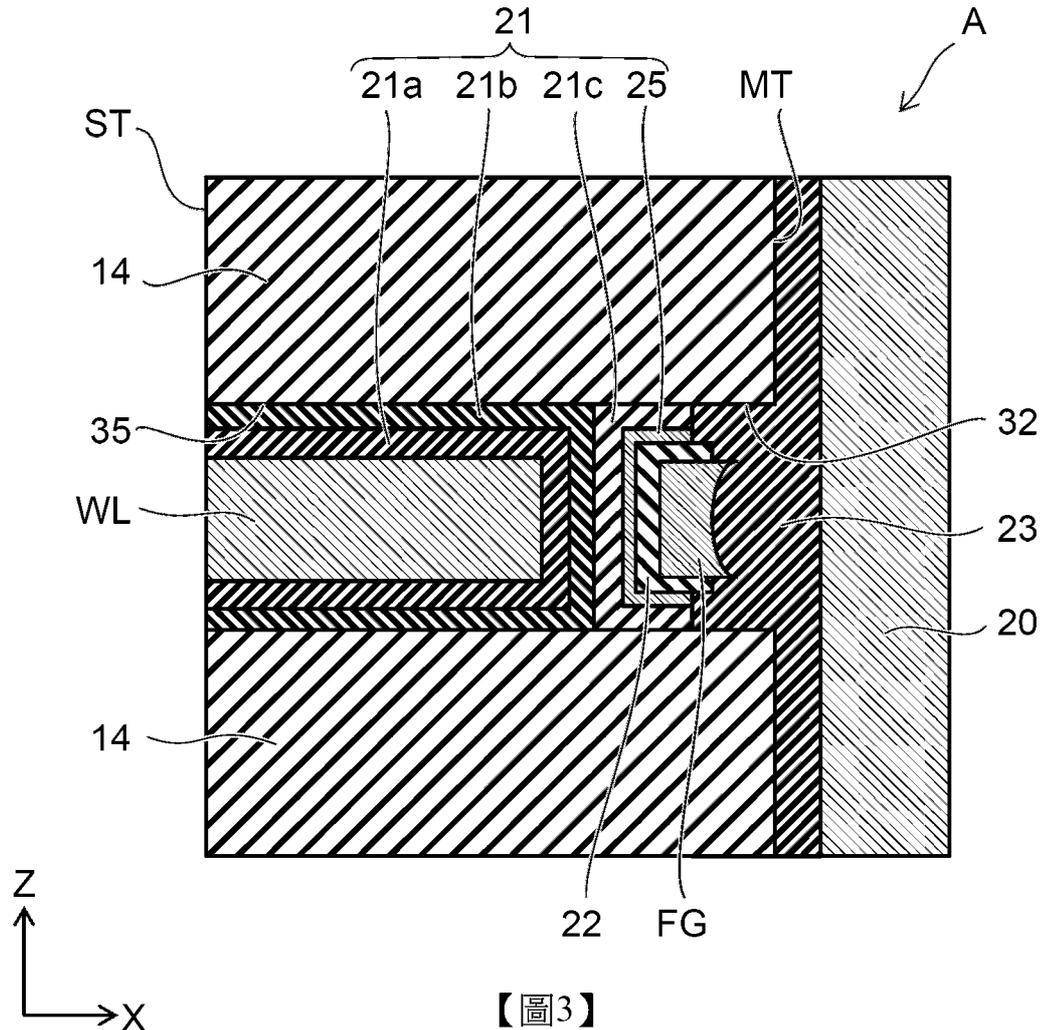
【第20項】

如請求項15之半導體記憶裝置之製造方法，其中上述第1膜為絕緣性。

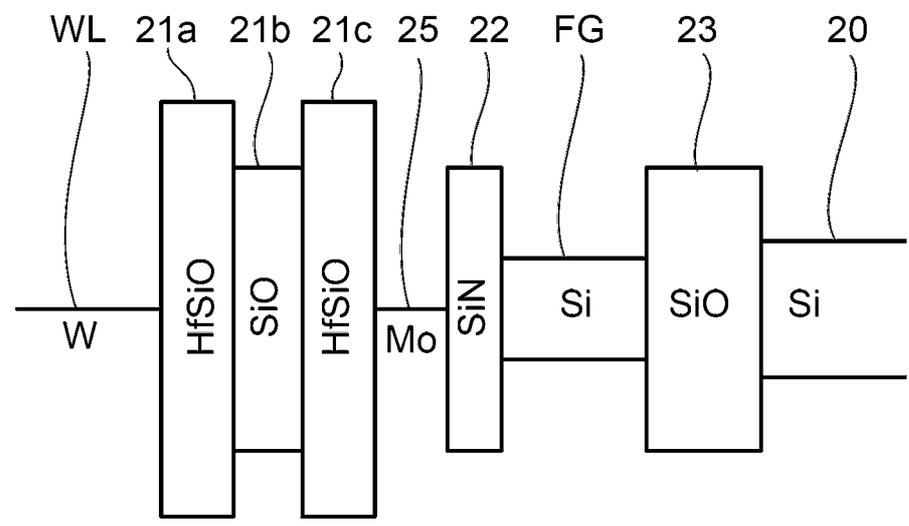
【發明圖式】



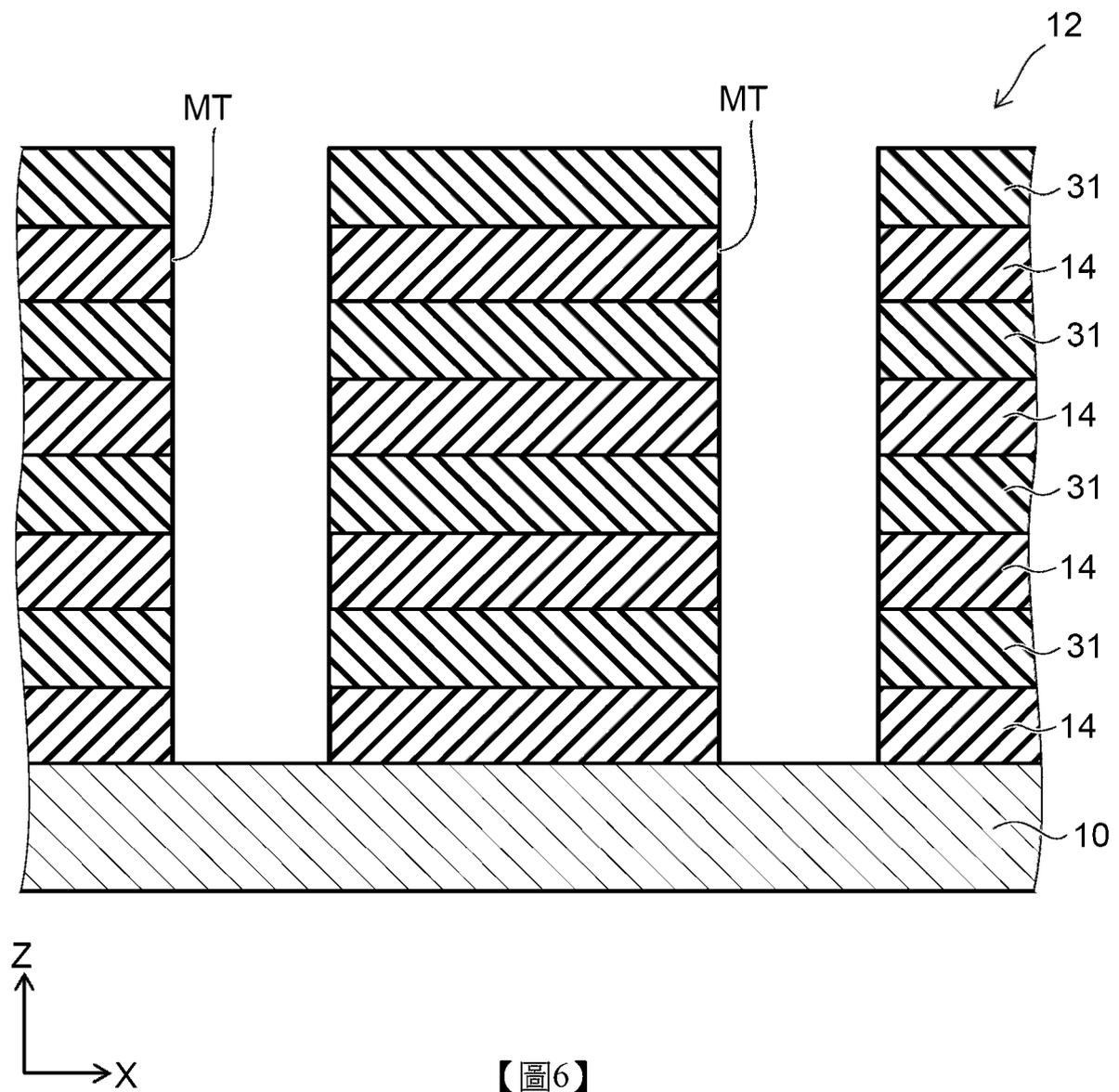
【圖1】



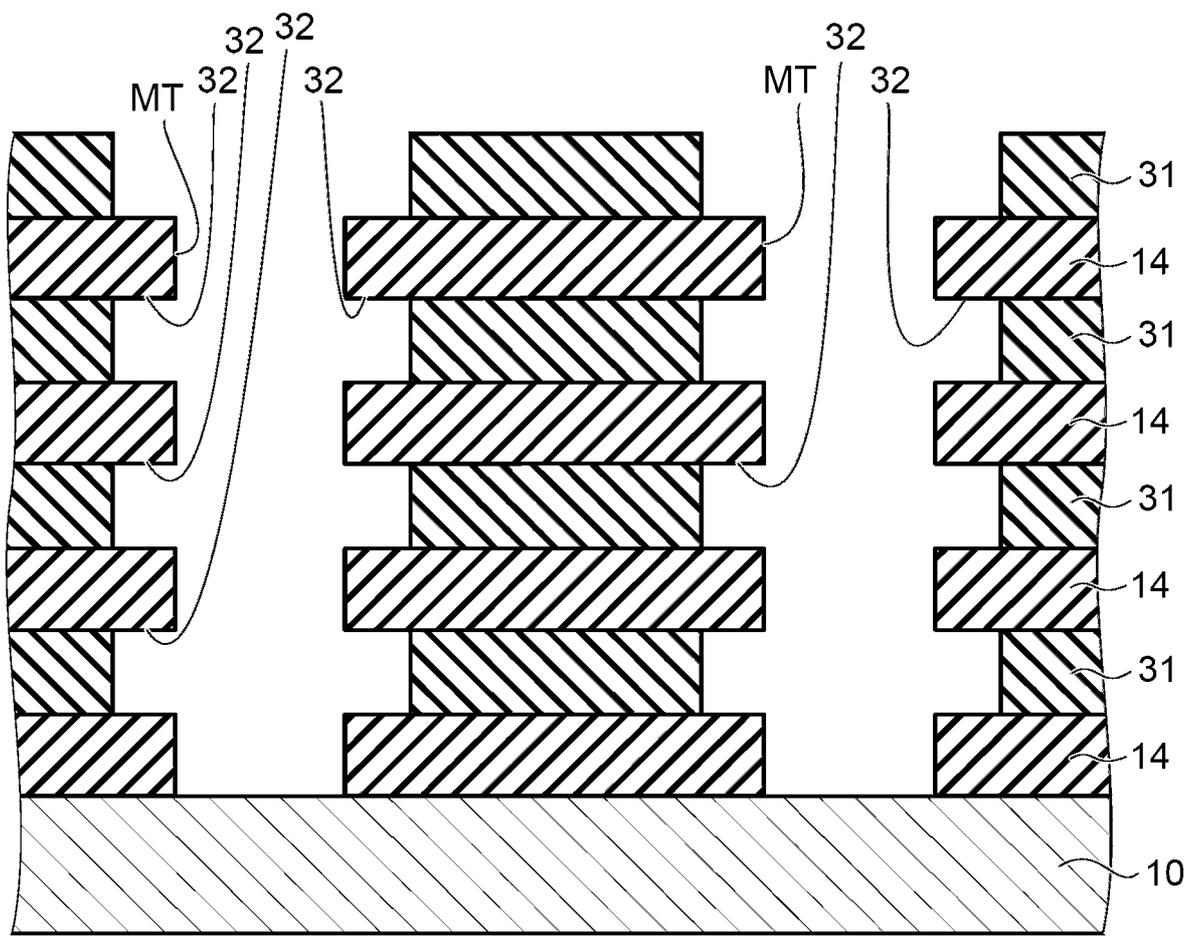
【圖3】



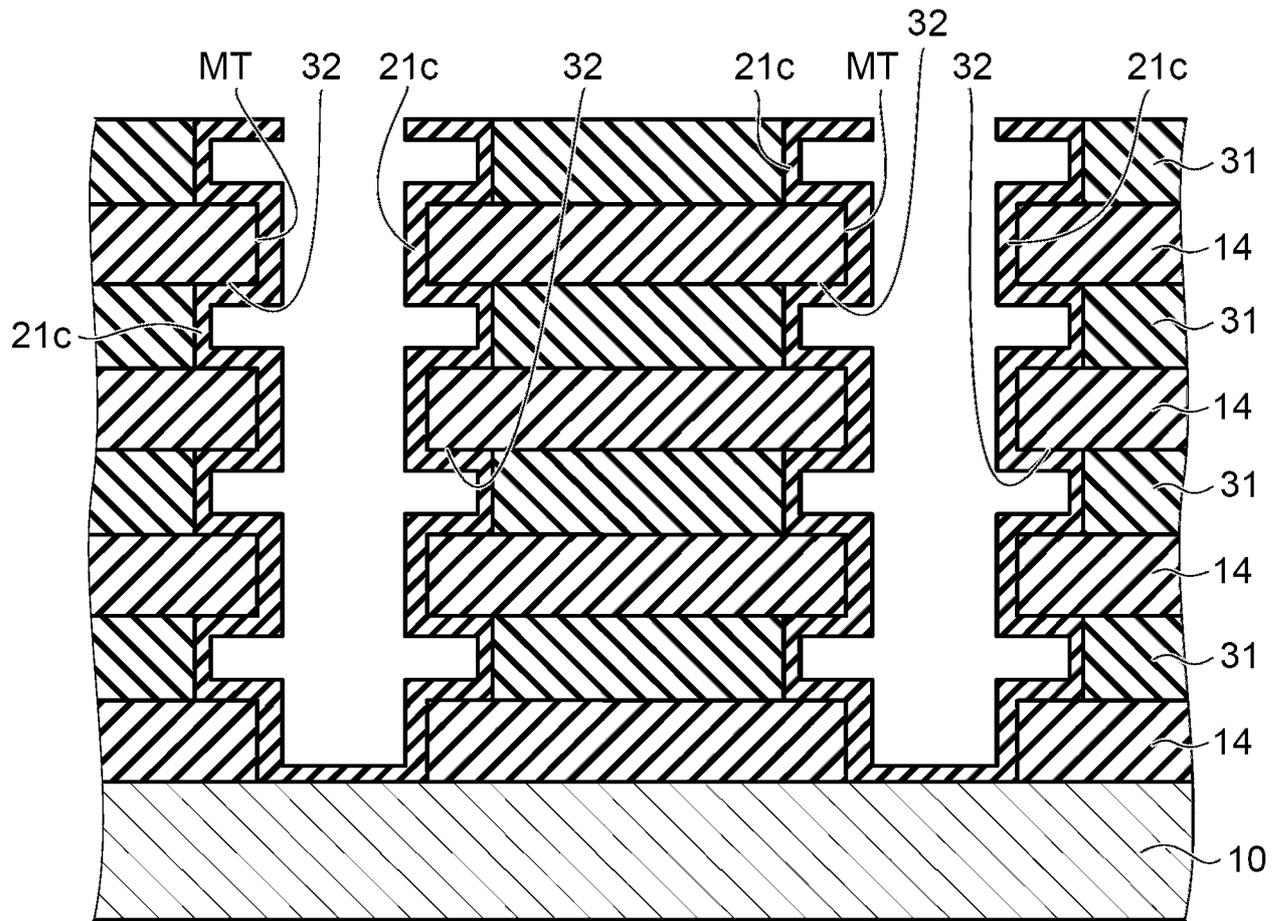
【圖4】



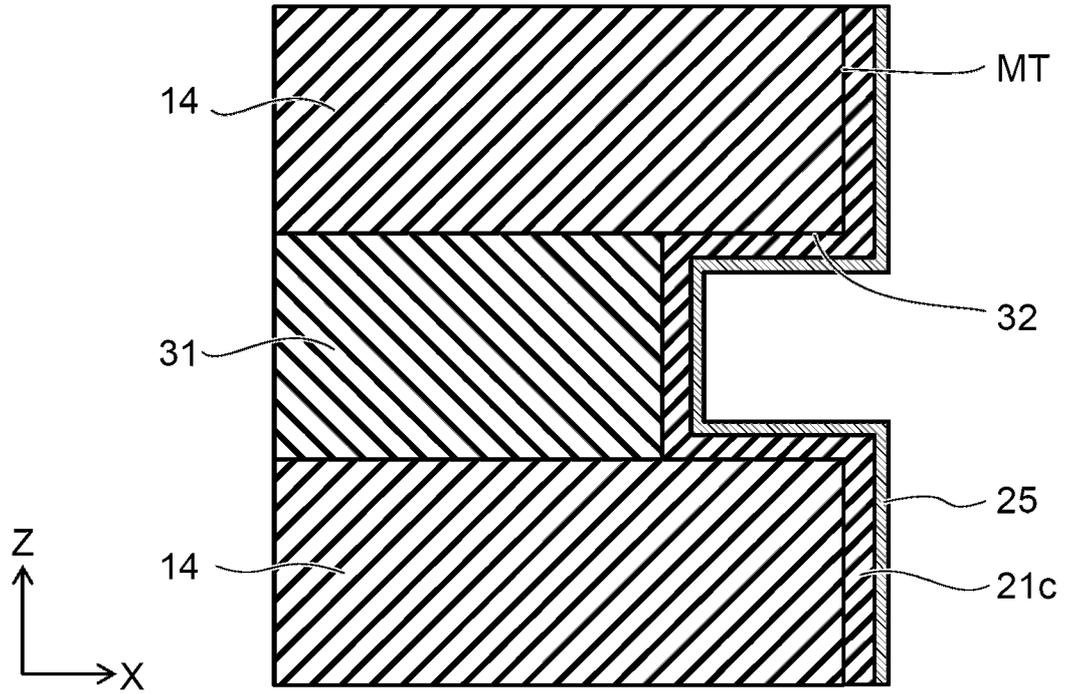
【圖6】



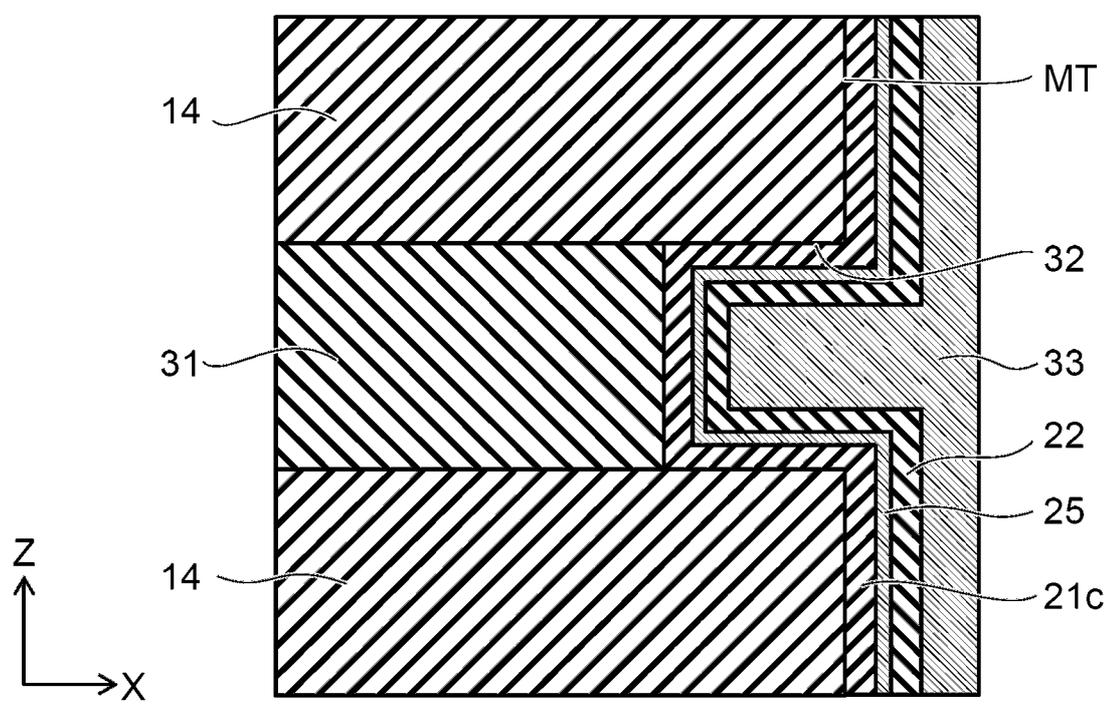
【圖7】



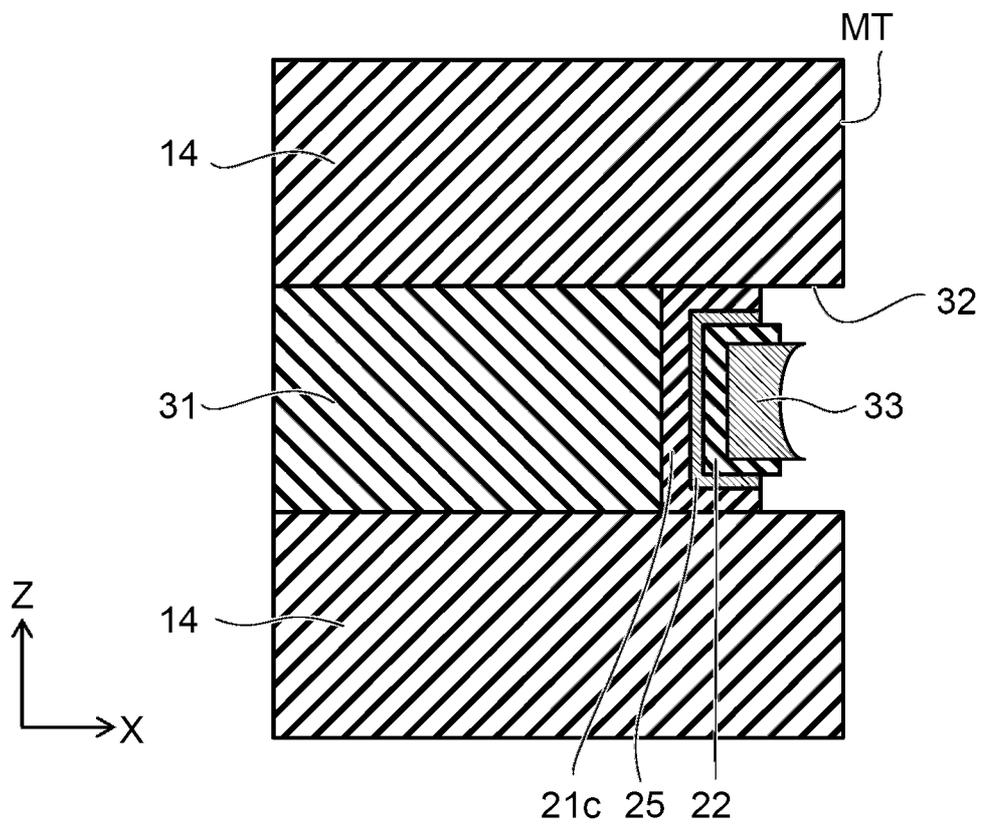
【圖8】



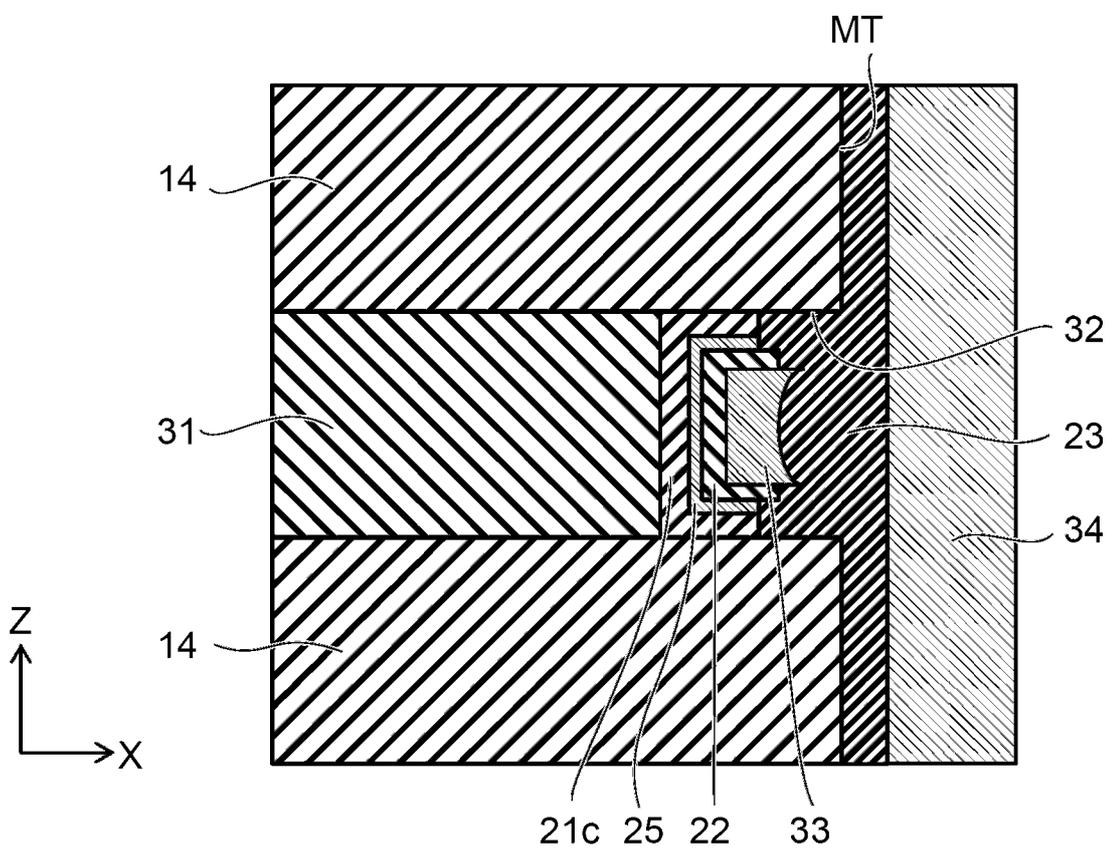
【圖10】



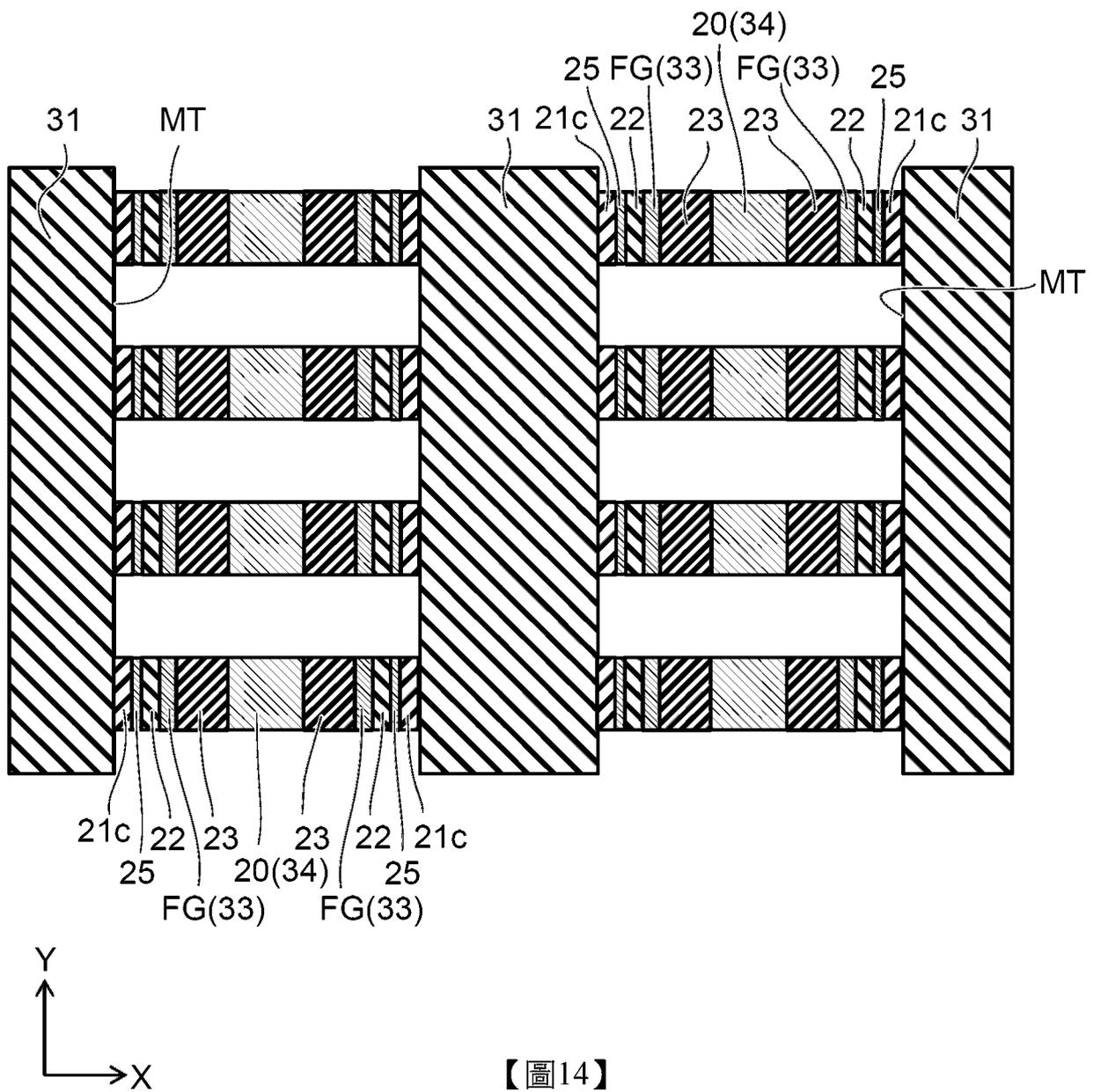
【圖11】



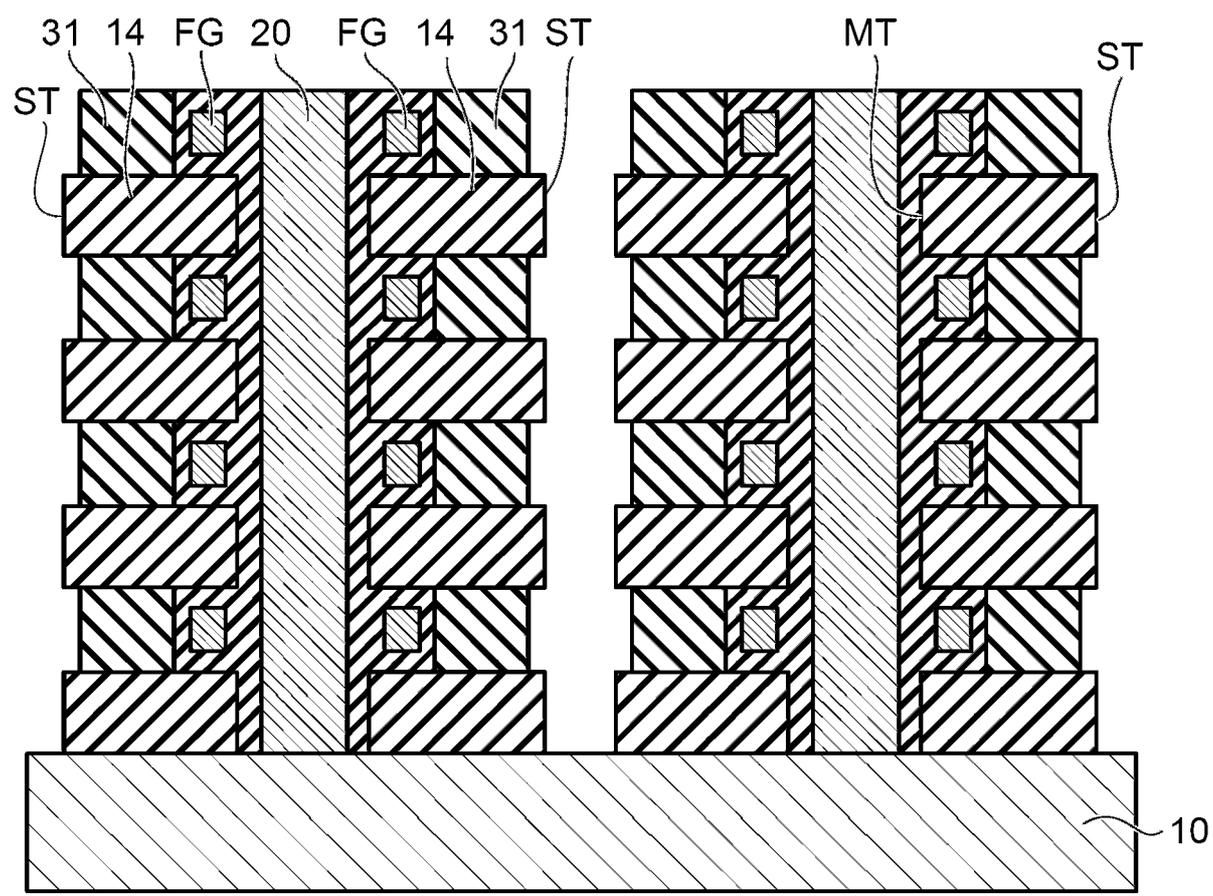
【圖12】



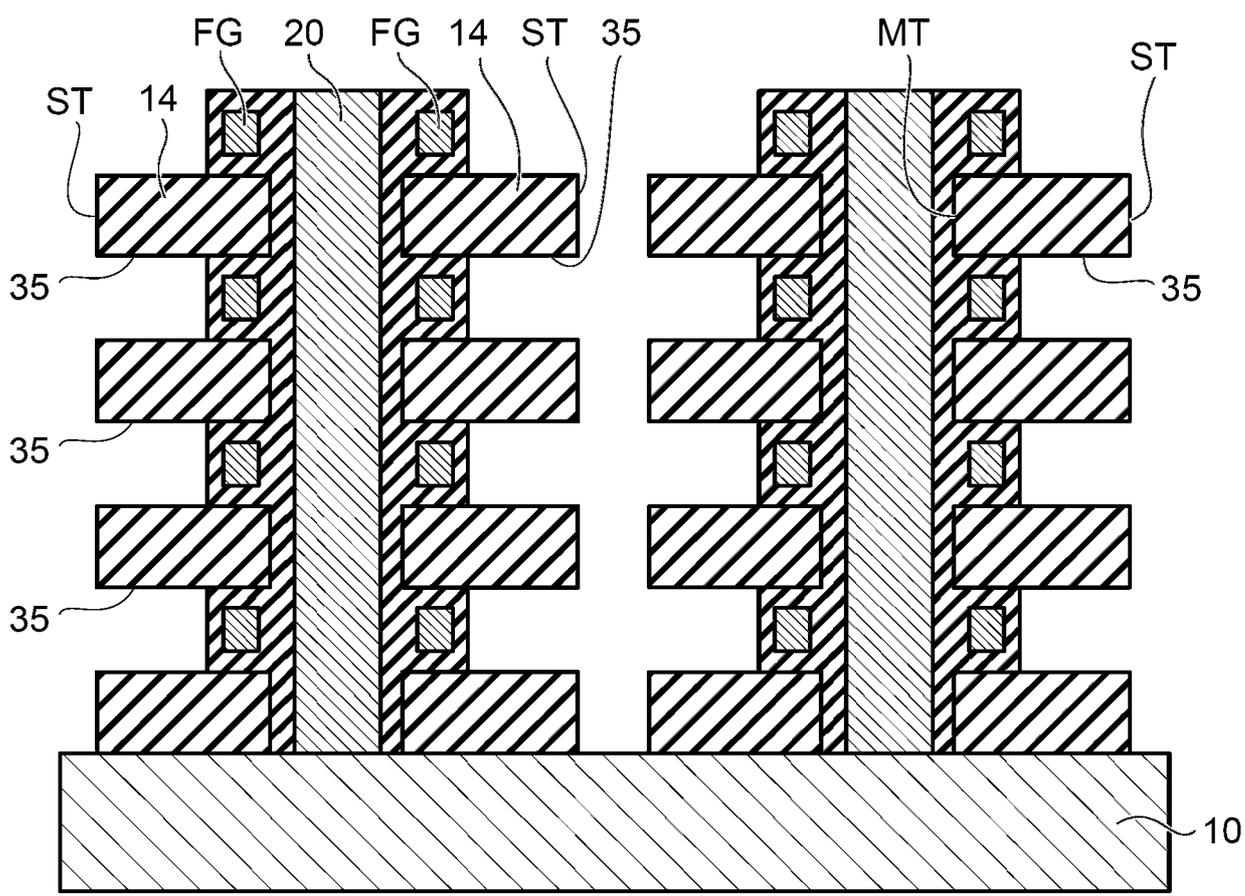
【圖13】



【圖14】



【圖15】



【圖16】

provided between the first insulating film and the second insulating film or inside the first insulating film, and having a metal surface concentration of $1 \times 10^{14} \text{ cm}^{-2}$ or more and $5 \times 10^{15} \text{ cm}^{-2}$ or less.

【指定代表圖】

圖3

【代表圖之符號簡單說明】

14	層間絕緣膜
20	半導體構件
21	阻擋絕緣膜
21a	高介電常數層
21b	低介電常數層
21c	高介電常數層
22	電極間絕緣膜
23	穿隧絕緣膜
25	含金屬層
32	凹部
35	凹部
A	區域
FG	浮動閘極電極
MT	記憶體溝槽
ST	狹縫
WL	字元線
X	方向
Z	方向