



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0034801
(43) 공개일자 2020년03월31일

- (51) 국제특허분류(Int. Cl.)
H01L 33/40 (2010.01) H01L 33/00 (2010.01)
H01L 33/14 (2010.01)
- (52) CPC특허분류
H01L 33/40 (2013.01)
H01L 33/0008 (2013.01)
- (21) 출원번호 10-2020-7007518(분할)
- (22) 출원일자(국제) 2013년02월22일
심사청구일자 없음
- (62) 원출원 특허 10-2014-7026651
원출원일자(국제) 2013년02월22일
심사청구일자 2018년02월21일
- (85) 번역문제출일자 2020년03월13일
- (86) 국제출원번호 PCT/US2013/027496
- (87) 국제공개번호 WO 2013/126828
국제공개일자 2013년08월29일
- (30) 우선권주장
61/602,155 2012년02월23일 미국(US)

- (71) 출원인
센서 일렉트로닉 테크놀로지, 인크
미국, 사우스 캐롤라이나 29209, 콜럼비아, 아틀
라스 로드 1195
- (72) 발명자
가스카, 레미지우스
미국 사우스캐롤라이나 29212 콜럼비아 프레스 린
들러 로드 432
슈어, 마이클
미국 뉴욕 12110 라탐 스타보드 웨이 10
(뒷면에 계속)
- (74) 대리인
특허법인에이아이피

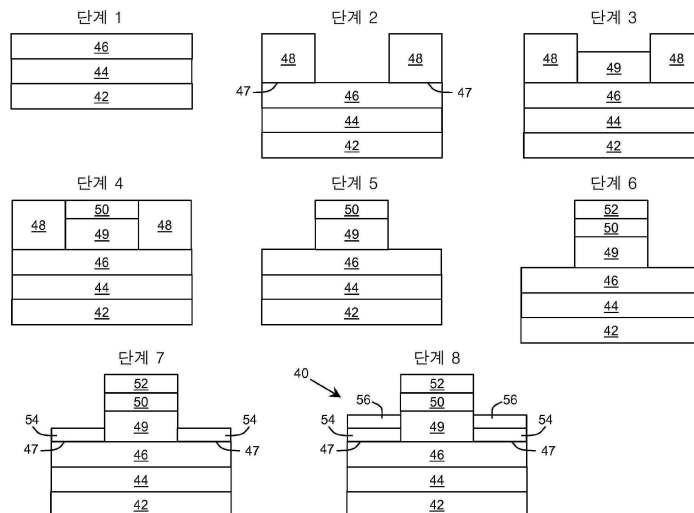
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 반도체에 대한 오믹 접촉부

(57) 요약

반도체 층에 대한 오믹 접촉부를 형성하기 위한 해법이 제공된다. 마스크 재료는 반도체 층의 표면 상의 접촉 영역들의 세트에 도포된다. 그 다음, 디바이스 이종구조의 하나 이상의 층들이 반도체 층의 비-마스크 영역(들) 상에 형성된다. 오믹 접촉부는 디바이스 이종구조의 하나 이상의 층들이 형성된 다음에 형성될 수 있다. 오믹 접촉부 형성은 디바이스 이종구조 내에 임의의 반도체 층을 형성하는 재료의 품질이 손상되는 온도 범위보다 낮은 프로세싱 온도에서 수행될 수 있다.

대표도



(52) CPC특허분류

H01L 33/0075 (2013.01)

H01L 33/14 (2013.01)

(72) 발명자

양, 진웨이

미국 29209 사우스캐롤라이나 콜럼비아 침니 힐 로드 424

도브린스키, 알렉산더

미국 02906 로드아일랜드 프로비던스 에버렛 애비뉴 23

샤탈로프, 막심, 에스.

미국 사우스캐롤라이나 29212 콜럼비아 토른힐 로드 273

명세서

청구범위

청구항 1

반도체 디바이스로서,
 디바이스 이종구조를 포함하고,
 상기 디바이스 이종구조는,
 상기 디바이스 이종구조의 반도체 층들의 세트 내의 반도체 층의 표면의 일 부분 상에 위치된 돌출된 영역; 및
 상기 반도체 층에 대한 오믹 접촉부를 포함하며,
 상기 오믹 접촉부는 상기 반도체 층의 상기 표면 상의 접촉 영역들의 세트 상에 위치된 전도성의 반도체 층들의 세트를 포함하고, 상기 전도성의 반도체 층들의 세트는 상기 접촉 영역들의 세트로부터의 거리에 대하여 상기 전도성의 반도체 층들의 세트를 형성하는 재료의 적어도 하나의 원소의 단계화된 몰 분율을 가지며, 상기 전도성의 반도체 층들의 세트는 상기 반도체 층과 상기 전도성의 반도체 층들의 세트의 계면에서 상기 반도체 층과 격자 정합되는, 반도체 디바이스.

청구항 2

청구항 1에 있어서,
 상기 전도성의 반도체 층들의 세트는 III족 질화물 재료들로 형성되는, 반도체 디바이스.

청구항 3

청구항 1에 있어서,
 상기 전도성의 반도체 층들의 세트는 텔타 도핑되는, 반도체 디바이스.

청구항 4

청구항 1에 있어서,
 상기 전도성의 반도체 층들의 세트는 III 족 질화물 재료로 형성되며, 상기 단계화는 상기 접촉 영역들의 세트로부터 멀어지는 방향으로 증가하는 알루미늄 몰 분율을 야기하는, 반도체 디바이스.

청구항 5

청구항 1에 있어서,
 상기 단계화는 상기 접촉 영역들의 세트에서 반대 캐리어들의 축적의 유도를 회피하도록 구성되는, 반도체 디바이스.

발명의 설명

기술 분야

[0001] [관련 출원들에 대한 참조]

[0002] 본 출원은, 본 명세서에 참조로써 포함된, 2012년 2월 23일자로 출원되어 함께 계류중인 "Ohmic Contact to

Semiconductors and the Process of Producing the Same"이라는 명칭의 미국 가특허출원 제61/602,155호에 대한 이익을 주장한다.

[0004] [기술분야]

[0005] 본 발명은 전반적으로 반도체들에 관한 것으로서, 보다 구체적으로, 질화물-기반 반도체와 같은 반도체에 대한 오믹 접촉부에 관한 것이다.

배경 기술

[0007] 발광 다이오드(light emitting diode: LED)들, 레이저 다이오드(laser diode: LD)들, 양극성 접합 트랜지스터(bipolar junction transistor: BJT)들, 이종접합 양극성 트랜지스터(heterojunction bipolar transistor: HBT)들과 같은 고효율 III-V족 재료-기반 반도체 디바이스들을 개발함에 있어서의 도전은 낮은 고유 저항(specific resistance) 및 높은 전류 운반 성능 둘 모두를 갖는 오믹 접촉부의 개발이다. 예를 들어, n-형 재료에 대한 낮은 저항의 오믹 접촉부를 제조하기 위한 도전은 특히, 높은 몰 분율의 알루미늄을 포함하는 질화 알루미늄 갈륨(AlGaIn) 또는 질화 알루미늄 갈륨 인듐(AlGaInN)과 같은, III족-질화물 재료들로 만들어진 원 자외선(deep ultraviolet) LED들에 대해 중요하다.

[0008] 질화물-기반 디바이스에서 낮은 n-형 접촉부 저항을 달성하기 위해, 몇몇 접촉 금속들 및 상대적으로 높은 어닐링(annealing) 온도가 일반적으로 사용된다. 이러한 정도로, Al은 그것의 약 섭씨 660 도의 비교적 낮은 녹는 점 때문에 접촉 금속으로서 사용될 수 있다. 또한, 티타늄(Ti) 또는 크롬(Cr)이 질화물들에 대한 그들의 낮은 금속 일함수에 기인하여 접촉부의 제 1 층으로서 사용될 수 있다. 특정 예들은, 5 나노미터 내지 5 미크론의 두께를 갖는 Ti/Al/Ti/금(Au) 또는 Ti/Al/니켈(Ni)/Au를 포함하며, 이들은 섭씨 400 도 또는 그 이상의 온도에서 어닐링된다. 다른 처리방법은 Ti와 Al의 순서를 역으로 하고, Al/Ti/백금(Pt)을 포함하는 n-형 GaN 반도체에 대한 Al/Ti-기반 접촉부를 형성하며, 이는 섭씨 400 내지 600 도 사이의 온도에서 어닐링된다. 또 다른 처리방법들은 n-형 GaN 반도체에 대한 Cr/Al-기반 접촉부를 형성하며, 이는 Cr/Al/Cr/Au, Cr/Al/Pt/Au, Cr/Al/Pd/Au, Cr/Al/Ti/Au, Cr/Al/코발트(Co)/Au, 및 Cr/Al/Ni/Au와 같은 다양한 금속 구성들을 포함한다.

[0009] 접촉부 신뢰도가 또한 문제일 수 있다. 예를 들어, 지금까지, 265 나노미터 및 그보다 짧은 파장들을 방출하는 자외선 LED들에 대한 Ti/Al-기반 n-형 접촉부들이 매우 신뢰할 수 있는 것으로 보여지지는 않았다.

[0010] 일부 처리방법들은 에칭 프로세스의 수행 후 반도체 층들의 재-성장을 통해 오믹 접촉부를 개량하였다. 예를 들어, 일 처리방법에 있어, 비-합금 접촉부가 반도체 층들의 재-성장 프로세스를 통해 형성된다. 프로세스는: (1) 사파이어와 같은 기판 상에 반도체 층을 성장시키는 단계; (2) 상단 반도체 층 위에 재성장 마스크를 배치하는 단계로서, 반도체 표면 상의 패시베이션(passivation) 층으로서 기능하도록 재성장 마스크 재료(예를 들어, 질화 실리콘 또는 이산화 실리콘)가 선택되고, 배치되며, 선택적으로 제거(예를 들어, 포토레지스트의 사용을 통해)되는, 단계; (3) 상단 반도체 층의 표면을 지나 약 5 내지 1000 나노미터인 용인가능한 깊이로 반도체 층들을 에칭하는 단계; (4) 에칭된 영역들에 구조들을 성장시키는 단계; 및 (5) 게이트들을 포함하는 디바이스들에 대한 게이트 영역을 규정(define)하기 위해 포토리소그래피를 선택적으로 적용하는 단계를 포함한다.

[0011] 도 1a 내지 도 1c는 각기 종래기술에 따른 반응성 이온 에칭(reactive ion etching: RIE) 및 재-성장 프로세스들을 사용하여 형성된 전형적인 오믹 접촉부들(2A 내지 2C)을 도시한다. 각각의 경우에 있어, 반도체 층(4A 내지 4C)의 RIE가 재-성장 이전에 이용된다. 재-성장은 오믹 금속(6A 내지 6C)의 후속 증착을 통해 수행된다. 도 1a에서, 오믹 접촉부(2A)는 RIE 손상 층(4A) 상의 재성장 표면 준위(surface state) 보상 층을 포함한다. 도 1b에서, 오믹 접촉부(2B)는 재성장 표면 준위 보상 층 및 델타 도핑 층을 포함한다. 도 1c에서, 오믹 접촉부(2C)는 재성장 표면 준위 보상 층 및 낮은 고유 오믹 접촉 저항을 위한 층을 포함한다. 도 1a 내지 도 1c에 예시된 바와 같이, 재성장 기술이 도 1b에 도시된 바와 같은 델타-도핑과 같은 다른 특징들과 함께 사용될 수 있다. 델타 도핑은, 높은 캐리어 밀도 및 게이트에 대한 큰 항복 전압을 달성하기 위해 델타-도핑 기술을 이용하는 이종구조 필드-효과 트랜지스터들과 같은 고속 디바이스들에 대해 중요성을 갖는다. 이에 더하여, 재성장 기술은, 재성장 영역들과 함께 어닐링되고 재성장 영역 내로의 돌출부들을 갖는 접촉부들뿐만 아니라, 도 1c에 도시된 바와 같은 러프한 형태(morphology)를 포함하는 접촉부들과 함께 사용될 수 있다. 오믹 금속(6A 내지 6C)의 직접 증착에 비하여 접촉부들(2A 내지 2C)의 각각의 품질이 재-성장에 의해 크게 개선되지만, 각각의 프로세

스가 RIE 에칭 영역(4A 내지 4C) 내에 많은 수의 결함(defect)들을 가지며, 이는 오믹 접촉부(2A 내지 2C)의 품질을 감소시키고 오믹 접촉부(2A 내지 2C)를 포함하는 대응하는 디바이스의 총 수명을 감소시킨다.

- [0012] 다른 재성장 처리방법은 III족 질화물 반도체 층들에 대해 특별히 설계된다. 프로세스는: (1) 반도체 층들 위에 놓이는 비의도적으로 도핑된(unintentionally doped: UID) 질화 갈륨(GaN) 층 및 GaN 반도체 층들 위에 놓이는 UID 질화 알루미늄 갈륨(UID-AlGaIn) 층을 갖는 반도체 층들을 포함하는 반도체 바디(body)를 기판 상에 성장시키는 단계; (2) 절연 필름을 증착하고 패터닝하는 단계; 및 (3) UID-AlGaIn 반도체의 표면을 에칭하지 않고 절연 필름으로 커버되지 않은 UID-AlGaIn의 표면의 영역들에서 n+ GaN 층을 재-성장시키는 단계를 포함한다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0014] 본 발명의 측면들은 반도체 층에 대한 오믹 접촉부를 형성하기 위한 해법을 제공한다. 마스크 재료는 반도체 층의 표면 상의 접촉 영역들의 세트에 도포된다. 그 다음, 디바이스 이종구조의 하나 이상의 층들이 반도체 층의 비-마스크 영역(들) 상에 형성된다. 오믹 접촉부는 디바이스 이종구조의 하나 이상의 층들이 형성된 다음에 형성될 수 있다. 오믹 접촉부 형성은 디바이스 이종구조 내에 임의의 반도체 층을 형성하는 재료의 품질이 손상되는 온도 범위보다 낮은 프로세싱 온도에서 수행될 수 있다.
- [0015] 본 발명의 제 1 측면은, 반도체 층을 에칭하지 않고 디바이스 이종구조의 반도체 층들의 세트 내의 반도체 층에 대한 오믹 접촉부를 포함하는 디바이스 이종구조를 형성하는 단계를 포함하고, 상기 형성하는 단계는: 반도체 층의 표면 상의 오믹 접촉부에 대응하는 접촉 영역들의 세트 상에 마스크 재료를 도포하는 단계; 도포하는 단계 후에 반도체 층의 표면의 마스크되지 않은 영역들의 세트 위에 돌출된 영역을 형성하는 단계; 및 돌출된 영역의 형성 후에 접촉 영역들의 세트 상에 오믹 접촉부를 형성하는 단계를 포함하며, 오믹 접촉부를 형성하는 단계는 디바이스 이종구조 내의 반도체 층들의 세트 중 임의의 층을 형성하는 재료의 품질이 손상되는 온도 범위보다 낮은 프로세싱 온도에서 수행되는, 방법을 제공한다.
- [0016] 본 발명의 제 2 측면은, 디바이스 이종구조의 반도체 층의 세트 내의 반도체 층들에 대한 오믹 접촉부를 포함하는 디바이스 이종구조를 포함하며, 오믹 접촉부는 반도체 층의 접촉 영역들의 세트 상에 형성된 전도성의 반도체(semiconducting) 층들의 세트를 포함하고, 전도성의 반도체 층들의 세트는 반도체 층과 전도성의 반도체 층들의 세트의 계면에서 반도체 층과 격자 정합되는, 디바이스를 제공한다.
- [0017] 본 발명의 제 3 측면은, 반도체 층을 에칭하지 않고 디바이스 이종구조의 반도체 층들의 세트 내의 반도체 층에 대한 오믹 접촉부를 포함하는 디바이스 이종구조를 형성하기 위한 제조 시스템을 포함하며, 형성하는 단계는: 반도체 층의 표면 상의 오믹 접촉부에 대응하는 접촉 영역들의 세트 상에 마스크 재료를 도포하는 단계; 도포하는 단계 후에 반도체 층의 표면의 마스크되지 않은 영역들의 세트 위에 돌출된 영역을 형성하는 단계; 및 돌출된 영역의 형성 후에 접촉 영역들의 세트 상에 오믹 접촉부를 형성하는 단계를 포함하며, 오믹 접촉부를 형성하는 단계는 디바이스 이종구조 내의 반도체 층들의 세트 중 임의의 층을 형성하는 재료의 품질이 손상되는 온도 범위보다 낮은 프로세싱 온도에서 수행되는, 시스템을 제공한다.
- [0018] 본 발명의 예시된 측면들은 본 명세서에서 설명된 문제들 중 하나 이상 및/또는 논의되지 않은 하나 이상의 다른 문제들을 해결하기 위해 설계된다.

도면의 간단한 설명

- [0020] 본 발명의 이러한 그리고 다른 특징들이 본 발명의 다양한 측면들을 묘사하는 첨부된 도면과 함께 취해진 본 발명의 다양한 측면들의 다음의 상세한 설명으로부터 더 용이하게 이해될 것이다.

도 1a 내지 도 1c는 종래 기술에 따른 반응성 이온 에칭(RIE) 및 재-성장 프로세스를 사용하여 형성된 전형적인 오믹 접촉부들을 도시한다.

도 2는 일 실시예에 따른 예시적인 방출 디바이스의 개략적인 구조를 도시한다.

도 3은 일 실시예에 따른 디바이스 이종구조를 제조하기 위한 예시적인 일련의 행동들을 도시한다.

도 4는 일 실시예에 따른 디바이스 이종구조를 제조하기 위한 다른 예시적인 일련의 행동들을 도시한다.

도 5는 일 실시예에 따른 회로를 제조하기 위한 예시적인 흐름도를 도시한다.

도면들이 축적이 맞추어지지 않을 수 있다는 것이 주목되어야 한다. 도면들은 오로지 본 발명의 전형적인 측면들을 묘사하도록 의도되며, 따라서 본 발명의 범위를 제한하는 것으로서 간주되지 않아야 한다. 도면들 내에서, 동일한 도면부호들은 도면들 사이에서 동일한 구성요소를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이상에서 표현된 바와 같이, 본 발명의 측면들은 반도체 층에 대한 오믹 접촉부를 형성하기 위한 해법을 제공한다. 마스크 재료는 반도체 층의 표면 상의 접촉 영역들의 세트에 도포된다. 그 후, 디바이스 이종구조의 하나 이상의 층들이 반도체 층의 비-마스크 영역(들) 상에 형성된다. 오믹 접촉부는 디바이스 이종구조의 하나 이상의 층들이 형성된 다음에 형성될 수 있다. 오믹 접촉부 형성은 디바이스 이종구조 내의 임의의 반도체 층을 형성하는 재료의 품질이 손상되는 온도 범위보다 낮은 프로세싱 온도에서 수행될 수 있다. 오믹 접촉부의 형성이 반도체 층을 에칭하지 않고 수행될 수 있으며, 이는 반도체 층과의 오믹 접촉부의 계면에서 오믹 접촉부가 반도체 층과 격자 정합되게 할 수 있다. 결과적인 오믹 접촉부는 이전의 처리방식들을 사용하여 형성된 오믹 접촉부들의 신뢰도보다 더 높은 신뢰도를 가질 수 있다. 달리 언급되지 않으면, 본 명세서에서 사용되는 바와 같은, 용어 "세트"는 하나 이상(즉, 적어도 하나)을 의미하며, 구문 "임의의 해법"은 현재 알려진 또는 이후에 개발되는 해법을 의미한다.
- [0022] 도면들을 참조하면, 도 2는 일 실시예에 따른 예시적인 방출 디바이스(10)의 개략적인 구조를 도시한다. 보다 구체적인 실시예에 있어, 방출 디바이스(10)는, 종래의 또는 고휘도 LED와 같은, 발광 다이오드(LED)로서 동작하도록 구성된다. 대안적으로, 방출 디바이스(10)가 레이저 다이오드(LD)로서 동작하도록 구성될 수 있다. 어느 경우에도, 방출 디바이스(10)의 동작 중, 밴드 갭(band gap)에 맞는 바이어스(bias)의 인가는 방출 디바이스(10)의 활성 영역(active region)(18)으로부터의 전자기 방사(electromagnetic radiation)를 가져온다. 방출 디바이스(10)에 의해 방출되는 전자기 방사는, 가시광, 자외선 방사, 원 자외선 방사, 적외선 광, 및/또는 이와 유사한 것을 포함하는, 임의의 범위의 파장들 내의 피크 파장을 포함할 수 있다.
- [0023] 본 발명의 측면들이 방출 디바이스(10)와 함께 설명되고 도시되지만, 본 발명의 측면들이 다른 유형들의 디바이스들의 형성에 사용될 수 있다는 것이 이해되어야 한다. 예를 들어, 디바이스는 광 검출 디바이스, 광 검출기, 광 다이오드, 및/또는 이와 유사한 것일 수 있다. 유사하게, 디바이스는, 양극성 접합 트랜지스터(bipolar junction transistor: BJT)들, 이종접합 양극성 트랜지스터(heterojunction bipolar transistor: HBT), p-n 접합 다이오드, 스위칭 다이오드, 사이리스터, 및/또는 이와 유사한 것일 수 있다.
- [0024] 이와 무관하게, 방출 디바이스(10)와 같은 반도체 기반 디바이스들은 전형적으로 층들로 구성된다. 각각의 층은 다양한 원소들에 대한 몰 분율들의 특정 조합(예를 들어, x, y, 및/또는 z의 주어진 값들)을 갖는다. 2개의 층들 사이의 계면이 반도체 이종접합으로서 정의된다. 계면에서, 몰 분율들의 조합은 이산량으로 변화하는 것으로 추정된다. 몰 분율들의 조합이 연속적으로 변화하는 층은 단계적(graded)으로 지칭된다. 반도체 층들의 스택(stack)은 몇몇 n-형 도핑된 층들 및 하나 이상의 p-형 도핑된 층들을 포함할 수 있다. 전형적인 반도체 디바이스는 오믹 접촉부들을 필요로 한다.
- [0025] 도 2에 도시된 바와 같이, 방출 디바이스(10)는 기판(12), 기판(12)에 인접한 버퍼 층(14), 버퍼 층(14)에 인접한 n-형 클래딩(cladding) 층(16), 및 n-형 클래딩 층(16)에 인접한 n-형 면(side)(19A)을 갖는 활성 영역(18)을 포함하는 이종구조를 포함한다. 또한, 방출 디바이스(10)의 이종구조는 활성 영역(18)의 p-형 면(19B)에 인접한 p-형 층(20)(예를 들어, 전자 블로킹(blocking) 층) 및 p-형 층(20)에 인접한 p-형 클래딩 층(22)(예를 들어, 홀 공급 층)을 포함한다.
- [0026] 보다 구체적인 예시적 실시예에 있어, 방출 디바이스(10)는 III-V족 재료 기반 디바이스이며, 이 안에서 다양한 층들의 전부 또는 일부가 III-V족 재료 시스템으로부터 선택된 원소(element)들로 형성된다. 보다 구체적인 다른 예시적 실시예에 있어, 방출 디바이스(10)의 다양한 층들은 III족 질화물 기반 재료들로 형성된다. III족 질화물 재료들은, $B_wAl_xGa_yIn_zN$ (여기서, $0 \leq w, x, y, z \leq 1$, $w+x+y+z=1$)이 되도록, 하나 이상의 III족 원소들(예를 들

어, 붕소(B), 알루미늄(Al), 갈륨(Ga), 및 인듐(In)) 및 질소(N)를 포함할 수 있다. 예시적인 III족 질화물 재료들은, III족 원소들의 임의의 몰 분율을 갖는, AlN, GaN, InN, BN, AlGaIn, AlInN, AlBN, AlGaInN, AlGaBN, AlInBN, 및 AlGaInBN을 포함한다.

[0027] III족 질화물 기반 방출 디바이스(10)의 예시적인 실시예는 $\text{In}_y\text{Al}_x\text{Ga}_{1-x-y}\text{N}$, $\text{Ga}_z\text{In}_y\text{Al}_x\text{B}_{1-x-y-z}\text{N}$, $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 반도체 합금, 또는 이와 유사한 것으로 구성되는 활성 영역(18)(예를 들어, 일련의 교번하는 양자 우물들 및 장벽들)을 포함한다. 유사하게, n-형 클래딩 층(16) 및 p-형 층(20) 둘 다는 $\text{In}_y\text{Al}_x\text{Ga}_{1-x-y}\text{N}$ 합금, $\text{Ga}_z\text{In}_y\text{Al}_x\text{B}_{1-x-y-z}\text{N}$ 합금, 또는 이와 유사한 것으로 구성될 수 있다. x, y, 및 z로 주어지는 몰 분율들은 다양한 층들(16, 18, 및 20) 사이에서 상이할 수 있다. 기판(12)은 사파이어, 실리콘(Si), 게르마늄, 실리콘 카바이드(silicon carbide)(SiC), 벌크 반도체 템플릿 재료, 예컨대, AlN, GaN, BN, AlGaIn, AlInN, AlON, LiGaO_2 , AlGaBN, AlGaInN, AlGaInBN, 및/또는 이와 유사한 것, 또는 다른 적절한 재료일 수 있으며, 극성, 비-극성, 또는 반-극성일 수 있다. 버퍼 층(14)은 AlN, AlGaIn, AlInN, AlGaBN, AlGaInN, AlGaInBN, AlGaInBN, AlGaInBN 초격자(superlattice), 및/또는 이와 유사한 것으로 구성될 수 있다.

[0028] 방출 디바이스(10)에 관하여 도시된 바와 같이, p-형 금속(24)이 p-형 클래딩 층(22)에 부착될 수 있으며, p-형 접촉부(26)가 p-형 금속(24)에 부착될 수 있다. 추가적으로, 본 명세서에서 설명되는 바와 같이, n-형 접촉 층(28)이 n-형 클래딩 층(16) 상에 형성될 수 있고, 본 명세서에서 설명되는 프로세스를 사용하여 n-형 접촉부(30)가 n-형 접촉 층(28) 상에 형성될 수 있다. p-형 금속(24) 및 n-형 접촉 층(28)이 각기 대응하는 층들(22, 16)에 대한 오픈 접촉부들을 형성할 수 있다. 일 실시예에 있어, p-형 금속(24)은 몇몇 전도성 및 반사성 금속 층들을 포함하고, 반면 p-형 접촉부(26)는 높은 전도성 금속을 포함한다. 일 실시예에 있어, p-형 클래딩 층(22) 및/또는 p-형 접촉부(26)는 활성 영역(18)에 의해 생성되는 전자기 방사에 대하여 투과성(transparent)(예를 들어, 반-투과성 또는 투과성)일 수 있다. 예를 들어, p-형 클래딩 층(22) 및/또는 p-형 접촉부(26)는 투과성 마그네슘(Mg)-도핑된 AlGaIn/AlGaIn 단주기 초격자 구조(short period superlattice structure: SPSL)와 같은, 단주기 초격자 격자 구조를 포함할 수 있다. 또한, p-형 접촉부(26) 및/또는 n-형 접촉 층(28)이 활성 영역(18)에 의해 생성되는 전자기 방사에 대해 반사성일 수 있다. 다른 실시예에 있어, n-형 클래딩 층(16) 및/또는 n-형 접촉 층(28)이 AlGaIn SPSL과 같은 단주기 초격자로 형성될 수 있으며, 이는 활성 영역(18)에 의해 생성되는 전자기 방사에 대해 투과성이다.

[0029] 본 명세서에서 사용되는 바와 같이, 층이 방사 파장들의 대응하는 범위의 전자기 방사의 적어도 일 부분을 층을 통해 통과하도록 할 때, 층이 투과성이다. 예를 들어, 투과성 층은, 활성 영역(18)에 의해 방출된 광(자외선 광 또는 원 자외선 광)에 대한 피크 방출 파장에 대응하는 방사 파장들의 범위(예를 들어, 피크 방출 파장 ± 5 나노미터)에서 광의 적어도 일 부분을 층을 통해 통과시키도록 구성될 수 있다. 본 명세서에서 사용되는 바와 같이, 층이 방사의 약 0.5 퍼센트 이상을 통과하게 하는 경우, 층은 방사에 대해 투과성이다. 더 구체적인 실시예에 있어, 투과성 층은 방사의 약 5 퍼센트 이상을 이를 통해 통과시키도록 구성된다. 더 구체적인 다른 실시예에 있어, 투과성 층은 방사의 10 퍼센트 이상을 이를 통해 통과시키도록 구성된다. 유사하게, 층이 관련된 전자기 방사의 적어도 일 부분(예를 들어, 활성 영역의 피크 방출에 인접한 파장들을 갖는 광)을 반사할 때, 층은 반사성이다. 일 실시예에 있어, 반사성 층은 방사의 적어도 약 5 퍼센트를 반사하도록 구성된다.

[0030] 방출 디바이스(10)에 대하여 더 도시된 바와 같이, 디바이스(10)는 접촉부들(26, 30)을 통해 서브마운트(submount)(36)에 장착(mount)될 수 있다. 이러한 경우에 있어, 기판(12)은 방출 디바이스(10)의 상단(top)에 위치된다. 그 결과로서, p-형 접촉부(26) 및 n-형 접촉부(30) 둘 다 각기 접촉 패드들(32, 34)을 통해 서브마운트(36)에 부착될 수 있다. 일 실시예에 있어, n-형 접촉 층(28)이 투과성 재료이며, 반면 n-형 접촉부(30)는 n-형 접촉 층(28)으로부터의 광 추출을 개선하기 위한 반사성 재료(예를 들어, 금속)이다. 서브마운트(36)는 질화 알루미늄(AlN), 실리콘 카바이드(SiC), 및/또는 이와 유사한 것으로 형성될 수 있다.

[0031] 본 명세서에서 설명되는 방출 디바이스(10)의 층 구성이 오로지 예시적이라는 것이 이해되어야 한다. 이러한 정도로, 방출 디바이스/이종구조가 대안적인 층 구성, 하나 이상의 추가적인 층들, 및/또는 이와 유사한 것을 포함할 수 있다. 결과적으로, 다양한 층들이 서로 바로 인접하여(즉, 서로 접촉하는 것으로) 도시되지만, 하나 이상의 중간 층들이 방출 디바이스/이종구조 내에 존재할 수 있다는 것이 이해되어야 한다.

[0032] 종래 기술의 해법을 사용하는 디바이스(10)의 형성은 전형적으로 n-형 접촉부가 형성될 영역에서 n-형 클래딩 층(16)을 노출시키기 위한 p-형 클래딩 층(22), p-형 층(20), 및 활성 영역(18)의 에칭을 포함한다. 그 후, 금속(미도시)이 전형적으로 n-형 클래딩 층(16) 상에 증착되며, n-형 접촉부(30)가 오픈 n-형 접촉부를 형성하기

위해 금속 상에 형성된다. 유사한 절차가 트랜지스터들 및 다른 유형들의 반도체 디바이스들에 대한 오믹 접촉부들을 형성하기 위해 이용된다. 이와 대조적으로, 발명자들은, n-형 접촉부(30)와 같은 하나 이상의 접촉부들을 형성하기 위해 n-형 클래딩 층(16) 및/또는 임의의 다른 층의 에칭을 필요로 하지 않는, 방출 디바이스(10)와 같은 디바이스, 또는 디바이스에 대한 이중구조를 제조하기 위한 프로세스를 제안한다. n-형 접촉부(30)의 형성에 관하여 설명되지만, 본 발명의 측면들이 p-형 접촉부(26)와 같은 p-형 접촉부의 형성으로 인도될 수 있다는 것이 이해되어야 한다.

[0033] 이러한 정도로, 도 3은 일 실시예에 따른 디바이스 이중구조(40) 내의 반도체 층(46)에 대한 적어도 하나의 접촉부(56)를 포함하는 디바이스 이중구조(단계 8에 도시된)를 제조하기 위한 예시적인 일련의 행동들을 도시한다. 본 명세서에서 설명되는 바와 같은 프로세스는 반도체 층(46)에 대한 하나 이상의 오믹 접촉부들을 형성하는데 사용될 수 있다. 반도체 층(46)은 p-형 층 또는 n-형 층일 수 있다. 본 명세서에서 설명되는 프로세스는 이러한 접촉부가 에칭 없이 생성될 수 있게 한다.

[0034] 단계 1에서, 이중구조가 획득(예를 들어, 형성, 성장, 구매, 및/또는 이와 유사하게)되며, 이중구조는 기판(42), 기판(42) 상의 제 1 층(44), 제 1 층(44) 상의 제 2 층(46)을 포함한다. 일 실시예에 있어, 층들(44, 46)은 III족-질화물 층들이며, 이들은 본 명세서에서 설명되는 바와 같은 임의의 유형의 기판 재료를 포함하는 기판(42) 상에서 에피택셜적으로(epitaxially) 성장된다. 다른 실시예에 있어, 층(44)이 버퍼 또는 핵생성(nucleation) 층이며, 이는 층(46)과 같은 다른 층들의 에피택셜 성장 이전에 기판(42) 상에서 성장된다. 3개의 층들(42, 44, 46)이 도시되었지만, 임의의 수의 층들이 포함될 수 있다는 것이 이해되어야 한다. 이러한 정도로, 층(44, 46)이 복수의 반도체 층들 및/또는 층에 대한 복수의 서브층(sublayer)들을 포함할 수 있다.

[0035] 이와 무관하게, 각각의 반도체 층은 다양한 성장 조건들 하에서 성장된 다양한 조성을 포함할 수 있다. 예를 들어, 일 실시예에 있어 동일한 조성의 층들이 상이한 온도들, 상이한 III/V 비율들, 및/또는 이와 유사한 것에서 성장될 수 있다. 또한, 층(46)이 도핑된 재료로 형성된 적어도 하나의 층을 포함할 수 있다. 도핑은 층(46)의 접촉 영역들의 세트 상에 뒤에 형성될 오믹 접촉부 사이의 전도성 경로들을 제공하도록 구성될 수 있다. 일 실시예에 있어, 층(46)이 낮은 캐리어(carrier) 이온화 에너지를 갖는 도핑된 질화 갈륨(GaN) 반도체 재료로 형성된다.

[0036] 단계 2에서, 마스크들(48)의 세트가 층(46)의 표면 상의 접촉 영역들(47)의 세트 상에 형성된다. 마스크들(48)은 임의의 유형의 마스크 재료일 수 있으며, 이는 아래에 놓인(underlying) 반도체 층들(46)을 손상시키지 않고 제거될 수 있다. 일 실시예에 있어, 마스크들(48)은 이산화 실리콘(SiO_2) 또는 질화 실리콘(Si_3N_4)을 포함한다. 더 구체적인 실시예에 있어, 마스크들(48)의 세트는, 먼저 층(46)의 실질적으로 전체 표면 위에 마스크 재료로 도포함으로써 형성된다. 그 후, 마스크 재료가 접촉 영역들(47)의 세트 상에 마스크들(48)의 세트를 형성하기 위하여 층(46)의 표면의 일부 영역들로부터 제거될 수 있다. 마스크 재료의 제거는, 예를 들어, 포토리소그래피(photolithographic) 기술 또는 이와 유사한 것을 사용하여 수행될 수 있다.

[0037] 단계 3에서, 높은 캐리어 전도성을 갖는 돌출된 메사 유사(mesa like) 반도체(semiconducting) 영역(49)이 층(46) 위에 형성된다. 돌출된 영역(49)은 층(46)과 상이한 광학적 및/또는 전기적 속성들을 가질 수 있다. 예를 들어, 돌출된 영역(49)은 층(46)의 재료보다 더 높은 전도성을 갖는 재료로 형성될 수 있다. 그러나, 돌출된 영역(49)은 층(46)의 유형과 동일한 유형(예를 들어, n-형 또는 p-형)일 수 있다. 도핑된 반도체 재료(예를 들어, 본 명세서에서 설명되는 도핑된 GaN)를 사용하는 과성장(overgrowth) 절차가 돌출된 영역(49)을 형성하는데 사용될 수 있다. 단계 4에서, 반도체 층(50)이 돌출된 영역(49) 위에 성장될 수 있다. 반도체 층(50)은, 예를 들어, 별개의 조성을 갖는 및/또는 상이한 성장 조건들을 사용하여 성장된 몇몇 반도체 서브층들을 포함할 수 있다. 가능한 일 실시예에 있어, 반도체 층(50)이 돌출된 영역(49)을 형성하는 재료의 밴드 갭보다 더 넓은 밴드 갭을 갖는 재료로 형성된다. 반도체 층(50)이 고농도로 도핑된 재료로 형성될 때, 2차원 전자 가스가 반도체 층(50)과 돌출된 영역(49) 사이의 계면에서 형성될 수 있다.

[0038] 가능한 다른 실시예에 있어, 반도체 층(50)은 층(46)을 형성하는 재료와 상이한 광학적 및/또는 전기적 특성들을 갖는 재료로 형성된다. 예를 들어, 반도체 층(50)은 다양한 V/III 비율, 온도들 및 다른 성장 파라미터들을 포함하는 상이한 에피택셜 성장 조건들 하에서 성장될 수 있다. 또 다른 실시예에 있어, 반도체 층(50)은 III족 질화물 서브층들의 초격자 또는 이와 유사한 것과 같은 다층화(multilayered) 구조를 포함할 수 있다. 다른 실시예에 있어, 반도체 층(50)은, 양자 우물들 및 장벽들을 포함하는 광 방출 영역을 내포하는 돌출된 영역(49)과 반도체 층(50) 사이의 계면을 갖는 p-형 영역을 형성할 수 있다.

[0039] 일단 디바이스 이중구조(40)에 대한 반도체 층들의 희망되는 세트가 형성되면, 디바이스 이중구조는 오믹 접촉

부들의 세트의 형성을 위해 준비될 수 있다. 이러한 정도로, 단계 5에서, 마스크(48)(들)를 형성하는 마스크 재료는 후속 반도체 과성장을 위해 제거된다. 단계 6에서, 마스크(52)가 임의의 해법(예를 들어, SiO_2 , Si_3N_4 , 또는 이와 유사한 것과 같은 마스크 재료를 도포함으로써)을 사용하여 반도체 층(50)(또는 반도체 층(50)이 존재하지 않는 경우 돌출된 영역(49)) 상에 위치될 수 있다. 마스크(52)는, 예를 들어, 이종구조(40)가 트랜지스터 디바이스에 대해 사용될 때, 절연 표면 위에 게이트 접촉부를 증착시키기 위해 도포될 수 있다. 이러한 정도로, 마스크(52)가 일부 유형들의 반도체 디바이스들에 대해 도포되지 않을 수 있다는 것이 이해되어야 한다.

[0040] 그 다음, 오믹 접촉부들의 세트가 반도체 층(46)의 접촉 영역들(47)의 세트 상에 형성될 수 있다. 일 실시예에 있어, 오믹 접촉부들의 세트가 디바이스 이종구조(40) 내의 반도체 층들(42, 44, 46, 50) 중 임의의 것을 형성하는 재료의 품질을 손상시키는 온도 범위보다 낮은 프로세싱 온도에서 형성된다. 예를 들어, 예시적인 예로서도 2의 디바이스(10)를 짧게 참조하면, n-형 접촉부(30)의 형성은 p-형 클래딩 층(22), p-형 층(20), 활성 영역(18), 또는 n-형 클래딩 층(16)을 형성하는 재료의 품질을 손상시키지 않을 온도에서 수행될 수 있다. 일 실시예에 있어, III족-질화물 재료들을 사용하여 형성된 디바이스 이종구조에 대하여, p-형 층 성장을 위한 바람직한 온도 범위는 섭씨 950 도 내지 1050 도 사이이다. 이러한 경우에 있어, 오믹 접촉부들의 세트의 형성에 사용되는 프로세싱 온도는 섭씨 950 도보다 낮을 수 있으며, 예를 들어, 섭씨 약 850 도 내지 약 950 도 사이이다.

[0041] 단계 7에서, 전도성의 반도체 층들(54)의 세트가 임의의 해법을 사용하여 이종구조(40)의 접촉 영역들(47)의 세트 상에 과성장될 수 있다. 이종구조(40)가 사용될 대응하는 디바이스에 따라, 에피택셜 성장이 돌출된 영역(49)의 두께보다 더 크거나 또는 더 크지 않을 수 있는 목표 두께까지 수행될 수 있다. 예를 들어, 발광 디바이스에 대하여, 과성장된 반도체 층들(54)은 인접한 반도체 층들과 동일한 유형일 수 있다. 이러한 경우에 있어, 반도체 층들(54)의 두께는 돌출된 영역(49)의 두께와 동일하거나 또는 그보다 작을 수 있다.

[0042] 단계 8에서, 오믹 금속(56)이 반도체 층(46)에 대한 낮은 저항 오믹 접촉부를 형성하기 위하여 반도체 층들(54)의 세트 상에 증착될 수 있다. 오믹 금속(56)은 열 증착(thermal evaporation), e-빔 증착(e-beam evaporation), 화학적 증착, 전기도금(electroplating), 갈바니 증착(galvanic deposition), 및/또는 이와 유사한 것과 같은, 임의의 해법을 사용하여 증착될 수 있다. 이에 더하여, 오믹 금속(56)이 오믹 금속(56)과 아래에 놓인 반도체 층들(54)의 세트 사이에 중간층(interlayer)을 형성하기 위해 어닐링될 수 있다. 중간층은 반도체 층들(54)의 세트 내로의 오믹 금속(56)의 나노-크기 돌출부들을 포함할 수 있다. 오믹 접촉부의 일 실시예는 도 1c에 도시된 바와 같은 거친 표면을 포함할 수 있으며, 이는, 예를 들어, 반도체 층들(54)의 세트에 대한 성장 조건들의 적절한 세트를 선택함으로써 마련될 수 있다. 성장 조건들의 세트는: 높은 V/III 비율에서의 성장, 더 낮은 온도(예를 들어, 섭씨 1000 도에서 또는 그 아래에서의 온도들)에서의 성장, 및/또는 이와 유사한 것을 포함할 수 있다.

[0043] 일 실시예에 있어, 반도체 층들(54)의 세트는 $\text{Al}_w\text{In}_x\text{Ga}_y\text{B}_z\text{N}$ 로 형성되며, 여기에서 $0 \leq w, x, y, z \leq 1$, 및 $w+x+y+z = 1$ 이다. 더 구체적인 실시예에 있어, Al 조성은 100 퍼센트보다는 작고 1 퍼센트보다는 큰, 즉, $0.01 < w < 1$ 이다. 이러한 경우에 있어, 예시적인 III족 재료들은, AlGaIn , AlInGaIn , AlInN , AlBN , AlInBN , AlGaBN , AlGaInBN , 및/또는 이와 유사한 것을 포함한다. 추가적으로, 재료는 0.001을 초과하는 인듐 몰 분율 x 를 포함할 수 있다. 반도체 층들(54)의 세트가 복수의 층들을 포함할 때, 층들이 III족 원소들의 상이한 몰 분율들(즉, w, x, y, z 에 대한 상이한 값들)을 갖거나, 상이한 성장 조건들(예를 들어, 온도, V/III 비율과 같은 유량 비율(mass flow ratio), 및/또는 이와 유사한 것)을 사용하여 성장될 수 있거나, 및/또는 이와 유사할 수 있다. 일 실시예에 있어, 반도체 층들(54)의 세트는 반도체 층(46)보다 더 넓은 밴드 갭을 갖는 재료로 형성되며, 그럼으로써 반도체 층(46)(예를 들어, 발광 디바이스의 클래딩 층)과 반도체 층들(54)의 세트 사이의 계면에서 2차원 자유 캐리어 가스를 유도한다.

[0044] 반도체 층들(54)의 세트의 조성이 실질적으로 일정하거나 또는 단계화될 수 있다. 일 실시예에 있어, 알루미늄 몰 분율 x 가 오믹 금속(56)으로부터의 거리의 함수로서 변화된다. 예를 들어, 알루미늄 몰 분율이 반도체 층들(54)의 세트와 오믹 금속(56)의 계면으로부터 반도체 층들(54)의 세트와 반도체 층(46)의 계면까지 감소할 수 있다. 다른 실시예에 있어, 알루미늄 몰 분율은 변화하는 인듐 농도를 따라 변화된다. 예를 들어, 인듐 몰 분율이 증가할 수 있는 반면, 알루미늄 몰 분율이 이상에서 설명된 바와 같이 감소한다. 단계화(grading)가 상당할 수 있으며, 예를 들어, 0 내지 0.6 값들 사이에서의 알루미늄 몰 비율의 변화들을 포함할 수 있다. 대안적으로, 인듐 몰 분율이 반도체 층들(54)의 세트와 오믹 금속(56)의 계면으로부터 반도체 층들(54)의 세트와 반도체 층(46)의 계면까지 감소할 수 있으며, 반면 알루미늄 몰 분율이 실질적으로 일정하게 유지되고, 그럼으로써 인듐이 갈륨 또는 다른 III족 재료로 대체되게 한다.

- [0045] 단계화는, 예를 들어, 접촉 영역(47)에서 반대(opposite) 캐리어들(예를 들어, n-형 접촉부에 대한 홀들 및 p-형 접촉부에 대한 전자들)의 축적의 유도를 회피할 수 있는, 및/또는 반도체 층들(54)(예를 들어, 고농도로 도핑된)의 세트와 하단 반도체 층(46)(예를 들어, 거의 도핑되지 않은) 사이에서의 수직 전류 운반을 가능하게 하기 위해, 반도체 층들(54)의 세트의 목표 전도 밴드 에너지에 기초하여 구성될 수 있다. 예를 들어, 반도체 층(46)이 40 퍼센트보다 높은 알루미늄의 몰 분율을 갖는 III족 질화물 재료(예를 들어, 매우 짧은 자외선 파장들에서 동작하는 LED의 부분으로서)를 포함할 때, 반도체 층들(54)의 세트의 임의의 지점의 전도 밴드 에너지와 반도체 층(46)의 접촉 영역(47)의 표면 지점의 전도 밴드 에너지 사이의 총 에너지 변화가 대략 $3kT$ 미만이 되도록, 단계화가 구성될 수 있으며, 여기에서 k 는 볼츠만 상수이고 T 는 디바이스의 동작 온도이다. 표면 지점은 접촉 영역(47)에 대응하는 반도체 층(46)의 표면의 10 나노미터 이내의 반도체 층(46)의 임의의 지점일 수 있다.
- [0046] 반도체 층들(54)의 세트 중 하나 이상이 초격자를 포함할 수 있다. 이러한 경우에 있어, 초격자는 주기마다 주기적 또는 비주기적 조성의 변화를 가질 수 있다. 추가적으로, 반도체 층들(54)의 성장은 재료들의 델타 도핑(delta doping)을 포함할 수 있다. 일 실시예에 있어, 반도체 층들(54)은 n-형 도펀트(dopant)를 포함한다. 더 구체적인 예시적 실시예에 있어, 반도체 층들(54)의 세트는 고농도로 도핑된 n+ GaN 층을 포함할 수 있다.
- [0047] 반도체 층들(54)의 세트 및/또는 오믹 금속(56)의 하나 이상의 측면들이 반도체 층들(54)의 세트와 오믹 금속(56) 사이의 접촉을 개선하기 위하여 및/또는 오믹 접촉부의 하나 이상의 측면들을 개조(alter)하기 위하여 구성될 수 있다. 예를 들어, 반도체 층들(54)의 세트는, III족 질화물 재료와 같은, 텍스처화된(textured) 또는 패터닝된 재료를 포함할 수 있다. 일 실시예에 있어, 반도체 층들(56)의 세트 내로 돌출하는 일련의 대향(opposing) 피라미드들을 형성하는 오믹 금속(56)과 함께, 반도체 층들(54)의 세트의 표면은 일련의 피라미드형 개구들을 포함할 수 있다. 이러한 경우에 있어, 오믹 금속(56)과 반도체 층들(54)의 세트의 접착이 개선될 수 있다. 피라미드 개구들이 단지 예시적인 예라는 것이 이해되어야 한다. 일반적으로, 오믹 금속(56)으로부터 반도체 층들(54)의 세트 내로의 임의의 유형의 돌출부들이 접촉 저항 및 접착과 같은 접촉 속성들을 개선할 수 있다. 이러한 비동질(inhomogeneous) 영역들의 형성이, 예를 들어, 거친 형태(morphology)를 갖는 반도체 층들(54)의 세트를 생성하기 위해 적절한 성장 조건들을 선택함으로써, 달성될 수 있다. 예를 들어, 이러한 조건은 V/III 비율의 높은 값들 및 1000C 주변 또는 그 아래와 같은 낮은 온도들에서 달성될 수 있는 소위 3차원 성장 때문일 수 있다. 대안적으로, 반도체 층들(54)의 세트가 오믹 금속(56)의 증착 이전에 예칭되거나 또는 패터닝될 수 있다. 마지막으로, 비동질 영역들이 오믹 금속(56)의 어닐링 동안 발생할 수 있다.
- [0048] 유사하게, 오믹 금속(56)은 반도체 층들(54)의 세트의 표면과 접촉하는 복수의 니들(needle)들을 포함할 수 있다. 예를 들어, 니들들은, 예를 들어 리소그래픽 프로세싱을 사용하여 형성될 수 있는 주기적인 니들들을 포함할 수 있다. 오믹 금속(56)은 니들들을 연결하는 금속의 상부(overlying) 층을 포함할 수 있다. 니들들은 광 추출 및/또는 반사를 위한 격자(grating)로서 기능할 수 있다.
- [0049] 일 실시예에 있어, 오믹 금속(56)은, 오믹 금속(56)이 반도체 층들(54)의 세트를 관통하고 아래에 놓인 반도체 층(46)에 접촉하도록, 합금될(alloyed) 수 있다. 또한, 오믹 금속(56)은 히트 싱크에 대한 플립 칩 접착을 위해 사용될 수 있다(도 2의 층(34)과 함께 도시된 바와 같이).
- [0050] 도 3에 도시된 단계들 1 ~ 8이 개조되거나 또는 단계들이 부가되거나 또는 제거될 수 있다는 것이 이해되어야 한다. 예를 들어, 도 4는 일 실시예에 따른 디바이스 이종구조를 제조하기 위한 다른 예시적인 일련의 행동들을 도시한다. 이러한 경우에 있어, 단계들 1 ~ 3은 도 3과 동일하지만, 후속 단계들이 개조된다. 구체적으로, 단계 4에 있어, 마스크 영역(60)이 돌출된 영역(49) 상에 형성되고, 마스크들(48)의 세트가 제거된다. 단계 5에서, 반도체 층들(54)의 세트의 재성장이 수행된다. 단계 6에서, 마스크 영역(60)이 제거되고, 마스크 영역들(62)의 세트가 반도체 층들(54)의 세트 상에 형성된다. 단계 7에서, 반도체 층(50)이 형성되고, 마스크 영역들(62)의 세트가 제거된다. 단계 8에서, 마스크 층(52)이 반도체 층(50) 상에 형성되며 오믹 금속(56)이 반도체 층들(54)의 세트 상에 증착된다. 이러한 프로세스에서, 반도체 층(50)이 반도체 층들(54)의 세트 다음에 형성되며, 이는 반도체 층들(54)의 세트의 에피택셜 성장이 일어나는 온도의 추가적인 제어를 가능하게 할 수 있다. 예를 들어, 도 4의 실시예는 반도체 층(50)의 에피택셜 성장을 위한 온도가 반도체 층들(54)의 세트의 에피택셜 성장을 위한 온도보다 더 낮을 때 사용될 수 있다.
- [0051] 예칭을 필요로 하지 않는, 과성장 절차를 사용하여 오믹 접촉부들의 세트를 형성하기 위한 프로세스와 함께 도시되고 설명되었지만, 본 발명의 측면들이 추가적인 실시예들을 제공한다는 것이 이해되어야 한다. 예를 들어, 실시예들은 본 명세서에서 설명된 절차를 사용하여 형성되는 과성장된 접촉부를 제공한다. 이러한 경우에 있어,

접촉부는, 반도체 층(46)과 반도체 층들(54)의 세트 사이의 계면에서 반도체 층들(54)의 세트가 반도체 층(46)과 격자 정합되는, 부정형적(pseudomorphic) 정합을 포함할 수 있다. 또한, 실시예들은 본 명세서에서 설명된 프로세스를 사용하여 형성되는 하나 이상의 옹벽 접촉부들을 포함하는 디바이스를 제조하기 위한 프로세스를 제공한다.

[0052] 일 실시예에 있어, 본 발명은 본 명세서에서 설명된 바와 같이 설계되고 제조되는 디바이스들 중 하나 이상을 포함하는 회로의 설계 및/또는 제조 방법을 제공한다. 이러한 정도로, 도 5는 일 실시예에 따른 회로(126)를 제조하기 위한 예시적인 순서도를 도시한다. 처음에, 사용자는 본 명세서에서 설명된 바와 같은 반도체 디바이스에 대한 디바이스 설계(112)를 생성하기 위하여 디바이스 설계 시스템(110)을 사용할 수 있다. 디바이스 설계(112)는, 디바이스 설계(112)에 의해 정의된 특징들에 따라 물리적인 디바이스들(116)의 세트를 생성하기 위해 디바이스 제조 시스템(114)에 의해 사용될 수 있는 프로그램 코드를 포함할 수 있다. 유사하게, 디바이스 설계(112)는, 사용자가 회로 설계(122)를 생성하기 위해 사용할 수 있는(예를 들어, 하나 이상의 입력들 및 출력들을 회로 내에 포함된 다양한 디바이스들에 연결함에 의해), 회로 설계 시스템(120)에 제공될 수 있다(예를 들어, 회로들 내에서 사용이 가능한 컴포넌트로서). 회로 설계(122)는 본 명세서에서 설명된 바와 같이 설계된 디바이스를 포함하는 프로그램 코드를 포함할 수 있다. 어떠한 경우에도, 회로 설계(122) 및/또는 하나 이상의 물리적 디바이스들(116)이 회로 설계(122)에 따라 물리적 회로(126)를 생성할 수 있는 회로 제조 시스템(124)에 제공될 수 있다. 물리적 회로(126)는 본 명세서에서 설명된 바와 같이 설계된 하나 이상의 디바이스들(116)을 포함할 수 있다.

[0053] 다른 실시예에 있어, 본 발명은, 본 명세서에서 설명된 바와 같은 반도체 디바이스(116)를 제조하기 위한 디바이스 제조 시스템(114) 및/또는 설계하기 위한 디바이스 설계 시스템(110)을 제공한다. 이러한 경우에 있어, 시스템(110, 114)은 본 명세서에서 설명된 바와 같은 반도체 디바이스(116)를 설계 및/또는 제조하는 방법을 구현하도록 프로그래밍된 범용 컴퓨팅 디바이스를 포함할 수 있다. 유사하게, 본 발명의 일 실시예는, 본 명세서에서 설명된 바와 같이 설계 및/또는 제조된 적어도 하나의 디바이스(116)를 포함하는 회로(126)를 제조하기 위한 회로 제조 시스템(124) 및/또는 설계하기 위한 회로 설계 시스템(120)을 제공한다. 이러한 경우에 있어, 시스템(120, 124)은 본 명세서에서 설명된 바와 같은 적어도 하나의 반도체 디바이스(116)를 포함하는 회로(126)를 설계 및/또는 제조하는 방법을 구현하도록 프로그래밍된 범용 컴퓨팅 디바이스를 포함할 수 있다.

[0054] 또 다른 실시예에 있어, 본 발명은, 실행될 때, 컴퓨터 시스템이 본 명세서에서 설명된 바와 같은 반도체 디바이스를 설계 및/또는 제조하는 방법을 구현하도록 컴퓨터 시스템을 인에이블(enable)하는, 적어도 하나의 컴퓨터-판독가능 매체 에 실어넣어진(fixed) 컴퓨터 프로그램을 제공한다. 예를 들어, 컴퓨터 프로그램은 본 명세서에서 설명된 바와 같은 디바이스 설계(112)를 생성하도록 디바이스 설계 시스템(110)을 인에이블할 수 있다. 이러한 정도로, 컴퓨터-판독가능 매체는, 컴퓨터 시스템에 의해 실행될 때 본 명세서에서 설명된 프로세스들의 전부 또는 일부를 구현하는 프로그램 코드를 포함한다. 용어 "컴퓨터-판독가능 매체"는, 이로부터 프로그램 코드의 저장된 카피가 컴퓨팅 디바이스에 의해 인지되거나, 재생되거나, 또는 달리 통신될 수 있는, 현재 공지된 또는 향후 개발될 표현의 유형의 매체의 임의의 유형 중 하나 이상을 포함한다는 것이 이해되어야 한다.

[0055] 다른 실시예에 있어, 본 발명은 컴퓨터 시스템에 의해 실행될 때 본 명세서에서 설명된 프로세스들 중 전부 또는 일부를 구현하는 프로그램의 카피를 제공하기 위한 방법을 제공한다. 이러한 경우에 있어, 컴퓨터 시스템은, 제 2의 별개의 장소에서의 수신을 위해, 그것의 특성 세트 중 하나 이상을 가지며 및/또는 프로그램 코드를 데이터 신호들의 세트로 인코딩하기 위하여 이러한 방식으로 변경되는 데이터 신호들의 세트를 생성 및 송신하기 위하여, 프로그램 코드의 카피를 프로세싱할 수 있다. 유사하게, 본 발명의 일 실시예는, 본 명세서에서 설명된 데이터 신호들의 세트를 수신하고, 데이터 신호들의 세트를 적어도 하나의 컴퓨터-판독가능 매체에 실어넣어진 컴퓨터 프로그램의 카피로 해석하는 컴퓨터 시스템을 포함하는, 본 명세서에서 설명된 프로세스들의 전부 또는 일부를 구현하는 프로그램 코드의 카피를 획득하는 방법을 제공한다. 어느 경우에도, 데이터 신호들의 세트가 임의의 유형의 통신 링크를 사용하여 송신/수신될 수 있다.

[0056] 또 다른 실시예에 있어, 본 발명은 본 명세서에서 설명된 바와 같은 반도체 디바이스를 제조하기 위한 디바이스 제조 시스템(114) 및/또는 설계하기 위한 디바이스 설계 시스템(110)을 생성하는 방법을 제공한다. 이러한 경우에 있어, 컴퓨터 시스템이 획득될 수 있고(예를 들어, 생성되거나, 유지되거나, 이용가능하게 만들어지거나, 등) 및 본 명세서에서 설명된 프로세스를 수행하기 위한 하나 이상의 컴포넌트들이 획득될 수 있으며(예를 들어, 생성되거나, 구매되거나, 사용되거나, 수정되거나, 등), 컴퓨터 시스템에 활용될 수 있다. 이러한 정도로, 활용(deployment)은 다음 중 하나 이상을 포함할 수 있다: (1) 컴퓨팅 디바이스에 프로그램 코드를 설치하는 것; (2) 하나 이상의 컴퓨팅 및/또는 I/O 디바이스들을 컴퓨터 시스템에 추가하는 것; (3) 본 명세서에

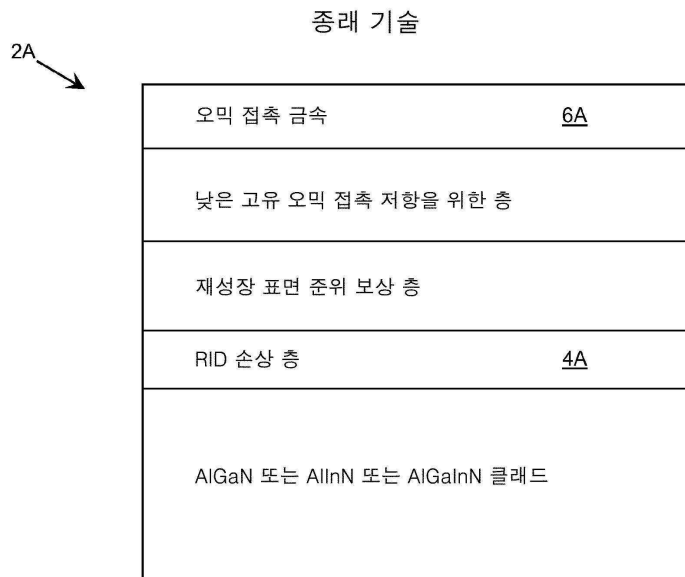
서 설명된 프로세스를 수행하도록 컴퓨터 시스템을 인에블하기 위해 컴퓨터 시스템을 통합 및/또는 수정하는 것; 및/또는 이와 유사한 것.

[0057]

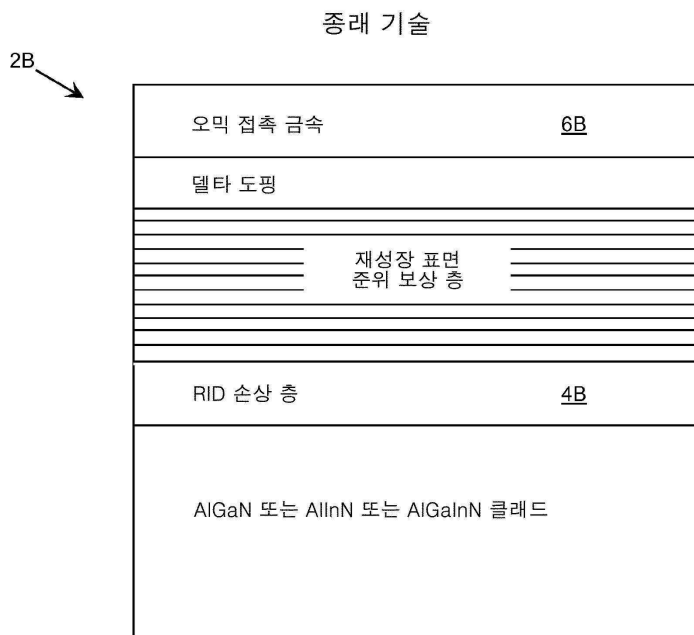
본 발명의 다양한 측면들에 대한 이상의 설명은 예시 및 설명의 목적을 위해 제공되었다. 이는, 개시된 것을 정확하게 형성하기 위하여, 철저하거나 또는 본 발명을 한정하도록 의도되지 않았으며, 명백히, 다수의 수정예들 및 변형예들이 가능하다. 당업자에게 자명할 수 있는 이러한 수정예들 및 변형예들은 첨부된 청구항들에 의해 정의되는 바와 같은 본 발명의 범위 내에 속한다.

도면

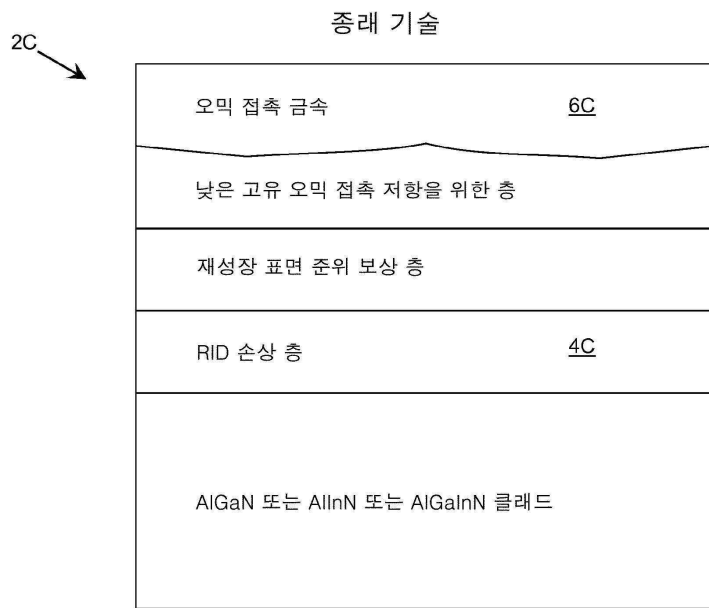
도면1a



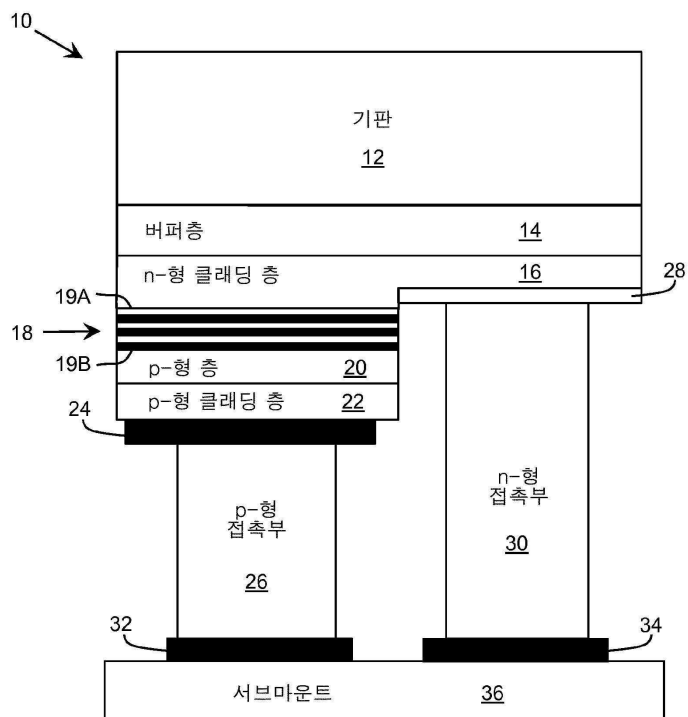
도면1b



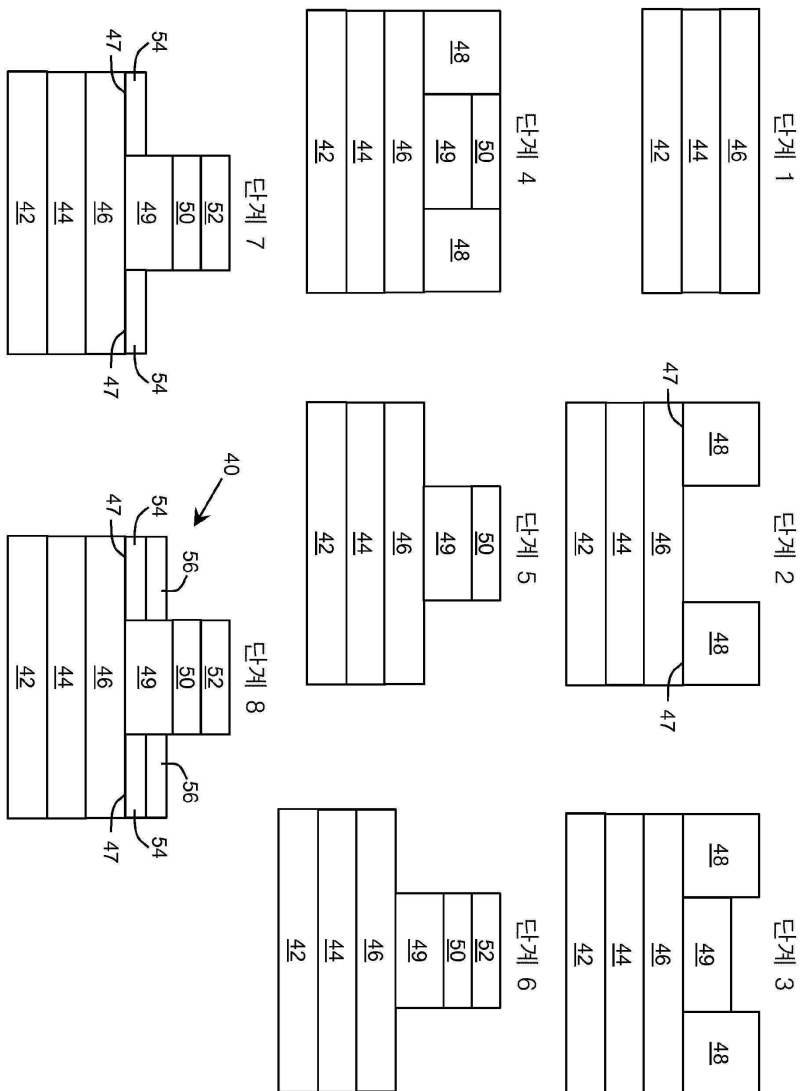
도면1c



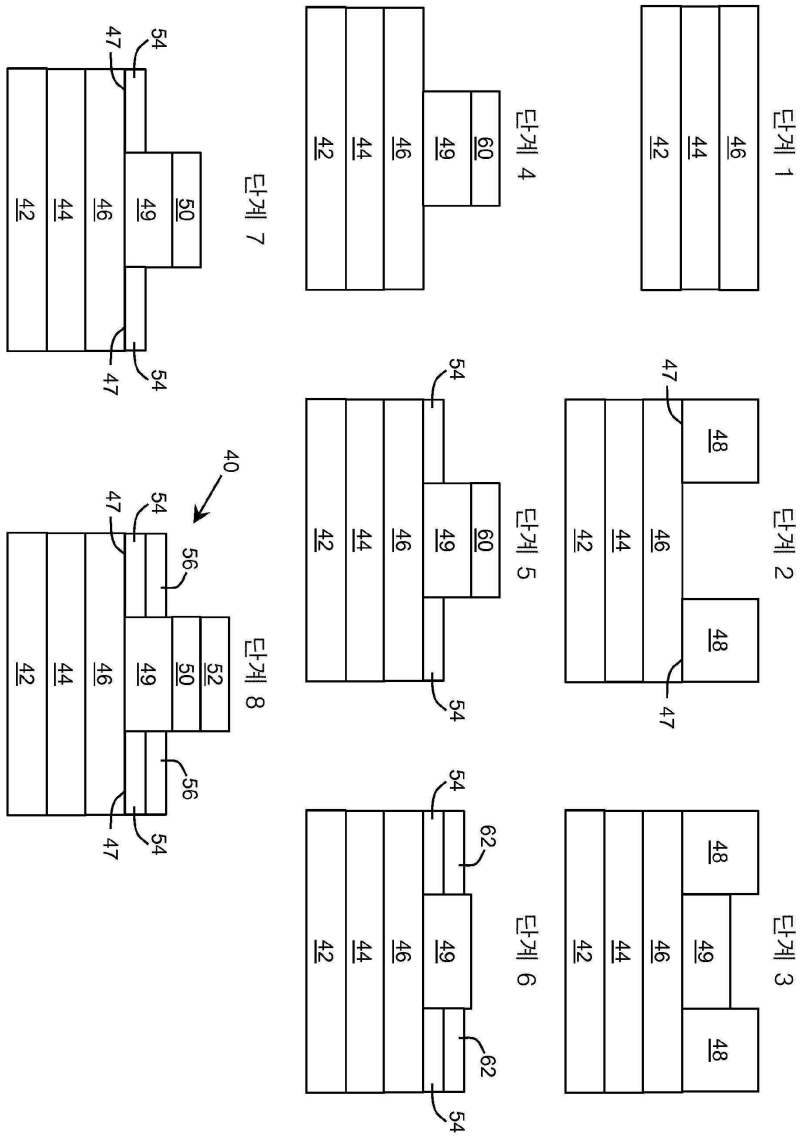
도면2



도면3



도면4



도면5

