[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 21/20
H01L 27/12 H01L 29/786

[12]发明专利申请公开说明书

[21]申请号 99811328.X

[43]公开日 2001年10月24日

[11]公开号 CN 1319252A

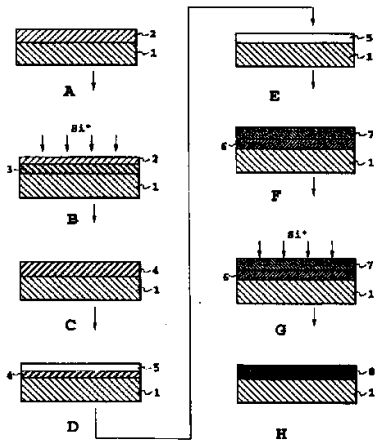
[22]申请日 1999.9.24 [21]申请号 99811328.X
[30]优先权
[32]1998.9.25 [33]JP [31]272126/1998
[86]国际申请 PCT/JP99/05231 1999.9.24
[87]国际公布 WO00/19500 日 2000.4.6
[85]进入国家阶段日期 2001.3.23
[71]申请人 旭化成株式会社
地址 日本国大阪府
[72]发明人 森下隆 松井正宏
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 杜日新

权利要求书9页 说明书29页 附图页数7页

[54]发明名称 半导体衬底及其制造方法、和使用它的半导体器件及其制造方法

[57]摘要

一种制造SOI衬底的方法，该SOI衬底有单晶氧化物衬底或硅衬 底、在衬底上沉积的氧化物的绝缘底层，在该底层上外延生长的硅层，该方法包括：将离子注入到在绝缘底层上外延生长的第一硅层上将硅 层的界面深度部分变为非晶，通过退火来使非晶表面深度部分再结晶，通过加热来氧化部分表面，通过腐蚀来除去氧化硅层，在保留的第一 硅层上生长第二硅层，将离子再次注入到硅层将界面深度部分非晶化，以及提供退火来使非晶的深部再结晶化。因此，形成具有结晶缺陷非 常少和表面平坦性良好的硅层的SOI衬底。因此，在这样的半导体衬 底上构成了具有高器件性能和高可靠性的新颖的电子器件或光器件。



ISSN1008-4274

权 利 要 求 书

1.一种半导体衬底，由绝缘性的衬底和在其上外延生长的结晶硅层构成，所述绝缘性衬底由单晶氧化物衬底、或硅衬底和其上沉积的结晶性的氧化物层或氮化物层组成的层积衬底构成，其特征在于：

通过计测浸渍碘系腐蚀液而形成的平均单位面积的凹陷数这样的缺陷密度测定方法，评价的所述结晶硅层的缺陷密度在整个深度方向上为 7×10^6 个/cm^2 以下，并且该结晶硅层的表面粗糙度为 2nm 以下、0.05nm 以上。

2.如权利要求 1 所述的半导体衬底，其特征在于，所述结晶硅层的平行于衬底面的硅（004）峰值的 X 线衍射摆动曲线半幅值为 0.24 度以下、0.03 度以上，并且垂直于衬底面的硅（004）峰值的 X 线衍射摆动曲线半幅值为 0.18 度以下、0.03 度以上。

3.如权利要求 1 所述的半导体衬底，其特征在于，所述结晶硅层的垂直于衬底面的硅（040）峰值的 X 线衍射摆动曲线半幅值比平行于衬底面的硅（040）峰值的 X 线衍射摆动曲线半幅值小。

4.如权利要求 1 所述的半导体衬底，其特征在于，所述结晶硅层的垂直于衬底面的硅（040）峰值的 X 线衍射摆动曲线半幅值在整个深度方向上大致一定，为 0.18 度以下、0.03 度以上。

5.如权利要求 1 所述的半导体衬底，其特征在于，对所述结晶硅层的一部分进行热氧化，在该结晶硅层上形成氧化硅层后，通过电荷泵方法测定的表面能级密度在 3×10^{11}/cm^2 以下、1×10^9/cm^2 以上。

6.如权利要求 1 所述的半导体衬底，其特征在于，所述结晶硅层的厚度在 0.03μm 以上、0.7μm 以下。

7.如权利要求 1 所述的半导体衬底，其特征在于，所述绝缘性的衬底是所述单晶氧化物衬底，该单晶氧化物衬底是蓝宝石衬底。

8.如权利要求 1 所述的半导体衬底，其特征在于，所述绝缘性的衬底是所述层积衬底，在作为该衬底的硅衬底上叠置的结晶性的所述氧化物层由α-Al_2O_3、γ-Al_2O_3、θ-Al_2O_3、$MgO\cdot Al_2O_3$、CeO_2、$SrTiO_3$、

（Zr_{1-x}、Y_x）O_y、Pb（Zr、Ti）O_3、$LiTaO_3$、$LiNbO_3$ 的某一个组成，所述氟化物层由 CaF_2 构成。

9.一种半导体衬底的制造方法，在绝缘性的衬底上形成缺陷密度低的硅层，其特征在于，包括：

（a）在所述绝缘性衬底上形成第一硅层的步骤；

（b）将第一离子注入到所述第一硅层，将界面深部非结晶化，通过第一热处理使该非结晶化的层进行再结晶的步骤；

（c）在第一硅层上使硅层外延成长，形成第二硅层的步骤；以及

（d）将第二离子注入到所述第二硅层，将界面深部非结晶化，通过第二热处理使该非结晶化的层进行再结晶的步骤。

10.一种半导体衬底的制造方法，在绝缘性的衬底上形成缺陷密度低的硅层，其特征在于，包括：

（a）在所述绝缘性衬底上形成第一硅层的步骤；

（b）将第一离子注入到所述第一硅层，将界面深部非结晶化，通过第一热处理使该非结晶化的层进行再结晶的步骤；

（c）将所述再结晶的第一硅层在氧化性气氛中进行热处理，对表面侧的一部分进行氧化的步骤；

（d）通过腐蚀来除去由所述步骤（c）形成的氧化硅膜的步骤；

（e）在残留的第一硅层上使硅层外延生长，形成第二硅层的步骤；以及

（f）将第二离子注入到所述第二硅层，将界面深部非结晶化，通过第二热处理使该非结晶化的层进行再结晶的步骤。

11.如权利要求 10 所述的半导体衬底的制造方法，其特征在于，在所述残留的第一硅层为规定的厚度时，将所述步骤（c）~（d）重复进行 2 次以上。

12.如权利要求 10 至 11 中任一项所述的半导体衬底的制造方法，其特征在于，将所述步骤（f）中形成的硅层看作由所述步骤（b）形成的再结晶的第一硅层，将所述步骤（c）~（f）重复进行 2 次以上。

13.一种半导体衬底的制造方法，在绝缘性的衬底上形成缺陷密度

低的硅层，其特征在于，包括:

（a）在所述绝缘性衬底上形成第一硅层的步骤;

（b）将所述第一硅层在氧化性气氛中热处理，将表面侧的一部分进行氧化的步骤;

（c）通过腐蚀来除去由所述步骤（b）形成的氧化硅膜的步骤;

（d）在残留的第一硅层上使硅层外延生长，形成第二硅层的步骤;以及

（e）将离子注入到所述第二硅层，将界面深部进行非结晶化，通过热处理使该非结晶化的层进行再结晶的步骤。

14.如权利要求 13 所述的半导体衬底的制造方法，其特征在于，在所述残留的第一硅层为规定的厚度时，将所述步骤（b）~（c）重复进行 2 次以上。

15.如权利要求 13 至 14 中任一项所述的半导体衬底的制造方法，其特征在于，将所述步骤（e）中形成的硅层看作由所述步骤（a）形成的第一硅层，将所述步骤（b）~（e）重复进行 2 次以上。

16.如权利要求 10 至 15 中任一项所述的半导体衬底的制造方法，其特征在于，所述氧化性气氛包括氧和氢的混合气体或水蒸汽。

17.如权利要求 10 至 16 中任一项所述的半导体衬底的制造方法，其特征在于，所述氧化性气氛中的热处理温度为 600℃以上、1300℃以下。

18.如权利要求 10 至 16 中任一项所述的半导体衬底的制造方法，其特征在于，所述氧化性气氛中的热处理由用高温进行的高温热处理、接着用低温进行的低温热处理这样的改变温度的两级热处理构成。

19.如权利要求 18 所述的半导体衬底的制造方法，其特征在于，所述氧化性气氛中的高温热处理的温度为 800℃以上、1200℃以下，而所述氧化性气氛中的低温热处理的温度为 700℃以上、1100℃以下。

20.如权利要求 9 至 15 中任一项所述的半导体衬底的制造方法，其特征在于，在所述第一硅层上使硅层外延生长，形成第二硅层的温度为 550℃以上、1050℃以下。

21.如权利要求 9 至 15 中任一项所述的半导体衬底的制造方法，其特征在于，在所述第一硅层上使硅层外延生长，在形成第二硅层的步骤前，将该第一硅层在氢气氛中或真空中进行加热处理。

22.如权利要求 9 至 15 中任一项所述的半导体衬底的制造方法，其特征在于，在所述第一硅层上使硅层外延生长，使形成第二硅层时使用的装置的生长室的基本压力为 10^{-7}Torr 以下。

23.如权利要求 9 至 15 中任一项所述的半导体衬底的制造方法，其特征在于，在所述第一硅层上使硅层外延生长，形成第二硅层的方法是 UHV-CVD 方法或 MBE 方法。

24.如权利要求 9 至 15 中任一项所述的半导体衬底的制造方法，其特征在于，在所述第一硅层上使硅层外延生长，在形成第二硅层时，仅在生长初期将生长温度高设定。

25.如权利要求 24 所述的半导体衬底的制造方法，其特征在于，在所述第一硅层上使硅层外延生长，形成第二硅层的方法是 APCVD 方法或 LPCVD 方法。

26.如权利要求 9 至 15 中任一项所述的半导体衬底的制造方法，其特征在于，将离子注入到所述第二硅层，将界面深部进行非结晶化，通过热处理对该非结晶化的层进行再结晶化的步骤后，或者使所述硅层外延生长并形成第二硅层的步骤后，在氢中进行热处理的步骤。

27.如权利要求 26 所述的半导体衬底的制造方法，其特征在于，所述氢中的热处理温度在 800℃以上、1200℃以下。

28.如权利要求 9 至 15 中任一项所述的半导体衬底的制造方法，其特征在于，将离子注入到所述第二硅层，并对界面深部进行非结晶化，在通过热处理对该非结晶化的层进行再结晶化的步骤后，对硅层的表面进行平坦化。

29.如权利要求 28 所述的半导体衬底的制造方法，其特征在于，对所述硅层的表面进行平坦化的方法是化学的/或机械的研磨处理。

30.如权利要求 9 至 29 中任一项所述的半导体衬底的制造方法，其特征在于，在所述绝缘性衬底上形成第一硅层的步骤是在绝缘性的

衬底上使第一硅层外延生长的步骤。

31.如权利要求 9 至 30 中任一项所述的半导体衬底的制造方法，其特征在于，所述绝缘性的衬底是单晶氧化物衬底。

32.如权利要求 31 所述的半导体衬底的制造方法，其特征在于，所述绝缘性的衬底是蓝宝石衬底。

33.如权利要求 9 至 30 中任一项所述的半导体衬底的制造方法，其特征在于，所述绝缘性的衬底是在作为衬底的硅衬底上叠置的结晶性的氧化物层或氟化物层构成的层积衬底。

34.如权利要求 33 所述的半导体衬底的制造方法，其特征在于，所述结晶性的氧化物层由α-Al_2O_3、γ-Al_2O_3、θ-Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}、Y_x)O_y$、Pb（Zr、Ti）O_3、$LiTaO_3$、$LiNbO_3$的某一个组成，所述结晶性氟化物层由 CaF_2 构成。

35.一种半导体衬底，其特征在于，由权利要求 9 至 34 中任一项所述的制造方法制造。

36.如权利要求 1 至 8 中任一项所述的半导体衬底，其特征在于，由权利要求 9 至 34 中任一项所述的制造方法制造。

37.一种半导体器件，使用半导体衬底作为衬底，其特征在于，使用权利要求 1 至 8 中任一项所述的半导体衬底作为所述半导体衬底，由此来提高器件特性。

38.如权利要求 37 所述的半导体器件，其特征在于，所述半导体器件为 MOSFET，通过使用权利要求 1 至 8 中的任一项所述的半导体衬底作为所述半导体衬底来提高的器件特性是互电导、截止频率、闪烁噪声、静电放电、漏极耐压、绝缘破坏电荷量、漏电流特性中的至少一个。

39.如权利要求 38 所述的半导体器件，其特征在于，所述 MOSFET 具有这样的特性：作为其半导体衬底是权利要求 1 至 8 中的任何一项所述的半导体衬底，是在结晶硅层的厚度在 0.3μm 以上、0.7μm 以下的半导体衬底上形成的 MOSFET，在电流-电压特性上未呈现弯折，栅极长度 0.8μm 情况下的漏极耐压为 7V 以上，表示闪烁噪声的输入

栅电压频谱密度在测定频率 100Hz 时在 $3\times10^{-12}V^2/Hz$ 以下。

40.如权利要求 37 所述的半导体器件，其特征在于，所述半导体器件是双极晶体管，通过使用权利要求 1 至 8 中的任何一项所述的半导体衬底作为其半导体衬底而提高的器件特性是相互电导、截止频率、集电极电流、漏电流、电流增益中的至少之一。

41.如权利要求 37 所述的半导体器件，其特征在于，所述半导体器件是二极管，通过使用权利要求 1 至 8 中的任何一项所述的半导体衬底作为其半导体衬底而提高的器件特性是反向偏置漏电流、正向偏置电流、二极管因子中的至少之一。

42.如权利要求 41 所述的半导体器件，其特征在于，所述二极管具有这样的特性：作为其半导体衬底是权利要求 1 至 8 项的任何一项所述的半导体衬底，是在结晶硅层的厚度在 0.3μm 以上、0.7μm 以下的半导体衬底上形成的 pin 光电二极管，pin 区域的宽度各为 1μm，在施加 2V 的反向偏置的条件下测定的暗电流在 $10^{-11}A$ 以下，在波长 850nm、强度为 $1W/cm^2$ 的光照射下的光电流在 $10^{-10}A$ 以上。

43.如权利要求 37 所述的半导体器件，其特征在于，所述半导体器件是半导体集成电路，通过使用权利要求 1 至 8 中的任何一项所述的半导体衬底作为其半导体衬底而提高的器件特性是频率特性、噪声特性、放大特性、功率消耗特性中的至少之一。

44.一种半导体器件，其特征在于，具有半导体衬底，所述半导体衬底，是所述权利要求 9 至 34 中的任何一项所述的制造方法制造的半导体衬底，由此来提高器件特性。

45.如权利要求 44 所述的半导体器件，其特征在于，所述半导体器件是 MOSFET，所述器件特性是互电导、截止频率、闪烁噪声、静电放电、漏极耐压、绝缘破坏电荷量、漏电流特性中的至少之一。

46.如权利要求 45 所述的半导体器件，其特征在于，所述 MOSFET 具有这样的特性：其半导体衬底是按照权利要求 9 至 34 中的任何一项所述的制造方法制造的半导体衬底，是在结晶硅层的厚度在 0.3μm 以上、0.7μm 以下的半导体衬底上形成的 MOSFET，在电流-电压特性

上未呈现弯折，栅极长度 0.8μm 情况下的漏极耐压为 7V 以上，表示闪烁噪声的输入栅电压频谱密度在测定频率 100Hz 时在 $3\times10^{-12}V^2$ 以下。

47.如权利要求 44 所述的半导体器件，其特征在于，所述半导体器件是双极晶体管，所述器件特性是互电导、截止频率、集电极电流、漏电流、电流增益中的至少之一。

48.如权利要求 44 所述的半导体器件，其特征在于，所述半导体器件是二极管，所述器件特性是反向偏置漏电流、正向偏置电流、二极管因子中的至少之一。

49.如权利要求 48 所述的半导体器件，其特征在于，所述二极管具有这样的特性：其半导体衬底是按照权利要求 9 至 34 中的任何一项所述的制造方法制造的半导体衬底，是在结晶硅层的厚度在 0.3μm 以上、0.7μm 以下的半导体衬底上形成的 pin 光电二极管，pin 区域的宽度各为 1μm，在施加 2V 的反向偏置的条件下测定的暗电流在 $10^{-11}A$ 以下，在波长 850nm、强度为 $1W/cm^2$ 的光照射下的光电流在 $10^{-10}A$ 以上。

50.如权利要求 44 所述的半导体器件，其特征在于，所述半导体器件是半导体集成电路，所述器件特性是频率特性、噪声特性、放大特性、功率消耗特性中的至少之一。

51.一种半导体器件的制造方法，在绝缘性的衬底和在其上形成的硅层组成的半导体衬底上制造半导体器件，其特征在于，包括：

（a）在所述绝缘性衬底上形成第一硅层的步骤；

（b）将第一离子注入到所述第一硅层，将界面深部进行非晶化，通过第一热处理使该非晶化的层再结晶的步骤；

（c）在第一硅层上使硅层外延生长，形成第二硅层的步骤；

（d）将第二离子注入到所述第二硅层，将界面深部进行非晶化，通过第二热处理使该非晶化的层再结晶的步骤；以及

（e）在氧化性气氛中对所述步骤（d）中形成的硅层进行热处理而使表面侧的一部分氧化后，通过腐蚀来除去形成的氧化硅膜，将所

述硅层调整到期望的厚度的步骤。

52.一种半导体器件的制造方法，在绝缘性的衬底和在其上形成的硅层组成的半导体衬底上制造半导体器件，其特征在于，包括：

（a）在所述绝缘性衬底上形成第一硅层的步骤；

（b）将第一离子注入到所述第一硅层，将界面深部进行非晶化，通过第一热处理使该非晶化的层再结晶的步骤；

（c）在氧化性气氛中对所述再结晶化的第一硅层进行热处理，对表面侧的一部分进行氧化的步骤；

（d）通过腐蚀来除去所述步骤（c）中形成的氧化硅膜的步骤；

（e）在残留的第一硅层上使硅层外延生长，形成第二硅层的步骤；

（f）将第二离子注入到所述第二硅层，将界面深部进行非晶化，通过第二热处理使该非晶化的层再结晶的步骤；以及

（g）在氧化性气氛中对所述步骤（f）中形成的硅层进行热处理而使表面侧的一部分氧化后，通过腐蚀来除去形成的氧化硅膜，将所述硅层调整到期望的厚度的步骤。

53.如权利要求 52 所述的半导体器件的制造方法，其特征在于，在所述残留的第一硅层为规定的厚度时，将所述步骤（c）~（d）重复进行 2 次以上。

54.如权利要求 52 至 53 中的任何一项所述的半导体器件的制造方法，其特征在于，将所述步骤（f）中形成的硅层看成所述步骤（b）中形成的再结晶的第一硅层，将所述步骤（c）~（f）重复进行 2 次以上。

55.一种半导体器件的制造方法，在绝缘性的衬底和在其上形成的硅层组成的半导体衬底上制造半导体器件，其特征在于，包括：

（a）在所述绝缘性衬底上形成第一硅层的步骤；

（b）在氧化性气氛中对所述第一硅层进行热处理，对表面侧的一部分进行氧化的步骤；

（c）通过腐蚀来除去所述步骤（b）中形成的氧化硅膜的步骤；

（d）在残留的第一硅层上使硅层外延生长，形成第二硅层的步骤；

（e）将离子注入到所述第二硅层，将界面深部进行非晶化，通过热处理使该非晶化的层再结晶的步骤；以及

（f）在氧化性气氛中对所述步骤（e）形成的硅层进行热处理，使表面侧的一部分氧化后，通过腐蚀来除去形成的氧化硅膜，将所述硅层调整到期望的厚度的步骤。

56.如权利要求 55 所述的半导体器件的制造方法，其特征在于，在以所述残留的第一硅层为规定的厚度时，将所述步骤（b）~（c）重复进行 2 次以上。

57.如权利要求 55 至 56 中的任何一项所述的半导体器件的制造方法，其特征在于，将所述步骤（e）中形成的硅层看成所述步骤（a）中形成的再结晶的第一硅层，将所述步骤（b）~（e）重复进行 2 次以上。

58.如权利要求 51 至 57 中的任何一项所述的半导体器件的制造方法，其特征在于，将离子注入到所述第二硅层，将界面深部进行非结晶化，在通过热处理来将该非结晶化的层进行再结晶的步骤后、或在使所述硅层外延生长并形成第二硅层的步骤后，还有在氢中进行热处理的步骤。

59.如权利要求 51 至 57 中的任何一项所述的半导体器件的制造方法，其特征在于，将离子注入到所述第二硅层，将界面深部进行非结晶化，在通过热处理使该非结晶化的层进行再结晶的步骤后，通过化学的和/或机械的研磨将硅层的表面进行平坦化。

说　明　书

半导体衬底及其制造方法、和使用它的半导体器件及其制造方法

本发明涉及绝缘体上硅（SOI）或蓝宝石上硅（SOS）等半导体衬底的制造方法，涉及错位或缺陷少、具有良好表面平坦性的硅层的半导体衬底及其制造方法。此外，本发明涉及在上述半导体衬底上形成的半导体器件及其制造方法。

以往，作为具有在绝缘物上形成单晶硅半导体层结构的衬底材料，已知 SOI 和 SOS 等。再有，在本说明书中，包括所述 SOI 衬底和 SOS 衬底，统称为在绝缘物层上形成单晶硅半导体层的半导体衬底，记为 SOI 衬底。这些衬底材料被广泛地用来制作器件，与通常的硅衬底相比，在以下方面优秀。

（1）因寄生电容降低而高速性良好。

（2）在软误差上强。

（3）没有闩锁.

（4）可以省略阱工艺。

由于实现这些器件上的优点，所以作为 SOI 衬底的制造方法，以往有以下方法。

（1）粘合法：使用热处理或粘结剂将单晶硅衬底粘合在对表面热氧化过的另一单晶硅衬底上后，使用机械研磨或化学腐蚀等将单侧硅层均匀薄膜化的方法。

（2）SIMOX（分离双离子注入氧化物）法：将氧离子注入到硅衬底后，进行热处理，在硅衬底中制作埋入 SiO_2（氧化硅）层的方法。

（3）固相外延生长法：在使硅衬底的表面氧化后，在氧化膜的一部分上开窗口，使硅衬底露出，在其上生长非晶质硅。接着，实施热处理，从与露出的硅连接的部分开始，通过横方向的固相外延生长使非晶质硅层结晶化的方法。

（4）异质外延生长法：在绝缘性的氧化物衬底或硅衬底上沉积结晶性的氧化物或氟化物的层之后，用 CVD 法等在其上生长单晶硅层的方法。

但是，这些方法有长处也有短处，在生产率、品质上仍有问题。例如，在粘合法中，必须将硅衬底本身薄膜化，很难使硅衬底达到 1μm 以下的精度，并且很难均匀地腐蚀或研磨。

此外，SIMOX 法被长期研究，但为了在硅衬底中形成 SiO_2 的埋入氧化膜，必须注入大量的氧离子，在生产率和成本上有问题，并且硅层中的结晶缺陷多，在埋入氧化膜中存在被称为管状的缺陷的问题。

此外，在粘合的 SOI 衬底或 SIMOX 衬底中，在其上制作的元件（例如，场效应晶体管）的急速复原耐压低，在电流电压特性上容易出现弯折，而且因自热容易导致负电导这样的缺点，品质上存在问题。急速复原耐压在元件为 FET（场效应晶体管）的情况下，在作为 FET 工作时，在本体部和漏极部之间的接合部产生的热载流子积蓄到本体部，在漏极部和源极部之间流动的漏极电流激增，意味着耐压下降。导致弯折或热载流子积蓄在本体中。负电导是电压增加而电流减少这样的现象，这是因为绝缘性的衬底的硅氧化物的导热率低，所以随着栅极电压或漏极电压升高，FET 本身发热产生的热进行积蓄，使温度上升，硅层的迁移率下降。

另一方面，作为 SOI 技术的前身，众所周知 SOS 技术。SOS 衬底至今主要使用在必须具备耐放射性的器件方面。SOS 衬底除了寄生电容小等 SOI 衬底的特长之外，由于具有厚的绝缘层，所以还具有通过衬底的噪声小等特长。此外，在 SOS 衬底中，硅层和蓝宝石界面间的载流子的寿命时间短，所以在 FET 工作时，本体部和漏极部之间产生的热载流子立即再结合，难以积蓄到本体部。因此，漏极部和本体部之间流动的电流不激增，耐压不下降。即，急速复原耐压高，不易出现弯折，成为 SOS 衬底的主要特长。而且，由于蓝宝石的导热系数高，所以还具有在 SOS 衬底中难以造成负电导的特征。但是，SOS 衬底存在以下问题：由于在蓝宝石衬底上使硅异质外延生长，因硅层和

蓝宝石衬底（α-Al_2O_3）的晶格常数和热膨胀系数不同，所以有结晶缺陷多和表面粗糙度大的问题。

作为解决它的方法，已知在该硅层上再注入硅离子，使硅层深部非晶化后，通过退火进行再结晶化（USP5416043）。但是，即使使用该方法，如果与块硅进行比较，则结晶缺陷依然高。

此外，作为在硅衬底上使氧化物层或氟化物层等中间层、以及在其上单晶硅层外延生长的 SOI 衬底，例如已知在中间层上使用γ-Al_2O_3的衬底（特开平 1-261300 号），与这些 SOI 衬底同样，期待硅层和中间层之间的界面中的载流子的寿命时间变短，得到与 SOS 同样高的急速复原耐压，难以出现弯折，但依然有因晶格常数和热膨胀系数不同而导致硅层的结晶性降低和表面粗糙度增大的问题。

此外，在这些 SOS 衬底和 SOI 衬底的硅层中，与绝缘性的基底的界面越接近，结晶缺陷密度越高，存在结晶性下降这样的问题。因此，在这些衬底上，例如制作高速、低功率消耗的器件的情况下，在厚度为 0.05~0.3μm 薄的硅层中，包含非常多的结晶缺陷，结晶性也差。

因此，使用蓝宝石衬底的 SOS 衬底和利用硅衬底上沉积的氧化物层或氟化物层这样的中间层的 SOI 衬底，如果与粘合的 SOI 衬底或 SIMOX 衬底进行比较，则硅层的结晶性和表面平坦性差，在这些衬底上例如形成 MOSFET（金属-氧化物-半导体结构场效应晶体管）的情况下，成为闪烁噪声的原因，出现栅氧化膜的耐压下降、有效迁移率和相互电导下降、漏电流增加等，使 FET 的工作性能和可靠性恶化。

作为改善硅层表面平坦性的方法，已知在还原性气氛中加热处理绝缘层是 SiO_2 的粘合 SOI 衬底这样的方法（参照特开平 5-217821 号公报）。但是，根据该方法，平坦性虽提高，但由于硅层的衬底是 SiO_2，所以未发现急速复原耐压的提高。如果考虑器件的可靠性，则急速复原耐压越高越好，在 SOS 衬底、硅衬底上氧化物层或氟化物层等中间层、以及在其上外延生长单晶硅层的 SOI 衬底中，如果可以改善硅层的结晶性和表面平坦性，提高因上述原因造成的器件性能和可靠性，则除了闪烁噪声低、有效迁移率和相互电导高、栅氧化膜耐压高、漏

电流低等特性以外，还可以实现急速复原耐压高、电流电压特性上不出现弯折和负电导这样的在现有 SOI 衬底上不能获得的元件的性能和可靠性。

此外，不但可制作电子器件，而且在 SOS 衬底、硅衬底上氧化物层或氟化物层等的中间层、以及在其上使单晶硅层外延生长的 SOI 衬底中，通过改善硅层的结晶性和表面平坦性，还可以制作以往因漏电流高、载流子再结合速度大、光散射显著等理由而在这些半导体衬底上难以实现的光器件。

本发明的课题是：解决在现有的 SOS 衬底、或硅衬底上沉积氧化物层或氟化物层等中间层，并在其上使硅层外延生长的 SOI 衬底的问题点，提供结晶性和表面粗糙度良好、结晶缺陷密度在深度方向上一样低的 SOI 衬底等的半导体衬底，通过在该衬底上形成半导体器件，实现高速、低闪烁噪声、低漏电流、高急速复原耐压等以往未获得的良好性能和可靠性的电子器件和光器件等的半导体衬底。

在这样的状况下，本发明人发现：在蓝宝石衬底上使硅层生长来制作 SOS 衬底的情况下，或者在硅衬底上作为中间层沉积氧化物层或氟化物层，在其上使硅层生长来制作 SOI 衬底情况等的半导体衬底的制造方法中，在使硅层生长后，将硅离子注入到该硅层，并对硅层深部进行非结晶化后，通过退火来进行再结晶化而改善结晶，然后，通过在其上再次使硅层进行外延生长，可以形成缺陷少、结晶性高的硅层，而且，在将硅离子注入到该硅层，对硅层深部进行非结晶化后，通过退火来进行再结晶化，可以形成缺陷非常少的结晶性高的硅层，从而完成本发明。此外，在进行最初的再结晶化后，在氧化性气氛中进行热处理来对硅层的表面侧的一部分进行氧化，用氢氟酸等腐蚀除去该氧化硅层后，残留缺陷少、取向性高的硅层，然后，以该硅层为薄片层，通过在其上使硅层再次同质外延生长，发现也可以形成缺陷少、结晶性高的硅层。

而且，本发明人发现：例如，在通过上述制造方法制作的、缺陷少、结晶性和表面平坦性良好的半导体衬底上形成 MOSFET 的情况

下，与以往相比，可实现工作速度的提高、闪烁噪声的降低、漏电流的降低等显著的器件特性的提高，能够实现在现有的 SOI 衬底上不能实现的器件，从而完成本发明。

本发明第 1 方面的半导体衬底由绝缘性的衬底和在其上外延生长的结晶硅层构成，所述绝缘性衬底由单晶氧化物衬底、或硅衬底和其上沉积的结晶性的氧化物层或氟化物层组成的层积衬底构成，其特征在于：通过计测浸渍碘系腐蚀液形成的平均单位面积的凹陷数这样的缺陷密度测定方法评价的所述结晶硅层的缺陷密度在整个深度方向上为 7×10^6 个/cm^2 以下，并且该结晶硅层的表面粗糙度为 2nm 以下、0.05nm 以上。

本发明第 2 方面的半导体衬底的特征在于，在所述第 1 方面的半导体衬底中，所述结晶硅层的平行于衬底面的硅（004）峰值的 X 线衍射摆动曲线半幅值为 0.24 度以下、0.03 度以上，并且垂直于衬底面的硅（004）峰值的 X 线衍射摆动曲线半幅值为 0.18 度以下、0.03 度以上。

本发明第 3 方面的半导体衬底的特征在于，在所述第 1 方面的半导体衬底中，所述结晶硅层的垂直于衬底面的硅（040）峰值的 X 线衍射摆动曲线半幅值比平行于衬底面的硅（040）峰值的 X 线衍射摆动曲线半幅值小。

本发明第 4 方面的半导体衬底的特征在于，在所述第 1 方面的半导体衬底中，所述结晶硅层的垂直于衬底面的硅（040）峰值的 X 线衍射摆动曲线半幅值在整个深度方向上大致一定，为 0.18 度以下、0.03 度以上。

本发明第 5 方面的半导体衬底的特征在于，在所述第 1 方面的半导体衬底中，对所述结晶硅层的一部分进行热氧化，在该结晶硅层上形成氧化硅层后，通过电荷泵方法测定的表面能级密度在 3×10^{11}/cm^2 以下、1×10^9/cm^2 以上。

本发明第 6 方面的半导体衬底的特征在于，在所述第 1 方面的半导体衬底中，所述结晶硅层的厚度在 0.03μm 以上、0.7μm 以下。

本发明第 7 方面的半导体衬底的特征在于，在所述第 1 方面的半导体衬底中，所述绝缘性的衬底是所述单晶氧化物衬底，该单晶氧化物衬底是蓝宝石衬底。

本发明第 8 方面的半导体衬底的特征在于，在所述第 1 方面的半导体衬底中，所述绝缘性的衬底是所述层积衬底，在作为该衬底的硅衬底上沉积的结晶性的所述氧化物层由α-Al_2O_3、γ-Al_2O_3、θ-Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}、Y_x)O_y$、$Pb(Zr、Ti)O_3$、$LiTaO_3$、$LiNbO_3$的某一个组成，所述氟化物层由 CaF_2 构成。

此外，本发明的第 9 方面的半导体衬底的制造方法，在绝缘性的衬底上形成缺陷密度低的硅层，其特征在于，包括：

（a）在所述绝缘性衬底上形成第一硅层的步骤；

（b）将第一离子注入到所述第一硅层，将界面深部非结晶化，通过第一热处理使该非结晶化的层进行再结晶的步骤；

（c）在第一硅层上使硅层外延成长，形成第二硅层的步骤；以及

（d）将第二离子注入到所述第二硅层，将界面深部非结晶化，通过第二热处理使该非结晶化的层进行再结晶的步骤。

此外，本发明第 10 方面的半导体衬底的制造方法，在绝缘性的衬底上形成缺陷密度低的硅层，其特征在于，包括：

（a）在所述绝缘性衬底上形成第一硅层的步骤；

（b）将第一离子注入到所述第一硅层，将界面深部非结晶化，通过第一热处理使该非结晶化的层进行再结晶的步骤；

（c）将所述再结晶的第一硅层在氧化性气氛中进行热处理，对表面侧的一部分进行氧化的步骤；

（d）通过腐蚀来除去由所述步骤（c）形成的氧化硅膜的步骤；

（e）在残留的第一硅层上使硅层外延生长，形成第二硅层的步骤；以及

（f）将第二离子注入到所述第二硅层，将界面深部非结晶化，通过第二热处理使该非结晶化的层进行再结晶的步骤。

此外，本发明第 11 方面的半导体衬底的制造方法的特征在于，在

以所述残留的第一硅层为规定的厚度时，将所述步骤（c）~（d）重复进行 2 次以上。

本发明第 12 方面的半导体衬底的制造方法的特征在于，在所述第 10 或第 11 方面的制造方法中，将所述步骤（f）中形成的硅层看作由所述步骤（b）形成的再结晶的第一硅层，将所述步骤（c）~（f）重复进行 2 次以上。

此外，本发明第 13 方面的半导体衬底的制造方法，在绝缘性的衬底上形成缺陷密度低的硅层，其特征在于，包括：

（a）在所述绝缘性衬底上形成第一硅层的步骤；

（b）将所述第一硅层在氧化性气氛中进行热处理，将表面侧的一部分进行氧化的步骤；

（c）通过腐蚀来除去由所述步骤（b）形成的氧化硅膜的步骤；

（d）在残留的第一硅层上使硅层外延生长，形成第二硅层的步骤；以及

（e）将离子注入到所述第二硅层，将界面深部进行非结晶化，通过热处理使该非结晶化的层进行再结晶的步骤。

本发明第 14 方面的半导体衬底的制造方法的特征在于，在所述第 13 方面的制造方法中，在以所述残留的第一硅层为规定的厚度时，将所述步骤（b）~（c）重复进行 2 次以上。

本发明第 15 方面的半导体衬底的制造方法的特征在于，在所述第 13 或第 14 的任何一个制造方法中，将所述步骤（e）中形成的硅层看作由所述步骤（a）形成的第一硅层，将所述步骤（b）~（e）重复进行 2 次以上。

本发明第 16 方面的半导体衬底的制造方法的特征在于，在所述第 10 方面至第 15 方面的任何一个制造方法中，所述氧化性气氛包括氧和氢的混合气体或水蒸汽。

本发明第 17 方面的半导体衬底的制造方法的特征在于，在所述第 10 方面至第 16 方面的任何一个制造方法中，所述氧化性气氛中的热处理温度为 600℃以上、1300℃以下。

本发明第 18 方面的半导体衬底的制造方法的特征在于，在所述第 10 方面至第 16 方面的任何一个的制造方法中，所述氧化性气氛中的热处理由用高温进行的高温热处理、接着用低温进行的低温热处理这样的改变温度的两级热处理构成。

本发明第 19 方面的半导体衬底的制造方法的特征在于，在所述第 18 方面所述的半导体衬底的制造方法中，所述氧化性气氛中的高温热处理的温度为 800℃以上、1200℃以下，而所述氧化性气氛中的低温热处理的温度为 700℃以上、1100℃以下。

本发明第 20 方面的半导体衬底的制造方法的特征在于，在所述第 9 方面至第 15 方面的任何一个制造方法中，在所述第一硅层上使硅层外延生长，形成第二硅层的温度为 550℃以上、1050℃以下。

本发明第 21 方面的半导体衬底的制造方法的特征在于，在所述第 9 方面至第 15 方面的任何一个制造方法中，在所述第一硅层上使硅层外延生长，在形成第二硅层的步骤前，将该第一硅层在氢气氛中或真空中进行加热处理。

本发明第 22 方面的半导体衬底的制造方法的特征在于，在所述第 9 方面至第 15 方面的任何一个制造方法中，在所述第一硅层上使硅层外延生长，使形成第二硅层时使用的装置的生长室的基本压力为 10^{-7}Torr 以下。

本发明第 23 方面的半导体衬底的制造方法的特征在于，在所述第 9 方面至第 15 方面的任何一个制造方法中，在所述第一硅层上使硅层外延生长，形成第二硅层的方法是 UHV-CVD 方法或 MBE 方法。

本发明第 24 方面的半导体衬底的制造方法的特征在于，在所述第 9 方面至第 15 方面的任何一个制造方法中，在所述第一硅层上使硅层外延生长，在形成第二硅层时，仅在生长初期将生长温度提高设定。

本发明第 25 方面的半导体衬底的制造方法的特征在于，在所述第 24 方面所述的半导体衬底的制造方法中，在所述第一硅层上使硅层外延生长，形成第二硅层的方法是 APCVD 方法或 LPCVD 方法。

本发明第 26 方面的半导体衬底的制造方法的特征在于，在所述第

9 方面至第 15 方面的任何一个制造方法中，将离子注入到所述第二硅层，将界面深部进行非结晶化，通过热处理对该非结晶化的层进行再结晶化的步骤后，或者使所述硅层外延生长并形成第二硅层的步骤后，有在氢中进行热处理的步骤。

本发明第 27 方面的半导体衬底的制造方法的特征在于，在所述第 26 方面的制造方法中，所述氢中的热处理温度在 800℃以上、1200℃以下。

本发明第 28 方面的半导体衬底的制造方法的特征在于，在所述第 9 方面至第 15 方面的任何一个制造方法中，将离子注入到所述第二硅层，并对界面深部进行非结晶化，在通过热处理对该非结晶化的层进行再结晶化的步骤后，对硅层的表面进行平坦化。

本发明第 29 方面的半导体衬底的制造方法的特征在于，在所述第 28 方面所述的制造方法中，对所述硅层的表面进行平坦化的方法是化学的/或机械的研磨处理。

本发明第 30 方面的半导体衬底的制造方法的特征在于，在所述第 9 方面至第 29 方面的任何一个制造方法中，在所述绝缘性衬底上形成第一硅层的步骤是在绝缘性的衬底上使第一硅层外延生长的步骤。

本发明第 31 方面的半导体衬底的制造方法的特征在于，在所述第 9 方面至第 30 方面的任何一个制造方法中，所述绝缘性的衬底是单晶氧化物衬底。

本发明第 32 方面的半导体衬底的制造方法的特征在于，在所述第 31 方面所述的制造方法中，所述绝缘性的衬底是蓝宝石衬底。

本发明第 33 方面的半导体衬底的制造方法的特征在于，在所述第 9 方面至第 30 方面的任何一个制造方法中，所述绝缘性的衬底是在作为衬底的硅衬底上沉积的结晶性的氧化物层或氟化物层构成的层积衬底。

本发明第 34 方面的半导体衬底的制造方法的特征在于，在所述第 33 方面所述的制造方法中，所述结晶性的氧化物层由α-Al_2O_3、γ-Al_2O_3、θ-Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、（Zr_{1-x}、Y_x）O_y、Pb

（Zr、Ti）O_3、$LiTaO_3$、$LiNbO_3$的某一个组成，所述氟化物层由CaF_2构成。

此外，本发明第35方面的半导体衬底的特征在于，由所述第9方面至第34方面的任一项所述的制造方法来制造。

本发明第36方面的半导体衬底的特征在于，在所述第1方面至第8方面的任一项所述的半导体衬底中，由所述第9方面至第34方面的任一项所述的制造方法制造。

此外，本发明第37方面的半导体器件使用半导体衬底作为衬底，其特征在于，使用第1方面至第8方面的任一项所述的半导体衬底，由此来提高器件特性。

本发明第38方面的半导体器件的特征在于，在所述第37方面所述的半导体器件中，所述半导体器件为MOSFET，通过使用权利要求1至8的任一项所述的半导体衬底作为所述半导体衬底来提高的器件特性是互电导、截止频率、闪烁噪声、静电放电、漏极耐压、绝缘破坏电荷量、漏电流特性中的至少一个。

本发明第39方面的半导体器件的特征在于，在所述第38方面所述的半导体器件中，所述MOSFET具有这样的特性：作为其半导体衬底是权利要求1至8的任何一项所述的半导体衬底，是在结晶硅层的厚度在0.3μm以上、0.7μm以下的半导体衬底上形成的MOSFET，在电流-电压特性上未呈现弯折，栅极长度0.8μm情况下的漏极耐压为7V以上，表示闪烁噪声的输入栅电压频谱密度在测定频率100Hz时在$3\times10^{-12}V^2/Hz$以下。

本发明第40方面的半导体器件的特征在于，在所述第37方面所述的半导体器件中，所述半导体器件是双极晶体管，通过使用权利要求1至8项的任何一项所述的半导体衬底作为其半导体衬底而提高的器件特性是互电导、截止频率、集电极电流、漏电流、电流增益中的至少之一。

本发明第41方面的半导体器件的特征在于，在所述第37方面所述的半导体器件中，所述半导体器件是二极管，通过使用权利要求1

至 8 的任何一项所述的半导体衬底作为其半导体衬底而提高的器件特性是反向偏置漏电流、正向偏置电流、二极管因子中的至少之一。

本发明第 42 方面的半导体器件的特征在于，在所述第 41 方面所述的半导体器件中，所述二极管具有这样的特性：作为其半导体衬底是权利要求 1 至 8 项的任何一项所述的半导体衬底，是在结晶硅层的厚度在 0.3μm 以上、0.7μm 以下的半导体衬底上形成的 pin 光电二极管，pin 区域的宽度各为 1μm，在施加 2V 的反向偏置的条件下测定的暗电流在 10^{-11}A 以下，在波长 850nm、强度为 1W/cm^2 的光照射下的光电流在 10^{-10}A 以上。

本发明第 43 方面的半导体器件的特征在于，在所述第 37 方面所述的半导体器件中，所述半导体器件是半导体集成电路，通过使用权利要求 1 至 8 的任何一项所述的半导体衬底作为其半导体衬底而提高的器件特性是频率特性、噪声特性、放大特性、功率消耗特性中的至少之一。

此外，本发明第 44 方面的半导体器件的特征在于，是使用半导体衬底作为衬底的半导体器件，作为所述半导体衬底，所以按照所述权利要求 9 至 34 的任何一项所述的制造方法制造的半导体衬底，由此来提高器件特性。

本发明第 45 方面的半导体器件的特征在于，在所述第 44 方面所述的半导体器件中，所述半导体器件是 MOSFET，所述器件特性是互电导、截止频率、闪烁噪声、静电放电、漏极耐压、绝缘破坏电荷量、漏电流特性中的至少之一。

本发明第 46 方面的半导体器件的特征在于，在所述第 45 方面所述的半导体器件中，所述 MOSFET 具有这样的特性：作为其半导体衬底是按照权利要求 9 至 34 的任何一项所述的制造方法制造的半导体衬底，是在结晶硅层的厚度在 0.3μm 以上、0.7μm 以下的半导体衬底上形成的 MOSFET，在电流-电压特性上未呈现弯折，栅极长度 0.8μm 情况下的漏极耐压为 7V 以上，表示闪烁噪声的输入栅电压频谱密度在测定频率 100Hz 时在 3×10^{-12}V^2/Hz 以下。

本发明第 47 方面的半导体器件的特征在于，在所述第 44 方面所述的半导体器件中，所述半导体器件是双极晶体管，所述器件特性是相互电导、截止频率、集电极电流、漏电流、电流增益中的至少之一。

本发明第 48 方面的半导体器件的特征在于，在所述第 44 方面所述的半导体器件中，所述半导体器件是二极管，所述器件特性是反向偏置漏电流、正向偏置电流、二极管因子中的至少之一。

本发明第 49 方面的半导体器件的特征在于，在所述第 48 方面所述的半导体器件中，所述二极管具有这样的特性：作为其半导体衬底是按照权利要求 9 至 34 的任何一项所述的制造方法制造的半导体衬底，是在结晶硅层的厚度在 0.3μm 以上、0.7μm 以下的半导体衬底上形成的 pin 光电二极管，pin 区域的宽度各为 1μm，在施加 2V 的反向偏置的条件下测定的暗电流在 10^{-11}A 以下，在波长 850nm、强度为 1W/cm^2 的光照射下的光电流在 10^{-10}A 以上。

本发明第 50 方面的半导体器件的特征在于，在所述第 44 方面所述的半导体器件中，所述半导体器件是半导体集成电路，所述器件特性是频率特性、噪声特性、放大特性、功率消耗特性中的至少之一。

此外，本发明第 51 方面的半导体器件的制造方法，在绝缘性的衬底和在其上形成的硅层组成的半导体衬底上制造半导体器件，其特征在于，包括：

（a）在所述绝缘性衬底上形成第一硅层的步骤；

（b）将第一离子注入到所述第一硅层，将界面深部进行非晶化，通过第一热处理使该非晶化的层再结晶的步骤；

（c）在第一硅层上使硅层外延生长，形成第二硅层的步骤；

（d）将第二离子注入到所述第二硅层，将界面深部进行非晶化，通过第二热处理使该非晶化的层再结晶的步骤；以及

（e）在氧化性气氛中对所述步骤（d）中形成的硅层进行热处理而使表面侧的一部分氧化后，通过腐蚀来除去形成的氧化硅膜，将所述硅层调整到期望的厚度的步骤。

此外，本发明第 52 方面的半导体器件的制造方法，在绝缘性的衬

底和在其上形成的硅层组成的半导体衬底上制造半导体器件，其特征在于，包括:

（a）在所述绝缘性衬底上形成第一硅层的步骤;

（b）将第一离子注入到所述第一硅层，将界面深部进行非晶化，通过第一热处理使该非晶化的层再结晶的步骤;

（c）在氧化性气氛中对所述再结晶化的第一硅层进行热处理，对表面侧的一部分进行氧化的步骤;

（d）通过腐蚀来除去所述步骤（c）中形成的氧化硅膜的步骤;

（e）在残留的第一硅层上使硅层外延生长，形成第二硅层的步骤;

（f）将第二离子注入到所述第二硅层，将界面深部进行非晶化，通过第二热处理使该非晶化的层再结晶的步骤；以及

（g）在氧化性气氛中对所述步骤（f）中形成的硅层进行热处理而使表面侧的一部分氧化后，通过腐蚀来除去形成的氧化硅膜，将所述硅层调整到期望的厚度的步骤。

本发明第 53 方面的半导体器件的制造方法的特征在于，在所述第 52 方面的半导体器件的制造方法中，在以所述残留的第一硅层为规定的厚度时，将所述步骤（c）~（d）重复进行 2 次以上。

本发明第 54 方面的半导体器件的制造方法的特征在于，在所述第 52 方面至第 53 方面的半导体器件的制造方法中，将所述步骤（f）中形成的硅层看成所述步骤（b）中形成的再结晶的第一硅层，将所述步骤（c）~（f）重复进行 2 次以上。

此外，本发明第 55 方面的半导体器件的制造方法，在绝缘性的衬底和在其上形成的硅层组成的半导体衬底上制造半导体器件，其特征在于，包括:

（a）在所述绝缘性衬底上形成第一硅层的步骤;

（b）在氧化性气氛中对所述第一硅层进行热处理，对表面侧的一部分进行氧化的步骤;

（c）通过腐蚀来除去所述步骤（b）中形成的氧化硅膜的步骤;

（d）在残留的第一硅层上使硅层外延生长，形成第二硅层的步骤;

（e）将离子注入到所述第二硅层，将界面深部进行非晶化，通过热处理使该非晶化的层再结晶的步骤；以及

（f）在氧化性气氛中对所述步骤（e）形成的硅层进行热处理，使表面侧的一部分氧化后，通过腐蚀来除去形成的氧化硅膜，将所述硅层调整到期望的厚度的步骤。

本发明第 56 方面的半导体器件的制造方法的特征在于，在所述第 55 方面的制造方法中，在以所述残留的第一硅层为规定的厚度时，将所述步骤（b）~（c）重复进行 2 次以上。

本发明第 57 方面的半导体器件的制造方法的特征在于，在所述第 55 方面或第 56 方面的任何一个所述的半导体器件的制造方法中，将所述步骤（e）中形成的硅层看成所述步骤（a）中形成的再结晶的第一硅层，将所述步骤（b）~（e）重复进行 2 次以上。

本发明第 58 方面的半导体器件的制造方法的特征在于，在所述第 51 方面至第 57 方面的任何一个的制造方法中，将离子注入到所述第二硅层，将界面深部进行非结晶化，在通过热处理来将该非结晶化的层进行再结晶的步骤后、或在使所述硅层外延生长并形成第二硅层的步骤后，还有在氢中进行热处理的步骤。

本发明第 59 方面的半导体器件的制造方法的特征在于，在所述第 51 方面至第 57 方面的任何一个的制造方法中，将离子注入到所述第二硅层，将界面深部进行非结晶化，在通过热处理使该非结晶化的层进行再结晶的步骤后，通过化学的和/或机械的研磨将硅层的表面进行平坦化。

附图的简单说明

图 1A 至图 1H 表示本发明第 10 方面所述的本发明的半导体衬底的制作步骤的制作步骤中的 SOS 衬底的剖面图；

图 2 是本发明的实施例 1 和比较例 1 中制作的 SOS 衬底的硅层的平行于衬底面的硅（004）峰值和垂直于衬底面的垂直的硅（040）峰值的 X 线衍射摆动曲线图；

图 3 表示本发明实施例 1 和比较例 1 中制作的 SOS 衬底的硅层的垂直于衬底面的硅（040）峰值的 X 线衍射摆动曲线半幅值的深度方向的变化曲线；

图 4 是使用本发明实施例 1 中制作的 SOS 衬底制作的 MOSFET 的剖面结构图；

图 5 是表示使用本发明实施例 1 中制作的 SOS 衬底和比较例 2 的市场销售的粘合 SOI 衬底制作的 NMOSFET 的电流-电压特性的图；

图 6 是表示使用本发明实施例 1 和比较例 1 制作的 SOS 衬底制作的 NMOSFET 的闪烁噪声特性的图；

图 7 是使用本发明实施例 1 制作的 SOS 衬底制作的 pin 光电二极管的剖面结构图。

实施发明的最好形态

以下，详细说明本发明。

作为本发明中的绝缘性衬底，使用在蓝宝石等单晶氧化物衬底、或作为衬底的硅衬底上沉积的α-Al_2O_3、γ-Al_2O_3、θ-Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}、Y_x)O_y$、Pb（Zr、Ti）O_3、$LiTaO_3$、$LiNbO_3$等的结晶性氧化物层或CaF_2等的结晶性氟化物层。此外，在本发明中，作为绝缘性的衬底，可采用非晶质的材料，例如玻璃衬底、或作为衬底的硅衬底上的 SiO_2 等。在本发明中，没有特别限制在硅衬底上生长氧化物层或氟化物层的方法，通常使用减压化学气相生长法（LPCVD 法）、超高真空化学气相生长法（UHV-CVD 法）、分子线外延生长法（MBE 法）、溅射法、激光 MBE 法等。在 SiO_2 的情况下，也可以将硅衬底在氧化性气氛中进行热氧化处理。

图 1 表示本发明第 10 方面所述的发明产生的具体半导体衬底的 SOS 衬底的制作步骤图。

在本发明中，首先，在蓝宝石衬底 1 上使第 1 硅层 2 外延生长（a），作为其生长方法，采用常压化学气相法（APCVD 法）、降压化学气相法（LPCVD 法）、超高真空化学气相法（UHV-CVD 法）、分子线外延生长法（MBE 法）、电子束（EB）镀敷法等。外延生长法特别好。

此时，第 1 硅层的厚度没有特别限制，例如 0.03μm 至 1μm 的范围是实用的。

在使第 1 硅层 2 外延生长后，注入作为第 1 离子注入的硅离子，对其深部 3 进行非晶化（b），进行第 1 热处理的退火处理，形成从表层再结晶化的硅层 4（c）。硅离子注入条件因硅层的膜厚而改变，但从绝缘性衬底的界面以 80%左右的硅层被非晶化的条件进行离子注入较好。再结晶化时的退火在 500℃至 1000℃范围中氮气氛或氧化性气氛或氮气氛下热处理后，在氧化性气氛中热处理的步骤较好。再结晶时，为了减小因硅层和绝缘性的衬底之间热膨胀率不同造成的热应力的影响，首先在比较低的温度下进行退火，然后，接着进行高温下的退火这样的改变温度的两阶段退火较好。接着，在氧化性气氛中对再结晶化过的硅层 4 进行热处理，在表面上形成硅氧化物层 5（d），但经过该热处理，导致原子的再排列，大多生成在外延生长后的第 1 硅层中就可以，降低因界面的晶格不匹配造成的错位或积层缺陷，消除取向性的不同部分。

在本发明中，氧化性气氛中的热处理温度在 500℃以上、1350℃以下，在 600℃以上、1300℃以下更好。如果温度过低，原子的再排列效果变小，另一方面，如果温度过高，则存在衬底构成元素扩散侵入到硅层中的问题。此外，在氧化性气氛中的热处理温度高的情况下，在硅层中生成施主性的缺陷，例如，导致 MOSFET 的工作开始电压上的问题，即产生阈值电压的偏差，所以在高温下进行氧化性气氛中的热处理的高温热处理后，接着，在低温下进行氧化性气氛中的热处理的低温热处理这样的改变温度的两阶段热处理，在本发明的半导体衬底上，可以形成可靠性更高的半导体器件。在进行改变温度的两阶段的热处理情况下，高温热处理的优选温度是 800℃以上、1200℃以下，而低温热处理的优选温度是 700℃以上、1100℃以下。

此外，就热处理的气氛来说，如果是氧化性气氛，则没有特别限制，通常使用 O_2、O_2+H_2、H_2O、N_2O 等氧化性气体，或用 N_2、Ar 等不活泼气体来稀释这些氧化性气体的气体气氛。但是，在 O_2+H_2 混

合气体或包含 H_2O 气体的情况下，就降低结晶缺陷和通过结晶性等而言，可获得更大的效果，所以较好。这是因为在氧化性气氛中的热处理时，除了原子的再排列效果以外，在硅层被氧化而形成硅氧化物层时，在硅层的表面附近生成晶格间硅原子，这些原子扩散到硅层中，通过填入硅空孔，而具有消除层积缺陷等效果，在热处理气氛是 O_2+H_2 混合气体或包含 H_2O 气体的情况下，硅层表面附近的晶格间硅原子的生成速度增大，所以对于降低结晶缺陷和提高结晶性来说，估计可获得更大的效果。

接着，通过氢氟酸或缓冲氢氟酸（BHF）等来腐蚀除去硅氧化物层 5（e）。这里，在将第 1 硅层残留到规定的厚度时，将硅层 4 在氧化性气氛中进行热处理，在表面上形成硅氧化物层 5 的步骤（d）后，将腐蚀除去硅氧化物层 5 的步骤（e）重复进行 2 次以上后，氧化性气体与硅层的表面接触的机会增加，硅层表面附近的晶格之间硅原子的生成速度变大，所以与上述同样，在结晶缺陷降低和结晶性提高等方面可以获得更大的效果。

然后，以残留的硅层 6 作为薄片层，在其上再次使硅层 7 同质外延生长（f）。作为此时的生长方法，与第 1 硅层同样，使用 APCVD 法、LPCVD 法、UHV-CVD 法、MBE 法、EB 镀敷法等，但不必是与第 1 硅层 2 相同的方法。该沉积与在单晶硅衬底上沉积硅层的同质外延生长相同，不因晶格常数不同而受影响。除此以外，还有可以降低生长温度的效果，与以往的异质外延生长产生的硅层比较，结晶性和表面平坦性被改善。在使硅层 7 同质外延生长说，在生长初期，在薄片层表面上不存在并且不生成阻碍硅的外延生长的硅氧化物层很重要。因此，在生长气氛中水分和氧非常少较好，作为生长方法，如 UHV-CVD 法、MBE 法等那样，在不供给原料的状态下的基本压力在 10^{-7}Torr，在超高真空气氛下来生长硅层的方法较好。

此外，在进行硅层 7 的同质外延生长之前，为了除去薄片层 6 上的自然氧化膜和化学氧化物，进行氢气氛中或真空中的加热处理就可以。

就进行硅层 7 的外延生长的温度来说，通常在 400℃以上、2000℃以下，在 550℃以上、1050℃以下更好。向薄片层的硅氧化物层的生成由生长气氛中的水分和氧的存在量及生长温度来决定，生长气氛中的水分和氧的存在量越少，即使低温也难以生成硅氧化物。因此，在 UHV-CVD 法或 MBE 法这样的超高真空气氛下生长硅层的方法中，可以在比较低的低温下进行外延生长，在该情况下，由于热的应力变小，所以容易获得高品质的结晶硅层。此外，在 APCVD 法或 LPCVD 法等中，在基本压力为 10^{-7}Torr 以上的情况下，在生长初期，为了抑制硅氧化物层的生成，进行提高生长温度、从中途起下降生长温度这样的温度分布，在进行良好的外延生长方面是有效的。

在本发明中，对于用于使硅层 7 同质外延生长的薄片层 6 的厚度没有特别限制，但在 5nm 以上、1μm 以下较好。

接着，将第 2 离子注入的硅离子再次注入到第 2 硅层（6+7）（g），将其深部非晶化，进行第 2 热处理的退火，从表层形成再结晶化的硅层 8（h）。在本发明中，在将硅层非晶化后，在通过第 2 热处理来进行再结晶化时，从硅层表面向绝缘层之间的界面方向推进再结晶化，表面硅层的结晶性越好，再结晶化的硅层的结晶性越高。在通过氧化性气氛中的热处理形成的硅层上外延生长的硅层 7 比第 1 外延硅层的结晶性高，所以在将第 2 硅层非晶化后，通过再结晶化可以形成结晶性高的硅层。在图 1 中，通过将（d）至（h）的步骤重复进行 2 次以上，在降低结晶缺陷密度、提高结晶性、降低表面粗糙度方面，可以达到显著的效果。

在本发明中，对第 1 硅层 2、或上述再结晶化的硅层 8 进行氢气氛中的加热处理后，硅原子从表面迁移而造成结晶的再排列，实现结晶缺陷的降低和表面平坦性的提高，所以较好。如果此时的氢气氛中的加热处理的温度过低，则硅原子的表面迁移产生得不充分，而如果过高，则衬底的构成元素（例如，蓝宝石情况下为 Al）大量扩散侵入到硅层，使硅层的结晶性下降，产生改变载流子密度等的影响，所以在 700℃以上、1300℃以下，在 800℃以上、1200℃以下更好。

此外，加热处理时的氢的分压可以在 1Torr 至 760Torr 的范围内选择，但这种情况下，作为调整分压的方法，可以通过真空泵来抽真空，也可以使用不活泼气体来稀释。

在氢中进行加热处理的时间可以任意选择，但从 2 分钟至 5 小时较好，从 5 分钟至 3 小时更好。

此外，在进行第 2 热处理的退火来再结晶化后，如果对硅层 8 的表面实施平坦化处理，则对器件的性能和可靠性上产生良好的效果。此时，作为平坦化处理的方法，在与上述相同的氢气氛中的加热处理、或化学的和/或机械的研磨处理较好。

作为按照本发明制作的半导体衬底，将在蓝宝石等单晶氧化物衬底、硅衬底和沉积在其上的α-Al_2O_3、γ-Al_2O_3、θ-Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、（Zr_{1-x}、Y_x）O_y、Pb（Zr、Ti）O_3、$LiTaO_3$、$LiNbO_3$等的结晶性氧化物层、或 CaF_2 等的结晶性氟化物层构成的层积衬底等作为绝缘性衬底的 SOI 衬底浸渍到混合 I_2、KI、HF、甲醇、水的腐蚀液中，形成凹陷后，如果使用扫描型电子显微镜（SEM），通过测定平均单位面积的凹陷数这样的方法来求硅层的结晶缺陷密度，则即使在硅层的厚度为 0.03μm~0.7μm 这样小的情况下，得到整个硅层深度方向上为 7×10^6 个/cm^2 以下的值。

同时，硅层的平行于衬底面的硅（004）峰值的 X 线衍射摆动曲线半幅值为 0.24 度以下、0.03 度以上，并且垂直于衬底面的硅（040）峰值的 X 线衍射摆动曲线半幅值为 0.18 度以下、0.03 度以上，而且，具有比（040）峰值的 X 衍射摆动曲线半幅值小的物性。此外，硅层的垂直于衬底面的硅（040）峰值的 X 线衍射摆动曲线半幅值在整个深度方向上大致一定，呈现 0.18 度以下、0.03 度以上的值。

在本发明中，表面粗糙度用原子间力显微镜来求 10μm×10μm 范围中的均方粗糙度 Rrms，但按照本发明制作的半导体衬底的 SOI 衬底的表面粗糙度都在 2nm 以下。

根据本发明，在蓝宝石等单晶氧化物衬底、作为衬底的硅衬底上沉积的α-Al_2O_3、γ-Al_2O_3、θ-Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、（Zr_{1-x}、

Y_x）O_y、Pb（Zr、Ti）O_3、$LiTaO_3$、$LiNbO_3$ 等的结晶性的氧化物层或 CaF_2 等的结晶性氟化物层上，可以制作结晶缺陷极少、并且表面平坦性良好的硅层，所以在该 SOI 衬底上可以形成具有用以往的相同材料构成的 SOI 衬底不能获得的优良性能的半导体器件。

如方面 51~59 中所述，在制造方法中，作为前面的步骤，通过包括改善作为半导体衬底的 SOI 衬底的结晶性和表面平坦性的衬底高品质化的步骤，来获得本发明的半导体器件，就后面的步骤来说，也可以使用现有的技术。

本发明的半导体器件不受其种类限制，适合 MOSFET、双极晶体管、组合两者的 BiCMOS 晶体管、薄膜晶体管（TFT）、二极管、太阳能电池等所有硅器件。此外，以 MOSFET 为首，也可以是所述器件构成的集成电路。

例如，在 SOS 衬底上形成 MOSFET 的情况下，在本发明中，形成 MOSFET 的硅层的结晶缺陷密度和表面粗糙度小，所以在载流子从沟道迁移时不易散射，有效迁移率和相互电导高。

此外，就闪烁噪声来说，迁移载流子因硅层中的结晶缺陷散射时的迁移率摆动、或通过具有表面粗糙度的硅层与形成在其上的栅氧化膜之间的界面上生成的陷阱，载流子经历捕获和脱离的过程等被认为是主要原因，通过降低硅层的结晶缺陷和表面粗糙度，可以实现低闪烁噪声。

此外，在通过硅层的热氧化来制作构成 MOSFET 的栅氧化膜的情况下，如果象以往那样结晶缺陷密度和表面粗糙度大，则热氧化后的 SiO_2 膜的厚度不均匀，并且在膜中包含针头脱落或不牢固点，所以导致绝缘耐性的下降。在本发明中，由于形成 MOSFET 的硅层的结晶缺陷密度低、表面粗糙度也小，所以热氧化后的 SiO_2 膜的缺陷很少，具有非常高的栅绝缘耐压。

此外，通过降低形成 MOSFET 的硅层的结晶缺陷密度，流经缺陷的电流脉冲少，所以在 MOSFET 为截止状态时，可以降低流过源和漏之间的漏电流，得到高的静电击穿耐压（静电放电）。

此外，如上所述，本发明的 SOI 结构与以往的硅层衬底是 SiO_2 粘合 SOI 衬底 SIMO 衬底相比，MOSFET 的快速恢复耐压不高，但本发明的硅层的结晶缺陷降低，源部和漏部之间的漏电流减少，而且在高温下的热处理中，作为衬底构成元素的 Al 扩散到硅层中，在界面附近形成热载流子的抑制能级，热载流子难以积蓄到本体部，所以得到更高的快速恢复耐压。

在本发明中，在硅层的厚度为 0.03μm 以上、0.7μm 以下的半导体衬底的 SOS 衬底上形成栅极长度为 0.8μm 的 MOSFET 情况下，得到以下特性：在电流-电压特性上为发现弯折，漏极耐压在 7V 以上，表示闪烁噪声的输入栅极电压频谱密度在测定频率 100Hz 时为 $3\times10^{-12}V^2/Hz$。

如上述，在 SOS 衬底上，由具有高性能、高可靠性的 MOSFET 构成的集成电路，在相同的设计规则中，具有工作速度快、低噪声、良好的放大特性、高可靠性等与以往相比非常优良的特性。因此，除了可作为移动通信用高频部件、卫星用 LSI、模拟/数字变换器件（ADC、DAC）、光传输用 LSI、模拟数字混载 LSI 以外，还可以用于各种应用，可以说是非常有用的器件。

此外，在 SOS 衬底上形成双极晶体管的情况下，在本发明中，与 MOSFET 同样，可改善相互电导、截止频率、集电极电流、漏电流、电流增益等特性。

此外，在 SOS 衬底上，形成光电二极管、光导波路、各种图像传感器等光器件的情况下，在本发明中，通过降低形成光器件的硅层的结晶缺陷密度或表面粗糙度，例如，减少流过结晶缺陷电流的脉冲，由于难以造成通过光吸收产生的电子和空穴那样的载流子的再结合，所以在光电二极管或光图像传感器中，不照射光时的暗电流低，而光照射时的光电流高。而且，因结晶缺陷或表面粗糙度造成的光散射少，所以光导波路的传输损失小。

在本发明中，在硅层厚度为 0.3μm 以上、0.7μm 以下的半导体衬底的 SOI 衬底上形成 pin 区域的宽度各为 1μm 的 pin 光电二极管情况

下，得到以下特性：按施加 2V 的反向偏置这样的条件测定的暗电流在 10^{-11}A 以下，在波长 850nm、强度 1W/cm^2 的光照射下的光电流为 10^{-10}A 以上。这样，以往在 SOI 衬底上不能获得实用充分的光电二极管，但按照本发明，可以减少暗电流、增加光电流，可以获得实用的 SOI 衬底上的光电二极管。

以下，示出本发明的实施例和比较例。

（实施例 1）

在 R 面蓝宝石衬底上，以甲硅烷（SiH_4）气体为原料，通过 LPCVD 方法在生长温度 950℃下沉积厚度为 280nm 的第 1 硅层。在该第 1 硅层上，作为第一离子注入，一边将衬底温度保持为 0℃，一边以 1×10^{16}/cm^2 来注入能量为 190keV 的硅离子，对蓝宝石之间的界面侧进行非结晶化。然后，作为第一热处理，在氮气气体气氛下，在温度 550℃下进行 30 分钟的加热处理，接着，在温度 900℃下进行 60 分钟的加热处理，将硅层进行再结晶化。接着，将其导入氧化炉，在 1000℃中进行 60 分钟水蒸汽氧化。然后，在将其浸泡到 BHF 中除去氧化膜后，在 900℃中再次进行 50 分钟水蒸气氧化。除去该氧化膜，但除去后的硅层的膜厚为 100nm。

接着，在残留的硅层上，以甲硅烷为原料，通过 LLPCVD 法，在生长温度 950℃中沉积硅层，形成第 2 硅层。这里，在测定第 2 硅层的总膜厚时，为 280nm。在该第 2 硅层上，作为第 2 离子注入，一边将衬底温度保持为 0℃，一边以 1×10^{16}/cm^2 来注入能量为 190keV 的硅离子，对与蓝宝石之间的界面侧进行非结晶化。然后，作为第 2 热处理，在氮气气体气氛下，在温度 550℃下进行 30 分钟的加热处理，接着，在温度 900℃下进行 60 分钟的加热处理，将硅层进行再结晶化。接着，将其导入氧化炉，在 1000℃中进行 60 分钟水蒸汽氧化。然后，在将其浸泡到 BHF 中除去氧化膜后，在 900℃中再次进行 50 分钟水蒸气氧化。除去该氧化膜后的硅层的膜厚为 100nm。

为了对制作的半导体衬底的 SOS 衬底的结晶性进行评价，在按下述步骤处理来形成腐蚀凹陷后，使用扫描型电子显微镜（SEM）来测

定平均单位面积的凹陷数，求结晶缺陷密度。

（1）在甲醇中对衬底进行超声波清洗。

（2）使用 2%HF 水溶液来除去表面的自然氧化膜。

（3）用纯水进行溢流。

（4）在按 I_2（4g）+KI（12g）+甲醇（40cc）+H_2O（40cc）+HF（3cc）的比例混合的腐蚀液中将衬底浸泡 45 秒。

（5）用纯水溢流后，重复进行前面的（2）、（3）。

其结果，结晶缺陷密度为 5.0×10^6 个/cm^2。

此外，使用高分解能 X 线衍射装置对制作的 SOS 衬底测定平行于衬底的（004）面和垂直于衬底的（040）面的摆动曲线的半幅值。

其结果，得到图 2 所示的曲线，根据该曲线求出的（004）面的半幅值为 0.182 度，（040）面的半幅值为 0.126. 此外，如图 3 所示，（040）面的半幅值在深度方向上一定，结晶性在硅层的深度方向上均匀。

此外，在通过原子间力显微镜测定硅层的表面粗糙度（Rrms）时，为 1.4nm。

接着，在制作的 SOS 衬底上，使用 CMOS 处理来制作栅极宽度为 50 微米、栅极长度为 0.8 微米的 n 型 MOSFET。图 4 表示器件的剖面图。此时，在元件隔离上使用 LOCOS（Local Oxidation：局部氧化），栅极氧化膜的厚度为 8nm. 以 35KeV 能量、6.0×10^{12}/cm^2 将 BF_2^+ 注入到沟道中。

该 n 型 MOSFET 的阈值电压为 0.7V，从图 5 的电流-电压曲线可知，未观察出弯折造成的电流变动。此外，漏极耐压为 7.5V。闪烁噪声特性如图 6 所示，按输入栅极电压频谱密度（Svg）来进行评价，在测定频率为 100Hz、栅极电压为阈值电压+0.3V、漏极电压为 1V 这样的条件来测定时，Svg 为 $1.0\times10^{-12}V^2/Hz$。

此外，通过使用三角波脉冲的频率扫描产生的电荷泵方法来测定界面能级密度 Nss 的结果是 1.1×10^{11}/cm^2。

进而，在制作的 SOS 衬底上制作光电二极管。图 7 表示器件的剖面图。元件在衬底水平方向上按 p-i-n 构造来形成，i 型区域的尺寸为

长度是 75 微米、宽度是 1 微米。以 35KeV 能量、按 $2.0\times10^{15}/cm^2$ 将 As^+注入到 n 型区域。此外，以 35KeV 能量、按 $2.0\times10^{15}/cm^2$ 将 BF_2^+ 注入到 p 型区域。在对 n 型区域施加 2V 的偏置时，暗电流为 $2.7\times10^{-12}A$，波长 850nm 下强度为 $1W/cm^2$ 的光照射下的光电流为 $4.8\times10^{-10}A$。

（比较例 1）

在 R 面蓝宝石衬底上，以甲硅烷气体为原料，通过 LPCVD 法在 950℃下沉积厚度为 280nm 的第 1 硅层。在该第 1 硅层上，一边将该衬底温度保持为 0℃，一边以 $1\times10^{16}/cm^2$ 来注入能量为 190keV 的硅离子，对蓝宝石之间的界面侧进行非结晶化。然后，在氮气气体气氛下，在温度 550℃下进行 30 分钟的加热处理，接着，在温度 900℃下进行 60 分钟的加热处理，将硅层进行再结晶化。接着，将其导入氧化炉，在 1000℃中进行 60 分钟水蒸汽氧化。然后，在将其浸泡到 BHF 中除去氧化膜后，在 900℃中再次进行 50 分钟水蒸气氧化。除去该氧化膜，但除去后的硅层的膜厚为 100nm。

按与实施例 1 相同的方法来测定它的结晶缺陷密度和摆动曲线的半幅值时，结晶缺陷密度为 4.3×10^8 个/cm^2，如图 2 所示，（004）面的半幅值为 0.270 度，（040）面的半幅值为 0.278 度。此外，如图 3 所示，（040）面的半幅值随着靠近硅层和蓝宝石之间的界面而增大。而且，硅层的表面粗糙度（Rrms）为 2.5nm。

与实施例 1 同样，在用该衬底来制作 n 型 MOSFET，测定晶体管特性时，阈值电压为 0.7V，未发现弯折造成的漏极电流的变动，漏极耐压为 7.3V。此外，与实施例 1 同样，在测定闪烁噪声和界面能级密度时，如图 6 所示，Svg 为 $3.2\times10^{-11}V^2/Hz$，Nss 为 $5.0\times10^{11}/cm^2$。

而且，与实施例 1 同样，制作光电二极管，在同样测定暗电流和光电流时，暗电流为 $1.4\times10^{-11}A$，光电流为 $9.2\times10^{-11}A$。

（比较例 2）

使用硅层的膜厚为 100nm 的市场销售的粘合 SOI，按与实施例 1 相同的条件来制作 n 型 MOSFET，评价晶体管特性。阈值电压为 0.7V，但从图 5 的电流-电压曲线可知，可观测出弯折造成的漏极电流的变动。

此时的漏极耐压不到 4.1V。而且，在测定闪烁噪声时，Svg 为 $3.7\times10^{-12}V^2/Hz$。

（实施例 2）

在形成第 2 硅层时，除了以甲硅烷为原料，通过 UHV-CVD 法在生长温度 750℃下沉积硅层以外，与实施例 1 同样，制作 SOS 衬底。

按与实施例 1 相同的方法来测定它的结晶缺陷密度和摆动曲线的半幅值时，结晶缺陷密度为 2.5×10^6 个/cm^2，（004）面的半幅值为 0.167 度，（040）面的半幅值为 0.120 度。（040）面的半幅值在深度方向上一定，结晶性在硅层的深度方向上均匀。此外，硅层的表面粗糙度（Rrms）为 1.0nm。

与实施例 1 同样，在用该衬底来制作 n 型 MOSFET，测定晶体管特性时，阈值电压为 0.7V，未发现弯折造成的漏极电流的变动，漏极耐压为 7.7V。此外，与实施例 1 同样，在测定闪烁噪声和界面能级密度时， 分别是 Svg 为 $9.2\times10^{-13}V^2/Hz$、Nss 为 $7.5\times10^{10}/cm^2$。

而且，与实施例 1 同样，制作光电二极管，在按同样条件测定暗电流和光电流时，分别为 $1.0\times10^{-12}A$ 和 $6.1\times10^{-10}A$。

（实施例 3）

在通过第 1 热处理的再结晶化后，在对硅层进行氧化时，除了在氧气气氛中 1000℃下进行 10 小时的氧化处理来代替 1000℃下进行 60 分钟水蒸气氧化以外，与实施例 1 同样，制作 SOS 衬底。

按与实施例 1 相同的方法来测定它的结晶缺陷密度和摆动曲线的半幅值时，结晶缺陷密度为 6.8×10^6 个/cm^2，（004）面的半幅值为 0.205 度，（040）面的半幅值为 0.140 度。（040）面的半幅值在深度方向上一定，结晶性在硅层的深度方向上均匀。此外，硅层的表面粗糙度（Rrms）为 1.5nm。

与实施例 1 同样，在用该衬底来制作 n 型 MOSFET，测定晶体管特性时，阈值电压为 0.7V，未发现弯折造成的漏极电流的变动，漏极耐压为 7.5V。此外，与实施例 1 同样，在测定闪烁噪声和界面能级密度时，分别是 Svg 为 $2.0\times10^{-12}V^2/Hz$、Nss 为 $1.6\times10^{11}/cm^2$。

而且，与实施例 1 同样，制作光电二极管，在按同样条件测定暗电流和光电流时，分别为 4.0×10^{-12}A 和 4.0×10^{-10}A。

（实施例 4）

在 R 面蓝宝石衬底上，以甲硅烷气体为原料，通过 LPCVD 法在 950℃下沉积厚度为 280nm 的第 1 硅层。在该第 1 硅层上，一边将该衬底温度保持为 0℃，一边以 1×10^{6}/cm^2 来注入能量为 190keV 的硅离子，对蓝宝石之间的界面侧进行非结晶化。然后，在氮气气体气氛下，在温度 550℃下进行 30 分钟的加热处理，接着，在温度 900℃下进行 60 分钟的加热处理，将硅层进行再结晶化。接着，将其导入氧化炉，在 1000℃中进行 6 分钟水蒸汽氧化。在将其浸泡到 BHF 中除去氧化膜后，在 900℃中再次进行 50 分钟水蒸气氧化。除去该氧化膜，但除去后的硅层的膜厚为 200nm。

接着，将其导入氧化炉，在 1000℃中进行 21 分钟水蒸汽氧化。在将其浸泡到 BHF 中除去氧化膜后，在 900℃中再次进行 50 分钟水蒸气氧化。除去该氧化膜，但除去后的硅层的膜厚为 100nm。

接着，在残留的硅层上，以甲硅烷为原料，通过 LLPCVD 法，在生长温度 950℃中沉积硅层，形成第 2 硅层。这里，在测定第 2 硅层的总膜厚时，为 280nm。

在该第 2 硅层上，作为第 2 离子注入，一边将衬底温度保持为 0℃，一边以 1×10^{16}/cm^2 来注入能量为 190keV 的硅离子，对与蓝宝石之间的界面侧进行非结晶化。然后，作为第 2 热处理，在氮气气体气氛下，在温度 550℃下进行 30 分钟的加热处理，接着，在温度 900℃下进行 60 分钟的加热处理，将硅层进行再结晶化。接着，将其导入氧化炉，在 1000℃中进行 6 分钟水蒸汽氧化。在将其浸泡到 BHF 中除去氧化膜后，在 900℃中再次进行 50 分钟水蒸气氧化。除去该氧化膜后的硅层的膜厚为 100nm。

按与实施例 1 相同的方法来测定它的结晶缺陷密度和摆动曲线的半幅值时，结晶缺陷密度为 1.5×10^{6} 个/cm^2，（004）面的半幅值为 0.168 度，（040）面的半幅值为 0.120 度。（040）面的半幅值在深度方向上

一定，结晶性在硅层的深度方向上均匀。此外，硅层的表面粗糙度（Rrms）为 1.3nm。

与实施例 1 同样，在用该衬底来制作 n 型 MOSFET，测定晶体管特性时，阈值电压为 0.7V，未发现弯折造成的漏极电流的变动，漏极耐压为 7.8V。此外，与实施例 1 同样，在测定闪烁噪声和界面能级密度时，分别是 Svg 为 $9.0\times10^{-13}V^2/Hz$、Nss 为 $9.1\times10^{10}/cm^2$。

而且，与实施例 1 同样，制作光电二极管，在同样测定暗电流和光电流时，分别为 $9.3\times10^{-13}A$ 和 $6.5\times10^{-10}A$。

（实施例 5）

通过实施例 1 中的第 2 热处理使硅层进行再结晶化后，除了将其在压力 80Torr 的氢气气氛中 1100℃下进行 30 分钟的热处理以外，与实施例 1 同样，制作 SOS 衬底。

按与实施例 1 相同的方法来测定它的结晶缺陷密度和摆动曲线的半幅值时，结晶缺陷密度为 2.1×10^6 个/cm^2，（004）面的半幅值为 0.165 度，（040）面的半幅值为 0.121 度。（040）面的半幅值在深度方向上一定，结晶性在硅层的深度方向上均匀。此外，硅层的表面粗糙度（Rrms）为 0.7nm。

与实施例 1 同样，在用该衬底来制作 n 型 MOSFET，测定晶体管特性时，阈值电压为 0.7V，未发现弯折造成的漏极电流的变动，漏极耐压为 7.8V。此外，与实施例 1 同样，在测定闪烁噪声和界面能级密度时，分别是 Svg 为 $8.8\times10^{-13}V^2/Hz$、Nss 为 $6.0\times10^{10}/cm^2$。

而且，与实施例 1 同样，制作光电二极管，在同样测定暗电流和光电流时，分别为 $9.6\times10^{-13}A$ 和 $6.0\times10^{-10}A$。

(实施例 6)

作为衬底，除了在硅衬底（100）上以三甲基铝和氧为原料，采用 UHV-CVD 法，在衬底温度 880℃下使用沉积γ-Al_2O_3 的衬底来代替 R 面蓝宝石以外，与实施例 1 同样，制作 SOI 衬底。

按与实施例 1 相同的方法来测定它的结晶缺陷密度和摆动曲线的半幅值时，结晶缺陷密度为 6.7×10^6 个/cm^2，（004）面的半幅值为 0.202

度，（040）面的半幅值为 0.143 度。（040）面的半幅值在深度方向上一定，结晶性在硅层的深度方向上均匀。此外，硅层的表面粗糙度（Rrms）为 1.5nm。

与实施例 1 同样，在用该衬底来制作 n 型 MOSFET，测定晶体管特性时，阈值电压为 0.7V，未发现弯折造成的漏极电流的变动，漏极耐压为 7.3V。此外，与实施例 1 同样，在测定闪烁噪声和界面能级密度时，分别是 Svg 为 $1.8\times10^{-12}V^2/Hz$、Nss 为 $1.5\times10^{11}/cm^2$。

而且，与实施例 1 同样，制作光电二极管，在同样测定暗电流和光电流时，分别为 $3.9\times10^{-12}A$ 和 $3.8\times10^{-10}A$。

（比较例 3）

作为衬底，除了在硅衬底（100）上以三甲基铝和氧为原料，采用 UHV-CVD 法，在衬底温度 880℃下使用沉积γ-Al_2O_3 的衬底来代替 R 面蓝宝石以外，与比较例 1 同样，制作 SOI 衬底。

按与实施例 1 相同的方法来测定它的结晶缺陷密度和摆动曲线的半幅值时，结晶缺陷密度为 4.8×10^8 个/cm^2，（004）面的半幅值为 0.276 度，（040）面的半幅值为 0.282 度。此外，（040）面的半幅值随着接近硅层和蓝宝石的界面而增大。而且，硅层的表面粗糙度（Rrms）为 2.8nm。

与实施例 1 同样，在用该衬底来制作 n 型 MOSFET，测定晶体管特性时，阈值电压为 0.7V，未发现弯折效果造成的漏极电流的变动，漏极耐压为 7.1V。此外，与实施例 1 同样，在测定闪烁噪声和界面能级密度时，分别是 Svg 为 $6.6\times10^{-11}V^2/Hz$、Nss 为 $8.9\times10^{11}/cm^2$。

而且，与实施例 1 同样，制作光电二极管，在同样测定暗电流和光电流时，暗电流为 $1.8\times10^{-11}A$，光电流为 $8.1\times10^{-11}A$。

按照本发明，在蓝宝石等单晶氧化物衬底、或硅衬底以及在其上沉积的结晶性的所述氧化物层为α-Al_2O_3、γ-Al_2O_3、θ-Al_2O_3、$MgO\cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}、Y_x)O_y$、Pb（Zr、Ti）O_3、$LiTaO_3$、$LiNbO_3$ 等的氧化物层或 CaF_2 等的结晶性的氟化物层上，可以形成结晶缺陷非常少、表面平坦性也良好的硅层。因此，就本发明的半导体

衬底来说，通过对在现有的 SOS 衬底等中成为问题的闪烁噪声等的改善、工作速度的提高、漏电流降低和栅极氧化膜耐压提高等，可以在 SOI 衬底上实现具有以往没有的器件高性能和高可靠性的电子器件或光器件等的半导体器件.

说 明 书 附 图

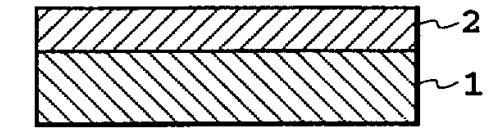


图 1A

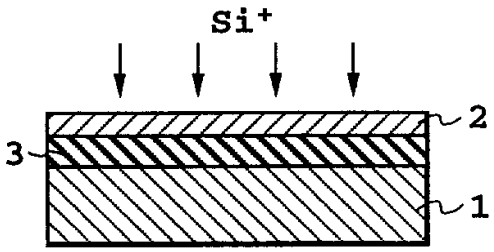


图 1B

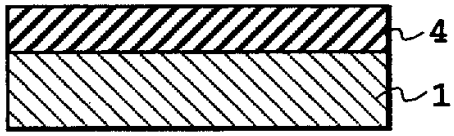


图 1C

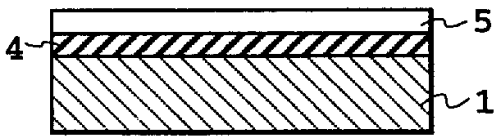


图 1D

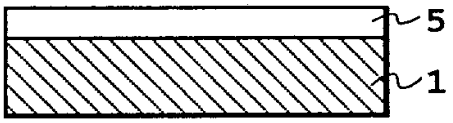


图 1E

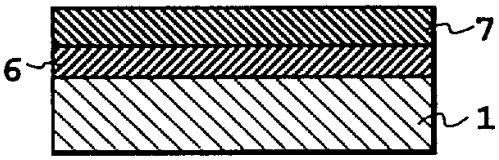


图 1F

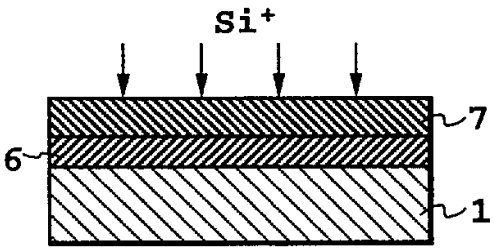


图 1G

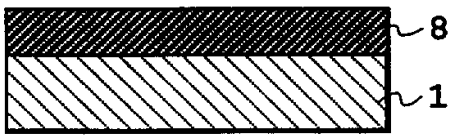


图 1H

01.03.23

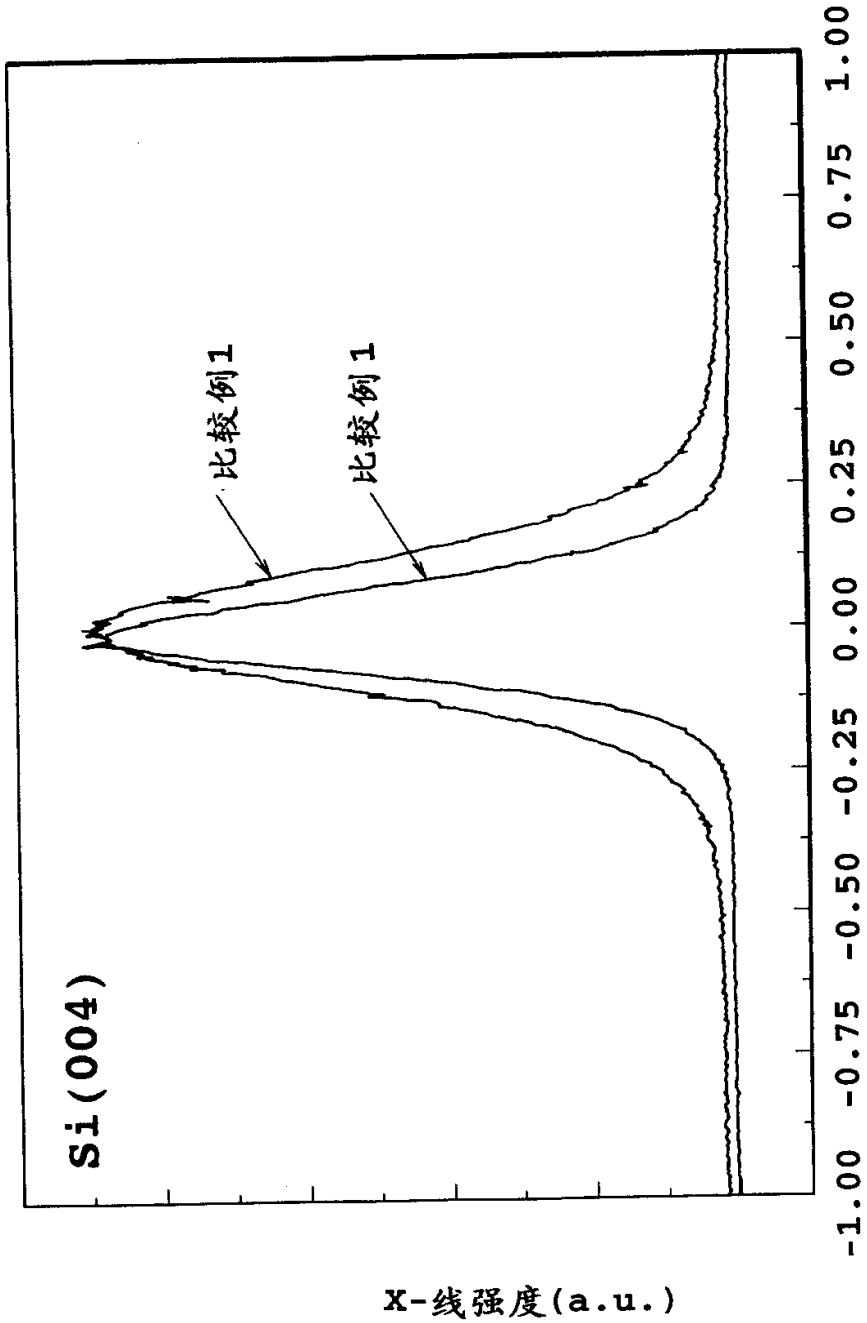

Si(004)
比较例1
比较例1
-1.00
-0.75
-0.50
-0.25
0.00
0.25
0.50
0.75
1.00
Δϖ(deg)
X-线强度(a.u.)

图 2

01.03.23

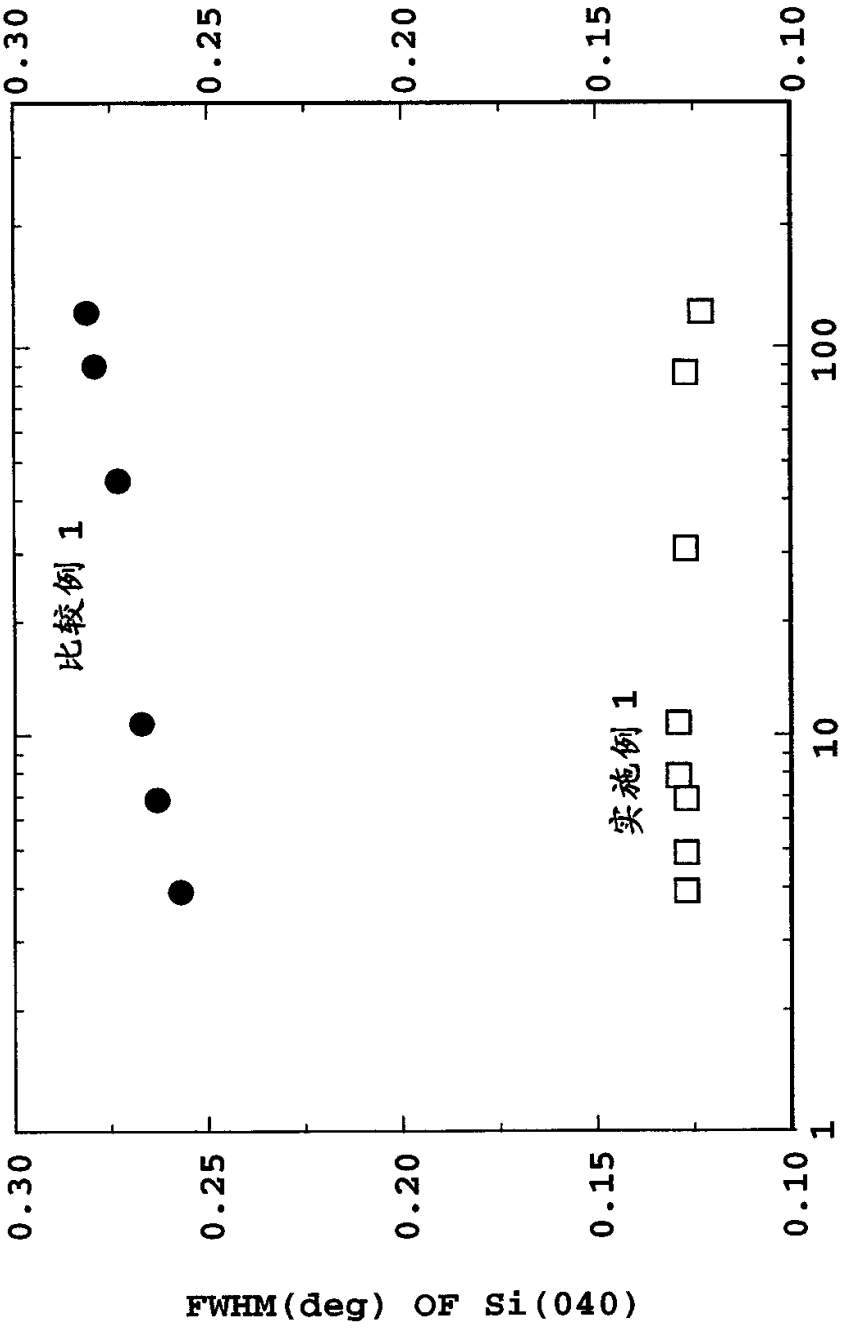


图3

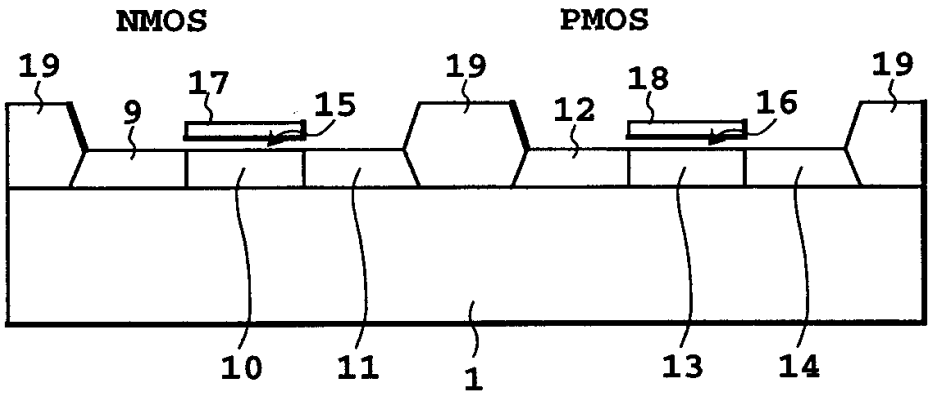


图 4

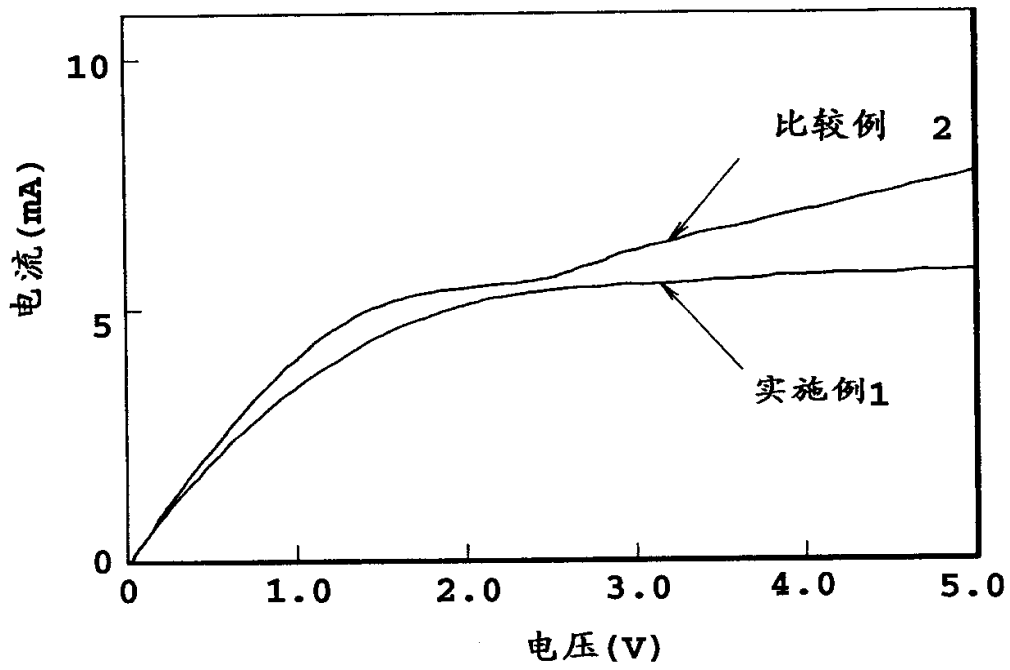


图 5

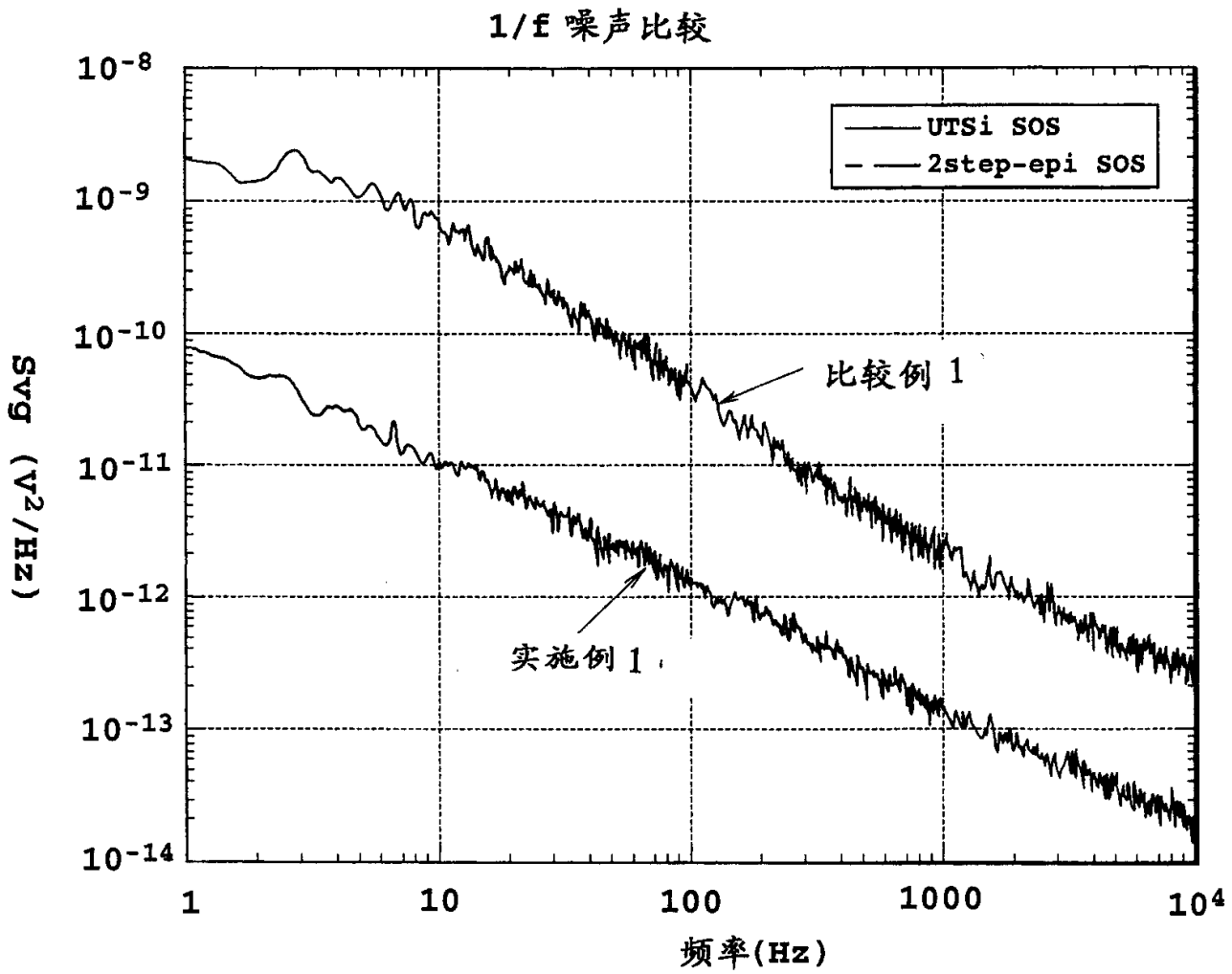

1/f 噪声比较
UTSi SOS
2step-epi SOS
比较例 1
实施例 1
Svg (V²/Hz)
频率(Hz)
10⁻⁸
10⁻⁹
10⁻¹⁰
10⁻¹¹
10⁻¹²
10⁻¹³
10⁻¹⁴
1
10
100
1000
10⁴

图 6

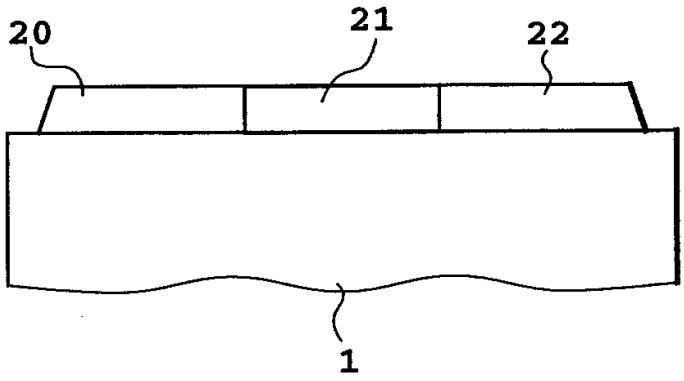


图 7