

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 29 日(29.12.2016)



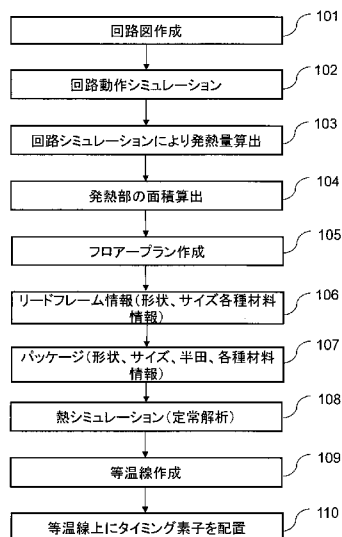
(10) 国際公開番号
WO 2016/208304 A1

- (51) 国際特許分類:
G06F 17/50 (2006.01) H01L 21/822 (2006.01)
H01L 21/82 (2006.01) H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2016/065065
- (22) 国際出願日: 2016 年 5 月 20 日(20.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-127770 2015 年 6 月 25 日(25.06.2015) JP
特願 2015-127771 2015 年 6 月 25 日(25.06.2015) JP
特願 2015-127775 2015 年 6 月 25 日(25.06.2015) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町 2 1
番地 Kyoto (JP).
- (72) 発明者: 瀧澤 登(TAKIZAWA Noboru); 〒6158585
京都府京都市右京区西院溝崎町 2 1 番地 ロ
ーム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所(SANO
PATENT OFFICE); 〒5400032 大阪府大阪市中央
区天満橋京町 2 - 6 天満橋八千代ビル別館 5 F
Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT LAYOUT METHOD, CIRCUIT SIMULATION METHOD, AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路の配置方法、回路シミュレーション方法、及び、半導体集積回路



(57) Abstract: The semiconductor integrated circuit layout method comprises: a step (101) for preparing a circuit diagram; a step (102) for performing a circuit operation simulation; a step (103) for calculating a calorific value of a heat-source component through the circuit operation simulation; a step (105) for generating a floor plan for a circuit layout; steps (106, 107) for calculating thermal resistances on the basis of lead frame information and package information; a step (108) for performing a thermal simulation on the basis of the calculated thermal resistances; a step (109) for preparing isothermal lines (heat distribution) on the basis of the thermal simulation; and a step (110) for disposing timing components along the isothermal lines.

(57) 要約: 半導体集積回路の配置方法は、回路図を作成するステップ(101)と、回路動作シミュレーションをするステップ(102)と、回路動作シミュレーションにより前記熱源素子の発熱量を算出するステップ(103)と、回路配置のフロアプランを行うステップ(105)と、リードフレーム情報及びパッケージ情報に基づき熱抵抗を算出するステップ(106), (107)と、算出した熱抵抗に基づき熱シミュレーションをするステップ(108)と、熱シミュレーションに基づき等温線(熱分布)を作成するステップ(109)と、等温線に沿ってタイミング素子を置くステップ(110)と、を備える。

- 101 Preparation of circuit diagram
102 Circuit operation simulation
103 Calculation of calorific values through simulation
104 Calculation of the area of heat-generating component
105 Preparation of floor plan
106 Lead frame information (shape, size, various material information)
107 Package (shape, size, solder, various material information)
108 Thermal simulation (steady-state analysis)
109 Preparation of isothermal lines
110 Disposition of timing components on isothermal lines

WO 2016/208304 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体集積回路の配置方法、回路シミュレーション方法、及び、半導体集積回路

技術分野

[0001] 本発明は、半導体集積回路の配置方法、回路シミュレーション方法、及び、その配置方法または回路シミュレーション方法に基づいて設計ないし製造される半導体集積回路に関する。

背景技術

[0002] たとえば、各種ドライバ集積回路、電源集積回路、CPU（中央処理装置）、IPD（インテリジェントパワーデバイス）等の大電流が流れる熱源素子を内蔵する半導体集積回路の配置には、従前、熱対策が講じられるものが少なくない。

[0003] 特許文献1は、2つ以上の温度依存素子の温度変化がほぼ同一となるよう、熱源素子及び温度依存素子を配置する方法を開示する。

[0004] 特許文献2は、消費電力を多く発生する回路ブロックを半導体基板上に分散配置することにより、半導体基板上の温度分布を均一化するという、半導体集積回路の自動配置方法を開示する。そのために、基本論理回路を機能ごとにグループ化して回路ブロックとし、複数の回路ブロックを半導体基板上に自動配置する方法において、回路動作をシミュレーションして得られたシミュレーション出力結果と、基本論理回路の消費電力を計算する手段を格納した消費電力計算ルールファイルとを用いて回路ブロックの消費電力を計算する。この計算結果と回路接続情報と半導体基板上に基本論理回路を配置および配線するときの配置制約手段とを用いて、半導体基板上に単位面積当たりの消費電力を平均化するように回路ブロックを配置するものである。

[0005] 特許文献3は、表面実装型素子よりの放熱経路の熱抵抗算出方法を開示する。こうした熱抵抗算出方法を手立てとして設計することにより熱に関して

信頼性の高いものを設計し、製造することができるとしている。

[0006] 特許文献4は、半導体集積回路の大規模化、高集積化に際しても作業性よく半導体集積回路の設計を行い、熱特性に優れた半導体集積回路システムを設計する方法を提供するとしている。そのために、システム仕様情報に基づき、そのシステムを収納する筐体および、筐体内に収納され、そのシステムを構成する実装基板と、実装基板上に実装されるパッケージ基板を含む半導体集積回路（LSI）装置の設計を行う第1の工程と、第1の工程で得られた設計結果に基づき、筐体内における実装基板および半導体集積回路の少なくとも一方の熱解析を行う工程と、熱解析を行う工程の解析結果に基づき半導体集積回路システムを設計する第2の工程を含んでいる。特許文献4によれば、半導体集積回路の素子配置を、半導体集積回路の内部条件のみならず、筐体を含む実装基板およびパッケージ基板の熱解析情報に基づいて最適化することで、実装基板、パッケージ基板、半導体集積回路全体の最適化を実施することが可能となるとしている。

[0007] 特許文献5は、電子回路の配置設計を行うにあたり熱源の位置情報を考慮するものであり、これによって、最適な電気的特性が得られるとしている。そのために、複数の回路ブロックと、少なくとも1つの熱源を含む電子回路の配置を作成する電子回路の配置作成装置において、第1の回路ブロックのネットリストを含む回路ネットリストデータと、回路ネットリストデータに基づいて回路シミュレーションを行う。シミュレーション結果データに基づいて、熱源を検索して熱源位置を算出する熱源位置算出手段と、算出された熱源位置と、予め入力されたフロアプランによる全回路ブロックの配置情報から、各回路ブロックからの熱源の相対位置を算出する熱源相対位置を算出する熱源相対位置算出手段と、第1の回路ブロックとは異なる第2の回路ブロックの配置作成時に、算出された熱源の相対位置に基づいて、熱源のシンボルを、指定された第2の回路ブロックの相対位置に表示するように制御する配置熱源表示制御手段とを備える。

先行技術文献

特許文献

- [0008] 特許文献1：特開平7－321286号公報
特許文献2：特開平9－266254号公報
特許文献3：特開昭64－13445号公報
特許文献4：特開2008－102631号公報
特許文献5：特開2013－161352号公報

発明の概要

発明が解決しようとする課題

- [0009] 特許文献1は、熱源素子と温度依存素子が併存する半導体集積回路において温度依存素子相互の熱的整合性を向上させることはできる。しかし、半導体チップの大きさや厚み、さらには半導体基板が実装されるパッケージ等の熱抵抗は考慮していない。このため、半導体チップ内の熱分布、熱勾配に沿って適確に配置したとは言えない。
- [0010] 特許文献2は、その段落0025に半導体チップとパッケージを含んだ熱伝導のシミュレーションを実行してチップ内の単位面積当たりのチップ温度を求め、チップ上の最高温度 T_{max} と最低温度 T_{min} の差が許容温度 T_c 内にはいるかどうかを計算し、許容温度 T_c 内に入っていない場合、回路ブロックを再度分割して消費電力の分散を計ることを示唆する。しかし、熱伝導率、熱抵抗の具体的なシミュレーション方法については開示も示唆もしていない。
- [0011] 特許文献3は、半導体チップとパッケージの熱抵抗を求めることを開示するが、回路素子を半導体チップ上に配置する配置方法までは開示も示唆もしていない。
- [0012] 特許文献4は、半導体集積回路システムの設計に際し、熱解析を行った後、この解析結果に基づき、半導体集積回路の素子配置、あるいは、パッケージ基板への実装構造、実装基板上での配置などを決定しているため、熱特性に優れた半導体集積回路システムの実現を図ることは期待できる。しかし、熱解析の対象が半導体チップのサイズや厚み、ボンディングワイヤーの径や

長さ、ダイパッド（ダイフラグ）のサイズなどを考慮していないので、半導体チップ内での適正な熱分布、熱勾配を把握することは期待できない。

[0013] 特許文献5は、熱源位置算出手段により電子回路全体のうち熱源を含む回路ブロックのネットリストデータと、そのシミュレーション結果に基づいて、回路ブロック中に発生する熱源を特定して熱源位置を算出することが可能となるため、熱源の判断漏れが起こることはない。しかし、特許文献4と同様に、熱解析の対象が半導体チップのサイズや厚み、ボンディングワイヤーの径や長さ、ダイパッドのサイズなどを考慮していないので、半導体チップ内での正確な熱分布を把握することは期待できない。

[0014] 本発明の目的は、上記の問題点、不具合を克服するものである。そのために、半導体チップに作り込まれた熱源素子の大きさ（面積）、消費電力を初め、半導体チップのサイズ、ボンディングワイヤーの径や長さ、ダイパッド（ダイフラグ）のサイズ、半導体チップを封止するパッケージのサイズ、形状、材料、材質などの熱伝導率の算出を行う。そして、それらの算出結果に基づき、半導体チップ内の温度分布、温度勾配を求め、その温度分布や温度勾配に基づき、半導体集積回路（半導体チップ）内に各種回路素子の配置または回路シミュレーションを行い、半導体集積回路を設計ないし製造するものである。

課題を解決するための手段

[0015] 本書において、「タイミング素子」とは、論理回路に用いられるトランジスタまたは論理回路を指す。論理回路の代表としてフリップフロップ回路を挙げることができる。また、「リードフレーム情報」とは半導体チップが搭載される金属細条であるリードフレームに関する形状、材料、材質、各種の物理的な特性及びこれらのサイズ、厚み等の少なくとも1つを指す。また、「パッケージ情報」とは、リードフレームの一部及び半導体チップを封止する封緘体の形状、材料、材質、各種の物理的定数や特性及びこれらのサイズ、厚み等の少なくとも1つを指す。物理的な特性には、リードフレーム情報、パッケージ情報に関わらず、代表的には熱伝導率、熱抵抗、熱容量を挙げ

ることができる。また、本書で「半導体チップ」は、半導体集積回路が作り込まれた半導体基板を小さく分割した小片を指す。また、「等温線」とは半導体チップ上で同じ温度の地点を結んで得られる、いわゆる温度分布線を指す。

[0016] 本発明に係る半導体集積回路の配置方法は、

- (a) 半導体集積回路の回路図を作成するステップと、
- (b) 前記回路図に基づき前記半導体集積回路の回路動作シミュレーションを行うステップと、
- (c) 前記回路動作シミュレーションに基づき、前記半導体集積回路の発熱量を算出するステップと、
- (d) 前記算出した発熱量を参照して前記半導体集積回路のフロアプランを行うステップと、
- (e) 前記フロアプランに沿って前記半導体集積回路が搭載されるリードフレーム情報及び前記半導体集積回路が封止されるパッケージ情報に基づき熱抵抗を算出するステップと、
- (f) 前記算出した熱抵抗に基づき前記パッケージに封止された半導体集積回路全体の熱シミュレーションを行うステップと、
- (g) 前記熱シミュレーションの結果に基づき前記半導体集積回路の等温線（温度分布線）を作成するステップと、
- (h) 前記等温線に沿って少なくともタイミング素子を半導体チップ上に配置するステップ、とを備えている。

[0017] また、本発明に係る半導体集積回路の回路シミュレーション方法は、

- (a) 熱源素子を含む半導体集積回路の回路図を作成するステップと、
- (b) 前記回路図に基づき前記半導体集積回路の回路動作シミュレーションを行うステップと、
- (c) 前記回路動作シミュレーションに基づき、前記半導体集積回路の発熱量を算出するステップと、
- (d) 前記算出した発熱量を参照して前記半導体集積回路のフロアプラン

ンを行うステップと、

(e) 前記半導体集積回路が搭載されるリードフレーム及び前記半導体集積回路が封止されるパッケージの各種情報に基づき熱抵抗を熱シミュレーションソフトに入力するステップと、

(f) 前記熱抵抗に基づき前記半導体集積回路が前記パッケージに封止された半導体集積回路全体の熱シミュレーションを行うステップと、

(g) 前記熱シミュレーションの結果に基づき最大熱勾配差を算出するステップと、

(h) 前記算出した熱勾配差に基づき前記半導体集積回路を構成するタイミング素子のワーストタイミングを算出するステップと、

(i) 前記ワーストタイミングに基づき前記ワーストタイミングで回路シミュレーションを行うステップとを備えている。

[0018] また、本発明に係る半導体集積回路の回路シミュレーション方法は、

(a) 熱源素子を含む半導体集積回路の回路図を作成するステップと、

(b) 前記回路図に基づき前記半導体集積回路の回路動作シミュレーションを行うステップと、

(c) 前記回路動作シミュレーションに基づき、前記半導体集積回路の発熱量を算出するステップと、

(d) 前記半導体集積回路が搭載されるリードフレーム情報及び前記半導体集積回路が封止されるパッケージの情報に基づき熱抵抗を算出するステップと、

(e) 前記熱抵抗に基づき前記パッケージに封止された半導体集積回路全体の熱シミュレーションを行うステップと、

(f) 前記熱シミュレーションの結果に基づき最大熱勾配時の熱分布情報を抽出するステップと、

(g) 前記抽出した熱分布情報を、前記半導体集積回路を構成するタイミング素子にフィードバックするステップと、

(h) 前記フィードバックした熱分布情報に基づき回路シミュレーション

を行うステップ、とを備えている。

[0019] また、本発明に係る半導体集積回路は、上記の配置方法ないし回路シミュレーション方法に基づいて設計ないし製造される。

発明の効果

[0020] 本発明に係る半導体集積回路の配置方法ないし回路シミュレーション方法は、半導体チップに作り込まれる熱源素子の電力の大きさ、半導体チップが搭載されるリードフレーム及びパッケージの熱伝導率、熱抵抗の大きさに基づき半導体チップ内の温度分布、温度勾配を実態に即して把握し、回路素子を配置するので、温度特性に優れた半導体集積回路を設計ないし製造することができる。

図面の簡単な説明

[0021] [図1]は、本発明に係る第1実施形態の半導体集積回路の配置方法を示すフローチャートである。

[図2A]は、図1の配置方法に適用されるリードフレーム（内部リード、外部リードを含む）の模式図とそこから収集されるリードフレーム情報を示す。

[図2B]は、図1の配置方法に適用されるリードフレーム（図2Aでの内部リード、外部リードを除く）の模式図とそこから収集されるリードフレーム情報を示す。

[図3A]は、図1の配置方法に適用されるパッケージの模式図とそこから収集されるパッケージ情報を示す。

[図3B]は、図1の配置方法に適用されるパッケージの模式図とそこから収集されるパッケージ情報を示す。

[図3C]は、図1の配置方法に適用されるパッケージの模式図とそこから収集されるパッケージ情報を示す。

[図3D]は、図1の配置方法に適用されるパッケージの模式図とそこから収集されるパッケージ情報を示す。

[図4A]は、本発明に係る第1実施形態の半導体集積回路の配置方法に基づき配置される半導体チップ内のタイミング素子の配置の模式図（各素子の配置

図)を示す。

[図4B]は、図4Bは熱源素子から所定の距離だけ離れた地点の温度の時間的遷移を示す。

[図5]は、本発明に係る第2実施形態の半導体集積回路の回路シミュレーション方法を示すフローチャートである。

[図6]は、図5に示した第2実施形態のステップ208で行う過渡的な熱解析を説明するための熱シミュレーション図である。

[図7]は、本発明に係る第3実施形態の半導体集積回路の回路シミュレーション方法を示すフローチャートである。

[図8A]は、第3実施形態のステップ308、309で適用される時定数 R_1C_1 を示す概念図(時定数0)である。

[図8B]は、第3実施形態のステップ308、309で適用される時定数 R_1C_1 を示す概念図(時定数 R_1C_1)である。

発明を実施するための形態

[0022] (第1実施形態)

図1は、本発明に係る第1実施形態の半導体集積回路の配置方法を説明するフローチャートである。ステップ101は、一般的に回路を設計する際に、回路動作を考慮して、回路図を作成するステップである。対象となる回路の中には用途に応じて熱源素子や各種論理回路が含まれる。こうした熱源素子を含む回路機能としては、たとえば、LEDドライバ、モータドライバ、IPD(システム電源装置)等を挙げることができる。

[0023] ステップ102は、ステップ101で作成した回路図に沿って、静特性、動特性を回路シミュレーションするステップである。回路シミュレーションではトランジスタレベルの回路接続情報と回路内の素子の電気的特性に従って、回路内の各ノード電圧、各素子に流れる電流の直流特性や、時間応答特性、周波数応答特性などが算出される。回路シミュレーション、熱解析回路シミュレーションには、たとえば、SPICE(Simulation Program with Integrated Circuit Emp

h a s i s) や米国、メンターグラフィック社の Advanced-MS などを用いることができる。

[0024] ステップ103は、ステップ102での回路シミュレーションにより発熱量を算出するステップである。すなわち、回路動作時の回路素子に流れる電流と印加される電圧、及び消費電力を熱源素子及びそれ以外の回路素子も含めて算出する。

[0025] ステップ104は、発熱部の面積を算出するステップである。ステップ102の回路シミュレーションでは各素子に流れる電流と印加される電圧が求まっているので、それらのデータから半導体チップ全体に占める発熱部の面積を計算する。発熱部の大半は熱源素子（パワートランジスタ）である。ステップ104は本発明では必須の構成要件ではないが、発熱部の面積を算出することにより熱容量を求めることができ、熱シミュレーション精度を高めることができる。発熱部面積の算出結果は後述のフロアプランで各回路素子を半導体チップ上に配置するときに配慮される。なお、ステップ104はステップ103の後ではなく、その前に行ってもよい。

[0026] ステップ105は、フロアプランを行うステップである。フロアプランでは、ステップ104で算出された発熱体の面積に基づき、半導体チップ内の温度分布を推定し、半導体チップ内に熱源素子、各回路素子、各種論理回路、各ブロック素子を大まかに配置する。また、フロアプランでは半導体チップの外周辺に熱源素子や各論理回路を外部に取り出すためにボンディングパッドが配置される。

[0027] ステップ106は、熱シミュレーションソフトウェアプログラムに「リードフレーム情報」を入力するステップである。本書では説明の便宜上「リードフレーム情報」として記述するが、必ずしもリードフレームに関わる情報だけに限定されない。たとえば、ステップ106ではボンドワイヤーの材質、径、長さ等を熱シミュレーションの対象としてもかまわない。ステップ106ではおもにリードフレームの熱伝導率、熱抵抗を算出するためにリードフレームの内部リード、外部リードそれぞれの材料、材質、サイズ、厚み等に基づ

き熱伝導率、熱抵抗が算出される。なお、熱伝導率や熱抵抗の算出にあたっては、特許文献2～5に開示された技術思想を考慮しながら行うことができるが、熱分析の便宜性からみると、市販されているたとえば、上記米国ケイデンス・デザイン・システムズ社のVirtuoso AMS Designerを用いると良い。ステップ106では、リードフレームの熱容量が算出できると共に半導体チップからリードフレームへの熱抵抗が算出される。なお、リードフレームの模式図およびそれに関わるリードフレームの各種情報は、後述の図2に示される。

[0028] ステップ107は、「パッケージ情報」を入力するステップである。パッケージ情報なる語句も先に説明した「リードフレーム情報」と同様に便宜上用いている。ステップ107のパッケージ情報では、半導体チップ自体の熱伝導率、熱抵抗、さらにはリードフレームを封止する樹脂体の熱伝導率、熱抵抗、熱容量等を算出する。さらに先に述べたリードフレームが樹脂体に封止された後の熱伝導率、熱抵抗、熱容量も算出する。さらに、半導体チップ上のボンディングパッドと内部リードとの間に結線されるボンドワイヤーの径、長さに基づきボンディングワイヤーの熱伝導率、熱抵抗が算出される。さらに、ダイがリードフレームではなく、何らかの基板に固着される場合には、その基板の熱抵抗が算出される。また、ダイが固着された基板がさらに別の基板に取り付けられる構成下の場合には、その別の基板の熱伝導率、熱抵抗の算出をステップ107で行う。ステップ107では、パッケージの熱容量が算出できると共にリードフレームからパッケージへの熱抵抗が算出される。なお、ステップ107で処理されるパッケージの模式図及びそれに関わるパッケージ情報は後述の図3A～図3Dに示される。

[0029] なお、第1実施形態ではステップ106でリードフレーム情報を扱い、ステップ107でパッケージ情報を扱ったが、これらの処理ステップの順序は逆転しても構わない。すなわち、ステップ106でパッケージ情報を扱い、ステップ107でリードフレーム情報を扱っても構わない。また、リードフレーム情報とパッケージ情報を1つのステップで熱シミュレーションソフ

トプログラムに入力してもかまわない。

[0030] ステップ108は、ステップ106でのリードフレーム情報及びステップ107でのパッケージ情報により算出した熱抵抗の大きさに基づき、半導体集積回路全体の熱解析(熱シミュレーション)を行う。ステップ108は、定常解析、すなわち、回路動作が安定し、半導体チップ(ダイ)内の熱分布が落ち着いた状態で熱シミュレーションが行われる。

[0031] ステップ109は、ステップ108で行った熱シミュレーション(定常解析)に基づき、半導体チップ(半導体集積回路)内の等温線を作成するステップである。等温線は半導体チップ上の同じ温度の地点を結んで得られる、いわゆる温度分布線である。同じ温度と言ってもある程度の幅をもたせて作成するのが実用的である。作成する等温線の数、半導体チップ上の最大温度及び最小温度それぞれの絶対値と、それらの間の温度差に基づき決定すればよい。たとえば、半導体チップ上の最大温度が150℃で、最小温度が50℃である場合には、たとえば、20℃の間隔で、等温線を作成するとすれば、その数は6本となる。等温線は自動または手動で作成される。

[0032] ステップ110は、ステップ109で作成した等温線に沿って半導体チップ上にタイミング素子を配置する。ここで、タイミング素子とは、論理回路を構成するトランジスタ、ダイオード、抵抗等を指す。たとえば、論理回路において、クロック信号を供給する方法として、一括駆動方式、クロック・ツリー方式、これら両者の組み合わせ方式等が知られているが、タイミング素子としては、これらに用いるクロックドライバ、フリップフロップ回路を挙げることができる。もちろん、フリップフロップ回路を構成する各トランジスタもタイミング素子に該当する。なお、フリップフロップ回路のセットアップ時間、ホールド時間、遅延時間は論理回路の動作に大きな影響を与えるので、温度変化に対して十分な配慮が必要となる。

[0033] 図2A及び図2Bは、図1のステップ106で考慮されるリードフレーム情報の一例を示す。図2Aは、ダイ(半導体チップ)D1Eが固着されるリードフレームの概略図を示す。本書でリードフレームはダイパッド(ダイフ

ラグ)、内部リードIL、外部リードOL、及びタブリードTLで構成される。リードフレームの中央部にはダイパッドDPが設けられ、ダイパッドDPはタブリードTLで支持されている。ダイパッドDPにはダイ(半導体チップ)DIEが固着される。内部リードILはダイパッドDP、タブリードTLと共に樹脂封止体ECの中に封止され、外部リードOLは樹脂封止体ECの外側に延出している。リードフレームは、パッケージ長E、リードピッチe、リード幅b、タブリード幅Wtb、リードフレームフラッグギャップg1などのサイズを有する。本発明では、こうした各種リードフレームに関する各種情報がパッケージ全体の熱抵抗率を計算するときに考慮される。

[0034] 図2Bは、ダイ幅Wd、ダイ長Ld、ダイパッド幅Wf、ダイパッド長Lf、封止体幅E1、封止体長D1を表示するために図2Aにおいての内部リードフレームILおよび外部リードフレームOLを示していない状態を示す。本発明では、こうした情報もパッケージ全体の熱抵抗率、熱容量を計算するときに考慮される。

[0035] 図3A～図3Dは、それぞれ、図1のステップ107で考慮される、パッケージの断面図及びその情報の一例を示す。

[0036] 図3Aは、樹脂封止体ECの内部にダイdがダイパッドDP上にダイアタッチ(たとえば半田)daを介して固着された状態を示す。図3Aでは、樹脂封止体ECの厚みである封止体厚A2及びダイ厚tdが熱伝導率、熱抵抗の算出に考慮される。なお、樹脂封止体ECの封止体幅E1、封止体長D1をステップ106で考慮したが、ステップ107でダイ厚tdと共に熱伝導率、熱抵抗の算出に用いてもよい。

[0037] 図3Bは、本発明に係る半導体集積回路の全体像の断面図を示すが、図3Aに、内部リードIL、外部リードOL、及びボンドワイヤーbwを加えた図でもある。図3Bでは、外部リード厚tl、外部リードOLのリードフレーム高h、リードフット長Lft、ダイパッドDPから内部リードILまでの距離であるダイパッドダウンセットddf、樹脂封止体ECの底部から外部リードOLの端部までの距離であるパッケージスタンドオフA1、及びボ

ンドワイヤー $b w$ が、熱伝導率、熱抵抗の算出に用いられる。

[0038] 図 3 C は、本発明に係る別の半導体集積回路を示す。図 3 C は、図 3 B とは異なり、ダイ d がダイアタッチ $d a$ を介して金属載置部 $H r a$ に載置され、さらに金属載置部 $H r a$ が半田 s を介してボード B の取り付け部であるランド L に装着される構造を成している。図 3 C は、樹脂封止体 $E C$ の体積が図 3 B のそれよりも小さく、かつ、金属載置部 $H r a$ を設けたのでダイ d での発熱は熱抵抗が比較的小さな金属載置部 $H r a$ を介して急速に外部に放熱されるので、図 3 B よりは集積回路装置全体の熱抵抗は小さくなる。図 3 C では、金属載置部 $H r a$ 、半田 s 、ランド L 、及びボード B の材質、材料に応じた熱抵抗率、熱抵抗が算出される。

[0039] 図 3 D は、図 3 B、図 3 C に示したボンドワイヤー $b w$ のボンドワイヤー長 $L b w$ 、ボンドワイヤー径 $d b w$ を示す。ボンドワイヤー $b w$ の材料は、アルミニウム ($A l$)、金 ($A u$)、銅 ($C u$) の順に熱伝導率は高くなる。したがって、アルミニウム ($A l$) が 3 つの金属では熱の伝わり方が一番遅い。また、熱伝導率は温度によっても変化する。一般的に金属は温度が低いほど熱伝導率が高くなり、熱伝導が速くなる。本発明ではこうしたボンドワイヤーの熱伝導率も考慮して熱シミュレーションを行う。なお、ボンドワイヤー $b w$ は材料、径、長さのほかにボンドワイヤーの数も熱シミュレーションの算出に用いる。

[0040] なお、ステップ 106、107 で考慮した各情報をキャド (CAD、computer-aided design) ソフトに入力することで、パッケージの三次元形状を作成することができる。三次元形状を把握することで、半導体集積回路の全体像を掴むことができ、リードフレーム情報及びパッケージ情報の熱シミュレーションソフトへの入力が適切であるか否かを判断することができる。すなわち、熱シミュレーションの対象となる部材を三次元形状で把握しながら最適な熱シミュレーションを行うのが本発明の 1 つの特徴でもある。

[0041] 図 4 A 及び図 4 B は、それぞれ、図 1 のステップ 110 での配置と半導体

チップ上の温度分布を説明する図である。図4 Aは、半導体チップの等温線上にタイミング素子を配置したときの一例を、図4 Bは、熱源素子から基準点との間の温度差をそれぞれ示した模式図である。

[0042] 図4 Aは、半導体チップ（ダイ）1の片隅に熱源素子2が配置され、熱源素子2の近傍に基準点3を設けた状態を示す。基準点3には、いわゆる温度を測定するためのモニター素子が置かれる。第1の等温線L1は熱源素子2の中心部から所定の温度、たとえば20℃低い地点が結ばれて形成されている。第2の等温線L2は第1の等温線L1より、たとえば20℃低い地点が結ばれて形成されている。第3の等温線L3は第2の等温線L2より、たとえば20℃低い地点が結ばれて形成されている。したがって、第2の等温線L2、L3は、熱源素子2の中心部からそれぞれ40℃、60℃低い地点が結ばれて形成されている。

[0043] 第1の等温線L1上には、第1のタイミング素子21、22、23及び24が配置されている。第1のタイミング素子21～24は、それぞれトランジスタ単体であったり、或いはトランジスタがいくつか組み合わせられた、たとえばフリップフロップ回路であったりする。

[0044] 第2の等温線L2上には第2のタイミング素子31、32、33及び34が配置されている。第2のタイミング素子31～34は、第1のタイミング素子と同様にそれぞれトランジスタ単体であったり、或いはトランジスタがいくつか組み合わせられた、たとえばフリップフロップ回路であったりする。

[0045] 第3の等温線L3上には第3のタイミング素子41、42、43及び44が配置されている。第3のタイミング素子41～44は、第1、第2のタイミング素子と同様にそれぞれトランジスタ単体であったり、或いはトランジスタがいくつか組み合わせられた、たとえばフリップフロップ回路であったりする。

[0046] 論理回路の回路ブロックが高集積に亘る場合にはフリップフロップ回路の段数も多数となり、第1の等温線L1、第2の等温線L2、及び第3の等温線L3にまたがって、同じ回路部を構成するトランジスタやフリップフロップ

プ回路を配置しなければならない場合が発生する。こうした場合には、フリップフロップ回路に要求されるセットアップ時間、ホールド時間、及び遅延時間を考慮して配置を決めるとよい。すなわち、タイミング素子が占める割合が高くなり、全てのタイミング素子を1つの等温線の近辺に置くことが困難の場合には、複数の等温線の近辺に配置しても良い。たとえばタイミング素子21～24を等温線L1に配置し、タイミング素子31～34を熱等温線L2に配置し、タイミング素子41～44を等温線L3に配置する。タイミング素子21～24の動作完了後、信号の伝達時間と、信号伝達中のズレたとえば10%のセットアップ時間及びホールド時間と、定常時の素子間の温度差から生じる遅延時間の和をマージン時間として設けて、タイミング素子31～34を動作させる。同じく、タイミング素子31～34とタイミング素子41～44の間も信号の伝達時間と、信号伝達中のズレ時間と、定常時の素子間の温度差から生じる遅延時間の和を設ける。それによって、熱源素子2の発熱により、タイミング素子間のマージンを確保することができる。

[0047] 図4Bは、図4Aに示した熱源素子2で生じるエネルギーの経時変化と、熱源素子2と、熱源素子の2の近傍に設けた基準点3との間の熱勾配を示す図であり、横軸は時間 t を示す。

[0048] 時刻 t_0 で熱源素子2に電力が供給されると、供給される電力が瞬時的にピーク値を有しているために、熱源素子2には瞬時的に最大のエネルギーが生じる。しかし、比較的短い時間である時刻 t_1 、 t_2 に至るとその大きさは所定の大きさで一定となる。

[0049] ここで、熱源素子2と基準点3との間の温度差に着目する。時刻 $t_0 \sim t_1$ の区間では熱源素子2は除々に発熱するので、熱源素子2自体の温度は除々に上昇する。かつ、熱源素子2からの熱伝達が基準点3まで十分に伝達されていないため、両者の温度差は時刻 t_0 から時刻 t_1 に向かって除々に増加する。時刻 t_1 は、熱源素子2が最大温度に達するも、基準点3には熱源素子2の熱伝達が十分でないため、両者の温度差は最高値 T_{max} となり、

両者の間の熱勾配が最大となる。熱勾配の最大値すなわち温度差の最高値 T_{max} を求めるには、時刻 $t_0 \sim t_2$ の区間をパルス信号でサンプリングして、その温度のピーク値を求める。このために、ステップ 106, 107 で求めた熱抵抗 R 及びリードフレーム情報、パッケージ情報から求められる熱容量 C の積である RC 時定数のたとえば、 $1/3 \sim 1/20$ の範囲の時間ステップでサンプリングして求める。なお、サンプリングは 1 回ではなく、たとえば、1 回目は時間ステップ $1/3$ で温度範囲を粗く絞り込み、次にその範囲をたとえば時間ステップ $1/5$ で細かくサンプリングして求めるようにしてもよい。

[0050] 時刻 $t_1 \sim t_2$ では、熱源素子 2 の温度が最大温度に達し、かつ、熱源素子 2 で生じた熱エネルギーが基準点 3 に伝達される区間である。この区間では基準点 3 に伝達される熱エネルギーが増加するにつれて両者の温度差は減少し、時刻 t_2 では十分に伝播されるため、両者の温度差は定常値 T_{cons} となる。

[0051] さて、熱分布、熱勾配については本発明に限らずに一般的に次のことが言える。たとえば先に述べた図 2 A 及び図 2 B、並びに、図 3 A～図 3 D のダイ d から熱が均一に発生すると仮定する場合、単位時間内の熱エネルギーのバランスは、発熱量 W_1 は、ダイ d 中に流れる熱量 Q_1 と周囲の対流によって持ち去られる熱量 Q_2 との和となり、下記の数式 1 で表すことができる。

[0052] [数1]

$$W_1 = Q_1 + Q_2$$

[0053] また、単位時間内にダイ d に生じる熱量 Q_1 は、フーリエの熱伝導法則に従い、下記の数式 2 で表すことができる。

[0054] [数2]

$$\frac{\partial T}{\partial t} = \frac{k_T}{\rho c_P} \nabla^2 T + \frac{Q_1}{V c_P}$$

[0055] ここで、 T は温度（K）、 t は時間（s）、 K は熱伝導率（W／（m・K））、 ρ は密度（kg／m³）、 C_P は定圧比熱（J／（kg・K））、 ∇ はラプラス演算子、 V は体積（m³）である。さらに、単位時間内に周囲の対流によって持ち去られる熱量 Q_2 はニュートンの冷却の法則を満たすので下記の数式3で表すことができる。

[0056] [数3]

$$\frac{Q_2}{A} = h(T - T_m)$$

[0057] ここで、 A は面積（m²）、 h は熱伝達率（W／m²・K）、 T_m は周囲の温度（K）である。本発明に係るリードフレーム情報及びパッケージ情報を上記数式1に当てはめることで、熱源素子単体及び半導体集積回路全体及び各部の温度変化を把握することができる。

[0058] なお、本発明において、等温線上に配置するのはタイミング素子に限定されない。たとえば同じ温度特性が要求される、たとえば差動増幅器、カレントミラー回路であってもよい。

[0059] （第2実施形態）

図5は、本発明に係る第2実施形態の半導体集積回路の回路シミュレーション方法を説明するフローチャートである。第2実施形態は、熱源素子の熱発生または熱伝達が断続的である場合や、あるいは比較的大きな熱を発生する熱源素子が複数存在する場合、すなわち、定常状態が存在しない場合を想定している。こうした場合には熱源素子の発熱による半導体集積回路内の熱勾配の変化により、該半導体集積回路内の複数のタイミング素子間の時間的ズレの最大値を基準にして、タイミング設計及びタイミング素子の配置を考慮して半導体集積回路を設計、製造することになる。

[0060] 図5は、ステップ201～211で構成される。これらのステップの中でステップ201～ステップ207のそれぞれは第1実施形態のステップ101～ステップ107のそれぞれに対応する。

- [0061] ステップ201は、一般的に回路を設計する際に、回路動作を考慮して、回路図を作成するステップである。対象となる回路の中には用途に応じて熱源素子や各種論理回路、タイミング素子が含まれる。こうした熱源素子を含む回路機能としてはたとえば、LEDドライバ、モータドライバ、IPD（システム電源装置）等を挙げることができる。
- [0062] ステップ202は、ステップ201で作成した回路図に沿って、静特性、動特性を回路シミュレーションするステップである。回路シミュレーションではトランジスタレベルの回路接続情報と回路内の素子の電気的特性に従って、回路内の各ノード電圧、各素子に流れる電流の直流特性や、時間応答特性、周波数応答特性などが算出される。回路シミュレーション、熱解析回路シミュレーションには、たとえば、SPICE (Simulation Program with Integrated Circuit Emphasis) や米国、ケイデンス・デザイン・システムズ社のVirtuoso AMS Designerなどを用いることができる。
- [0063] ステップ203は、ステップ202での回路シミュレーションにより発熱量を算出するステップである。すなわち、回路動作時の回路素子に流れる電流と印加される電圧により、熱源素子及びそれ以外の各回路素子も含めて算出する。
- [0064] ステップ204は、発熱体の面積を算出するステップである。ステップ202の回路シミュレーションでは各回路素子に流れる電流と印加される電圧が求まってくるので、それらのデータから半導体チップ全体に占める発熱部の面積を計算する。発熱部の中には熱源素子だけではなく比較的大きな発熱素子が対象となる。発熱部の面積を求めることは本発明では必須の構成要件ではないが、後述のフロアプランを行うときに各回路素子の配置時に考慮される。
- [0065] ステップ205は、フロアプランを行うステップである。フロアプランでは、ステップ204で算出された発熱体の面積に基づき、半導体チップ内の温度分布を推定し、半導体チップ内に熱源素子、各回路素子、各種論理

回路、各ブロック素子を大まかに配置する。また、フロアプランでは半導体チップの外周辺に熱源素子や各論理回路を外部に取り出すためにボンディングパッドが配置される。

[0066] ステップ206は、熱シミュレーションソフトウェアプログラムに「リードフレーム情報」を入力するステップである。本書では説明の便宜上「リードフレーム情報」として記述するが、必ずしもリードフレームに関わる情報だけに限定されない。たとえば、ステップ206ではボンドワイヤーの材質、径、長さ等を熱シミュレーションの対象としてもかまわない。ステップ206ではおもにリードフレームの熱伝導率、熱抵抗を算出するためにリードフレームの内部リード、外部リードそれぞれの材料、材質、サイズ、厚み等に基づき熱伝導率、熱抵抗が算出される。なお、熱伝導率や熱抵抗の算出にあたっては、特許文献2～5に開示された技術思想を考慮しながら行うことができるが、熱分析の便宜性からみると、市販されているたとえば、上記米国ケイデンス・デザイン・システムズ社のVirtuoso AMS Designerを用いると良い。なお、リードフレームの模式図およびそれに関わるリードフレームの各種情報は、先述の図2A及び図2Bに示される。

[0067] ステップ207は、「パッケージ情報」を入力するステップである。パッケージ情報なる語句も先に説明した「リードフレーム情報」と同様に便宜上用いている。ステップ107のパッケージ情報では、半導体チップ自体の熱伝導率、熱抵抗、さらにはリードフレームを封止する樹脂体の熱伝導率、熱抵抗を算出する。さらに先に述べたリードフレームが樹脂体に封止された後の熱伝導率、熱抵抗、熱抵抗も算出する。さらに、半導体チップ上のボンディングパッドと内部リードとの間に結線されるボンドワイヤーの径、長さに基づきボンディングワイヤーの熱伝導率、熱抵抗が算出される。さらに、ダイがリードフレームではなく、何らかの基板に固着される場合には、その基板の熱抵抗が算出される。また、ダイが固着された基板がさらに別の基板に取り付けられる構成の場合には、その別の基板の熱伝導率、熱抵抗の算出をステップ207で行う。なお、ステップ207で処理されるパッケージの模

式図及びそれに関わるパッケージ情報は先述の図3A～図3Dに示される。

[0068] なお、第2実施形態ではステップ206でリードフレーム情報を扱い、ステップ207でパッケージ情報を扱ったが、これらの処理ステップの順序は逆転しても構わない。すなわち、ステップ206でパッケージ情報を扱い、ステップ207でリードフレーム情報を扱ってもかまわない。また、リードフレーム情報とパッケージ情報を1つのステップで熱シミュレーションソフトウェアプログラムに入力するようにしてもよい。

[0069] ステップ208は熱シミュレーションを行うステップである。第1実施形態のステップ108は熱源素子の熱伝達が安定した後、すなわち定常時において、熱源素子と半導体チップ上のモニター点との間の熱シミュレーションを行ったが、第2実施形態のステップ208は熱源素子の発熱、熱伝達が変化している状態すなわち過渡的な状態で熱シミュレーションを行う。

[0070] ステップ209は半導体チップ内での最大熱勾配を抽出するステップである。言い換えれば、半導体チップ内での所定の位置と基準点との間の最大温度差を第1実施形態に用いた方法と同じ方法で熱シミュレーションを行い、半導体チップ全体の最大熱勾配を算出する。

[0071] ステップ210はステップ209で算出した最大熱勾配に基づいて、配置するタイミング素子と他のタイミング素子間のワーストタイミングを算出するステップである。ワーストタイミングを算出するためには図4Bに示した温度差の最高値 T_{max} を求めなければならない。そのためにはまず、リードフレーム情報とパッケージ情報から熱抵抗 R と熱容量 C との積である RC 時定数を求める。次に、該 RC 時定数よりも十分に小さな時間ステップで、時刻 $t_0 \sim t_2$ の間の温度差を求める。時間ステップはたとえば時定数 RC の $1/3 \sim 1/20$ に選ぶことができる。これによって、ワーストタイミング時における最高値 T_{max} を適確に把握することができる。

[0072] ステップ211はステップ210で算出したワーストタイミングを考慮して、半導体集積回路のワーストタイミング回路シミュレーションを行う。ワーストタイミングはタイミング素子間に設けたマージンが限界値（マージン

の最小値) 至った場合に生じる。したがって、ワーストタイミングを考慮してタイミング素子を半導体チップ上に配置するので、たとえば、タイミング素子のセットアップ時間、ホールド時間、及び遅延時間のマージン不足から生じる回路の誤動作を防止することができる。

[0073] なお、熱源素子が複数存在する場合、たとえば熱源素子 2 が熱源素子 2 a 及び熱源素子 2 b で構成される場合には、熱源素子 2 a と熱源素子 2 b のオンオフのタイミングを考慮して集積回路内の熱勾配の温度分布特性をシミュレーションする。すなわち、たとえば動作パターン a、動作パターン b が存在する場合、それぞれの動作パターン時の熱源素子 2 a 及び熱源素子 2 b のそれぞれのエネルギーを基に、熱源素子 2 a 及び熱源素子 2 b の時間の推移とともに基準点（モニター点）との温度差を算出する。

[0074] 最大温度差 T_{max} 、すなわち熱勾配差を算出する際に、ステップ 206 及びステップ 207 の材料条件を最も良い条件にしても構わない。すなわち、パッケージ外部条件、内部ダイボンディング、ワイヤーボンディングを理想的な条件、たとえば、熱抵抗の大きさを実体のそれのたとえば 0~0.5 倍の範囲に設定する、一方、半導体集積回路（半導体チップ）の内部配線に用いる配線材料となる、アルミニウム (Al)、銅 (Cu)、金 (Au)、またはこれらと、たとえばシリコンとの混合材料、或いは高融点金属材料などの熱抵抗の大きさを実体の 10 倍~1 倍の範囲に選んで熱シミュレーションを行う。こうした設定によって、最高温度差 T_{max} を適確に把握することができるので、タイミング素子のセットアップ時間、ホールド時間、及び遅延時間とのマージンを十分に確保することができる。

[0075] 図 6 は図 5 に示した第 2 実施形態のステップ 208 を説明する図である、たとえば図 4 A の熱源素子 2 の発熱が断続的に生じるような場合である。たとえば、熱源素子 2 が DC/DC コンバータ（図示せず）のハイサイドトランジスタである場合には、一般的にはパルス幅変調 (PWM、Pulse Width Modulation) の駆動信号でハイサイドトランジスタがオンオフ制御される。

[0076] 図6の上段は、熱源素子2の熱エネルギー変化を示す波形である。たとえば、熱源素子2がn型MOSトランジスタである場合、熱源素子2を制御する駆動信号もほぼ同じ波形になる。時刻 t_{11} ～ t_{12} 、 t_{13} ～ t_{14} 、 t_{15} ～ t_{16} 、及び時刻 t_{17} ～ t_{18} では駆動信号がハイレベルHであり、熱源素子2がオンになり、エネルギーを消費している。時刻 t_{12} ～ t_{13} 、 t_{14} ～ t_{15} 、 t_{15} ～ t_{16} 、及び時刻 t_{18} 以降では駆動信号がローレベルLであり、熱源素子2がオフになり、動作を停止している。

[0077] 図6の下段は、熱源素子2の熱エネルギーが図6の上段のように変化する場合、基準点3と熱源素子2との温度差の変化を示す図である。基準点3と熱源素子2の温度差が時刻 t_{11} ～ t_{12} 、 t_{13} ～ t_{14} 、 t_{15} ～ t_{16} 、及び時刻 t_{17} ～ t_{18} で上昇し、時刻 t_{12} ～ t_{13} 、 t_{14} ～ t_{15} 、 t_{15} ～ t_{16} 、及び時刻 t_{18} 以降で降下する。こうした場合の温度差の算出方法は第1実施形態で求めた温度差の算出方法と同じである。また、第2実施形態では時刻 t_{12} 、 t_{14} 、及び時刻 t_{16} の時、温度差が最大の ΔT_{max} になる。なお、最大温度差 ΔT_{max} が生じる時刻は時刻 t_{12} 、 t_{14} 、及び時刻 t_{16} 以外にも存在する。

[0078] (第3実施形態)

図7は、第3実施形態に係る半導体集積回路の回路シミュレーション方法を示すフローチャートである。第3実施形態はたとえば、本発明の第1実施形態または第2実施形態で設計、製造された半導体集積回路の回路シミュレーションに適用する場合に適用される。すなわち、第3実施形態は既に製造され完成された半導体集積回路でのタイミング素子の配置が適切であったかどうかを検証する場合に用いる。第3実施形態は、ステップ301～310から成るがステップ301～ステップ304のそれぞれは第2実施形態でのステップ201～ステップ204のそれぞれと同じである。

[0079] ステップ301は、一般的に回路を設計する際に、回路動作を考慮して、回路図を作成するステップである。対象となる回路の中には用途に応じて熱源素子や各種論理回路、タイミング素子が含まれる。こうした熱源素子を含

む回路機能としてはたとえば、LEDドライバ、モータドライバ、IPD（システム電源装置）等を挙げることができる。

[0080] ステップ302は、ステップ301で作成した回路図に沿って、静特性、動特性を回路シミュレーションするステップである。回路シミュレーションではトランジスタレベルの回路接続情報と回路内の素子の電気的特性に従って、回路内の各ノード電圧、各素子に流れる電流の直流特性や、時間応答特性、周波数応答特性などが算出される。回路シミュレーション、熱解析回路シミュレーションには、たとえば、SPICE（Simulation Program with Integrated Circuit Emphasis）や米国、ケイデンス・デザイン・システムズ社のVirtuoso AMS Designerなどを用いることができる。

[0081] ステップ303は、ステップ302での回路シミュレーションにより発熱量を算出するステップである。すなわち、回路動作時の回路素子に流れる電流と印加される電圧により、熱源素子及びそれ以外の各回路素子も含めて算出する。

[0082] ステップ304は、発熱体の面積を算出するステップである。ステップ302の回路シミュレーションでは各回路素子に流れる電流と印加される電圧が求まってくるので、それらのデータから半導体チップ全体に占める発熱部の面積を計算する。発熱部の中には熱源素子だけではなく比較的大きな発熱素子が対象となる。発熱部の面積を求めることは本発明では必須の構成要件ではないが、後述のフロアプランを行うときに各回路素子の配置時に考慮される。

[0083] ステップ305～307は第2実施形態のステップ206～208と同じである。第3実施形態では、半導体集積回路内の素子が既に配置されているため、第1実施形態でのステップ105及び第2実施形態でのステップ205が不要となる。

[0084] ステップ306は、熱シミュレーションソフトウェアプログラムに「リードフレーム情報」を入力するステップである。本書では説明の便宜上「リードフレ

ーム情報」として記述するが、必ずしもリードフレームに関わる情報だけに限定されない。たとえば、ステップ306ではボンドワイヤーの材質、径、長さ等を熱シミュレーションの対象としてもかまわない。ステップ306ではおもにリードフレームの熱伝導率、熱抵抗を算出するためにリードフレームの内部リード、外部リードそれぞれの材料、材質、サイズ、厚み等に基づき熱伝導率、熱抵抗が算出される。なお、熱伝導率や熱抵抗の算出にあたっては、特許文献2～5に開示された技術思想を考慮しながら行うことができるが、熱分析の便宜性からみると、市販されているたとえば、上記米国ケイデンス・デザイン・システムズ社のVirtuoso AMS Designerを用いると良い。なお、リードフレームの模式図およびそれに関わるリードフレームの各種情報は、先述の図2A及び図2Bに示される。

[0085] ステップ307は、「パッケージ情報」を入力するステップである。パッケージ情報なる語句も先に説明した「リードフレーム情報」と同様に便宜上用いている。ステップ307のパッケージ情報では、半導体チップ自体の熱伝導率、熱抵抗、さらにはリードフレームを封止する樹脂体の熱伝導率、熱抵抗を算出する。さらに先に述べたリードフレームが樹脂体に封止された後の熱伝導率、熱抵抗も算出する。さらに、半導体チップ上のボンディングパッドと内部リードとの間に結線されるボンドワイヤーの径、長さに基づきボンディングワイヤーの熱伝導率、熱抵抗が算出される。さらに、ダイがリードフレームではなく、何らかの基板に固着される場合には、その基板の熱抵抗が算出される。また、ダイが固着された基板がさらに別の基板に取り付けられる構成の場合には、その別の基板の熱伝導率、熱抵抗の算出をステップ307で行う。なお、ステップ307で処理されるパッケージの模式図及びそれに関わるパッケージ情報は先述の図3A～図3Dに示される。

[0086] なお、第3実施形態ではステップ306でリードフレーム情報を扱い、ステップ307でパッケージ情報を扱ったが、これらの処理ステップの順序は逆転しても構わない。すなわち、ステップ306でパッケージ情報を扱い、ステップ307でリードフレーム情報を扱ってもかまわない。また、リード

フレーム情報とパッケージ情報を1つのステップで熱シミュレーションプログラムに入力してもよい。

[0087] ステップ308は熱シミュレーションを行うステップである。第1実施形態のステップ108は熱源素子の熱伝達が安定した後、すなわち定常時において、熱源素子2と半導体チップ上の基準点3（モニター点）との間の熱シミュレーションを行ったが、第3実施形態のステップ308は熱源素子2の発熱、熱伝達が変化している状態すなわち過渡的な状態で熱シミュレーションを行う。

[0088] ステップ308はステップ307で算出した各時刻、各パターン別の熱勾配から位置最大熱勾配を抽出するステップである。ステップ308と第2実施形態でのステップ209とを比較すると、実施方法は同じであるが、得られる熱勾配の精度が違う。第2実施形態での回路素子の配置は概略のフロアプランであり、大まかな配置でシミュレーションを行うのに対し、第3実施形態では回路素子、とりわけタイミング素子の配置が完了した後に回路シミュレーションを行うため、セットアップ時間、ホールド時間等を適確に把握できるので、これらのマージン設定を次の半導体集積回路の設計、製造時に活用することができる。

[0089] ステップ309はステップ308で求めた最大熱勾配によるセットアップ時間、ホールド時間、及び遅延時間の情報を各回路素子、とりわけタイミング素子にフィードバックするステップである。たとえば、信号伝達があるタイミング素子間に温度差がある場合、その温度差による時間遅延を時定数 $R1C1$ に変換してフィードバックする。こうしたフィードバックによって、回路シミュレーションをより適確に行うことができる。

[0090] ステップ310はステップ309で求めた遅延時間を時定数 $R1C1$ に置き換えた後に最終的な回路シミュレーションするステップである。この回路シミュレーションはスタティック、あるいはダイナミックに行ってもよい。こうした回路シミュレーション及び熱シミュレーションによれば、タイミング素子に入力されるデータ信号及びクロック信号の遅延時間を適確に把握す

ることができる。

[0091] 図8A及び図8Bは、第3実施形態のステップ308、309で適用される時定数を示す概念図である。図8Aは、DフリップフロップFF1とDフリップフロップFF2は共に温度25℃置かれているので、両者の間には温度差はない。この場合には、両者間に介在される時定数は0であることを示している。図8Bは、DフリップフロップFF1aは温度25℃に置かれ、DフリップフロップFF1bは温度80℃に置かれた状態を示す。こうした場合には両者に55℃の温度差が生じている。こうした温度差によって、両者には遅延時間が生じるので、その遅延時間を抵抗R1とキャパシタC1の時定数 $R1C1$ で示している。実施形態3ではこうした熱情報をタイミング素子にフィードバックし、そのフィードバックした状態で再度回路シミュレーションを行う。こうした回路シミュレーションによって、実体に即した熱解析を行うことができる。なお、各Dフリップフロップは入力端子CP1、D入力端子D1、及びQ出力端子Q1、Q2を有している。

産業上の利用可能性

[0092] 以上説明したように、本発明に係る半導体集積回路の配置方法、回路シミュレーション方法は、熱源素子を含むタイミング素子のセットアップ時間、ホールド時間、及び遅延時間をリードフレーム情報及びパッケージ情報に基づき適確に把握することができるので、温度変化に対して回路動作の安定した半導体集積回路を提供することができるので、その産業上の利用可能性は極めて高い。

符号の説明

- [0093]
- 1 半導体チップ（半導体集積回路）
 - 2 熱源素子
 - 3 基準点（モニター点）
 - 21～24, 31～34, 41～44 タイミング素子
 - A1 パッケージスタンドオフ
 - A2 封止体厚

b リード幅
B ボード
b w ボンドワイヤー
d ダイ（半導体チップ）
D 1 封止体長
d a ダイアタッチ
d b w ボンドワイヤー径
d d f ダイパッドダウンセット
D P ダイパッド（ダイフラグ）
e リードピッチ
E パッケージ長
E 1 封止体幅
E C 樹脂封止体
g l フラッグギャップ
h リードフレーム高さ
H r a 金属載置部
L ランド
L 1, L 2, L 3 等温線
L b w ボンドワイヤー長
L d ダイ長
L f ダイパッド長
L f t リードフット長
O L 外部リード
s 半田
t d ダイ厚
T L タブリード
t l リード幅
W d ダイ幅

W f ダイパッド幅

W t b タブリード幅

請求の範囲

- [請求項1] 熱源素子を含む半導体集積回路の回路図を作成するステップと、
前記回路図に基づき前記半導体集積回路の回路動作シミュレーションを行うステップと、
前記回路動作シミュレーションに基づき、前記半導体集積回路の発熱量を算出するステップと、
前記算出した発熱量を参照して前記半導体集積回路のフロアプランを行うステップと、
前記半導体集積回路が搭載されるリードフレーム情報及び前記半導体集積回路が封止されるパッケージ情報に基づき熱抵抗を算出するステップと、
前記パッケージに封止された前記半導体集積回路全体の熱シミュレーションを行うステップと、
前記熱シミュレーションの結果に基づき前記半導体集積回路の温度分布を作成するステップと、
前記温度分布に沿って少なくともタイミング素子を半導体チップ上に配置するステップとを備えていることを特徴とする半導体集積回路の配置方法。
- [請求項2] 前記半導体集積回路の発熱量を算出するステップの前または後で前記熱源素子の発熱部の面積を算出することを特徴とする請求項1に記載の半導体集積回路の配置方法。
- [請求項3] 前記リードフレーム情報および前記パッケージ情報に基づき熱抵抗を算出する前に、パッケージに封止された前記半導体集積回路全体の三次元形状が適切であるかどうかをC A Dで確認することを特徴とする請求項1または請求項2に記載の半導体集積回路の配置方法。
- [請求項4] 前記熱抵抗を算出する際に前記リードフレーム情報及び前記パッケージ情報から算出される熱抵抗の大きさを実体の10倍～1倍の範囲で求めることを特徴とする請求項1または請求項2に記載の半導体集

積回路の配置方法。

- [請求項5] 前記熱抵抗を算出する際に、前記半導体集積回路の内部配線に用いる配線材料の熱抵抗を実体の10倍～1倍の範囲で行うことを特徴とする請求項1または請求項2に記載の半導体集積回路の配置方法。
- [請求項6] 前記温度分布は前記半導体集積回路内の同じ温度の地点を結んで生成される等温線であることを特徴とする請求項1または請求項2に記載の半導体集積回路の配置方法。
- [請求項7] 前記熱シミュレーションは前記熱源素子が定常動作時の発熱特性に基づいて計算することを特徴とする請求項1または請求項2に記載の半導体集積回路の配置方法。
- [請求項8] 前記タイミング素子がフリップフロップ回路であることを特徴とする請求項1または請求項2に記載の半導体集積回路の配置方法。
- [請求項9] 請求項1～8のいずれか1項に記載の半導体集積回路の配置方法に基づき設計、製造されることを特徴とする半導体集積回路。
- [請求項10] 前記半導体集積回路は、LEDドライバ、電源回路、インテリジェントパワーデバイス、及び中央処理装置の少なくとも1つの回路機能を備えていることを特徴とする請求項9に記載の半導体集積回路。
- [請求項11] 熱源素子を含む半導体集積回路の回路図を作成するステップと、
前記回路図に基づき前記半導体集積回路の回路動作シミュレーションを行うステップと、
前記回路動作シミュレーションに基づき、前記半導体集積回路の発熱量を算出するステップと、
前記算出した発熱量を参照して前記半導体集積回路のフロアプランを行うステップと、
前記半導体集積回路が搭載されるリードフレーム及び前記半導体集積回路が封止されるパッケージの各種情報に基づき熱抵抗を熱シミュレーションソフトに入力するステップと、
前記熱抵抗に基づき前記半導体集積回路が前記パッケージに封止さ

れた半導体集積回路全体の熱シミュレーションを行うステップと、

前記熱シミュレーションの結果に基づき最大熱勾配差を算出するステップと、

前記算出した熱勾配差に基づき前記半導体集積回路を構成するタイミング素子のワーストタイミングを算出するステップと、

前記ワーストタイミングに基づき前記ワーストタイミングで回路シミュレーションを行うステップと、を備えたことを特徴とする半導体集積回路の回路シミュレーション方法。

[請求項12] 前記タイミング素子はフリップフロップ回路であることを特徴とする請求項11に記載の半導体集積回路の回路シミュレーション方法。

[請求項13] 前記フリップフロップ回路のワーストタイミングはセットアップ時間、ホールド時間、及び遅延時間から算出されることを特徴とする請求項12に記載の半導体集積回路の回路シミュレーション方法。

[請求項14] 前記最大熱勾配差は、前記リードフレーム情報及び前記パッケージ情報から算出される熱抵抗 R 及び熱容量の C との積である RC 時定数の $1/3$ から $1/20$ の時間ステップで求めることを特徴とする請求項11に記載の半導体集積回路の回路シミュレーション方法。

[請求項15] 前記熱勾配差を算出するに当たっては、前記リードフレーム情報及び前記パッケージ情報から算出される熱抵抗の大きさを実体の 10 倍～ 1 倍の範囲で求めることを特徴とする請求項14に記載の半導体集積回路の回路シミュレーション方法。

[請求項16] 前記熱勾配差を算出するに当たっては、前記半導体集積回路の内部配線に用いる配線材料の熱抵抗を実体の 10 倍～ 1 倍の範囲で行うことを特徴とする請求項14に記載の半導体集積回路の回路シミュレーション方法。

[請求項17] 請求項11～16のいずれか1項に記載の半導体集積回路の回路シミュレーション方法に基づき設計、製造される半導体集積回路。

[請求項18] 前記半導体集積回路はLEDドライバ、電源回路、インテリジェン

トパワーデバイス、及び中央処理装置のいずれか1つの回路機能を備えていることを特徴とする請求項17に記載の半導体集積回路。

- [請求項19] 熱源素子を含む半導体集積回路の回路図を作成するステップと、
前記回路図に基づき前記半導体集積回路の回路動作シミュレーションを行うステップと、
前記回路動作シミュレーションに基づき、前記半導体集積回路の発熱量を算出するステップと、
前記半導体集積回路が搭載されるリードフレーム及び前記半導体集積回路が封止されるパッケージの各種情報に基づき熱抵抗を算出するステップと、
前記算出した熱抵抗に基づき前記パッケージに封止された半導体集積回路全体の熱シミュレーションを行うステップと、
前記熱シミュレーションの結果に基づき最大熱勾配差の熱分布情報を抽出するステップと、
前記抽出した熱分布情報を、前記半導体集積回路を構成するタイミング素子にフィードバックするステップと、
前記フィードバックした熱分布情報に基づき回路シミュレーションまたは熱シミュレーションを行うことを特徴とする半導体集積回路の回路シミュレーション方法。

- [請求項20] 前記半導体集積回路の発熱量を算出するステップの前または後で前記熱源素子の発熱部の面積を算出することを特徴とする請求項19に記載の半導体集積回路の回路シミュレーション方法。

- [請求項21] 前記リードフレーム情報および前記パッケージ情報に基づき熱抵抗を算出する前に、パッケージに封止された前記半導体集積回路全体の三次元形状が適切であるかどうかをCADで確認することを特徴とする請求項19または請求項20に記載の半導体集積回路の回路シミュレーション方法。

- [請求項22] 前記タイミング素子はフリップフロップ回路であることを特徴とす

る請求項 19 に記載の半導体集積回路の回路シミュレーション方法。

[請求項23] 前記フィードバックの対象となる情報は、前記タイミング素子のセットアップ時間、ホールド時間、及び遅延時間であることを特徴とする請求項 19 に記載の半導体集積回路の回路シミュレーション方法。

[請求項24] 前記タイミング素子と他のタイミング素子との間に温度差がある場合には、温度差に応じた時間遅延を時定数 $R1C1$ に変換してフィードバックすることを特徴とする請求項 23 に記載の半導体集積回路のシミュレーション方法。

[請求項25] 前記熱分布情報は前記リードフレーム情報及び前記パッケージ情報から算出される熱抵抗 R 及び熱容量 C との積である RC 時定数の $1/3 \sim 1/20$ の時間ステップで求めることを特徴とする請求項 19 に記載の半導体集積回路の回路シミュレーション方法。

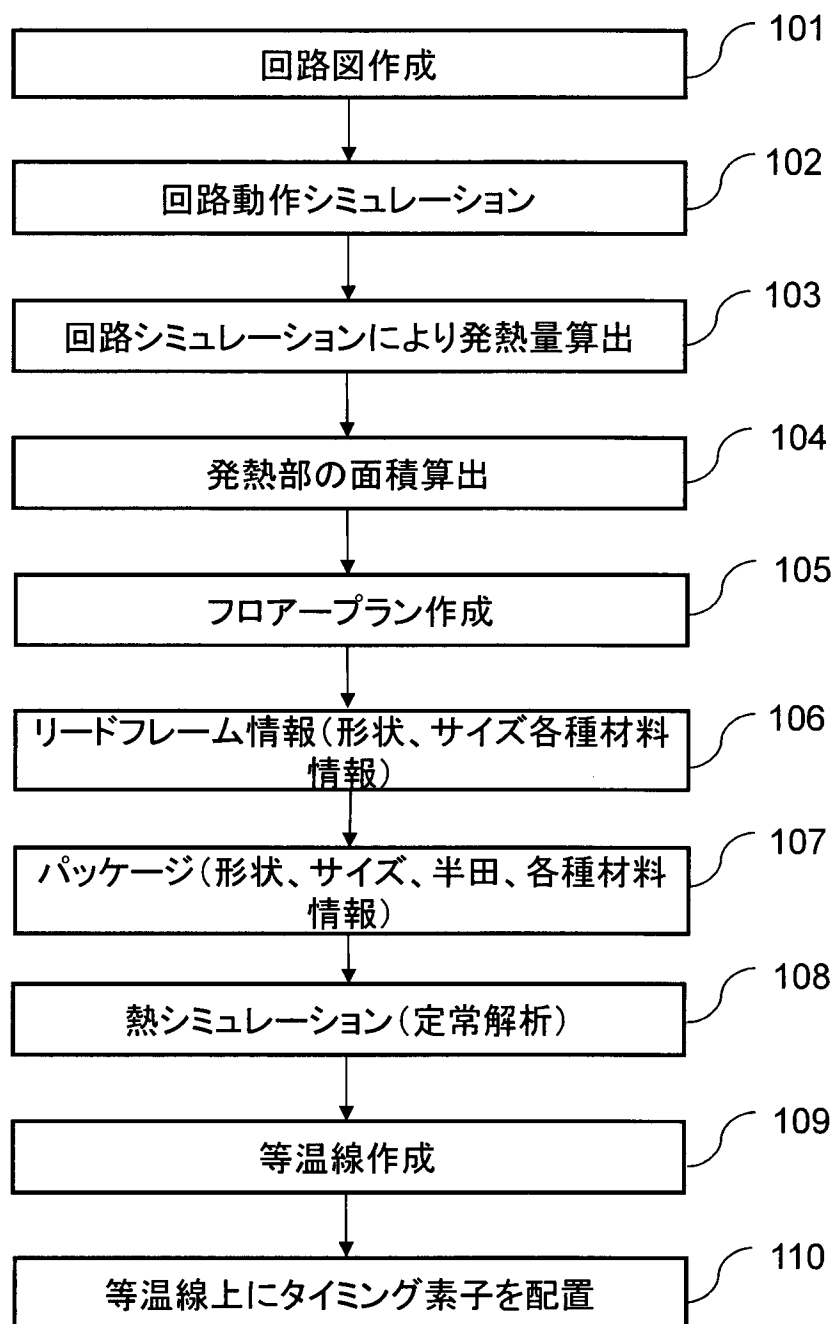
[請求項26] 前記最大熱勾配差を算出するに当たっては、前記リードフレーム情報及び前記パッケージ情報から算出される熱抵抗の大きさを実体の 10 倍～ 1 倍の範囲で求めることを特徴とする請求項 19 に記載の半導体集積回路の回路シミュレーション方法。

[請求項27] 前記熱勾配差を算出するに当たっては、前記リードフレーム情報及び前記パッケージ情報から算出される熱抵抗の大きさを実体の $0.5 \sim 0$ の範囲で求めることを特徴とする請求項 19 に記載の半導体集積回路の回路シミュレーション方法。

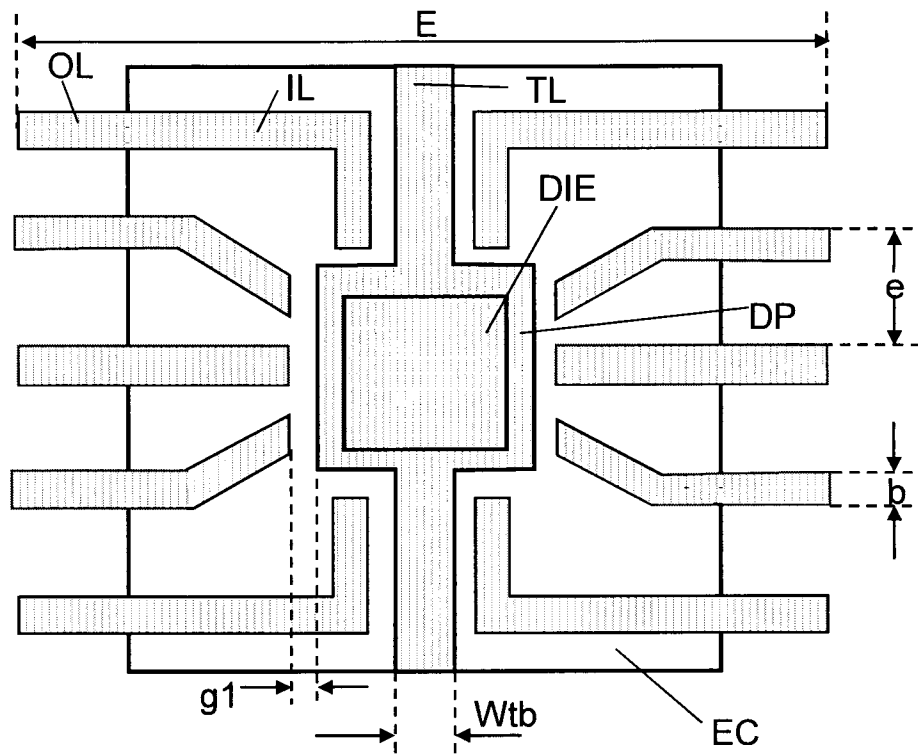
[請求項28] 請求項 19～27 のいずれか 1 項に記載の半導体集積回路の回路シミュレーションに基づき設計、製造されることを特徴とする半導体集積回路。

[請求項29] 前記半導体集積回路は LED ドライバ、電源回路、インテリジェントパワーデバイス、及び中央処理装置のいずれか 1 つの回路機能を備えていることを特徴とする請求項 28 に記載の半導体集積回路。

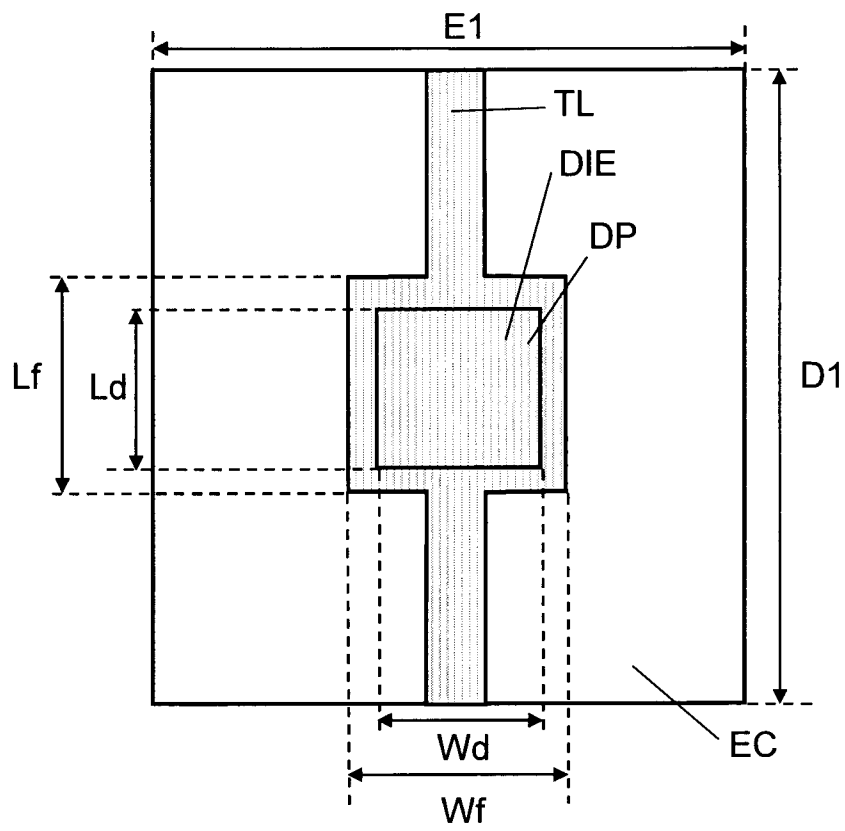
[図1]



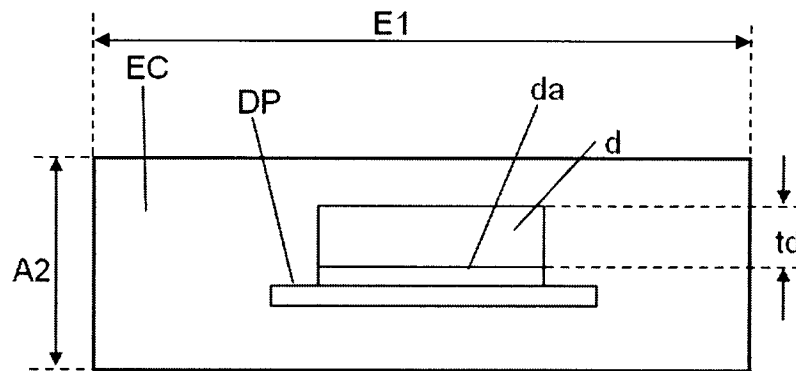
[図2A]



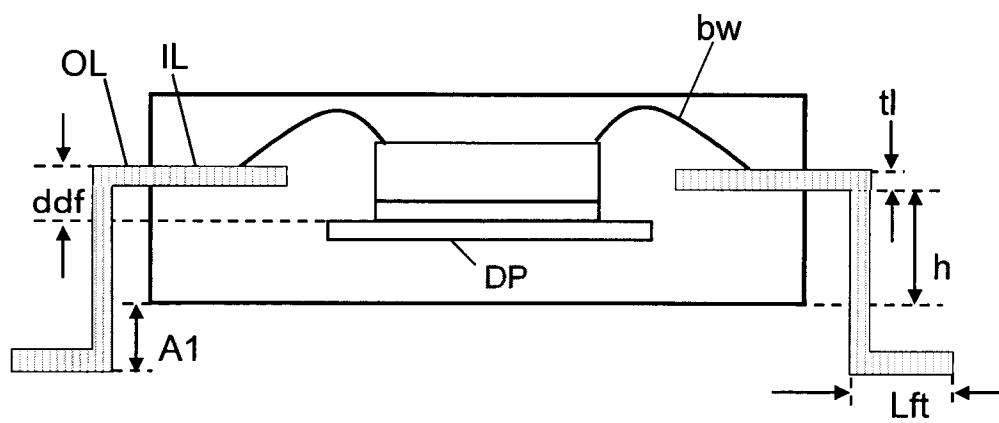
[図2B]



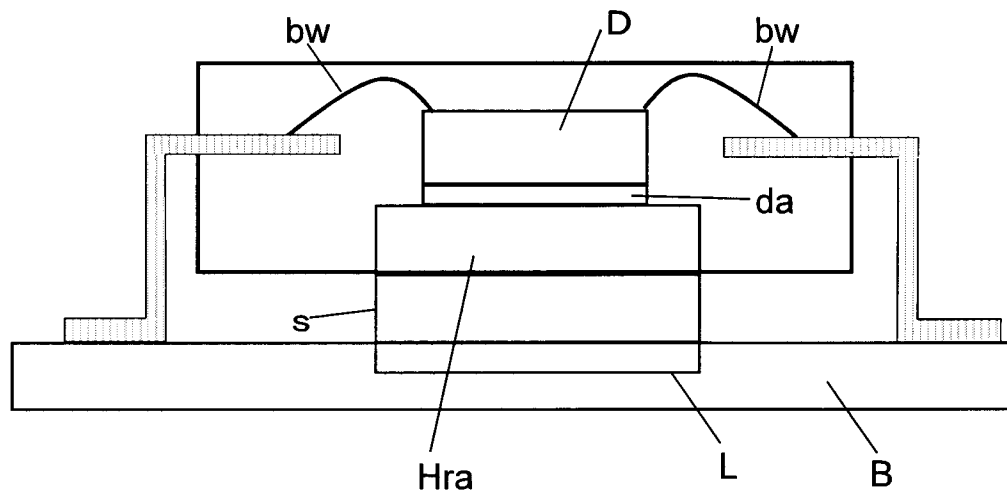
[図3A]



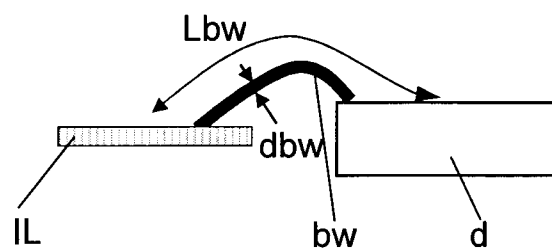
[図3B]



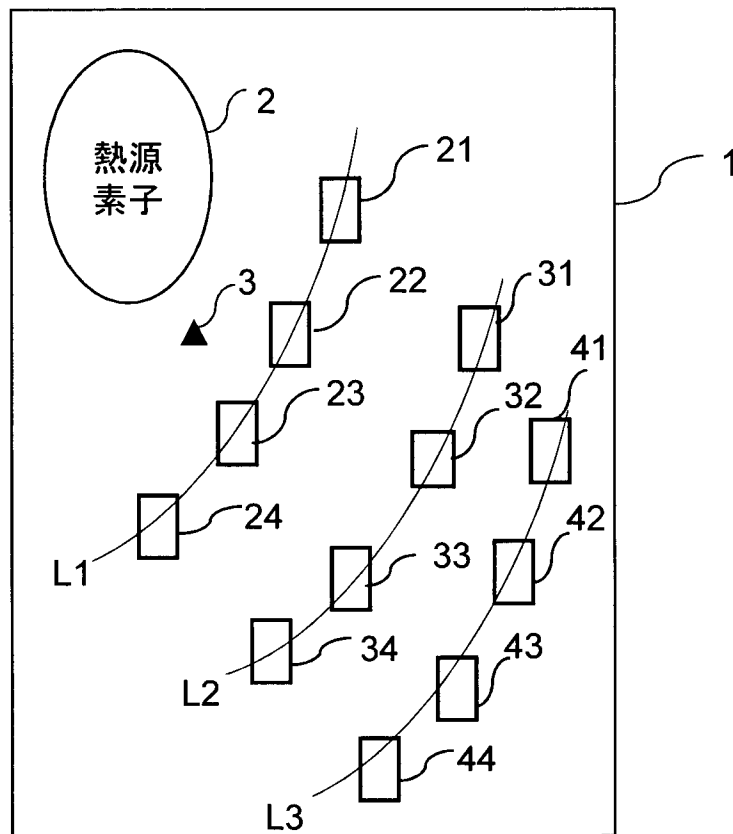
[図3C]



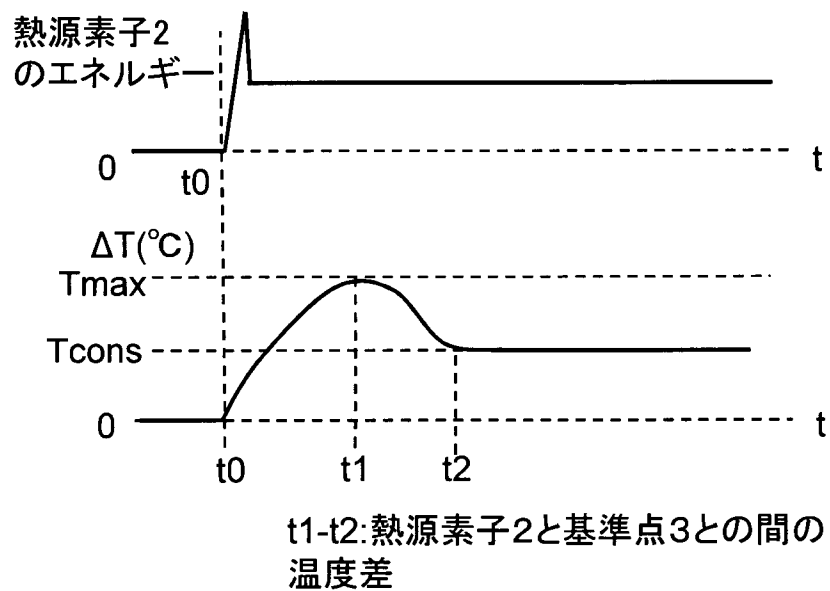
[図3D]



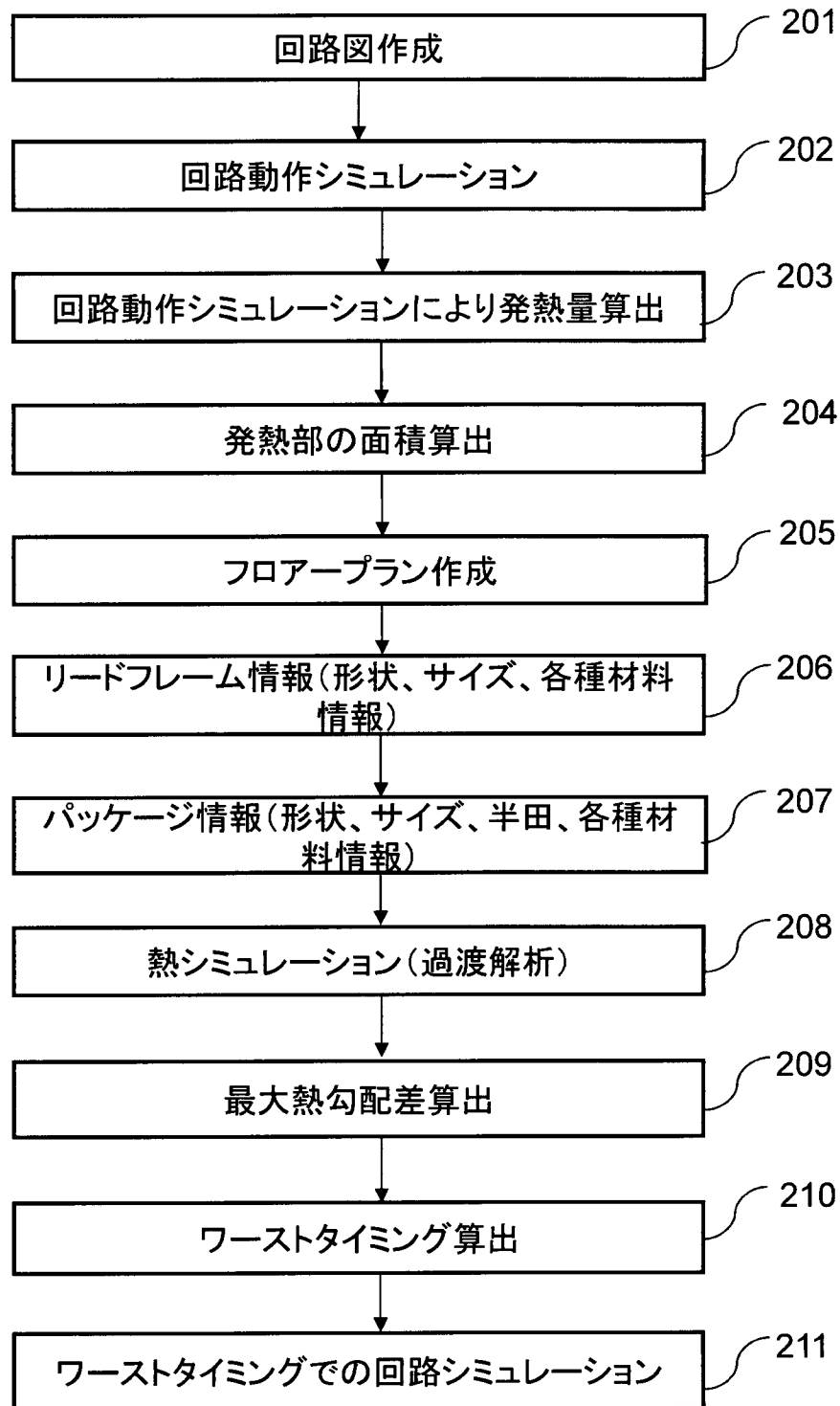
[図4A]



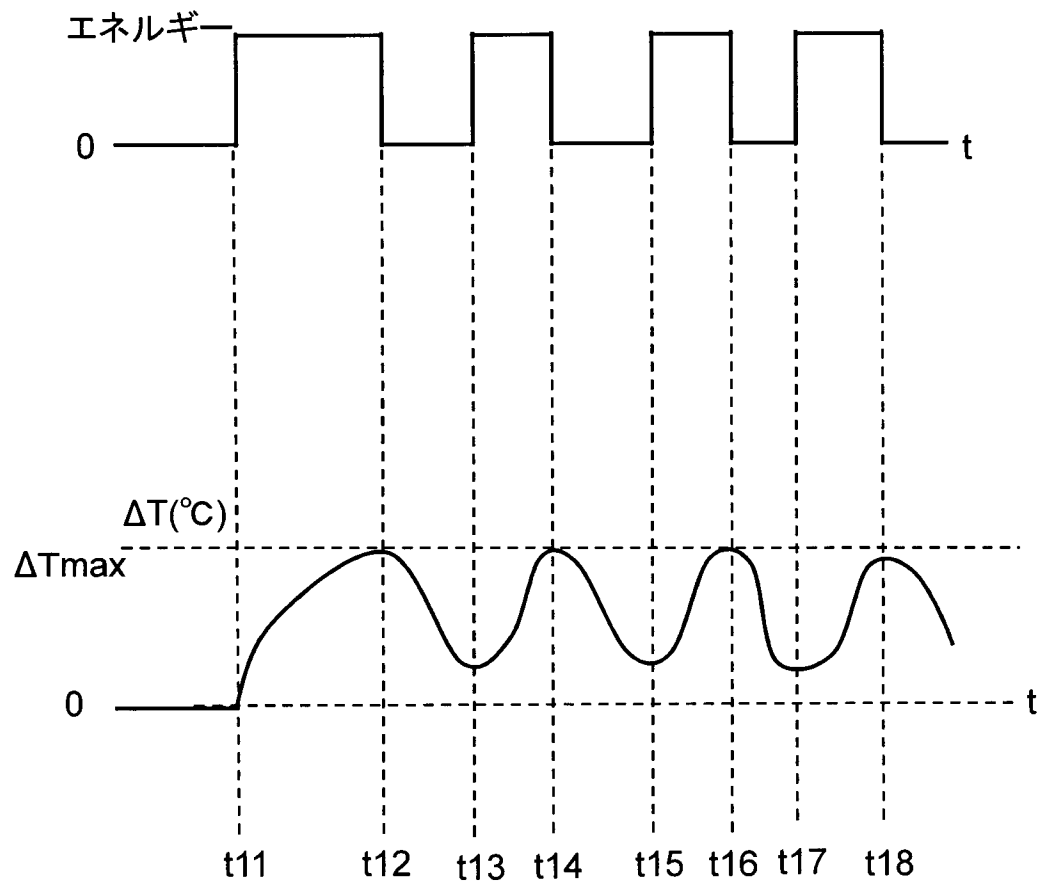
[図4B]



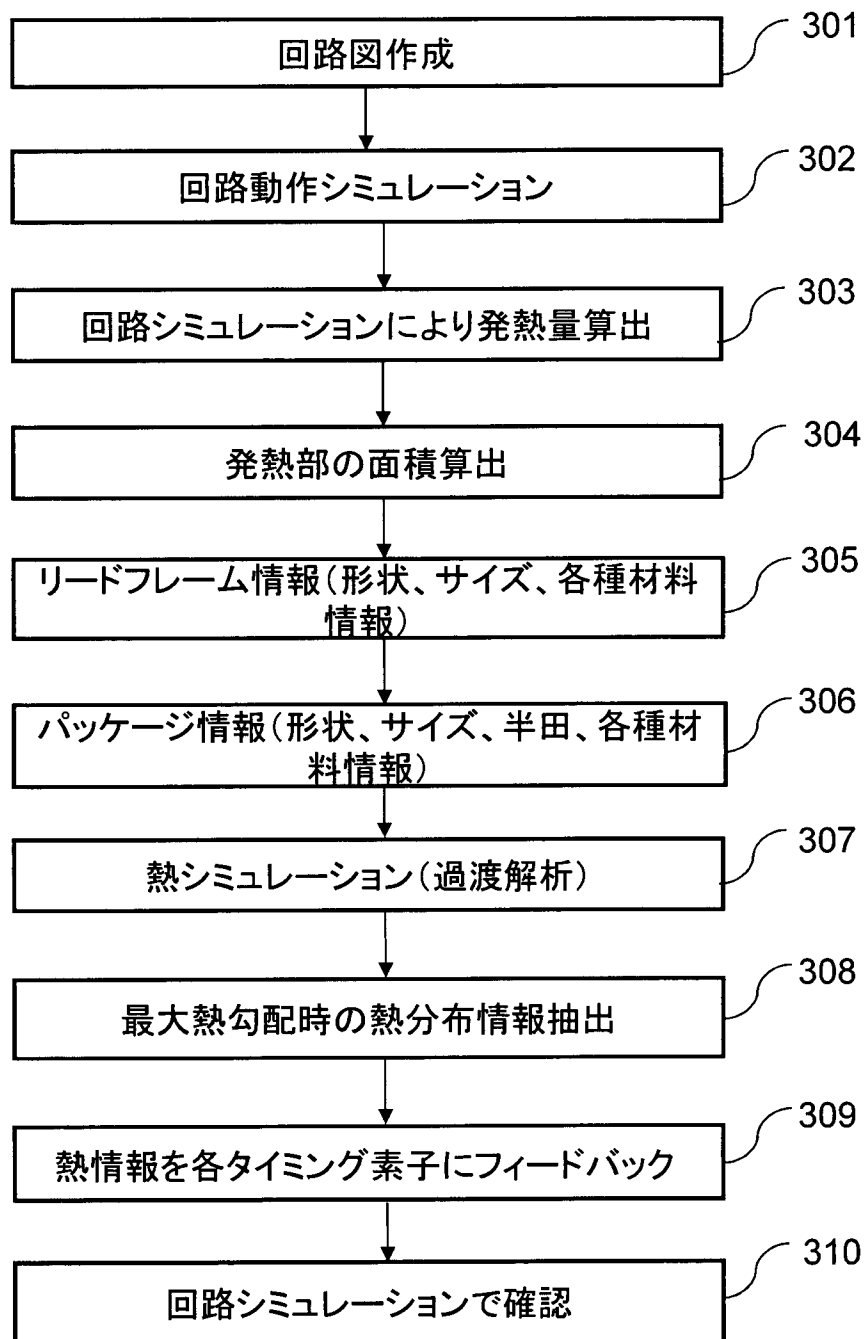
[図5]



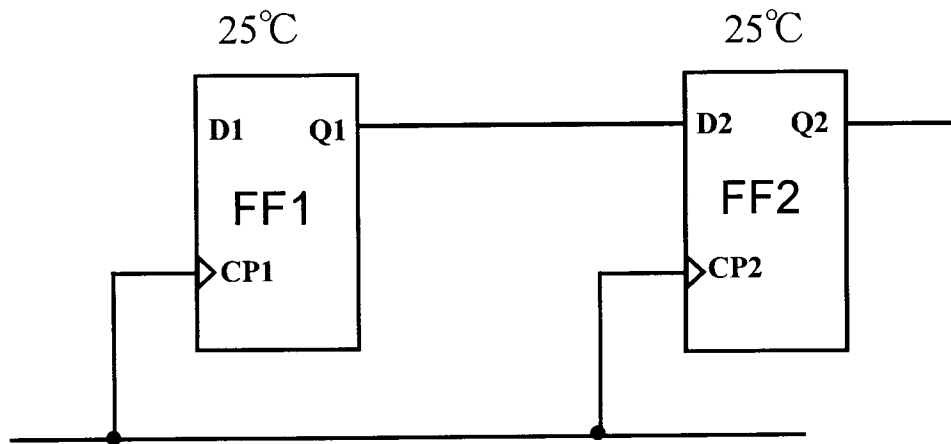
[図6]



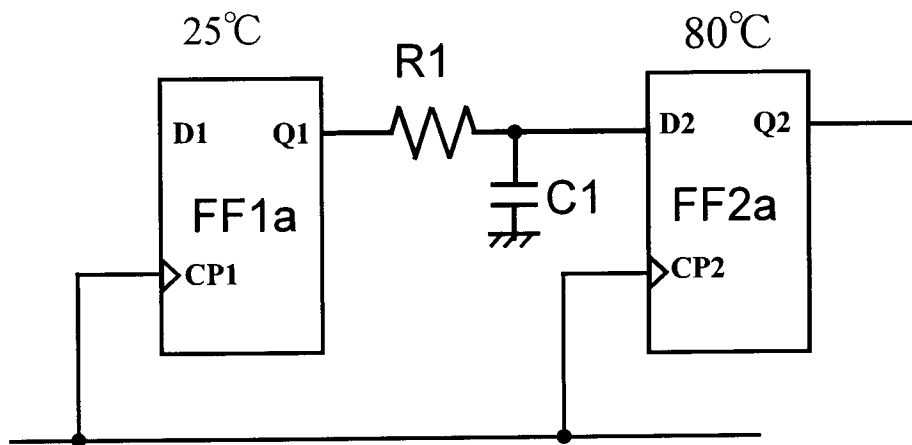
[図7]



[図8A]



[図8B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/065065

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50(2006.01)i, H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50, H01L21/82, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-266254 A (NEC Corp.), 07 October 1997 (07.10.1997), paragraphs [0020] to [0027] (Family: none)	1-29
A	JP 9-282341 A (Oki Electric Industry Co., Ltd.), 31 October 1997 (31.10.1997), paragraphs [0011] to [0023], [0031] to [0054] (Family: none)	1-29
A	US 2009/0199140 A1 (KARIAT, V.), 06 August 2009 (06.08.2009), paragraphs [0002] to [0009] (Family: none)	1-29

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
05 July 2016 (05.07.16)

Date of mailing of the international search report
12 July 2016 (12.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F17/50(2006.01)i, H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F17/50, H01L21/82, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-266254 A (日本電気株式会社) 1997. 10. 07, [0020] - [0027] (ファミリーなし)	1 - 2 9
A	JP 9-282341 A (沖電気工業株式会社) 1997. 10. 31, [0011] - [0023], [0031] - [0054] (ファミリーなし)	1 - 2 9
A	US 2009/0199140 A1 (KARIAT, V.) 2009. 08. 06, [0002] - [0009] (ファミリーなし)	1 - 2 9

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 7 . 2 0 1 6

国際調査報告の発送日

1 2 . 0 7 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

松浦 功

5 M

9 1 8 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 9