



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I669560 B

(45)公告日：中華民國 108 (2019) 年 08 月 21 日

(21)申請案號：104126099

(22)申請日：中華民國 99 (2010) 年 11 月 26 日

(51)Int. Cl. : G02F1/1362 (2006.01)

G09G3/36 (2006.01)

(30)優先權：2009/11/30 日本

2009-272545

2009/12/08 日本

2009-279003

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：小山潤 KOYAMA, JUN (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200742442A

TW 200941729A

TW 200947388A

CN 1400576A

審查人員：陳穎慧

申請專利範圍項數：6 項 圖式數：19 共 95 頁

(54)名稱

液晶顯示裝置、液晶顯示裝置之驅動方法及包含該液晶顯示裝置之電子裝置

LIQUID CRYSTAL DISPLAY DEVICE, METHOD FOR DRIVING THE SAME, AND ELECTRONIC
DEVICE INCLUDING THE SAME

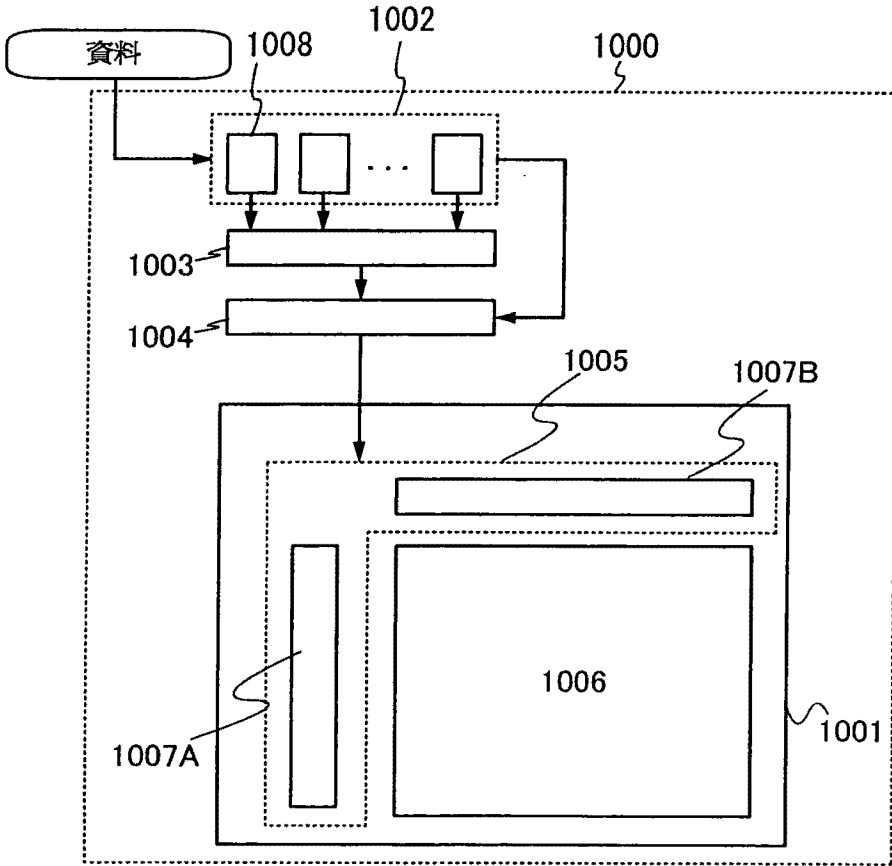
(57)摘要

該液晶顯示裝置包括具被供應影像信號之複數像素之像素部；驅動電路，包括選擇性控制信號線之信號線驅動電路，及選擇性控制閘極線之閘極線驅動電路；儲存該影像信號之記憶體電路；比較電路，比較儲存於該像素之該記憶體電路中影像信號並檢測差異；及顯示控制電路，其控制該驅動電路並依據該差異讀取該影像信號。該顯示控制電路僅供應該影像信號予檢測到該差異之該像素。該像素包括薄膜電晶體，該薄膜電晶體包括具氧化物半導體之半導體層。

The liquid crystal display device includes a pixel portion including a plurality of pixels to which image signals are supplied; a driver circuit including a signal line driver circuit which selectively controls a signal line and a gate line driver circuit which selectively controls a gate line; a memory circuit which stores the image signals; a comparison circuit which compares the image signals stored in the memory circuit in the pixels and detects a difference; and a display control circuit which controls the driver circuit and reads the image signal in accordance with the difference. The display control circuit supplies the image signal only to the pixel where the difference is detected. The pixel includes a thin film transistor including a semiconductor layer including an oxide semiconductor.

指定代表圖：

圖 1



- 符號簡單說明：
- 1000 . . . 液晶顯示裝置
 - 1001 . . . 顯示面板
 - 1002 . . . 記憶體電路
 - 1003 . . . 比較電路
 - 1004 . . . 顯示控制電路
 - 1005 . . . 驅動電路部
 - 1006 . . . 像素部
 - 1007A . . . 閘極線驅動電路
 - 1007B . . . 信號線驅動電路
 - 1008 . . . 訊框記憶體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

液晶顯示裝置、液晶顯示裝置之驅動方法及包含該液晶顯示裝置之電子裝置

Liquid crystal display device, method for driving the same, and electronic device including the same

【技術領域】

本發明關於液晶顯示裝置。此外，本發明關於液晶顯示裝置之驅動方法。此外，本發明關於包括液晶顯示裝置之電子裝置。

【先前技術】

使用非結晶矽或多晶矽於諸如玻璃基板之平板上形成薄膜電晶體，典型見於液晶顯示裝置。儘管包括非結晶矽之薄膜電晶體具有低場效移動性，但其可形成於較大玻璃基板上。相反地，儘管包括多晶矽之薄膜電晶體具有高場效移動性，但其需要諸如雷射退火之結晶程序，且閾值電壓大為改變，使得該種電晶體並非總適於較大玻璃基板。

相反地，一種技術已引起注意，藉此使用氧化物半導體形成薄膜電晶體並應用於電子裝置或光學裝置。例如，參考文獻 1 揭露一種技術，藉此使用氧化鋅或用於氧化物半導體膜之 In-Ga-Zn-O 基氧化物半導體形成薄膜電晶

體，並用做液晶顯示裝置中開關元件等。

[參考文獻]

[參考文獻 1]日本公開專利申請案 No. 2006-165528

【發明內容】

包括通道區中氧化物半導體之薄膜電晶體較包括通道區中非結晶矽之薄膜電晶體具有更高場效移動性。包括使用氧化物半導體形成之該等薄膜電晶體的像素，預期將應用於諸如液晶顯示裝置之顯示裝置。

在液晶顯示裝置中所包括之每一像素中，於像素的部分區域中提供用於保持相對電極（其保持液晶材料達某期間）之電位的儲存電容器，以便控制液晶元件之對齊。為保持相對電極（其保持液晶材料）之電位，需要減少電荷從相對電極（其保持液晶材料）洩漏。重要的是減少連接每一像素中所提供之像素電極的薄膜電晶體之關閉狀態電流。

此外，當顯示靜態影像，或顯示部分移動影像為靜態影像（該等影像亦稱為局部移動影像）時，甚至當一連串期間內影像信號均相同時，仍需將影像信號覆寫成為相同影像信號，做為已覆寫之影像信號。因此，甚至當一連串期間內影像信號均相同時，因複數次影像信號的覆寫作業而增加電力消耗。在此狀況下，即使藉由降低影像信號的覆寫頻率而減少電力消耗，因關閉狀態電流等增加，仍難以保持像素中影像信號。因而，擔憂顯示品質將降低。

請注意在本說明書中，關閉狀態電流為當薄膜電晶體關閉（未導通）時，於源極與汲極之間流動之電流。若為 n 通道薄膜電晶體（例如，具約 0 至 2V 之閾值電壓），關閉狀態電流為當負電壓施加於閘極與源極之間時，於源極與汲極之間流動之電流。

鑑於上述問題，本發明之一實施例之目標為減少薄膜電晶體之關閉狀態電流及可顯示移動影像及靜態影像之液晶顯示裝置的電力消耗。

本發明之一實施例為液晶顯示裝置，包括：像素部，包括被供應影像信號之複數像素；驅動電路，包括選擇性控制信號線之信號線驅動電路，及選擇性控制閘極線之閘極線驅動電路；記憶體電路，其儲存影像信號；比較電路，其比較像素中儲存於記憶體電路中之影像信號，及計算差異；及顯示控制電路，其控制驅動電路，及依據差異讀取影像信號。顯示控制電路僅供應影像信號予檢測到差異之像素。像素包括薄膜電晶體。薄膜電晶體之閘極電性連接閘極線；薄膜電晶體之第一端子電性連接信號線；及薄膜電晶體之第二端子電性連接像素電極。薄膜電晶體包括包括氧化物半導體的半導體層。

本發明之一實施例為液晶顯示裝置，包括：像素部，包括被供應影像信號之複數像素；驅動電路，包括選擇性控制信號線及選擇線之信號線驅動電路，及藉由解碼器電路而選擇性控制閘極線的閘極線驅動電路；記憶體電路，其儲存影像信號；比較電路，其比較像素中儲存於記憶體

電路中之影像信號，及計算差異；及顯示控制電路，其控制驅動電路，及依據差異讀取影像信號。顯示控制電路藉由解碼器電路之控制而僅供應影像信號予檢測到差異之像素。像素包括第一薄膜電晶體及第二薄膜電晶體。第一薄膜電晶體之閘極電性連接閘極線；第一薄膜電晶體之第一端子電性連接信號線；及第一薄膜電晶體之第二端子電性連接第二薄膜電晶體之第一端子。第二薄膜電晶體之閘極電性連接選擇線，及第二薄膜電晶體之第二端子電性連接像素電極。第一薄膜電晶體及第二薄膜電晶體各包括包括氧化物半導體的半導體層。

本發明之一實施例為液晶顯示裝置，包括：像素部，包括被供應影像信號之複數像素；驅動電路，包括選擇性控制信號線之具移位暫存器電路的信號線驅動電路，及選擇性控制閘極線之具解碼器電路的閘極線驅動電路；記憶體電路，其儲存影像信號；比較電路，其比較像素中儲存於記憶體電路中之影像信號，及計算差異；及顯示控制電路，其控制驅動電路，及依據差異讀取影像信號。顯示控制電路藉由解碼器電路之控制而供應影像信號予檢測到差異之像素。像素包括薄膜電晶體。薄膜電晶體之閘極電性連接閘極線；薄膜電晶體之第一端子電性連接信號線；及薄膜電晶體之第二端子電性連接像素電極。薄膜電晶體包括包括氧化物半導體的半導體層。

在本發明之一實施例中，藉由二次離子質譜測量之液晶顯示裝置的氧化物半導體中氫之濃度為 $1 \times 10^{16}/\text{cm}^3$ 或更

低。

在本發明之一實施例中，液晶顯示裝置中氧化物半導體之載子濃度為低於 $1 \times 10^{14}/\text{cm}^3$ 。

在本發明之一實施例中，液晶顯示裝置可具有下列結構：像素部包括每一像素中之像素電極，並連同端子部及開關電晶體提供於第一基板之上；相對電極提供於第二基板上；液晶保持在像素電極與相對電極之間；相對電極經由開關電晶體而電性連接端子部；及開關電晶體中所包括之半導體層係使用氧化物半導體形成。

本發明之一實施例為液晶顯示裝置之驅動方法，該液晶顯示裝置包括具被供應影像信號之複數像素之像素部，且該複數像素具包括使用氧化物半導體形成之半導體層的薄膜電晶體；包括信號線驅動電路及閘極線驅動電路之驅動電路；儲存影像信號之記憶體電路；比較像素中儲存於記憶體電路中之影像信號並計算差異之比較電路；及控制驅動電路並讀取影像信號之顯示控制電路。該方法包含以下步驟：讀取及比較儲存於像素中記憶體電路中一連串訊框期間之影像信號，並計算比較電路中差異；及控制驅動電路，使得顯示控制電路僅供應影像信號予比較電路中檢測到差異之像素。

依據本發明之一實施例可減少包括氧化物半導體之薄膜電晶體的關閉狀態電流，及可減少顯示移動影像、靜態影像等電力消耗，而未降低顯示品質。

【圖式簡單說明】

在圖式中：

圖 1 描繪本發明之一實施例中液晶顯示裝置；

圖 2A 及 2B 描繪本發明之一實施例中液晶顯示裝置；

圖 3A 及 3B 描繪本發明之一實施例中液晶顯示裝置；

圖 4A 及 4B 描繪本發明之一實施例中液晶顯示裝置；

圖 5 描繪本發明之一實施例中液晶顯示裝置；

圖 6A 至 6C 描繪本發明之一實施例中液晶顯示裝置；

圖 7A 至 7E 描繪本發明之一實施例中液晶顯示裝置；

圖 8A 至 8E 描繪本發明之一實施例中液晶顯示裝置；

圖 9 描繪本發明之一實施例中液晶顯示裝置；

圖 10A 至 10C 描繪本發明之一實施例中電子裝置；

圖 11A 至 11C 描繪本發明之一實施例中電子裝置；

圖 12 為包括氧化物半導體之反向交錯薄膜電晶體的縱向截面圖；

圖 13A 及 13B 為圖 12 中 A-A'截面之能帶圖（示意圖）；

圖 14A 為能帶圖（示意圖），描繪正電位（ $+V_G$ ）施

加於閘極（G1）之狀態，及圖 14B 為能帶圖（示意圖），描繪負電位（ $-V_G$ ）施加於閘極（G1）之狀態；

圖 15 描繪真空位準、金屬之功函數（ ϕ_M ）與氧化物半導體之電子親和性（ χ ）之間關係；

圖 16 描繪本發明之一實施例中液晶顯示裝置；

圖 17A 至 17C 描繪本發明之一實施例中液晶顯示裝置；

圖 18A 及 18B 描繪本發明之一實施例中液晶顯示裝置；及

圖 19 顯示本發明之一實施例中薄膜電晶體（TFT）之 I_D - V_G 特性。

【實施方式】

以下將參照圖式說明本發明之實施例。請注意，本發明可以各種不同方式實施，且熟悉本技藝之人士將易於理解，在不偏離本發明之精神及範圍下，本發明之模式及細節可以各種方式改變。因此，本發明不應解譯為侷限於下列實施例之說明。請注意，在以下所說明之本發明的結構中，標示相同部分之編號共用於不同圖式中。

請注意，實施例中圖式等中所描繪之每一元件的尺寸、層厚度或區域有時為求清晰而予誇張。因此，本發明之實施例不侷限於該等比例尺。

請注意在本說明書中，使用諸如「第一」、「第二」、「第三」及「第 N」（N 為自然數）之用詞，係為

避免元件間混淆，且不侷限該數量。

（實施例 1）

在本實施例中，說明液晶顯示裝置之方塊圖，及移動影像、靜態影像及局部移動影像之決定程序。首先，圖 1 描繪液晶顯示裝置之方塊圖。

圖 1 中所描繪之液晶顯示裝置 1000 包括顯示面板 1001、記憶體電路 1002、比較電路 1003 及顯示控制電路 1004。從外部輸入供應予每一像素之影像信號 Data。

顯示面板 1001 包括例如驅動電路部 1005 及像素部 1006。

驅動電路部 1005 包括閘極線驅動電路 1007A 及信號線驅動電路 1007B。閘極線驅動電路 1007A 及信號線驅動電路 1007B 為驅動電路，用以選擇性驅動像素部 1006 中所包括之複數像素。具體地，驅動電路部 1005 包括選擇性控制信號線之信號線驅動電路，及選擇性控制閘極線之閘極線驅動電路。例如，解碼器電路可用做閘極線驅動電路 1007A 及信號線驅動電路 1007B。另一方面，解碼器電路可用做閘極線驅動電路 1007A，及移位暫存器電路可用做信號線驅動電路 1007B。

請注意，閘極線驅動電路 1007A、信號線驅動電路 1007B 及像素部 1006 可使用形成於一基板上之薄膜電晶體而予形成。另一方面，閘極線驅動電路 1007A 及信號線驅動電路 1007B 與像素部 1006 可形成於不同基板上。

請注意，有關像素部 1006 之每一像素中所提供之薄膜電晶體，使用 n 通道薄膜電晶體，其半導體層係使用氧化物半導體而予形成。說明用於像素部 1006 中所包括之薄膜電晶體的半導體層之氧化物半導體，及其半導體層係使用氧化物半導體形成之薄膜電晶體。

請注意，有關像素電路之顯示方法，可使用漸進法、交錯法等。此外，彩色顯示時像素中所控制之顏色元素不侷限於三種顏色：R、G 及 B（R、G 及 B 分別對應於紅色、綠色及藍色）。例如，可使用 R、G、B 及 W（W 對應於白色）；R、G、B 及黃色、青綠色、紅紫色等之一或多項等。請注意，顏色元素之點之間顯示區域尺寸可為不同。然而，本發明之一實施例不侷限於彩色液晶顯示裝置，可應用於單色液晶顯示裝置。

有關氧化物半導體，可使用諸如 In-Sn-Ga-Zn-O、In-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O、Sn-Al-Zn-O、In-Zn-O、Sn-Zn-O、Al-Zn-O、Zn-Mg-O、Sn-Mg-O、In-Mg-O、In-O、Sn-O 或 Zn-O 之氧化物半導體。此外，Si 可包含於氧化物半導體中。

有關氧化物半導體，可使用以 $\text{InMO}_3(\text{ZnO})_m$ （ $m>0$ ）表示之薄膜。此處，M 代表選自 Ga、Al、Mn 或 Co 之一或多項金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。在以 $\text{InMO}_3(\text{ZnO})_m$ （ $m>0$ ）表示其組成公式的氧化物半導體膜中，包括 Ga 做為 M 之氧化物半導體稱為 In-Ga-Zn-O 基氧化物半導體，及 In-Ga-

Zn-O 基氧化物半導體之薄膜亦稱為 In-Ga-Zn-O 基膜。

圖 12 為包括氧化物半導體之反向交錯薄膜電晶體的縱向截面圖。氧化物半導體層 (OS) 提供於閘極電極 (GE1) 之上，且閘極絕緣膜 (GI) 提供於其間。源極電極 (S) 及汲極電極 (D) 提供於其上。

圖 13A 及 13B 為圖 12 中 A-A' 截面中能帶圖 (示意圖)。圖 13A 描繪源極之電壓與汲極之電壓相等之狀況 ($V_D=0V$)，圖 13B 描繪正電位 ($V_D>0V$) 施加於汲極之狀況。

圖 14A 及 14B 為圖 12 中 B-B' 截面中能帶圖 (示意圖)。圖 14A 描繪正電位 ($+V_G$) 施加於閘極 (G1) 且載子 (電子) 於源極與汲極之間流動之狀態。此外，圖 14B 描繪負電位 ($-V_G$) 施加於閘極 (G1) 且薄膜電晶體關閉 (少數載子未流動) 之狀態。請注意，在圖 14A 及 14B 中，GND 電位施加於閘極 (G2)。

圖 15 描繪真空位準、金屬之功函數 (ϕ_M) 與氧化物半導體之電子親和性 (χ) 之間關係。

習知氧化物半導體通常具有 n 型傳導性，在此狀況下費米能階 (E_F) 遠離位於帶隙中央之固有費米能階 (E_i)，並位於傳導帶附近。請注意，已知氧化物半導體中部分氫做為供體，並為使氧化物半導體具有 n 型傳導性之一因子。

相反地，本發明之氧化物半導體為固有 (i 型) 或實質上固有氧化物半導體，其係藉由從氧化物半導體移除 n

型雜質之氫，並藉由增加純度使得盡可能避免氧化物半導體主要元素以外之即雜質包含於其中，而予獲得。換言之，氧化物半導體為高度純化本質（i 型）半導體或接近高度純化本質半導體，並非藉由添加雜質，而係藉由盡可能移除諸如氫或水之雜質。以此方式，費米能階（ E_F ）可等於固有費米能階（ E_i ）。

據說若氧化物半導體之帶隙（ E_g ）為 3.15eV ，電子親和性（ χ ）便為 4.3eV 。用於源極電極及汲極電極之鈦（Ti）的功函數實質上等於氧化物半導體之電子親和性（ χ ）。在此狀況下，於金屬與氧化物半導體之間之介面未形成蕭特基電子障壁。

換言之，若金屬之功函數（ ϕ_M ）等於氧化物半導體之電子親和性（ χ ），且金屬及氧化物半導體彼此接觸，便獲得如圖 13A 中之能帶圖（示意圖）。

在圖 13B 中，黑圈（•）表示電子。當正電壓施加於汲極時，電子便跨越障壁（ h ）而注入氧化物半導體，並朝向汲極流動。在此狀況下，障壁（ h ）之高度依據閘極電壓及汲極電壓而改變；若施加正汲極電壓，障壁（ h ）之高度便小於圖 13A 中未施加電壓之障壁高度，即帶隙（ E_g ）的一半。

在此狀況下，如圖 14A 中所描繪，電子沿能量穩定之閘極絕緣膜與高度純化氧化物半導體之間介面的氧化物半導體側之最低部移動。

此外，在圖 14B 中，當負電位施加於閘極（G1）

時，因為少數載子之電洞數量實質上為零，所以電流量極接近零。

例如，當薄膜電晶體具有 $1 \times 10^4 \mu\text{m}$ 通道寬度 W 及 $3 \mu\text{m}$ 通道長度 L 時，可獲得 10^{-13}A 或更低之關閉狀態電流及 0.1V/dec 之子閾值擺幅（ S 值）（閘極絕緣層之厚度為 100nm ）。

藉由增加純度，使得儘可能不包括氧化物半導體之主要成分以外的雜質，以此方式，薄膜電晶體可有利地操作。

為避免本發明之氧化物半導體的電氣特性改變，刻意從氧化物半導體層移除造成改變之雜質，諸如氫、濕氣、羥基或氫化物（亦稱為氫化合物）。此外，藉由供應於移除雜質之步驟中同時減少之氧化物半導體成分的氧，氧化物半導體層成為高度純化電氣 i 型（本質）氧化物半導體層。

因此，較佳的是氧化物半導體中氫的量盡可能少。較佳的是氧化物半導體中氫的量為 $1 \times 10^{16} / \text{cm}^3$ 或更低，並盡可能移除氧化物半導體中所包含之氫，以便盡可能接近零。請注意，氧化物半導體中氫的濃度係藉由二次離子質譜（SIMS）測量。

此外，高度純化氧化物半導體中載子數量顯著地低（接近零），且氧化物半導體層之載子濃度為低於 $1 \times 10^{14} / \text{cm}^3$ ，較佳地為 $1 \times 10^{12} / \text{cm}^3$ 或更低。即，氧化物半導體層之載子濃度盡可能接近零。由於氧化物半導體中載

子數量顯著地低，可減少薄膜電晶體之關閉狀態電流。較佳的是關閉狀態電流盡可能低。薄膜電晶體中通道寬度（W）之每一微米電流量為 $100\text{aA}/\mu\text{m}$ 或更低，較佳地為 $10\text{aA}/\mu\text{m}$ 或更低，更佳地為 $1\text{aA}/\mu\text{m}$ 或更低。

此處，參照數值方程式及測量資料詳細說明載子數量顯著地低（實質上為零）及高度純化氧化物半導體中關閉狀態電流顯著地低之狀況。

若費米迪拉克分佈保持真，高度純化氧化物半導體之 E_g 為 3.05 至 3.15eV ；因而，固有載子之數量遠小於 Si（亦稱為矽）。此外，Si 之固有載子密度 n_i 約 10^{10}cm^{-3} ，且高度純化氧化物半導體之本質載子密度 n_i 約 10^{-7}cm^{-3} 。換言之，Si 之固有載子密度 n_i 與高度純化氧化物半導體之本質載子密度 n_i 之間差異約為 17 位數，發現高度純化氧化物半導體之本質載子密度 n_i 遠小於 Si。

高度純化氧化物半導體之本質載子濃度可輕易估計。

已知固體中電子之能量分佈 f 係依據數值方程式 1 表示之費米迪拉克統計。

[數值方程式1]

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)}$$

不具有如此高之載子密度的正常半導體，即正常半導體未降格，其費米迪拉克分佈約為下列數值方程式。

[數值方程式2]

$$|E - E_F| > kT$$

因此，以數值方程式 1 表示之費米迪拉克分佈，可約為以數值方程式 3 表示之波茲曼分佈的方程式。

[數值方程式3]

$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right]$$

當使用數值方程式 3 計算半導體之固有載子密度（ n_i ）時，獲得數值方程式 4。

[數值方程式4]

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right)$$

藉由將傳導帶中狀態之有效密度（ N_c 及 N_v ）及帶隙（ E_g ），和參考及 In-Ga-Zn-O（以下縮寫為 IGZO）中所揭露之 Si 之價帶等各值代入數值方程式 4，而計算固有載子密度。表 1 顯示計算。請注意，有關 IGZO 之帶隙，顯示 3.05eV 之參考值（IGZO1）及 3.15eV 之測量值（IGZO2）。

[表1]

	Si	IGZO(1)	IGZO(2)
N_c (300K) [cm ⁻³]	2.8×10^{19}	5.0×10^{18}	5.0×10^{18}
N_v (300K) [cm ⁻³]	1.04×10^{19}	5.0×10^{18}	5.0×10^{18}
E_g (300K) [eV]	1.08	3.05	3.15
n_i (300K) [cm ⁻³]	1.45×10^{10}	1.2×10^{-7}	1.7×10^{-8}

表 1 中結果顯示，IGZO 之固有載子密度遠低於 Si。若選擇 3.05eV 做為 IGZO 之帶隙，Si 之固有載子濃度與 IGZO 之固有載子濃度之間差異約 17 位數。

其次，詳細說明高度純化氧化物半導體之顯著地低的關閉狀態電流。

如上述，高度純化氧化物半導體中少數載子之數量顯著低。為估計關閉狀態電流之下限，測量具有 1m 通道寬度 W 並包括半導體層中高度純化氧化物半導體之薄膜電晶體的關閉狀態電流。圖 19 顯示當施加閘極電壓時之汲極電流。如圖 19 中所示，關閉狀態電流為 1×10^{-12} A 或更低，其為測量裝置之檢測限制。在此狀況下，當薄膜電晶體之通道寬度 W 估計為 1μm 時，關閉狀態電流為 1aA 或更低（ 1×10^{-18} A 或更低）。

有關協助薄膜電晶體之關閉狀態電流發生之因子之一，已知經由電子及電洞之產生及重組而供應予通道之載子流動。有關產生及重組，存在其中電子從價帶（Ev）被激發至傳導帶（Ec）之直接產生及重組，及經由帶隙中侷限位準（Et）造成之間接產生及重組。通常，若半導體具小帶隙，該等半導體便較具大帶隙之半導體具有更高載子

濃度；因而，經由侷限位準造成之產生及重組係主動執行。相反地，若半導體具大帶隙，諸如高度純化氧化物半導體，該等半導體便較具小帶隙之半導體具有更低載子濃度；因而，通常不執行產生及重組，且不可能供應少數載子。因此，藉由載子之產生及重組造成的關閉狀態電流低。

請注意，有關寬隙半導體，例如已知 SiC (3.26eV) 及 GaN (3.39eV)。因為該些材料具有較 Si 大一位數之崩潰電場強度及高耐熱性，故預期做為下一代材料。然而，在使用該些材料的半導體程序中，執行 1000°C 或更高之處理；因而，不可能於玻璃基板上形成裝置。相反地，有關高度純化氧化物半導體，藉由濺鍍以室溫至 400°C 形成薄膜，及可以 450 至 700°C 執行脫水、脫氫及過度氧化；因而，相較於具相同或實質上相同帶隙之 SiC 或 GaN，高度純化氧化物半導體於半導體程序具有較低的不利影響。

藉由如上述大幅度移除氧化物半導體中所包含之氫，在於通道形成區中包括高度純化氧化物半導體之薄膜電晶體中，可顯著地減少少數載子數量及關閉狀態電流量。換言之，在電路設計中，當薄膜電晶體關閉時，氧化物半導體層可視為絕緣體。相反地，當薄膜電晶體開啓時，氧化物半導體層之移動性較使用非結晶矽形成之半導體層大約兩位數。

另一方面，包括低溫多晶矽之薄膜電晶體係基於關閉

狀態電流約為包括氧化物半導體之薄膜電晶體之 10000 倍的假設而予設計。因此，若包括氧化物半導體之薄膜電晶體相較於包括低溫多晶矽之薄膜電晶體，當儲存電容彼此相等或實質上相等時（約 0.1pF），包括氧化物半導體之薄膜電晶體的電壓保持時間可延長約 10000 倍。此外，若為包括非結晶矽之薄膜電晶體，通道寬度之每一微米的關閉狀態電流為 $1 \times 10^{-13} \text{ A}/\mu\text{m}$ 或更多。因此，當儲存電容彼此相等或實質上相等時（約 0.1pF），包括高純度氧化物半導體之電晶體的電壓保持時間可延長為包括非結晶矽之薄膜電晶體的 10^4 倍或更多。

具體地，若為包括氧化物半導體層之薄膜電晶體，影像信號可保持於每一像素中達更長時間。因而，例如顯示靜態影像中影像信號之覆寫之間的間隔可為 10 秒或更長，較佳地為 30 秒或更長，更佳地為一分鐘或更長及短於十分鐘。換言之，尤其當顯示靜態影像時，可延長保持時間，及可減少將影像信號及共同電位供應予像素電極及相對電極之頻率。因而，可減少電力消耗。

請注意，在顯示靜態影像中，可適當考量保持期間施加於液晶元件之電壓保持率，而執行刷新(refresh)作業。例如，可於當電壓位準相對於信號寫入液晶元件之像素電極之後不久之電壓位準（初始位準）而降低至某位準之時機，執行刷新作業。電壓之某位準較佳地設定為相對於初始位準而未感知閃爍之位準。具體地，若顯示目標為影像，較佳地於每次電壓變成低於初始位準 1%，較佳地為

0.3%時，執行刷新作業（影像信號之重複覆寫）。此外，若顯示目標為字元，較佳地於每次電壓變成低於初始位準 10%，較佳地為 3%時，執行刷新作業（影像信號之重複覆寫）。

請注意，例如若為使用低溫多晶矽形成之包括電晶體的像素，移動影像通常每秒顯示 60 訊框（每一訊框 16 毫秒）。相同狀況可應用於顯示靜態影像，因為若刷新率降低（影像信號的覆寫之間間隔延長），像素的電壓變降低，此不利地影響影像顯示。相反地，若使用包括氧化物半導體層之電晶體，因為關閉狀態電流低，每一影像信號覆寫之保持時間可延長為 160 秒，此約為使用低溫多晶矽形成之電晶體的 10^4 倍。

由於每一影像信號覆寫之保持時間可延長，尤其當顯示靜態影像時，可減少每一影像信號覆寫之頻率。例如，在顯示靜態影像期間，影像信號覆寫之頻率可為一次或 n 倍。請注意， n 為大於或等於 2 及小於或等於 10^3 。因而，可減少液晶顯示裝置之電力消耗。

請注意，針對薄膜電晶體之關閉狀態電流流動的阻抗，可稱為關閉狀態電阻係數。關閉狀態電阻係數為當薄膜電晶體關閉時，通道形成區之電阻係數，並可從關閉狀態電流計算關閉狀態電阻係數。

具體地，若已知關閉狀態電流量及汲極電壓位準，可使用歐姆定律計算當電晶體關閉時電阻（關閉電阻 R ）。此外，若已知通道形成區之截面 A 及通道形成區之長度 L

（長度相應於源極電極與汲極電極之間距離），可從方程式 $\rho = RA/L$ （ R 為關閉電阻）計算關閉狀態電阻係數 ρ 。

此處，可從方程式 $A=dW$ （ d 為通道形成區厚度，及 W 為通道寬度）計算截面 A 。此外，通道形成區之長度 L 為通道長度 L 。以此方式，可從關閉狀態電流計算關閉狀態電阻係數。

本實施例中，半導體層中包括氧化物半導體之電晶體的關閉狀態電阻係數較佳地為 $1 \times 10^9 \Omega \cdot m$ 或更多，更佳地為 $1 \times 10^{10} \Omega \cdot m$ 或更多。

尤其當顯示靜態影像時，由於影像信號可較長時間保持，可減少影像信號覆寫之頻率。因而，可減少驅動電路部之電力消耗。

請注意，高電源電位 V_{dd} 為高於參考電位之電位，及低電源電位為低於或等於參考電位之電位。請注意，高電源電位及低電源電位均較佳地為薄膜電晶體可操作之電位。

請注意，在許多狀況下電壓為特定電位與參考電位（例如，接地電位）之間差異。因而，電壓、電位及電位差異亦可稱為電位及電壓。

請注意，若輸入記憶體電路 1002 之用於顯示移動影像或靜態影像之影像信號 $Data$ 為類比信號，影像信號可經由類比／數位轉換器等轉換為數位信號輸入記憶體電路 1002。較佳的是影像信號預先轉換為數位信號，之後執行之影像信號的差異檢測便可易於執行。

記憶體電路 1002 包括複數訊框記憶體 1008，用以儲存複數訊框之影像信號。記憶體電路 1002 中所包括之訊框記憶體 1008 的數量並不特定侷限於某數量，只要可儲存複數訊框之影像信號即可。請注意，可使用例如記憶體元件形成訊框記憶體 1008，諸如動態隨機存取記憶體（DRAM）或靜態隨機存取記憶體（SRAM）。

請注意，訊框記憶體 1008 的數量並不特定侷限於某數量，只要可儲存每一訊框期間之影像信號即可。此外，訊框記憶體 1008 中所儲存之影像信號藉由比較電路 1003 及顯示控制電路 1004 而選擇性讀取。

比較電路 1003 為一種電路，用於選擇性讀取記憶體電路 1002 中所儲存之一連串訊框期間的影像信號，比較一連串訊框期間中像素中的影像信號，及計算影像信號之差異。請注意，影像信號之差異可為任何差異，例如只要其可藉由例如一連串訊框期間影像信號的灰階之間差異的計算而予獲得即可。

藉由比較電路 1003 中影像信號差異的計算，當檢測所有像素中差異時，其間檢測差異的一連串訊框期間被判斷為其間顯示移動影像之期間。此外，藉由比較電路 1003 中影像信號差異的計算，當檢測部分像素中差異時，其間檢測差異的一連串訊框期間被判斷為其間顯示局部移動影像之期間。此外，藉由比較電路 1003 中影像信號差異的計算，當所有像素中均未檢測差異時，其間未檢測差異的一連串訊框期間被判斷為其間顯示靜態影像之期

間。換言之，藉由經由比較電路 1003 中差異的計算之差異檢測，一連串訊框中影像信號被判斷為用於顯示移動影像之影像信號，用於顯示局部移動影像之影像信號，或用於顯示靜態影像之影像信號。請注意，藉由比較電路 1003 中計算而獲得之差異可予設定，以便當其超過某位準時被判斷為差異。比較電路 1003 可予設定，以便藉由差異的絕對值而判斷差異檢測，與差異值無關。

請注意，藉由複數影像之切換，其係以高速將時間劃分為複數訊框，影像藉由人眼而被識別為動作影像。具體地，藉由至少每秒 60 次影像切換（60 訊框），影像藉由人眼而被識別為具較少閃爍之移動影像。相反地，不同於移動影像及局部移動影像，雖然將時間劃分為複數訊框期間之複數影像以高速切換，靜態影像為在例如第 n 訊框及第 $n+1$ 訊框的一連串訊框期間均未改變之影像。此外，藉由複數影像之切換，其係以高速將時間劃分為複數訊框，影像藉由人眼而被識別為局部移動影像。局部移動影像具有在例如第 n 訊框及第 $n+1$ 訊框的一連串訊框期間每一像素中影像信號改變之區域，及在例如第 n 訊框及第 $n+1$ 訊框的一連串訊框期間每一像素中影像信號均未改變之區域。請注意，當於比較電路 1003 中計算影像信號之差異時，影像信號較佳地為數位信號。

顯示控制電路 1004 為一種電路，用於從記憶體電路 1002 讀取影像信號 Data，以供應影像信號 Data 至其中檢測差異之像素，而回應比較電路 1003 中影像信號之差異

檢測，及用於供應控制驅動電路部 1005 之信號。

為說明顯示控制電路 1004 之具體作業，描繪像素部中像素的簡單模型，並說明當影像為移動影像、靜態影像或局部移動影像時，影像信號中改變。

首先，圖 2A 描繪包括三列及三行中像素之像素部 201 的示意圖。第一列及第一行中像素以 A1 代表，及直至第三列及第三行中像素之像素以 A1 至 A9 代表。請注意，當然，在實際液晶顯示裝置中，像素部中像素的數量通常為數萬個，且供應影像信號予像素之頻率增加。

其次，為說明一連串移動影像，圖 2B 描繪複數期間中影像改變，例如，在每一訊框期間，即相應於圖 2A 之像素中影像信號改變。在圖 2B 中，描繪輸入像素之影像信號，同時訊框期間係指第一至第六期間 T1 至 T6。圖 2B 描繪當顯示移動影像、靜態影像及局部移動影像時，像素中影像信號改變。請注意，像素中使用影像信號表示之灰階，為描繪之目的為兩灰階，圖 2B 中以無陰影區域及陰影區域表示。此外，圖 2B 描繪差異 D1 至 D5、差異 D6 至 D10 及差異 D11 至 D15，做為期間中影像改變。

在圖 2B 中所描繪之移動影像的第一期間 T1 中，供應影像信號使得第一列及第一行中 A1、第一列及第三行中 A3、第二列及第二行中 A5、第三列及第一行中 A7 和第三列及第三行中 A9 為陰影區域，第一列及第二行中 A2、第二列及第一行中 A4、第二列及第三行中 A6 和第三列及第二行中 A8 為無陰影區域。此外，在圖 2B 中所

描繪之移動影像的第二期間 T2 中，供應影像信號使得第一列及第二行中 A2、第二列及第一行中 A4、第二列及第三行中 A6 和第三列及第二行中 A8 為陰影區域，第一列及第一行中 A1、第一列及第三行中 A3、第二列及第二行中 A5、第三列及第一行中 A7 和第三列及第三行中 A9 為無陰影區域。即，所有像素中所供應之影像信號於一連串期間中切換；因而，於所有像素中檢測於比較電路 1003 中所計算之差異 D1。換言之，顯示控制電路 1004 控制驅動電路部 1005，並從記憶體電路 1002 讀取影像信號，使得影像信號僅供應予其中檢測差異 D1 之像素。

類似地，在移動影像的第二期間 T2 及第三期間 T3 中，影像信號於所有像素 A1 至 A9 中切換。因此，於所有像素中檢測比較電路 1003 中所計算之差異 D2。換言之，顯示控制電路 1004 控制驅動電路部 1005，並從記憶體電路 1002 讀取影像信號，使得影像信號僅供應予其中檢測差異 D2 之像素。類似地，若為移動影像，藉由於所有像素中影像信號之差異檢測，可藉由比較電路 1003 中之計算而獲得差異 D3 至 D5。換言之，若為移動影像，藉由比較電路 1003 中之計算，於所有像素中檢測一連串訊框之間差異；因而，顯示控制電路 1004 控制驅動電路部 1005，並從記憶體電路 1002 讀取影像信號，使得影像信號供應予所有像素。

在圖 2B 中所描繪之靜態影像的第一期間 T1 中，供應影像信號使得第一列及第一行中 A1、第一列及第三行

中 A3、第二列及第二行中 A5、第三列及第一行中 A7 和第三列及第三行中 A9 為陰影區域，第一列及第二行中 A2、第二列及第一行中 A4、第二列及第三行中 A6 和第三列及第二行中 A8 為無陰影區域。此外，在圖 2B 中所描繪之靜態影像的第二期間 T2 中，供應影像信號使得第一列及第一行中 A1、第一列及第三行中 A3、第二列及第二行中 A5、第三列及第一行中 A7 和第三列及第三行中 A9 為陰影區域，第一列及第二行中 A2、第二列及第一行中 A4、第二列及第三行中 A6 和第三列及第二行中 A8 為無陰影區域。即，所有像素中影像信號未改變；因而，所有像素中均未檢測比較電路 1003 中所計算之差異 D6。換言之，因為未檢測差異 D6，顯示控制電路 1004 未控制驅動電路部 1005，亦未從記憶體電路 1002 讀取影像信號。

類似地，在第二期間 T2 及第三期間 T3，所有像素中影像信號均未改變。因此，所有像素中均未檢測比較電路 1003 中所計算之差異 D7。換言之，因為未檢測差異 D7，不需要供應影像信號予像素，而控制驅動電路部 1005 及從記憶體電路 1002 讀取影像信號。類似地，若為靜態影像，由於所有像素中未檢測影像信號之差異，未檢測比較電路 1003 中所計算之差異 D8 至 D10。換言之，若為靜態影像，未藉由比較電路 1003 中之計算檢測一連串訊框之間差異；因而，顯示控制電路 1004 未控制驅動電路部 1005，並可省略從記憶體電路 1002 讀取影像信號。因此，可減少電力消耗。

在本實施例之結構中，藉由於每一像素之半導體層中提供包括氧化物半導體之薄膜電晶體，控制影像信號之供應。如上述，可減少半導體層中包括氧化物半導體之薄膜電晶體的關閉狀態電流。因此，若使用相同影像信號，可顯示靜態影像而未額外供應影像信號。

請注意，在長時間顯示靜態影像中，可以下列方式執行刷新作業，即每一某期間供應影像信號，並再次供應基於保持於每一像素中影像信號之電位。例如，可於當電壓位準相對於信號寫入液晶元件之像素電極之後不久之電壓位準（初始位準）而降低至某位準之時機，執行刷新作業。電壓之某位準較佳地設定為相對於初始位準而未感知閃爍之位準。具體地，若顯示目標為影像，較佳地於每次電壓變成低於初始位準 1%，較佳地為 0.3%時，執行刷新作業（影像信號之重複覆寫）。此外，若顯示目標為字元，較佳地於每次電壓變成低於初始位準 10%，較佳地為 3%時，執行刷新作業（影像信號之重複覆寫）。

在圖 2B 中所描繪之局部移動影像的第一期間 T1 中，供應影像信號使得第一列及第一行中 A1、第一列及第三行中 A3、第二列及第二行中 A5、第三列及第一行中 A7 和第三列及第三行中 A9 為陰影區域，第一列及第二行中 A2、第二列及第一行中 A4、第二列及第三行中 A6 和第三列及第二行中 A8 為無陰影區域。此外，在圖 2B 中所描繪之局部移動影像的第二期間 T2 中，供應影像信號使得第一列及第三行中 A3、第二列及第二行中 A5、第三

列及第一行中 A7 和第三列及第三行中 A9 為陰影區域，第一列及第一行中 A1、第一列及第二行中 A2、第二列及第一行中 A4、第二列及第三行中 A6 和第三列及第二行中 A8 為無陰影區域。換言之，若為局部移動影像，在像素之一中檢測訊框之間差異 D11，而在其他像素中則未檢測比較電路 1003 中所計算之訊框之間差異 D11。具體地，僅於第一列及第一行中 A1 之中，藉由比較電路 1003 中計算而檢測差異 D11。因而，顯示控制電路 1004 控制驅動電路部 1005，並從記憶體電路 1002 讀取影像信號，使得影像信號僅供應與第一列及第一行中像素 A1。

類似地，在第二期間 T2 及第三期間 T3 中，影像信號僅於第一列及第三行中像素 A3 之中切換。因此，比較電路 1003 中所計算之差異 D12 僅於第一列及第三行中像素 A3 之中檢測。換言之，顯示控制電路 1004 控制驅動電路部 1005，並從記憶體電路 1002 讀取影像信號，使得影像信號僅供應予其中檢測差異 D12 之像素。類似地，若為局部移動影像，藉由於部分像素中藉由比較電路 1003 之計算而檢測影像信號差異，可獲得差異 D13 至 D15。換言之，若為局部移動影像，於部分像素中藉由比較電路 1003 之計算而檢測一連串訊框之間差異；因而，顯示控制電路 1004 控制驅動電路部 1005，並從記憶體電路 1002 讀取影像信號，使得供應影像信號予部分像素。

如圖 2A 及 2B 之範例說明，為決定影像為移動影像、靜態影像或局部移動影像，於比較電路 1003 中計算

訊框之間影像信號之差異，以便於像素中提取，且顯示控制電路 1004 執行控制，使得供應影像信號予其中檢測差異之像素。因此，當針對再次輸入與之前期間中信號相同之影像信號，用於輸入相同影像信號予像素之作業省略時，額外供應影像信號予像素之次數可顯著地減少。因此，可減少驅動電路部之作業次數，使得可減少電力消耗。

其次，說明本實施例中驅動電路部及像素部之每一結構。圖 3A 描繪顯示控制電路 1004、像素部 1006、閘極線驅動電路 1007A 及信號線驅動電路 1007B。像素部 1006 包括複數像素 300。從閘極線驅動電路 1007 延長之閘極線 301，及從信號線驅動電路 1007B 延長之信號線 302 與選擇線 303 連接每一像素 300。請注意，在圖 3A 中，閘極線驅動電路 1007A 及信號線驅動電路 1007B 包括解碼器電路 304，且從顯示控制電路 1004 之位址線輸出之信號受控制。

請注意，當明確說明「A 及 B 連接」時，包括 A 及 B 電性連接之狀況、A 及 B 功能性連接之狀況、及 A 及 B 直接連接之狀況。此處，每一 A 及 B 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、或層）。因此，其他元件可插於具有圖式及正文中所描繪之連接關係之元件之間，並未侷限於預定連接關係，例如，圖式及正文中所描繪之連接關係。

圖 3B 描繪解碼器電路之範例。解碼器電路將來自位

址線 C1、C1b、C2、C2b、C3、C3b、C4 及 C4b 之位址信號輸入至 NAND 電路 311A 及 311B，並將 NAND 電路 311A 及 311B 之輸出，經由 NOR 電路 312 而輸出至輸出端子 OUT1。基於圖 3B 中結構，位址線之電位可於顯示控制電路 1004 中控制，並可選擇性控制輸出端子之電位。

圖 4A 描繪包括解碼器電路之閘極線驅動電路 1007A 之範例。具體地，圖 4A 描繪一結構其中除了圖 3B 中解碼器電路 304 之結構外，閘極線驅動電路 1007A 包括緩衝器電路 490。反向器電路 491 及 492 可串聯做為緩衝器電路 490，使得信號輸出至閘極線 Gout。圖 4B 描繪包括解碼器電路 304 之信號線驅動電路 1007B 之範例。具體地，圖 4B 描繪一結構其中除了圖 3B 中解碼器電路 304 之結構外，信號線驅動電路 1007B 包括開關 493。NOR 電路 312 之輸出可用於開關之開啓／關閉，且影像信號 Data 可輸出至信號線 Sout，及 NOR 電路 312 之輸出可用做選擇線 Cout 之輸出。

當解碼器電路 304 如上述用於閘極線驅動電路 1007A 及信號線驅動電路 1007B 中時，可選擇特定閘極線、特定信號線或特定選擇線，即，當顯示控制電路 1004 指定位址時，可控制供應影像信號予特定像素。

圖 5 描繪圖 3B 中像素 300 之結構範例。像素 300 包括第一薄膜電晶體 501、第二薄膜電晶體 502、液晶元件 503 及相對電極 504。第一薄膜電晶體 501 之閘極端子連

接閘極線 301。第一薄膜電晶體 501 之第一端子連接信號線 302。第一薄膜電晶體 501 之第二端子連接第二薄膜電晶體 502 之第二端子。第二薄膜電晶體之閘極端子連接選擇線 303。第二薄膜電晶體之第一端子連接液晶元件 503 之一電極（亦稱為第一電極）。液晶元件之另一電極連接相對電極 504。當選擇像素時，第一薄膜電晶體 501 及第二薄膜電晶體 502 開啓，使得影像信號可供應予液晶元件 503 之第一電極側。

請注意，在圖 5 中，儲存電容器可並聯液晶元件。儲存電容器之電容可考量像素部等中所提供之薄膜電晶體的洩漏電流而予設定，使得電荷可保持達某期間。儲存電容器之電容可考量薄膜電晶體之關閉狀態電流等而予設定。在本實施例中，由於包括高純度氧化物半導體層之電晶體用做薄膜電晶體，其足以提供具有為每一像素中液晶電容之 $1/3$ 或更低，較佳地為 $1/5$ 或更低之電容的儲存電容器。

液晶材料之具體電阻為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 或更高，較佳地為高於 $1 \times 10^{13} \Omega \cdot \text{cm}$ ，更佳地為高於 $1 \times 10^{14} \Omega \cdot \text{cm}$ 。請注意，本說明書中具體電阻係於 20°C 下測量。若使用液晶保持於電極之間之液晶元件（亦稱為液晶格），有時因為存在雜質可能從諸如校準膜或密封劑之成分而混入液晶之可能性，液晶之具體電阻為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 或更高，較佳地為高於 $1 \times 10^{12} \Omega \cdot \text{cm}$ 。

有關液晶材料，使用熱致液晶、低分子液晶、聚合物

5

液晶、聚合物分散液晶、鐵電液晶、反鐵電液晶等。該等液晶材料依狀況而呈現膽固醇相、近晶相、立方晶相、手徵向列相、等向性相等。

隨著液晶材料之具體電阻變高，可減少經由液晶材料而洩漏之電荷量，使得可抑制用於保持液晶元件之作業狀態的電壓隨時間降低。因此，可延長保持時間，使得可減少影像信號之覆寫頻率，及可減少液晶顯示裝置之電力消耗。

此外，有關液晶材料，可使用呈現藍相之液晶材料。藍相為一種液晶相位，其產生於膽固醇相改變為等向性相，同時膽固醇液晶之溫度增加之前不久。由於藍相僅出現於窄的溫度範圍內，為改進溫度範圍，將包含 5 重量% 或更多之手性劑的液晶成分用於液晶層。包含顯示藍相之液晶及手性劑的液晶成分具有 1msec 或更短之短暫回應時間，並為光學各向同性；因而，不需校準處理且視角相依性小。此外，由於不需提供校準膜，不需研磨處理。因而，可避免藉由研磨處理造成之靜電放電，及可減少製造程序中液晶顯示裝置之缺陷及損害。因此，可改進液晶顯示裝置之生產量。包括氧化物半導體層之薄膜電晶體特別具有下列可能性，即因靜電影響，薄膜電晶體之電氣特性可顯著改變，且偏離設計範圍。因此，更有效地為將藍相液晶材料用於包括具有氧化物半導體層之薄膜電晶體的液晶顯示裝置。

本實施例之結構不侷限於液晶顯示裝置，亦可應用於

包括諸如電致發光元件（亦稱為 EL 元件）之發光元件的 EL 顯示裝置，做為顯示元件。

在圖 5 中所描繪之像素 300 的結構中，藉由控制閘極線 301、信號線 302 及選擇線 303，開啓所選擇之像素中第一薄膜電晶體 501 及第二薄膜電晶體 502，使得影像信號可供應予液晶元件 503。因此，當顯示移動影像或局部移動影像時，影像信號僅供應予其中檢測一連串訊框之間影像信號差異之像素。

如上述，在本實施例中，當包括氧化物半導體之薄膜電晶體用做第一薄膜電晶體 501 及第二薄膜電晶體 502 時，可減少關閉狀態電流。因此，可獲得液晶顯示裝置其中電壓可較長時間保持於儲存電容器中，並可於顯示靜態影像時減少電力消耗。

本實施例可酌情與其他實施例中所說明之任一結構組合。

（實施例 2）

在本實施例中，除了上述實施例中所說明之結構外，說明當顯示靜態影像時，可較長時間保持電壓之結構。在本實施例中，描繪可於上述實施例中結構以外說明之液晶顯示裝置的示意圖、電路圖等，及說明本實施例中結構的有利效果。

圖 6A 中所描繪之液晶顯示裝置包括第一基板 101 及第二基板 102。第一基板 101 包括像素部 103、閘極線驅

動電路 104、信號線驅動電路 105、端子部 106 及開關電晶體 107。第二基板 102 包括共同連接部 108（亦稱為共同接點）及相對電極 109。

必要的是第一基板 101 及第二基板 102 具有透光屬性，及足以支撐之後執行之熱處理的耐熱性。用於電子產業之玻璃基板（亦稱為無鹼玻璃基板），可使用諸如鋁矽酸鹽玻璃基板、鋁硼矽酸鹽玻璃基板、或鋇硼矽酸鹽玻璃基板；石英基板；陶瓷基板；塑料基板等。

請注意，圖 6A 中所描繪之像素部 103、閘極線驅動電路 104、信號線驅動電路 105 及開關電晶體 107，可使用形成於第一基板 101 上之薄膜電晶體予以形成。請注意，閘極線驅動電路 104 及信號線驅動電路 105 並非必然使用形成於第一基板 101 上之薄膜電晶體予以形成，而是可使用形成於第一基板 101 外部提供之不同基板等上之薄膜電晶體予以形成。

請注意，如實施例 1 中圖 5 之說明，像素部 103 中提供閘極線、信號線、選擇線及像素。

請注意，本說明書中所說明之開關電晶體為薄膜電晶體，其中兩端子之間導電或不導電，即選擇源極端子及汲極端子以回應施加於閘極之電位，使得體現開關作業。例如，可控制施加於薄膜電晶體之閘極端子的電位，使得薄膜電晶體於線性區操作。請注意，施加於開關電晶體 107 之閘極端子的電位可從端子部 106 供應。連接端子部 106 之開關電晶體 107 之源極端子及汲極端子之一稱為第一端

子。經由共同連接部 108 連接相對電極之開關電晶體 107 之源極端子及汲極端子之另一稱為第二端子。請注意，供應予相對電極 109 之共同電位係從開關電晶體 107 之第一端予供應，而開關電晶體 107 開啓／關閉係藉由供應予開關電晶體 107 之閘極端子的電位控制。

請注意，開關電晶體可具有任一下列結構：反向交錯結構；交錯結構；雙倍閘極結構，其中通道區被劃分為複數區域，且劃分之通道區串聯；雙重閘極結構，其中閘極電極係提供於通道區之上及之下。此外，開關電晶體中所包括之半導體層可劃分為複數島形半導體層，使得以體現開關作業。

此外，用於控制閘極線驅動電路 104 及信號線驅動電路 105 中解碼器電路之信號（位址信號）、影像信號（亦稱為視訊電壓、視訊信號或視訊資料）、供應予相對電極 109 之共同電位、用於操作開關電晶體 107 之信號等，均供應予端子部 106。

共同電位可為任一電位，只要可做為相對於供應予像素電極之影像信號的電位參考即可。例如，共同電位可為接地電位。

共同連接部 108 係提供用於使第一基板 101 中開關電晶體 107 之第二端子與第二基板 102 中相對電極彼此電性連接。共同電位係從端子部 106 經由開關電晶體 107 及共同連接部 108 而供應予相對電極。有關共同連接部 108 之具體範例，可使用導電粒子其中絕緣球體覆以薄金屬膜，

使得以製成電性連接。請注意，可於第一基板 101 與第二基板 102 之間提供二或更多共同連接部 108。

較佳的是相對電極 109 與像素部 103 中所包括之像素電極重疊。此外，像素部 103 中所包括之相對電極 109 及像素電極可具有各式開口型態。

若像素部 103、閘極線驅動電路 104、信號線驅動電路 105 及開關電晶體 107 係形成於第一基板 101 之上，或若像素部 103 及開關電晶體 107 係形成於第一基板 101 之上，包括使用氧化物半導體形成之半導體層的 n 通道薄膜電晶體，用做每一電路中所包括之薄膜電晶體。請注意，使用用於薄膜電晶體之半導體層的氧化物半導體之優點，如實施例 1 中所說明。

換言之，若使用具有顯著低關閉狀態電流之薄膜電晶體形成開關元件等，關閉狀態電流之量小，且幾乎不發生洩漏。因此，可盡可能減少連接開關元件之節點的電荷洩漏，使得可延長保持節點電位之時間。

其次，圖 6B 描繪圖 6A 中液晶顯示裝置之示意圖，其中特別詳細描繪像素部 103 之結構。

圖 6B 中所描繪之液晶顯示裝置包括第一基板 101 及第二基板 102，如同圖 6A。第一基板 101 包括像素部 103、閘極線驅動電路 104、信號線驅動電路 105、端子部 106 及開關電晶體 107。第二基板 102 包括共同連接部 108 及相對電極 109。

在圖 6B 中，複數閘極線 111、複數信號線 112 及複

數選擇線 114 係縱向及橫向配置於像素部 103 中，閘極線 111、信號線 112 及選擇線 114 具像素 113，每一像素 113 包括實施例 1 中圖 5 中所描繪之第一薄膜電晶體及第二薄膜電晶體，及其中液晶保持在第一電極與第二電極之間之液晶元件。請注意，液晶元件之第一電極相應於像素電極，及液晶元件之第二電極相應於相對電極 109。

請注意，如同在開關電晶體 107 中，像素中所包括之第一薄膜電晶體及第二薄膜電晶體的半導體層係使用氧化物半導體予以形成。使用氧化物半導體，流經像素中所包括之第一薄膜電晶體及第二薄膜電晶體之關閉狀態電流可顯著地減少，使得供應予像素電極之電位的保持時間可延長。

其次，圖 6C 描繪包括像素電極之像素之一的電路圖。圖 6C 聚焦於第一薄膜電晶體 501、第二薄膜電晶體 502 及開關電晶體 107。第一薄膜電晶體 501 之閘極端子連接閘極線 111。第一薄膜電晶體 501 之第一端子連接信號線 112。第一薄膜電晶體 501 之第二端子連接第二薄膜電晶體 502 之第二端子。第二薄膜電晶體 502 之閘極端子連接選擇線 114。第二薄膜電晶體 502 之第一端子連接像素電極 121。開關電晶體 107 之閘極端子連接端子部 106 中端子 106A。開關電晶體 107 之第一端子連接端子部 106 中端子 106B。開關電晶體 107 之第二端子經由共同連接部 108 而電性連接相對電極 122。請注意，液晶 123 係保持於像素電極 121 與相對電極 122 之間。像素電極 121、

相對電極 122 及液晶 123 有時統稱為液晶元件。

請注意，任一元件可用做液晶，只要其可藉由光學調變動作而控制透光或不透光即可。液晶之光學調變動作可藉由施加於液晶之電壓、像素電極及相對電極之配置等予以控制。

其次，說明開關電晶體 107 之作業。在顯示靜態影像期間，控制開關電晶體 107 以便關閉。在此狀況下，在顯示靜態影像期間，所有像素中第一薄膜電晶體 501 及第二薄膜電晶體 502 關閉。換言之，藉由製成液晶 123 之相對電極，即像素電極 121 及相對電極 122 處於浮動狀態，可無額外供應電位而顯示靜態影像。此外，當閘極線驅動電路 104 及信號線驅動電路 105 之作業停止時，可減少電力消耗。

請注意，在顯示移動影像或局部移動影像期間，較佳地控制開關電晶體 107 以便開啓。

請注意，圖 6C 中液晶 123 之電阻係數為約 1×10^{12} 至 $1 \times 10^{13} \Omega \cdot \text{cm}$ 。在顯示靜態影像期間，液晶 123 之相對電極，即像素電極 121 及相對電極 122，藉由具有顯著低關閉狀態電流之薄膜電晶體，即高電阻薄膜電晶體，而被製成處於浮動狀態。因此，可減少藉由施加於液晶 123 之相對末端的電壓而產生之流經液晶 123 的電流。

因此，可提供液晶顯示裝置，其中當顯示靜態影像時，電力消耗減少及抑制影像變形。

如上述，基於本實施例中所說明之結構，可減少包括

包括氧化物半導體之薄膜電晶體的像素中關閉狀態電流。因此，可獲得液晶顯示裝置，其中儲存電容器中電壓可較長時間保持，且當顯示靜態影像時可減少電力消耗。

本實施例可酌情與其他實施例中所說明之任一結構組合。

（實施例 3）

在本實施例中，參照圖式說明不同於實施例 1 中驅動電路及像素部之結構的結構。

如圖 3A，圖 16 描繪顯示控制電路 1004、像素部 1006、閘極線驅動電路 1007A 及信號線驅動電路 1007B。像素部 1006 包括複數像素 300。像素 300 之從閘極線驅動電路 1007 延長之閘極線 301，及從信號線驅動電路 1007B 延長之信號線 302 相互連接。

此外，圖 16 中像素 300 包括薄膜電晶體 1601 及液晶元件 1602。請注意，如實施例 1，當薄膜電晶體 1601 之半導體層包括氧化物半導體時，可顯著地減少關閉狀態電流，及當顯示靜態影像時可減少影像信號之供應頻率。

圖 16 描繪一種結構，其中閘極線驅動電路 1007A 包括解碼器電路 1603，信號線驅動電路 1007B 包括移位暫存器電路 1604，及供應予像素之影像信號係藉由來自顯示控制電路 1004 之位址線，或移位暫存器電路之控制信號（例如，時脈信號或起始脈衝）予以控制。

請注意，任一電路可用做移位暫存器電路 1604，只

要其可從第一級之輸出端子依序輸出脈衝即可，諸如時脈信號、反向時脈信號及起始脈衝 SP。例如，可使用串聯脈衝輸出電路（亦稱為正反器電路）之移位暫存器電路。

圖 16 與圖 3A 不同處在於未提供選擇線，像素中薄膜電晶體數量減少，及信號線驅動電路 1007B 包括移位暫存器電路 1604。因而，在本實施例中，詳細說明圖 16 中差異，及與圖 3A 中不同之本實施例的有利效果。

如圖 3A，在圖 16 中，連接其中藉由比較電路 1003 中計算而檢測差異之像素的閘極線，係藉由閘極線驅動電路 1007A 中所包括之解碼器電路 1603 選擇。不同於圖 3A，在圖 16 中，信號線驅動電路 1007B 包括移位暫存器電路 1604，及未藉由比較電路 1003 中計算檢測差異之像素亦依序藉由信號線驅動電路 1007B 中所包括之移位暫存器電路 1604 選擇。然而，在圖 16 之結構中，未提供選擇線，且像素中薄膜電晶體之數量減少；因而，可改進像素之佈線數量及孔徑比。此外，在本實施例之結構中，當藉由閘極線驅動電路 1007A 中所包括之解碼器電路 1603 而選擇性驅動閘極線時，可減少電力消耗。

當製造高解析度液晶顯示裝置時，本實施例之結構較佳，其中未提供選擇線，及可改進像素之孔徑比。請注意，在本實施例之結構中，無法藉由信號線驅動電路 1007B 執行每一像素之選擇性驅動；然而，當藉由閘極線驅動電路 1007A 中所包括之解碼器電路 1603 而選擇性驅動閘極線驅動電路時，可減少電力消耗。因而，當製造列

方向影像切換之液晶顯示裝置時，本實施例之結構尤其較佳。

如上述，在本實施例中，當包括氧化物半導體之薄膜電晶體用做薄膜電晶體 1601 時，可減少關閉狀態電流。因此，可獲得液晶顯示裝置，其中儲存電容器中電壓可較長時間保持，且當顯示靜態影像時可減少電力消耗。

本實施例可酌情與其他實施例中所說明之任一結構組合。

（實施例 4）

在本實施例中，說明當上述實施例中所說明之液晶顯示裝置用於電子電腦（個人電腦）螢幕（亦為個人電腦（PC）螢幕）時之有利效果。

圖 17A 描繪液晶顯示裝置之範例，其包括外殼 1701 中之顯示部 1702 及顯示部 1702 中之視窗型顯示部 1703。實施例 1 中液晶顯示裝置用做顯示部 1702。

請注意，儘管為描繪目的於顯示部 1702 中提供視窗型顯示部 1703，但可使用不同符號，諸如圖示或影像。

在圖 17B 中，圖 17A 中之視窗型顯示部 1703 從虛線部 1704 移動至實線部 1705。基於圖 17B 中視窗型顯示部 1703 之移動，如實施例 1 中所說明於移動期間顯示局部移動影像，且圖 17C 中所描繪之區域 1707 為其中藉由比較電路而檢測影像信號差異之區域，及圖 17C 中所描繪之區域 1708 為未藉由比較電路而檢測影像信號差異之區

域。請注意，區域 1707 可視為其中依據視窗型顯示部之移動而顯示移動影像之區域，有時稱為移動影像區域。區域 1708 為其中視窗型顯示部未移動且影像信號未改變之區域，有時稱為靜態影像區域。

圖 18A 示意地描繪每一訊框期間圖 17A 至 17C 之範例中移動影像區域及靜態影像區域中影像信號的覆寫頻率，例如，其中水平軸表示時間。在圖 18A 中，W 表示影像信號覆寫期間，H 表示影像信號保持期間。此外，期間 1801 為一訊框期間；然而，期間 1801 可為不同期間。

如圖 18A 中清晰顯示，在實施例 1 之液晶顯示裝置中，若藉由比較電路檢測一連串訊框之間影像信號的差異，即若為移動影像區域，則供應予像素之影像信號於每一訊框期間被覆寫。因而，在移動影像區域中，影像信號被頻繁地覆寫。此外，在實施例 1 之液晶顯示裝置中，若未藉由比較電路檢測一連串訊框之間影像信號的差異，即若為靜態影像區域，則供應予像素之影像信號僅於影像信號切換期間（圖 18A 中期間 1801）被覆寫，其他期間相應於所供應之影像信號保持期間。

請注意，圖 18B 描繪與圖 18A 比較之狀況，其中影像信號定期覆寫，無關乎移動影像區域及靜態影像區域。為顯示其中移動影像區域及靜態影像區域混合之影像，像素中影像信號定期覆寫。

如上述，在靜態影像區域及局部移動影像之靜態影像區域中，可排除影像信號之頻繁覆寫。影像信號覆寫超過

一次可能造成眼睛疲勞。基此結構，其中如本實施例中所說明之影像信號的覆寫頻率減少，有利的是眼睛疲勞減少。

如上述，在本實施例中，當像素中提供包括氧化物半導體之薄膜電晶體時，可減少關閉狀態電流。因此，可獲得液晶顯示裝置，其中儲存電容器中電壓可較長時間保持，及當顯示靜態影像時可減少電力消耗。

本實施例可酌情與其他實施例中所說明之任一結構組合。

（實施例 5）

在本實施例中，說明薄膜電晶體之範例，其可應用於本說明書中所揭露之液晶顯示裝置。

參照圖 7A 至 7E 說明本實施例之液晶顯示裝置之一實施例，及液晶顯示裝置之製造方法。

圖 7A 至 7E 描繪液晶顯示裝置之截面結構範例。圖 7A 至 7E 中薄膜電晶體 410 及 420 各具有一種稱為通道蝕刻結構之底閘結構，其亦稱為反向交錯薄膜電晶體。在圖 7A 至 7E 中，薄膜電晶體 410 為開關電晶體，及薄膜電晶體 420 為像素電晶體。

儘管薄膜電晶體 410 及 420 係以單閘極薄膜電晶體說明，但需要時可形成各包括複數通道形成區之多閘極薄膜電晶體。

以下參照圖 7A 至 7E 說明於基板 400 上形成薄膜電

S

晶體 410 及 420 之步驟。

首先，於具有絕緣表面之基板 400 上形成導電膜。接著，於第一光刻程序中形成閘極電極層 401 及 451。請注意，可藉由噴墨法形成抗蝕罩。當藉由噴墨法形成抗蝕罩時，未使用光罩；因而，可減少製造成本。

儘管對於可用做具有絕緣表面之基板 400 的基板無特別限制，但基板需具有至少足夠高之耐熱性以支撐之後執行之熱處理。可使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等形成之玻璃基板。

若之後執行之熱處理的溫度高，較佳地使用應變點為 730°C 或更高之玻璃基板。有關玻璃基板，例如使用玻璃材料，諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃。

請注意，可使用絕緣體形成之基板，諸如陶瓷基板、石英基板或藍寶石基板，取代玻璃基板。另一方面，可使用結晶玻璃基板等。

做為基膜之絕緣膜可提供於基板 400 與閘極電極層 411 及 421 之間。基膜具有避免雜質元素從基板 400 擴散之功能，可經形成而具有單層結構或層級結構，包括選自氮化矽膜、氧化矽膜、氮氧化矽膜或氧氮化矽膜之一或更多膜。

閘極電極層 411 及 421 可經形成而具有單層結構或層級結構，包括選自金屬材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳；或包含金屬材料做為其主要成分之合金

材料。

有關閘極電極層 411 及 421 之雙層結構，例如鉬層堆疊於鋁層上之雙層結構、鉬層堆疊於銅層上之雙層結構、氮化鈦層或氮化鉬層堆疊於銅層上之雙層結構、或氮化鈦層及鉬層堆疊之雙層結構較佳。有關三層結構，鎢層或氮化鎢層、鋁及矽之合金或鋁及鈦之合金、及氮化鈦層或鈦層之堆疊較佳。

接著，閘極絕緣層 402 形成於閘極電極層 411 及 421 之上。

閘極絕緣層 402 可藉由電漿增強 CVD、濺鍍等形成而具有單層結構或層級結構，包括氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或氧化鋁層。例如，可使用 SiH_4 、氧及氮做為沉積氣體並藉由電漿增強 CVD 而形成氧氮化矽層。另一方面，諸如氧化鈣 (HfO_x) 或氧化鉬 (TaO_x) 之高 k 材料可用於閘極絕緣層。閘極絕緣層 402 之厚度為 100 至 500nm。若閘極絕緣層 402 經形成而具有層級結構，具有 50 至 200nm 厚度之第一閘極絕緣層及具有 5 至 300nm 厚度之第二閘極絕緣層堆疊。

在本實施例中，有關閘極絕緣層 402，藉由電漿增強 CVD 形成氧氮化矽層，具有 100nm 或更低之厚度。

此外，有關閘極絕緣層 402，可使用高密度電漿設備而體現形成氧氮化矽層。此處，高密度電漿設備係指一種設備，其 $1 \times 10^{11}/\text{cm}^3$ 或更高之電漿密度。例如，藉由施加 3 至 6kW 微波電力產生電漿，使得以形成絕緣層。

矽烷氣體（ SiH_4 ）、氧化亞氮（ N_2O ）及稀有氣體被導入室做為來源氣體，並以 10 至 30Pa 之壓力產生高密度電漿，使得絕緣層形成於具有絕緣表面之基板上（例如玻璃基板）。之後，矽烷氣體之供應停止，並導入氧化亞氮（ N_2O ）及稀有氣體而未暴露於空氣，使得可於絕緣層表面執行電漿處理。藉由導入至少氧化亞氮（ N_2O ）及稀有氣體而於絕緣層表面執行之電漿處理，係於絕緣層形成之後執行。經由上述程序形成之絕緣層為一種絕緣層，即使具有小厚度，例如小於 100nm 之厚度，其可靠性可於某程度上確保。

當閘極絕緣層 402 形成時，被導入室之矽烷氣體（ SiH_4 ）相對於氧化亞氮（ N_2O ）之流率介於 1：10 至 1：200 之範圍。此外，有關導入室之稀有氣體，可使用氦、氬、氪、氙等。尤其，較佳地使用不昂貴之氬。

此外，由於使用高密度電漿設備形成之絕緣層可具有均勻厚度，絕緣層具有卓越級階覆蓋。此外，有關使用高密度電漿設備形成之絕緣層，可準確地控制薄膜厚度。

經由上述程序形成之絕緣層的膜品質與使用習知平行板 PCVD 設備形成之絕緣層大為不同。若基於相同蝕刻劑而比較彼此之蝕刻率，經由上述程序形成之絕緣層的蝕刻率低於使用習知平行板 PCVD 設備形成之絕緣層達 10% 或更多或 20% 或更多。因而，可以說使用高密度電漿設備形成之絕緣層為密集層。

於之後步驟中被製成固有（i 型）或實質上固有之氧

化物半導體（高度純化氧化物半導體）對於介面狀態及介面電荷高度敏感；因而，氧化物半導體與閘極絕緣層之間介面是重要的。因而，接觸高度純化氧化物半導體之閘極絕緣層（GI）需要高品質。因此，使用微波（2.45GHz）之高密度電漿增強 CVD 較佳，因為可形成具有高耐受電壓之密集高品質絕緣層。這是因為當高度純化氧化物半導體緊密接觸高品質閘極絕緣層時，可減少介面狀態且介面屬性可為有利。重要的是閘極絕緣層具有與氧化物半導體之較低介面狀態密度及有利介面，以及做為閘極絕緣層之有利膜品質。

接著，於閘極絕緣層 402 之上形成 2 至 200nm 厚度之氧化物半導體膜 430。氧化物半導體膜 430 之厚度較佳地為 50nm 或更低，以便當氧化物半導體膜 430 形成之後，執行用於脫水或脫氫之熱處理時，氧化物半導體膜為非結晶。當氧化物半導體膜之厚度製成小時，可抑制氧化物半導體層形成後執行熱處理時之結晶。

請注意，在藉由濺鍍形成氧化物半導體膜 430 之前，較佳地藉由反向濺鍍，其中導入氬氣並產生電漿，而移除閘極絕緣層 402 表面之灰塵。反向濺鍍係指一種方法，其中未施加電壓予靶材側，RF 電源用於在氬氣中施加電壓予基板側，並於基板附近產生電漿，使得以修改基板表面。請注意，可使用氮、氦等取代氬氣。

有關氧化物半導體膜 430，使用 In-Ga-Zn-O 基氧化物半導體膜、In-Sn-O 基氧化物半導體膜、In-Sn-Zn-O 基氧

化物半導體膜、In-Al-Zn-O 基氧化物半導體膜、Sn-Ga-Zn-O 基氧化物半導體膜、Al-Ga-Zn-O 基氧化物半導體膜、Sn-Al-Zn-O 基氧化物半導體膜、In-Zn-O 基氧化物半導體膜、Sn-Zn-O 基氧化物半導體膜、Al-Zn-O 基氧化物半導體膜、In-O 基氧化物半導體膜、Sn-O 基氧化物半導體膜或 Zn-O 基氧化物半導體膜。在本實施例中，使用 In-Ga-Zn-O 基金屬氧化物靶材藉由濺鍍而沉積氧化物半導體膜 430。圖 7C 相應於此級之截面圖。另一方面，可藉由濺鍍於稀有氣體（典型為氬）、氧氣、或包括稀有氣體（典型為氬）及氧之氣體中，沉積氧化物半導體膜 430。此外，若使用濺鍍，較佳的是使用包含 2 至 10 重量%之 SiO_2 的靶材而沉積氧化物半導體膜 430，使得氧化物半導體膜 430 中包含禁止結晶之 Si，以避免氧化物半導體於之後步驟執行之用於脫水或脫氫的熱處理中結晶。

此處，使用包含 In、Ga 及 Zn (In_2O_3 : Ga_2O_3 : ZnO =1 : 1 : 1[摩爾%]及 In : Ga : Zn=1 : 1 : 0.5[原子%]) 之金屬氧化物靶材執行沉積。沉積狀況設定如下：基板與靶材之間距離為 100mm；壓力為 0.2Pa；直流 (DC) 電力為 0.5kW；及氣體為包含氬及氧（氬：氧=30sccm : 20sccm，氧之流率比為 40%）之氣體。請注意，較佳的是使用脈衝直流 (DC) 電力，因為可減少沉積中產生之粉狀物質（亦稱為粒子或灰塵），且膜厚度可為均勻。In-Ga-Zn-O 基膜之厚度為 5 至 200nm。在本實施例中，有關氧化物半導體膜，使用 In-Ga-Zn-O 基金屬氧化物靶材及

藉由濺鍍而沉積 20-nm 厚之 In-Ga-Zn-O 基膜。另一方面，有關包含 In、Ga 及 Zn 之金屬氧化物靶材，可使用具有 In : Ga : Zn=1 : 1 : 1 (原子%) 成分比之靶材，或具有 In : Ga : Zn=1 : 1 : 2 (原子%) 成分比之靶材。

濺鍍之範例包括：RF 濺鍍，其中高頻電源用做濺鍍電源；DC 濺鍍；及脈衝 DC 濺鍍，其中以脈衝方式施加偏壓。RF 濺鍍主要用於沉積絕緣膜之狀況，及 DC 濺鍍主要用於沉積金屬膜之狀況。

此外，亦存在多源濺鍍設備，其中可設定複數不同材料之靶材。基此多源濺鍍設備，可沉積不同材料之膜而堆疊於相同室中，或可藉由於相同時間於相同室中放電而沉積複數種材料之膜。

此外，於室內部提供具磁體系統之濺鍍設備，並用於磁控管濺鍍，及用於 ECR 濺鍍之濺鍍設備，其中使用利用微波產生之電漿而未使用輝光放電。

此外，有關使用濺鍍之沉積方法，可使用反應濺鍍，其中靶材物質及濺鍍氣體成分於沉積期間彼此化學反應，以形成其薄化合物膜；或偏壓濺鍍，其中電壓亦於沉積期間施加於基板。

其次，氧化物半導體膜 430 於第二光刻程序中被處理為島形氧化物半導體層。可藉由噴墨法而形成用於形成島形氧化物半導體層之抗蝕罩。當藉由噴墨法形成抗蝕罩時，不使用光罩；因而，可減少製造成本。

接著，脫水或脫氫氧化物半導體層。用於脫水或脫氫

之第一熱處理之溫度為高於或等於 400℃ 及低於或等於 750℃，較佳地為高於或等於 400℃ 及低於基板之應變點。此處，在基板置入一種熱處理設備之電熔爐內，並在氮氣中於氧化物半導體層上以 450℃ 執行熱處理達一小時後，藉由避免基板暴露於空氣，可避免水及氫混入氧化物半導體層；因而，獲得氧化物半導體層 431 及 432（詳圖 7B）。

請注意，熱處理設備不侷限於電熔爐，而是可為經提供而具一種裝置，用於藉由來自諸如電阻加熱器之加熱器的熱傳導或熱輻射而加熱將處理之目標。例如，可使用快速熱降火（RTA）設備，諸如氣體快速熱降火（GRTA）設備或燈快速熱降火（LRTA）設備。LRTA 設備為一種設備，用於藉由自諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射（電磁波）而加熱將處理之目標。GRTA 設備為用於使用高溫氣體而熱處理之設備。有關該氣體，係使用未藉由熱處理而與將處理之目標反應之惰性氣體，諸如氮，或諸如氬之稀有氣體。

例如，有關第一熱處理，可執行 GRTA 如下。基板被轉移進入加熱至 650℃ 至 700℃ 高溫之惰性氣體，加熱達若干分鐘，並轉移及取出加熱至高溫之惰性氣體。GRTA 可於短時間實施高溫熱處理。

請注意，在第一熱處理中，較佳的是氮或諸如氫、氬或氬之稀有氣體中未包含水、氫等。此外，被導入熱處理

設備之氮或諸如氦、氖或氬之稀有氣體之純度較佳地為 6N (99.9999%) 或更高，更佳地為 7N (99.99999%) 或更高（即，雜質濃度為 1ppm 或更低，更較佳地為 0.1ppm 或更低）。

此外，氧化物半導體層可結晶，且依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層之結晶結構有時改變為微晶膜或多晶膜。例如，氧化物半導體層可結晶為微晶氧化物半導體膜，具有 90% 或更高之結晶程度，或 80% 或更高。此外，依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層可變成不包含結晶成分之非結晶氧化物半導體層。氧化物半導體層可成為氧化物半導體層，其中微晶部（具 1nm 至 20nm 粒徑，典型為 2nm 至 4nm）被混入非結晶氧化物半導體。若使用 RTA（例如 GRTA 或 LRTA）執行高溫熱處理，可於氧化物半導體層之表面側產生縱向方向（膜厚度方向）針狀晶體。

此外，氧化物半導體層之第一熱處理可於被處理成島形氧化物半導體層之前，於氧化物半導體膜 430 上執行。在此狀況下，基板於第一熱處理之後從熱設備取出，接著執行光刻程序。

用於氧化物半導體層之脫水或脫氫的熱處理可於下列任一時機執行：在氧化物半導體層形成之後；在源極電極及汲極電極形成於氧化物半導體層上之後；及在閘極絕緣層形成於源極電極及汲極電極上之後。

此外，若於閘極絕緣層 402 中形成開口部，開口部之

形成可於氧化物半導體膜 430 脫水或脫氫之前或之後執行。

請注意，氧化物半導體膜之蝕刻可使用乾式蝕刻，不侷限於濕式蝕刻。

有關用於乾式蝕刻之蝕刻氣體，較佳地使用包含氯之氣體（氯基氣體，諸如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ））。

另一方面，可使用包含氟之氣體（氟基氣體，諸如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）或三氟甲烷（ CHF_3 ））；溴化氫（ HBr ）；氧（ O_2 ）；任一該些氣體附加諸如氦（ He ）或氬（ Ar ）之稀有氣體等。

有關乾式蝕刻法，可使用平行板 RIE（反應離子蝕刻）或 ICP（電感耦合電漿）蝕刻。為將膜蝕刻為所需形狀，便適當調整蝕刻狀況（施加於線圈狀電極之電量、施加於基板側電極之電量、基板側電極之溫度等）。

有關用於濕式蝕刻之蝕刻劑，可使用藉由磷酸、乙酸及硝酸之混合物獲得之溶液、過氧化氫銨混合物（31 重量%過氧化氫溶液：28 重量%氨水：水=5：2：2）等。另一方面，可使用 ITO-07N（KANTO CHEMICAL CO., INC. 製造）。

藉由清潔連同蝕刻材料而移除用於濕式蝕刻之蝕刻劑。包括移除材料之蝕刻劑的廢液可純化，且廢液中所包含之材料可再使用。當諸如氧化物半導體中所包含之銦的材料從蝕刻後廢液匯集及再使用時，資源可有效地使用，

並可降低成本。

為蝕刻氧化物半導體膜而具有所需形狀，依據材料而適當調整蝕刻狀況（諸如蝕刻劑、蝕刻時間、溫度等）。

其次，於閘極絕緣層 402 及氧化物半導體層 431 及 432 之上形成金屬導電膜。金屬導電膜可藉由濺鍍或真空蒸發而予形成。有關金屬導電膜之材料，存在選自 Al、Cr、Cu、Ta、Ti、Mo 或 W 之元素、包含該元素之合金、包含部分該些元素組合之合金膜等。另一方面，可使用一或多項選自錳、鎂、鋅、鈹及鈦之材料。此外，金屬導電膜可具有單層結構或二或更多層之層級結構。例如，可提供包含矽之鋁膜的單層結構，其中鈦膜堆疊於鋁膜之上的雙層結構，其中鈦膜、鋁膜及鈦膜以此順序堆疊的三層結構等。另一方面，可使用包含 Al 及一或多項選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）或釷（Sc）之元素的膜、合金膜或氮化物膜。

當於金屬導電膜形成之後執行熱處理時，較佳的是金屬導電膜具有足夠高以支撐熱處理之耐熱性。

在第三光刻程序中，於金屬導電膜之上形成抗蝕罩；藉由執行選擇性蝕刻而形成源極電極層 415a、汲極電極層 415b、源極電極層 425a 及汲極電極層 425b；接著，移除抗蝕罩（詳圖 7C）。

請注意，適當調整每一材料及蝕刻狀況，以便當金屬導電膜蝕刻時，不會移除氧化物半導體層 431 及 432。

在本實施例中，Ti 膜用做金屬導電膜，In-Ga-Zn-O_s

基氧化物用於氧化物半導體層 431 及 432，及過氧化氫銨溶液（氨、水及過氧化氫溶液之混合物）用做蝕刻劑。

請注意，在第三光刻程序中，有時僅蝕刻部分氧化物半導體層 431 及 432，使得以形成具有槽（凹部）之氧化物半導體層。可藉由噴墨法而形成用於形成源極電極層 415a、汲極電極層 415b、源極電極層 425a 及汲極電極層 425b 之抗蝕罩。當藉由噴墨法而形成抗蝕罩時，不使用光罩；因而，可減少製造成本。

為減少光刻程序中光罩數量及減少程序數量，可使用多色調遮罩執行蝕刻程序，其為曝光遮罩，光透射此以便具有複數強度。使用多色調遮罩形成之抗蝕罩具有複數厚度，並可藉由執行蝕刻而改變形狀；因此，抗蝕罩可用於複數蝕刻程序以將膜處理為不同型樣。因此，可藉由一多色調遮罩而形成相應於至少兩種或更多種不同型樣之抗蝕罩。因而，可減少曝光遮罩之數量，及可減少相應光刻程序之數量，使得可簡化程序。

其次，執行使用諸如 N_2O 、 N_2 或 Ar 之氣體的電漿處理。基於此電漿處理，移除暴露之氧化物半導體層表面所吸附之水等。另一方面，電漿處理可使用氧及氫之混合氣體而予執行。

在電漿處理之後，於未暴露於空氣下，形成氧化物絕緣層 416 以做為保護絕緣膜，並接觸部分氧化物半導體層。

可適當地藉由一種方法，諸如濺鍍，而形成至少 1nm

或更多厚度之氧化物絕緣層 416，藉此諸如水或氫之雜質便不會混入氧化物絕緣層 416。當氧化物絕緣層 416 中包含氫時，造成氫進入氧化物半導體層或藉由氫而擷取氧化物半導體層中之氧，因此使氧化物半導體層之反向通道具有較低電阻（具有 n 型導電性），並形成寄生通道。因此，重要的是用於沉積之氫盡量少，以便氧化物絕緣層 416 盡可能包含少量之氫。

在本實施例中，藉由濺鍍沉積 200-nm 厚之氧化矽膜做為氧化物絕緣層 416。沉積時基板溫度可介於室溫至 300°C 之範圍，在本實施例中為 100°C。可藉由濺鍍，在稀有氣體（典型為氬）、氧氣、或包含稀有氣體（典型為氬）及氧之氣體中，沉積氧化矽膜。此外，可使用氧化矽靶材或矽靶材做為靶材。例如，使用矽靶材，可藉由濺鍍於包括氧及氮之氣體中沉積氧化矽。經形成而接觸氧化物半導體層的氧化物絕緣層 416，其電阻降低，係使用無機絕緣膜形成，其不包括諸如濕氣、氫離子或 OH⁻之雜質，並阻擋該些雜質從外部進入，典型地為氧化矽膜、氮氧化矽膜、氧化鋁膜、氧氮化鋁膜等。

其次，於惰性氣體或氧氣中執行第二熱處理（較佳地為 200°C 至 400°C，例如 250°C 至 350°C）。例如，於氮氣中以 250°C 執行第二熱處理達 1 小時。經由第二熱處理，氧化物半導體層之一部分（通道形成區）在與氧化物絕緣層 416 接觸時被加熱。

經由上述步驟，在用於脫水或脫氫之熱處理於沉積之

S

氧化物半導體膜上執行以便降低氧化物半導體膜之電阻之後，部分氧化物半導體膜被選擇性製成超氧狀態。因此，與閘極電極層 411 重疊之通道形成區 413 成為固有，且接觸源極電極層 415a 之高電阻源極區 414a 及接觸汲極電極層 415b 之高電阻汲極區 414b 係以自我對齊之方式形成。經由上述步驟，形成薄膜電晶體 410。類似地，與閘極電極層 421 重疊之通道形成區 423 成為固有，且接觸源極電極層 425a 之高電阻源極區 424a 及接觸汲極電極層 425b 之高電阻汲極區 424b 係以自我對齊之方式形成。經由上述步驟，形成薄膜電晶體 420。

在 85°C 及 $2 \times 10^6 \text{ V/cm}$ 下達 12 小時之偏壓-溫度壓力測試（BT 測試）中，若雜質已添加至氧化物半導體，雜質與氧化物半導體主要成分之間的鍵，藉由高電場（B：偏壓）及高溫度（T：溫度）而分裂，使得所產生之懸鍵導致閾值電壓（ V_{th} ）偏移。有關與其相反之相對測量，盡可能移除氧化物半導體中雜質特別是氫、水等，使得藉由高密度電漿增強 CVD 而形成具有高耐受電壓之高品質密集絕緣膜，並可改進與氧化物半導體之間介面的屬性。因此，可獲得當執行 BT 測試時穩定之薄膜電晶體。

此外，可於空氣中以 100°C 至 200°C 執行熱處理達 1 小時至 30 小時。在本實施例中，係以 150°C 執行熱處理達 10 小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度從室溫上升至 100°C 至 200°C 之溫度，及接著降至室溫。此

外，本熱處理可於氧化物絕緣層形成之前，在減壓下執行。當在減壓下執行熱處理時，加熱時間可縮短。經由本熱處理，氫從氧化物半導體層被導入氧化物絕緣層；因而，可獲得正常關薄膜電晶體。因而，可改進液晶顯示裝置之可靠性。

請注意，藉由與汲極電極層 415b 及 425b（及源極電極層 415a 及 425a）重疊之氧化物半導體層中高電阻汲極區 414b 及 424b 之形成，可改進薄膜電晶體之可靠性。具體地，藉由高電阻汲極區 414b 及 424b 之形成，可獲得一種結構，其中傳導性可從汲極電極層 415b 及 425b 逐步改變為高電阻汲極區 414b 及 424b 和通道形成區 413 及 423。因此，若以連接用於供應高電源電位 VDD 之佈線的汲極電極層 415b 及 425b 執行作業，便以高電阻汲極區做為緩衝器，且未局部施加高電場，即使高電場係施加於閘極電極層 411 與汲極電極層 415b 之間及閘極電極層 421 與汲極電極層 425b 之間；因而，可增加薄膜電晶體之耐受電壓。

此外，若氧化物半導體層薄為 15nm 或更低，便沿厚度方向於整個區域形成氧化物半導體層中高電阻源極區及高電阻汲極區。若氧化物半導體層厚為 30 至 50nm，便形成部分氧化物半導體層之高電阻源極區及高電阻汲極區，即與源極電極層及汲極電極層接觸之區域，及其附近具有較低電阻處，且接近閘極絕緣層之氧化物半導體層之區域可為固有。

可於氧化物絕緣層 416 之上形成保護絕緣層。例如，藉由 RF 濺鍍形成氮化矽膜。由於 RF 濺鍍具有高生產力，較佳地用做保護絕緣層之沉積方法。保護絕緣層係使用無機絕緣膜予以形成，其不包含諸如濕氣、氫離子及 OH^- 之雜質並阻擋該等雜質從外部進入，典型為氮化矽膜、氮化鋁膜、氮氧化矽膜或氧氮化鋁膜。在本實施例中，有關保護絕緣層，使用氮化矽膜形成保護絕緣層 403（詳圖 7D）。

用於平面化之平面化絕緣層可提供於保護絕緣層 403 之上。如圖 7E 中所描繪，於薄膜電晶體 420 中保護絕緣層 403 之上形成平面化絕緣層 404。

平面化絕緣層 404 可使用耐熱性之有機材料予以形成，諸如聚醯亞胺、丙烯酸、苯並環丁烯、聚醯胺或環氧樹脂。除了該等有機材料外，亦可使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。請注意，平面化絕緣層 404 可藉由堆疊使用該些材料形成之複數絕緣膜予以形成。

請注意，矽氧烷基樹脂相應於包括使用矽氧烷基材料做為啓動材料所形成 Si-O-Si 鍵之樹脂。矽氧烷基樹脂可包括有機基（例如烷基或芳基）做為取代基。此外，有機基可包括氟基。

形成平面化絕緣層 404 之方法並無特別限制。平面化絕緣層 404 可依據材料，藉由下列方法而予形成，諸如濺鍍、SOG 法、旋塗法、浸漬法、噴塗法或液低釋放法（例

如噴墨法、網印或膠印），或使用工具諸如刮膠刀、擠膠滾筒、簾式塗料器或刮刀塗布機。

其次，於第四光刻程序中形成抗蝕罩，並藉由選擇性蝕刻移除氧化物絕緣層 416、保護絕緣層 403 及平面化絕緣層 404 之一部分，使得以形成達到汲極電極層 425b 之開口。

接著，形成透光導電膜。透光導電膜係使用銦氧化物（ In_2O_3 ）、銦氧化物及錫氧化物之合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ 以下縮寫為 ITO）等，藉由濺鍍、真空蒸發等，予以形成。另一方面，透光導電膜可使用包含氮之 Al-Zn-O 基膜，即 Al-Zn-O-N-基膜，包含氮之 Zn-O 基膜，或包含氮之 Sn-Zn-O 基膜，予以形成。請注意，Al-Zn-O-N-基膜中鋅的成分比（原子%）小於或等於 47 原子%，並高於膜中之鋁；膜中之鋁的成分比（原子%）高於膜中之氮。該等材料係以鹽酸基溶液蝕刻。然而，由於尤其在蝕刻 ITO 中易於產生殘渣，可使用銦氧化物及氧化鋅之合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ），以改進蝕刻加工性能。

請注意，透光導電膜中成分比之單位為原子百分比（原子%），且成分比係藉由使用電子探針 X 射線微量分析器（EPMA）之分析予以評估。

其次，於第五光刻程序中形成抗蝕罩；藉由蝕刻移除透光導電膜之不必要部分，使得以形成像素電極 427；並移除抗蝕罩（詳圖 7E）。

在本實施例中，以與氧化物絕緣層及保護絕緣層相同

S

光刻程序執行於閘極絕緣層中形成開口之步驟；然而，可於不同步驟中執行於閘極絕緣層中形成開口之步驟。在此狀況下，光刻程序相應於第六步驟。

基於包括具有本實施例中所說明之氧化物半導體層之薄膜電晶體的液晶顯示裝置與實施例 1 中所說明之結構的組合，當顯示靜態影像時可減少電力消耗及可抑制影像變形。

本實施例可酌情與任一其他實施例組合。

（實施例 6）

在本實施例中，說明可應用於本說明書中所揭露之液晶顯示裝置的薄膜電晶體之範例。

參照圖 8A 至 8E 說明本實施例之液晶顯示裝置之一實施例，及液晶顯示裝置之製造方法。

儘管薄膜電晶體 240 及 260 係以單閘極薄膜電晶體說明，但需要時可形成各包括複數通道形成區之多閘極薄膜電晶體。

以下參照圖 8A 至 8E 說明於基板 200 上形成薄膜電晶體 240 及 260 之步驟。

首先，於具有絕緣表面之基板 200 上形成導電膜。接著，於第一光刻程序中形成閘極電極層 241 及 261。在本實施例中，有關閘極電極層 241 及 261，藉由濺鍍形成 150-nm 厚之錫膜。

接著，於閘極電極層 241 及 261 之上形成閘極絕緣層

292。在本實施例中，有關閘極絕緣層 292，藉由電漿增強 CVD 形成 100nm 或更低厚度之氧氮化矽層。

其次，於閘極絕緣層 292 之上形成金屬導電膜；在第二光刻程序中於金屬導電膜之上形成抗蝕罩；藉由選擇性蝕刻形成源極電極層 245a 及 265a 和汲極電極層 245b 及 265b；接著，移除抗蝕罩（詳圖 8A）。

接著，形成氧化物半導體膜 295（詳圖 8B）。在本實施例中，使用 In-Ga-Zn-O 基金屬氧化物靶材及藉由濺鍍而形成氧化物半導體膜 295。氧化物半導體膜 295 於第三光刻程序中被處理成島形氧化物半導體層。

接著，氧化物半導體層脫水或脫氫。用於脫水或脫氫之第一熱處理的溫度為高於或等於 400℃ 及低於或等於 750℃，較佳地為高於或等於 400℃ 及低於基板之應變點。此處，於基板被置入一種熱處理設備之電熔爐中之後，於氮氣中以 450℃ 在氧化物半導體層上執行熱處理達一小時，藉由避免基板暴露於空氣，水及氫避免混入氧化物半導體層；因而，獲得氧化物半導體層 296 及 297（詳圖 8C）。

例如，有關第一熱處理，可執行 GRTA 如下。基板被轉移及置入以 650 至 700℃ 高溫加熱之惰性氣體中，加熱達數分鐘，並被轉移及取出高溫加熱之惰性氣體。GRTA 使得能以短時間高溫熱處理。

形成做為保護絕緣膜並經形成而接觸氧化物半導體層 296 及 297 之氧化物絕緣層 246。

可適當地藉由一種方法，諸如濺鍍，而形成至少 1nm 或更多厚度之氧化物絕緣層 246，藉此諸如水或氫之雜質便不會混入氧化物絕緣層 246。當氧化物絕緣層 246 中包含氫時，造成氫進入氧化物半導體層或藉由氫而擷取氧化物半導體層中之氧，因此使氧化物半導體層之反向通道具有較低電阻（具有 n 型導電性），及形成寄生通道。因此，重要的是沉積中使用盡可能少量之氫，以便氧化物絕緣層 246 盡可能包含少量之氫。

在本實施例中，藉由濺鍍沉積 200-nm 厚之氧化矽膜做為氧化物絕緣層 246。沉積時基板溫度可介於室溫至 300℃ 之範圍，在本實施例中為 100℃。可藉由濺鍍，在稀有氣體（典型為氬）、氧氣、或包括稀有氣體（典型為氬）及氧之氣體中，沉積氧化矽膜。此外，可使用氧化矽靶材或矽靶材做為靶材。例如，可使用矽靶材及藉由濺鍍於氧及氮之氣體中沉積氧化矽。使用無機絕緣膜，典型為氧化矽膜、氮氧化矽膜、氧化鋁膜或氧氮化鋁膜，其不包括諸如濕氣、氫離子或 OH^- 之雜質，並阻擋該些雜質從外部進入，而形成氧化物絕緣層 246，其經形成而接觸電阻降低氧化物半導體層。

其次，於惰性氣體或氧氣中執行第二熱處理（較佳地為 200℃ 至 400℃，例如 250℃ 至 350℃）。例如，於氮氣中以 250℃ 執行第二熱處理達 1 小時。經由第二熱處理，氧化物半導體層之一部分（通道形成區）在與氧化物絕緣層 246 接觸之狀態下被加熱。

經由上述步驟，在用於脫水或脫氫之熱處理於沉積之氧化物半導體膜上執行以降低氧化物半導體膜之電阻之後，氧化物半導體膜被製成超氧狀態。因此，形成本質（i 型）氧化物半導體層 242 及 262。經由上述步驟，形成薄膜電晶體 240 及 260。

此外，可於空氣中以 100°C 至 200°C 執行熱處理達 1 小時至 30 小時。在本實施例中，熱處理係以 150°C 執行達 10 小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度可從室溫上升至 100°C 至 200°C 之溫度，及接著降至室溫。此外，本熱處理可於氧化物絕緣層形成之前，在減壓下執行。當在減壓下執行熱處理時，熱處理時間可縮短。經由本熱處理，氫從氧化物半導體層導入氧化物絕緣層；因而，可獲得正常關薄膜電晶體。因而，可改進液晶顯示裝置之可靠性。

保護絕緣層可形成於氧化物絕緣層 246 之上。例如，藉由 RF 濺鍍而形成氮化矽膜。在本實施例中，有關保護絕緣層，使用氮化矽膜而形成保護絕緣層 293（詳圖 8D）。

用於平面化之平面化絕緣層可提供於保護絕緣層 293 之上。在本實施例中，如圖 8E 中所描繪，平面化絕緣層 294 係形成於薄膜電晶體 260 中保護絕緣層 293 之上。

其次，於第四光刻程序中形成抗蝕罩，並藉由選擇性蝕刻而移除平面化絕緣層 294、保護絕緣層 293 及氧化物

S

絕緣層 246 之一部分，使得以形成達到汲極電極層 265b 之開口。

其次，形成透光導電膜；於第五光刻程序中形成抗蝕罩；藉由蝕刻移除透光導電膜之不必要部分，使得以形成像素電極 267；及移除抗蝕罩（詳圖 8E）。

在本實施例中，以與氧化物絕緣層及保護絕緣層相同光刻程序執行於閘極絕緣層中形成開口之步驟；然而，可以不同步驟執行於閘極絕緣層中形成開口之步驟。在此狀況下，光刻程序對應於第六步驟。

基於包括具有本實施例中所說明之氧化物半導體層之薄膜電晶體的液晶顯示裝置與實施例 1 中所說明之結構的組合，可於顯示靜態影像中減少電力消耗。

本實施例可酌情與其他實施例中所說明之任一結構組合。

（實施例 7）

在本實施例中，說明可應用於本說明書中所揭露之液晶顯示裝置的薄膜電晶體之範例。

在本實施例中，參照圖 9 說明製造程序與實施例 5 中部分不同之薄膜電晶體範例。由於除部分程序外，圖 9 與圖 7A 至 7E 相同，相同部分以相同編號代表，並省略相同部分之詳細說明。

閘極電極層 471 及 481 係形成於基板 400 上，且閘極絕緣層 402 堆疊於其上。

其次，形成氧化物半導體膜，並於光刻程序中被處理成島形氧化物半導體層。

接著，氧化物半導體層脫水或脫氫。用於脫水或脫氫之第一熱處理的溫度為 400°C 至 750°C ，較佳地為 425°C 至 750°C 。請注意，若第一熱處理之溫度為 425°C 或更高，熱處理時間可為一小時或更短。若第一熱處理之溫度為低於 425°C ，熱處理時間可為多於一小時。此處，在基板被置入一種熱處理設備之電熔爐中，及氧化物半導體層於氮氣中歷經熱處理之後，藉由避免基板暴露於空氣，可避免水或氫混入氧化物半導體層；因而，獲得氧化物半導體層。之後，導入高純度氧氣、高純度 N_2O 氣體或極乾燥空氣（具有 -40°C 或更低之露點，較佳地為 -60°C 或更低）進入相同熔爐，並執行冷卻。較佳的是氧氣或 N_2O 氣體未包含水、氫等。另一方面，被導入熱處理設備之氧氣或 N_2O 氣體之純度較佳地為 6N（99.9999%）或更高，更佳地為 7N（99.99999%）或更高（即，氧氣或 N_2O 氣體中雜質濃度為 1ppm 或更低，更較佳地為 0.1ppm 或更低）。

請注意，熱處理設備不侷限於電熔爐，例如，可使用快速熱降火（RTA）設備，諸如氣體快速熱降火（GRTA）設備或燈快速熱降火（LRTA）設備。LRTA 設備為一種設備，用於藉由自諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射（電磁波）而加熱將處理之目標。此外，LRTA 設備

可經提供而不僅具燈，但亦具一種裝置，用於藉由來自諸如電阻加熱器之加熱器的熱傳導或熱輻射而加熱將處理之目標。GRTA 為用於使用高溫氣體而執行熱處理之方法。有關該氣體，係使用未藉由熱處理而與將處理之目標反應之惰性氣體，諸如氮，或諸如氬之稀有氣體。熱處理可藉由 RTA 而以 600°C 至 750°C 執行達若干分鐘。

此外，在用於脫水或脫氫之第一熱處理之後，可於氧氣或 N_2O 氣體中以 200°C 至 400°C 執行熱處理，較佳地為 200°C 至 300°C。

此外，用於氧化物半導體層之第一熱處理可於氧化物半導體膜被處理為島形氧化物半導體層之前，在氧化物半導體膜上執行。在此狀況下，基板在第一熱處理之後被取出熱設備，並接著執行光刻步驟。

整個氧化物半導體膜經由上述步驟而被製成超氧狀態；因而，氧化物半導體膜具有更高電阻，即氧化物半導體膜變成固有。因此，形成整個區域具有 i 型傳導性之氧化物半導體層 472 及 482。

其次，於光刻程序中在氧化物半導體層 472 及 482 之上形成抗蝕罩；藉由選擇性蝕刻形成源極電極層 475a 及 485a 和汲極電極層 475b 及 485b；及藉由濺鍍形成氧化物絕緣層 416。經由上述步驟，形成薄膜電晶體 470 及 480。

其次，為減少薄膜電晶體之電氣特性改變，可於惰性氣體或氮氣中執行熱處理（較佳地為高於或等於 150°C 及

低於 350℃)。例如，於氮氣中以 250℃ 執行熱處理達一小時。

此外，可於空氣中以 100℃ 至 200℃ 執行熱處理達 1 至 30 小時。在本實施例中，係以 150℃ 執行熱處理達 10 小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度從室溫上升至 100℃ 至 200℃ 之溫度，及接著降至室溫。此外，本熱處理可於氧化物絕緣層形成之前，在減壓下執行。當在減壓下執行熱處理時，加熱時間可縮短。經由本熱處理，氫從氧化物半導體層導入氧化物絕緣層；因而，可獲得正常關薄膜電晶體。因而，可改進液晶顯示裝置之可靠性。

保護絕緣層 403 可形成於氧化物絕緣層 416 之上。在本實施例中，使用氮化矽膜而形成保護絕緣層 403，做為保護絕緣層。

用於平面化之平面化絕緣層可提供於保護絕緣層 403 之上。在本實施例中，如圖 9 中所描繪，平面化絕緣層 404 係形成於薄膜電晶體 480 中保護絕緣層 403 之上。

其次，於光刻程序中形成抗蝕罩，並藉由選擇性蝕刻而移除平面化絕緣層 404、保護絕緣層 403 及氧化物絕緣層 416 之一部分，使得以形成達到汲極電極層 485b 之開口。

其次，形成透光導電膜；於光刻程序中形成抗蝕罩；藉由蝕刻移除透光導電膜之不必要部分，使得以形成像素電極 417；及移除抗蝕罩（詳圖 9）。

基於包括具有本實施例中所說明之氧化物半導體層之薄膜電晶體的液晶顯示裝置與實施例 1 中所說明之結構的組合，可於顯示靜態影像中減少電力消耗。

本實施例可酌情與任一其他實施例組合。

(實施例 8)

在本實施例中，說明每一包括上述實施例中所說明之液晶顯示裝置之電子裝置範例。

圖 10A 顯示可攜式遊戲機，其可包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、記錄媒體讀取部 9672 等。圖 10A 中所描繪之可攜式遊戲機可具有讀取記錄媒體中所儲存之程式或資料以將其顯示於顯示部之功能、藉由無線通訊而與其他可攜式遊戲機共用資訊之功能等。請注意，圖 10A 中所描繪之可攜式遊戲機之功能並不侷限於上述，可攜式遊戲機可具有各種功能。

圖 10B 描繪數位相機，其可包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、快門按鈕 9676、影像接收部 9677 等。圖 10B 中所描繪之具有電視接收功能之數位相機，可具有拍攝靜態影像及移動影像之功能、自動或人工修正所拍攝影像之功能、從天線獲得各種資訊之功能、將所拍攝影像或從天線獲得之資訊顯示於顯示部之功能等。請注意，圖 10B 中所描繪之具有電視接收功能之數位相機之功能並不侷限於上述，數位相機

可具有各種功能。

圖 10C 描繪電視接收器，其可包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636 等。圖 10C 中所描繪之電視接收器可具有處理用於電視之無線電波並將無線電波轉換為影像信號之功能、處理影像信號並將影像信號轉換為適於顯示之信號之功能、轉換影像信號之訊框頻率之功能等。請注意，圖 10C 中所描繪之電視接收器之功能並不侷限於上述，電視接收器可具有各種功能。

圖 11A 描繪電腦，其可包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、指向裝置 9681、外部連接埠 9680 等。圖 11A 中所描繪之電腦可具有將各類資訊（例如，靜態影像、移動影像及正文影像）顯示於顯示部之功能、藉由各種軟體（程式）控制程序之功能、諸如無線通訊或有線通訊之通訊功能、以通訊功能連接各種電腦網路之功能、以通訊功能傳送及接收各種資料之功能等。請注意，圖 11A 中所描繪之電腦之功能並不侷限於上述，電腦可具有各種功能。

圖 11B 描繪行動電話，其可包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、麥克風 9638、外部連接埠 9680 等。圖 11B 中所描繪之行動電話可具有顯示各類資訊（例如，靜態影像、移動影像及正文影像）之功能、將日曆、日期、時間等顯示於顯示部之功能、操作或編輯顯示於顯示部之資訊之功能、藉由各種軟體（程式）

5

控制程序之功能等。請注意，圖 11B 中所描繪之行動電話之功能並不侷限於上述，行動電話可具有各種功能。

圖 11C 描繪電子紙（亦稱為電子書或電子書閱讀器），其可包括外殼 9630、顯示部 9631、操作鍵 9635 等。圖 11C 中所描繪之電子紙可具有顯示各類資訊（例如，靜態影像、移動影像及正文影像）之功能、將日曆、日期、時間等顯示於顯示部之功能、操作或編輯顯示於顯示部之資訊之功能、藉由各種軟體（程式）控制程序之功能等。請注意，圖 11C 中所描繪之電子紙之功能並不侷限於上述，電子紙可具有各種功能。

在本實施例中所說明之電子裝置中，當顯示靜態影像時，可減少電力消耗。

本實施例可酌情與其他實施例中所說明之任一結構組合。

本申請案係依據 2009 年 11 月 30 日向日本專利處提出申請之序號 2009-272545 日本專利申請案，及 2009 年 12 月 8 日向日本專利處提出申請之序號 2009-279003 日本專利申請案，其整個內容係以提及方式併入本文。

【符號說明】

101、102、200、400：基板

103、201、1006：像素部

104、1007A：閘極線驅動電路

105、1007B：信號線驅動電路

- 106：端子部
- 107、1261：開關電晶體
- 108：共同連接部
- 109、122、504：相對電極
- 111、301：閘極線
- 112、302：信號線
- 113、300：像素
- 114、303：選擇線
- 121、267、427、487：像素電極
- 123：液晶
- 240、260、410、420、470、480、501、502、1601：薄膜電晶體
- 241、261、411、421、471：閘極電極層
- 242、296、431、472：氧化物半導體層
- 246、416：氧化物絕緣層
- 247、417：導電層
- 292、402：閘極絕緣層
- 293、403：保護絕緣層
- 294、404：平面化絕緣層
- 295、430：氧化物半導體膜
- 304、1603：解碼器電路
- 312：NOR 電路
- 490：緩衝器電路
- 491、492：反向器電路

493：開關

413、423：通道形成區

450：氮氣

503、1602：液晶元件

1000：液晶顯示裝置

1001：顯示面板

1002：記憶體電路

1003：比較電路

1004：顯示控制電路

1005：驅動電路部

1008：訊框記憶體

106A、106B：端子

1211：像素電晶體

1604：移位暫存器電路

1701、9630：外殼

1702、9631：顯示部

1703：視窗型顯示部

1704：虛線部

1705：實線部

1707、1708：區域

1801：期間

245a、265a、415a、425a、475a、485a：源極電極層

245b、265b、415b、425b、475b、485b：汲極電極層

311A：NAND 電路

414a、424a：高電阻源極區

414b、424b：高電阻汲極區

9633：揚聲器

9635：操作鍵

9636：連接端子

9638：麥克風

9672：記錄媒體讀取部

9676：快門按鈕

9677：影像接收部

9680：外部連接埠

9681：指向裝置

公告本

發明摘要

※申請案號：104126099

※申請日：099 年 11 月 26 日

※IPC 分類： G02F 1/1362 (2006.01)
G09G 3/36 (2006.01)

【發明名稱】(中文/英文)

液晶顯示裝置、液晶顯示裝置之驅動方法及包含該液晶顯示裝置之電子裝置

Liquid crystal display device, method for driving the same, and electronic device including the same

【中文】

該液晶顯示裝置包括具被供應影像信號之複數像素之像素部；驅動電路，包括選擇性控制信號線之信號線驅動電路，及選擇性控制閘極線之閘極線驅動電路；儲存該影像信號之記憶體電路；比較電路，比較儲存於該像素之該記憶體電路中影像信號並檢測差異；及顯示控制電路，其控制該驅動電路並依據該差異讀取該影像信號。該顯示控制電路僅供應該影像信號予檢測到該差異之該像素。該像素包括薄膜電晶體，該薄膜電晶體包括具氧化物半導體之半導體層。

【 英文 】

The liquid crystal display device includes a pixel portion including a plurality of pixels to which image signals are supplied; a driver circuit including a signal line driver circuit which selectively controls a signal line and a gate line driver circuit which selectively controls a gate line; a memory circuit which stores the image signals; a comparison circuit which compares the image signals stored in the memory circuit in the pixels and detects a difference; and a display control circuit which controls the driver circuit and reads the image signal in accordance with the difference. The display control circuit supplies the image signal only to the pixel where the difference is detected. The pixel includes a thin film transistor including a semiconductor layer including an oxide semiconductor.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

1000：液晶顯示裝置

1001：顯示面板

1002：記憶體電路

1003：比較電路

1004：顯示控制電路

1005：驅動電路部

1006：像素部

1007A：閘極線驅動電路

1007B：信號線驅動電路

1008：訊框記憶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

圖 1

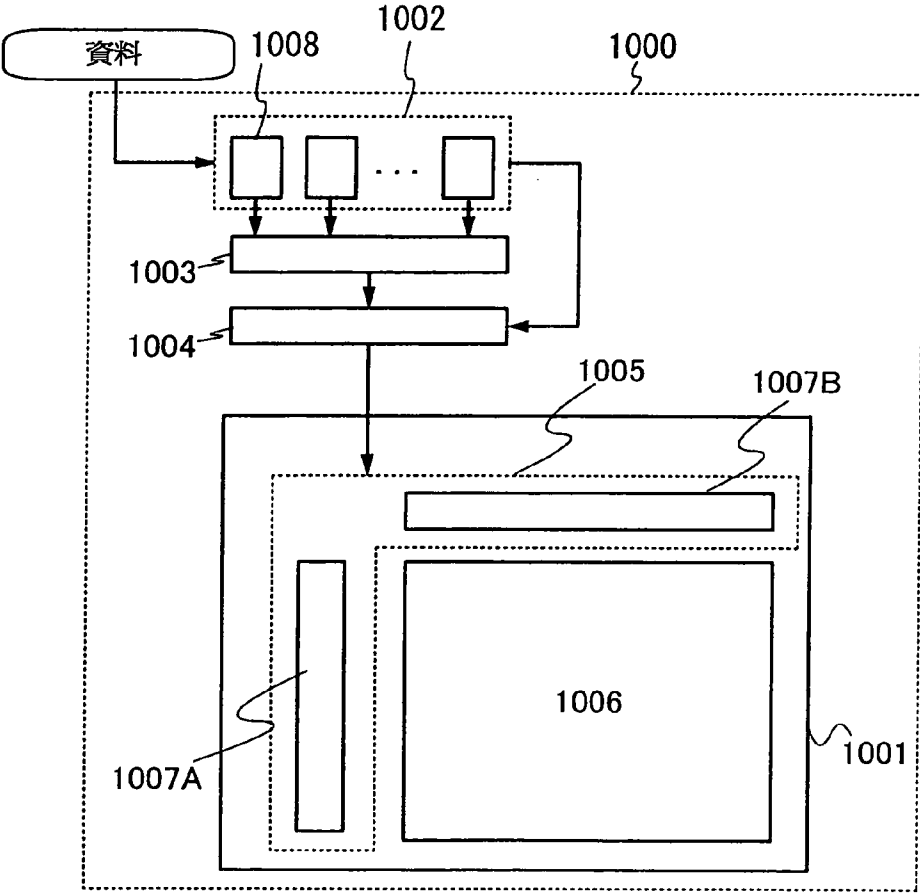


圖 2A

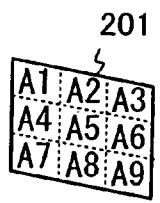


圖 2B

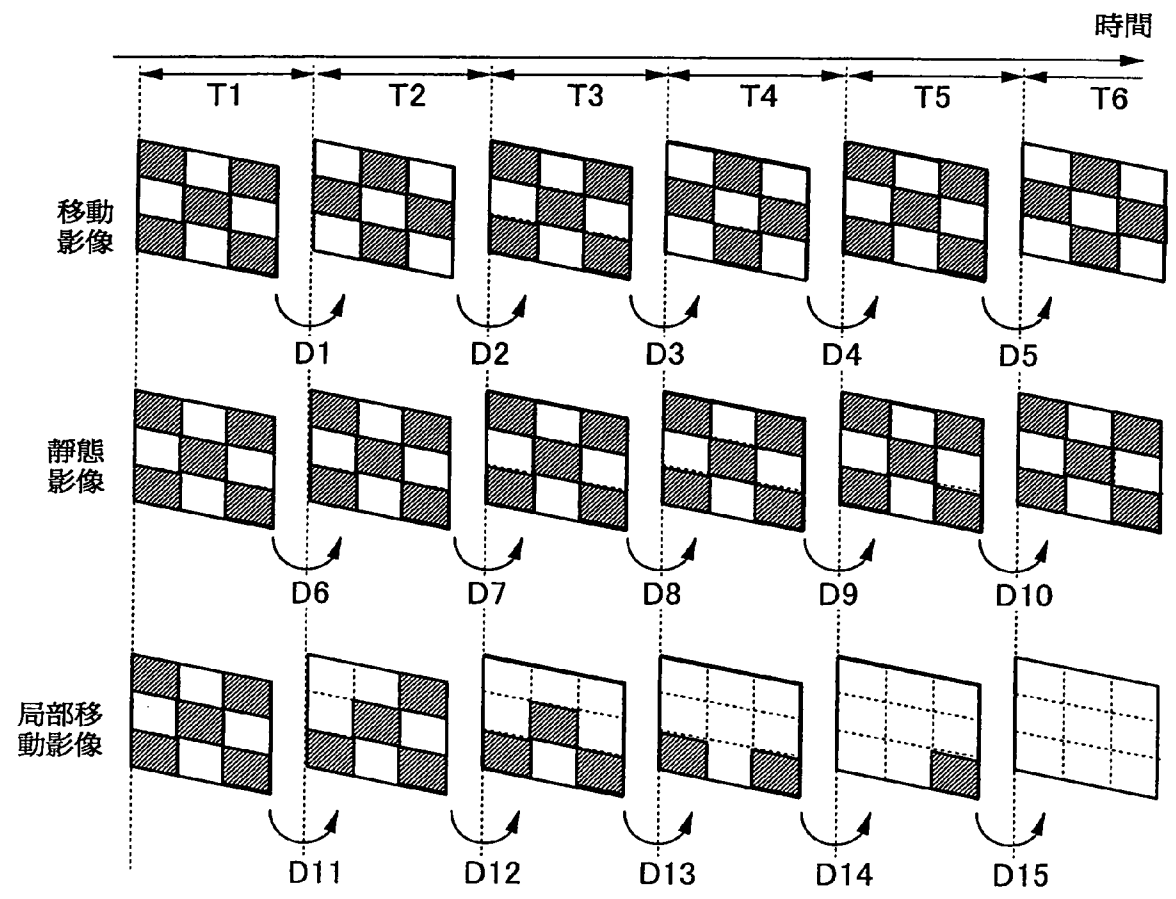


圖 3A

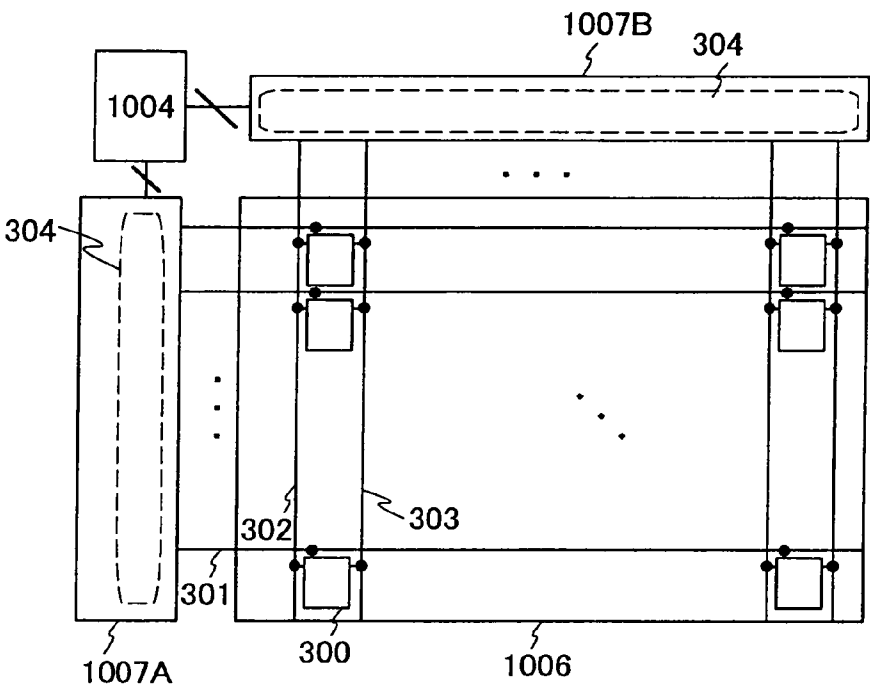


圖 3B

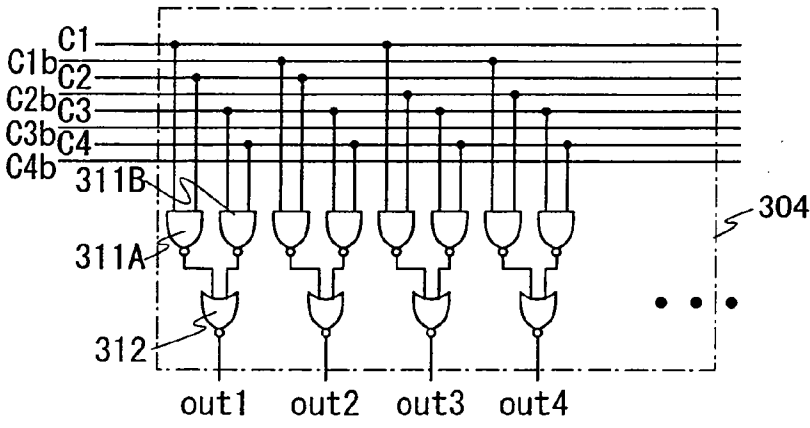


圖 4A

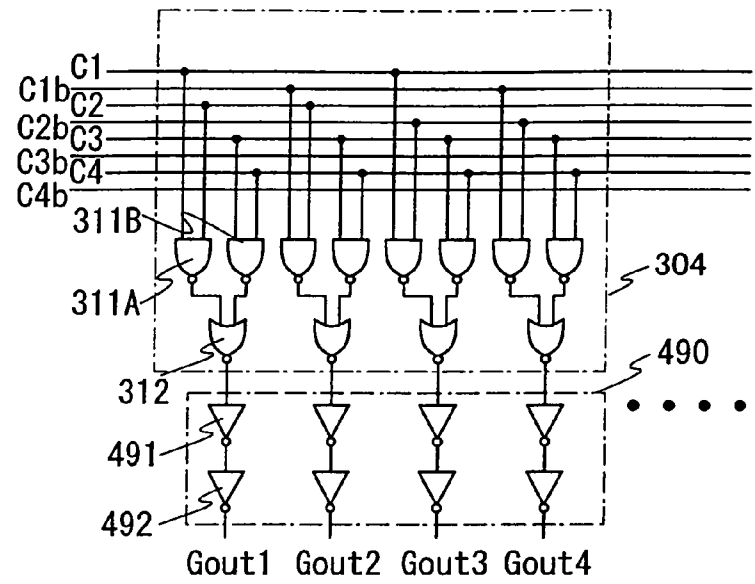


圖 4B

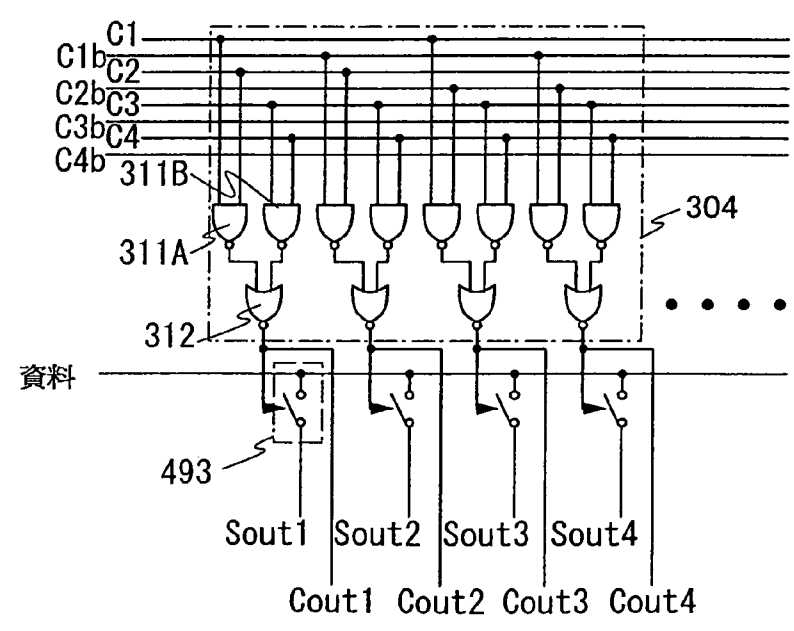


圖5

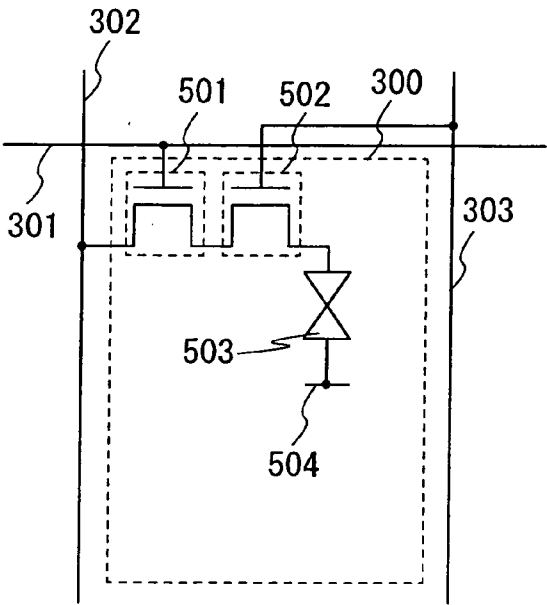


圖 6A

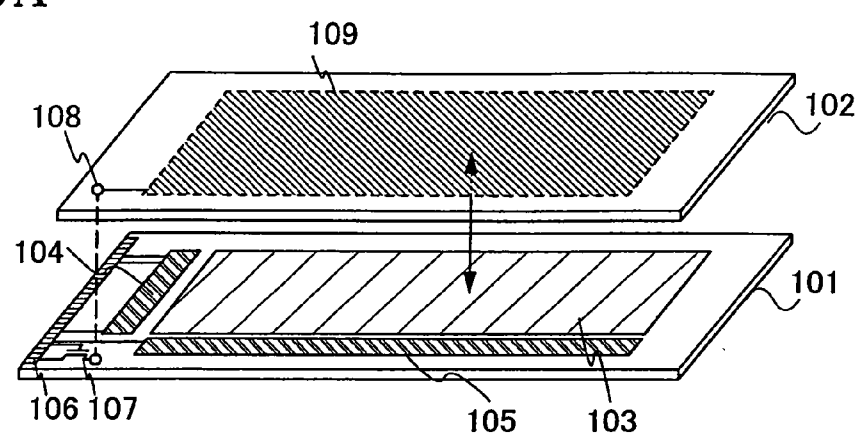


圖 6B

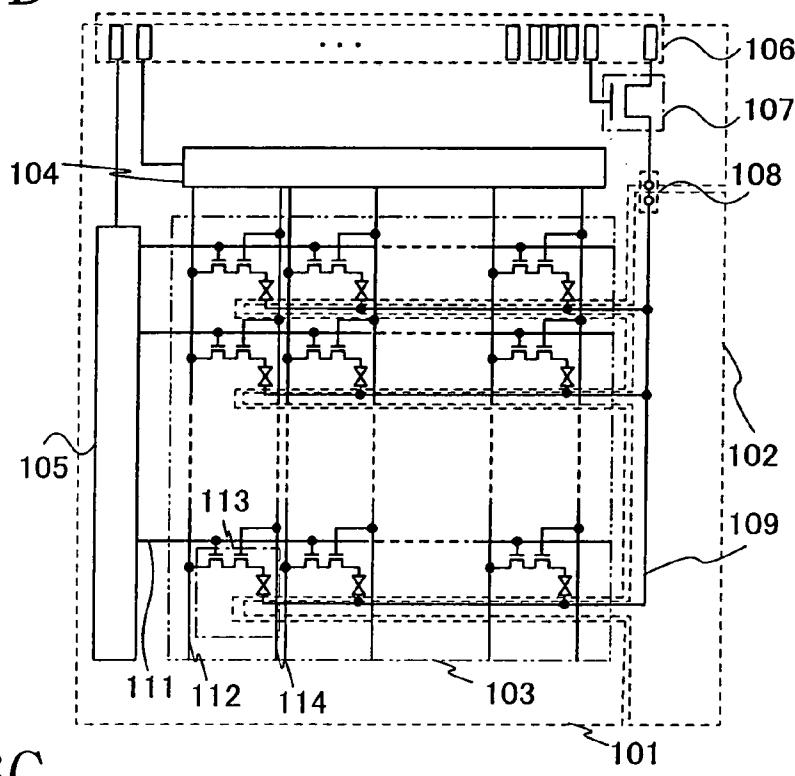


圖 6C

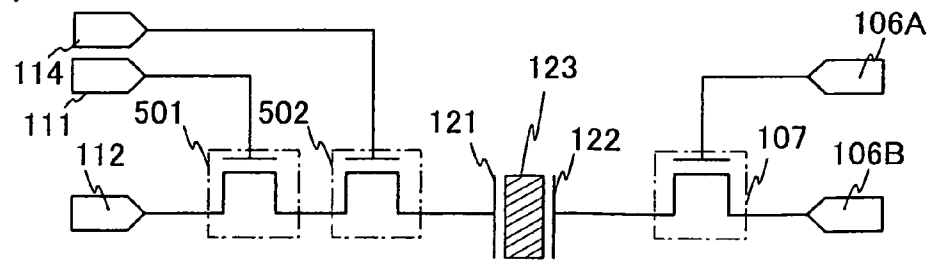


圖 7A

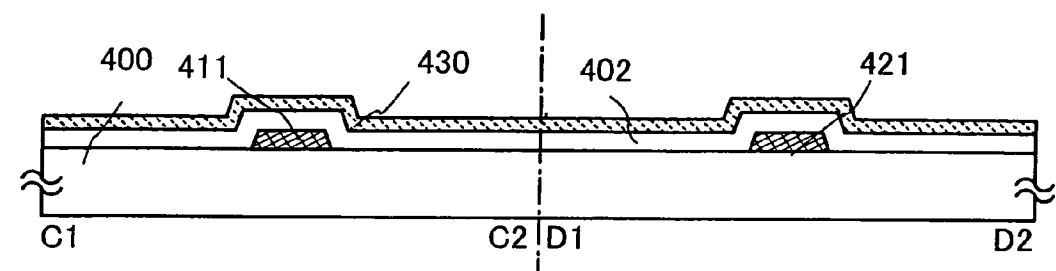


圖 7B

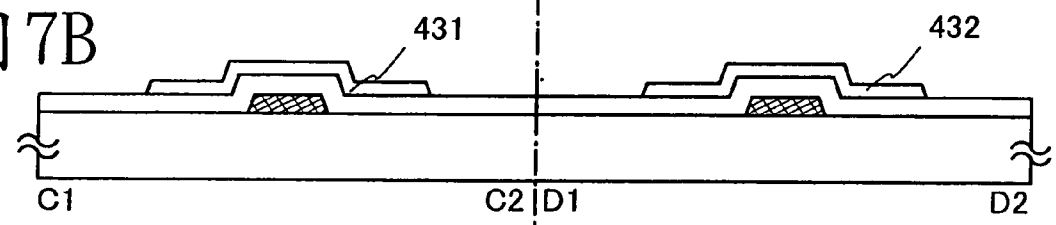


圖 7C

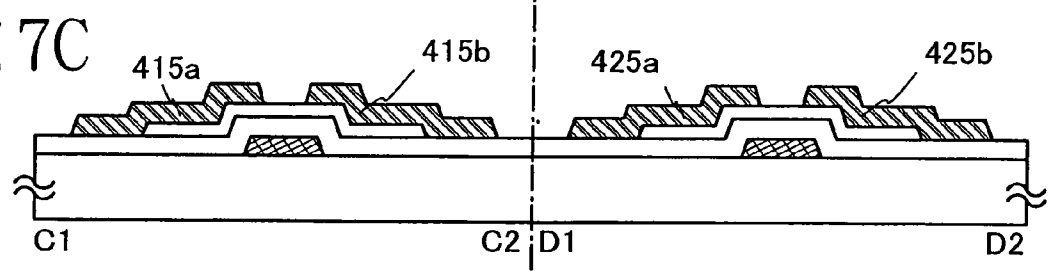


圖 7D

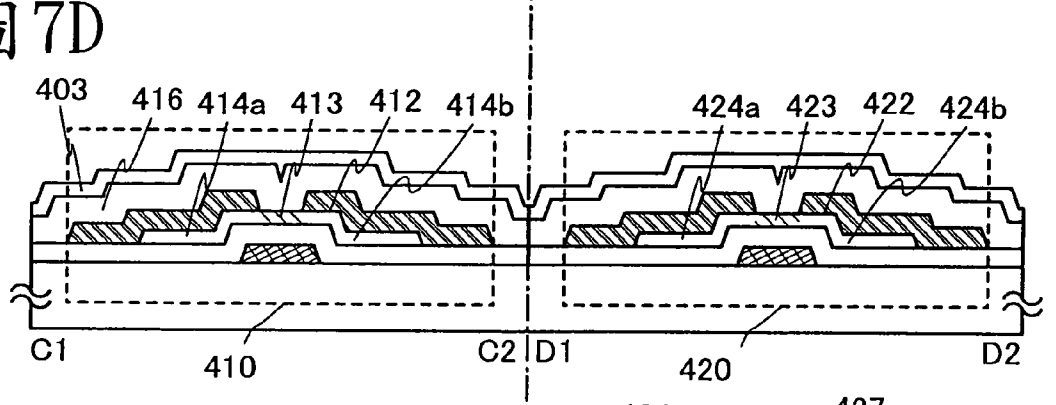


圖 7E

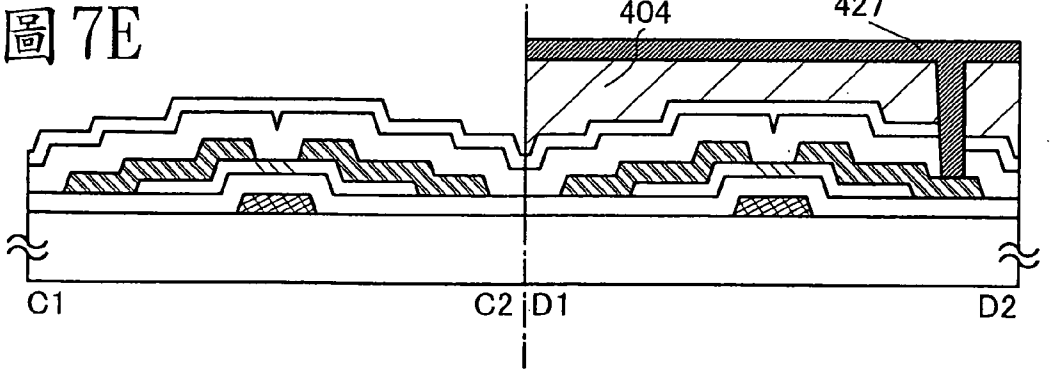


圖 8A

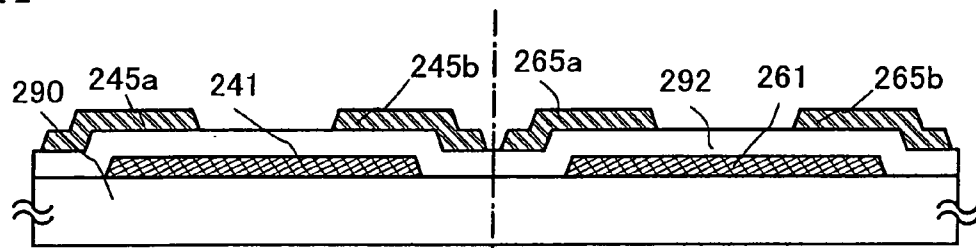


圖 8B

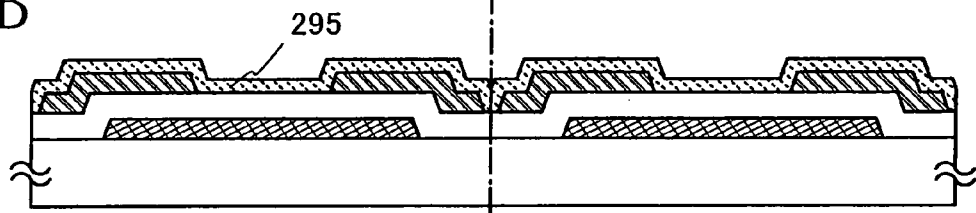


圖 8C

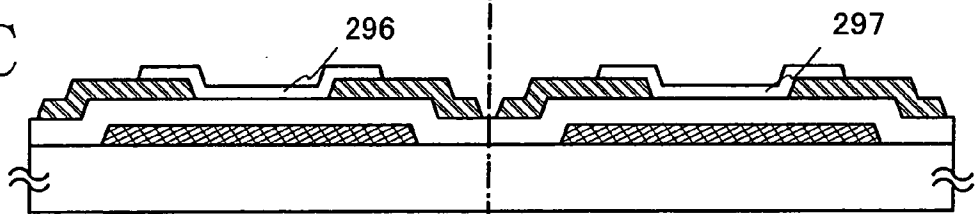


圖 8D

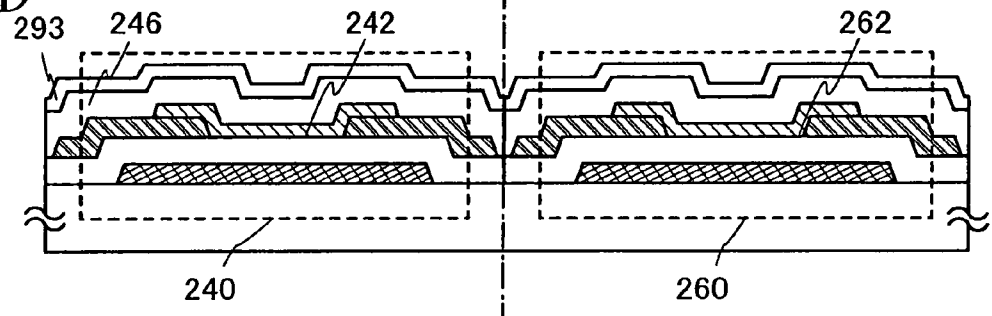


圖 8E

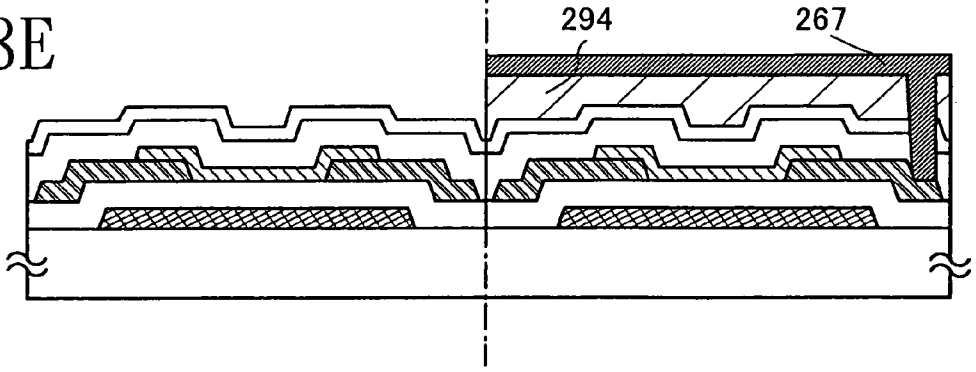


圖 9

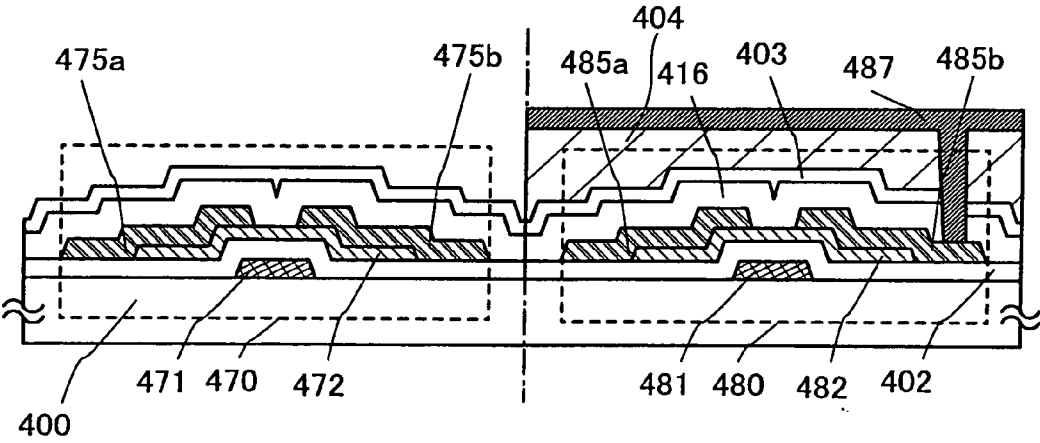


圖 10A

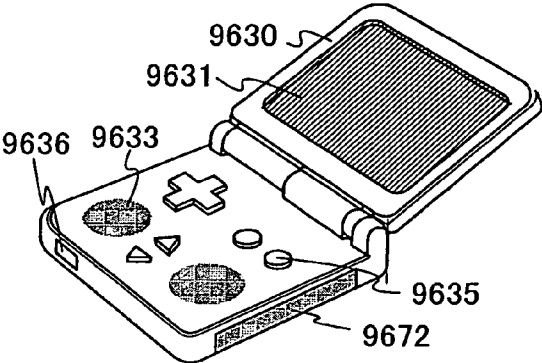


圖 10B

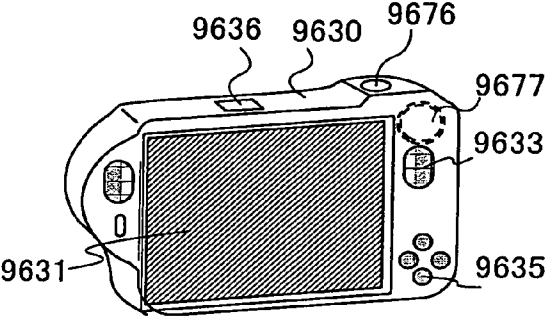


圖 10C

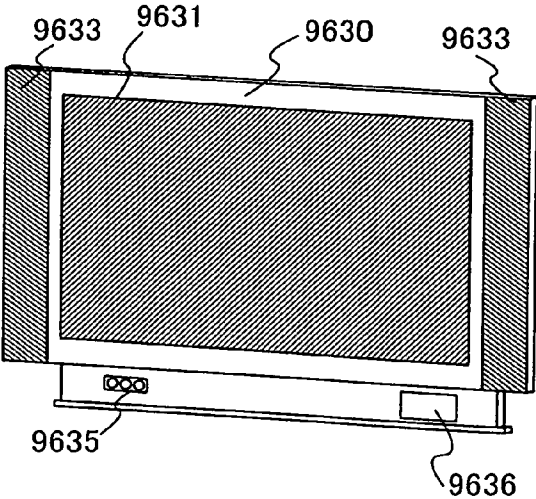


圖 11A

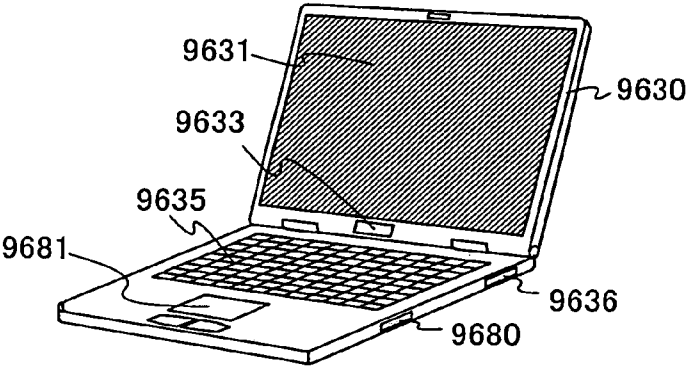


圖 11B

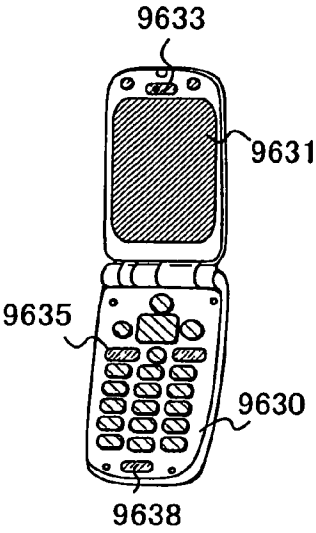


圖 11C

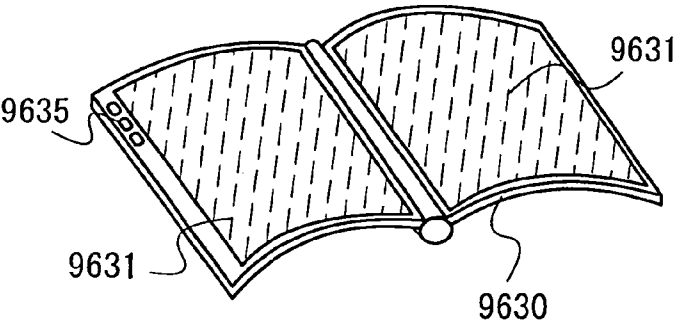


圖 12

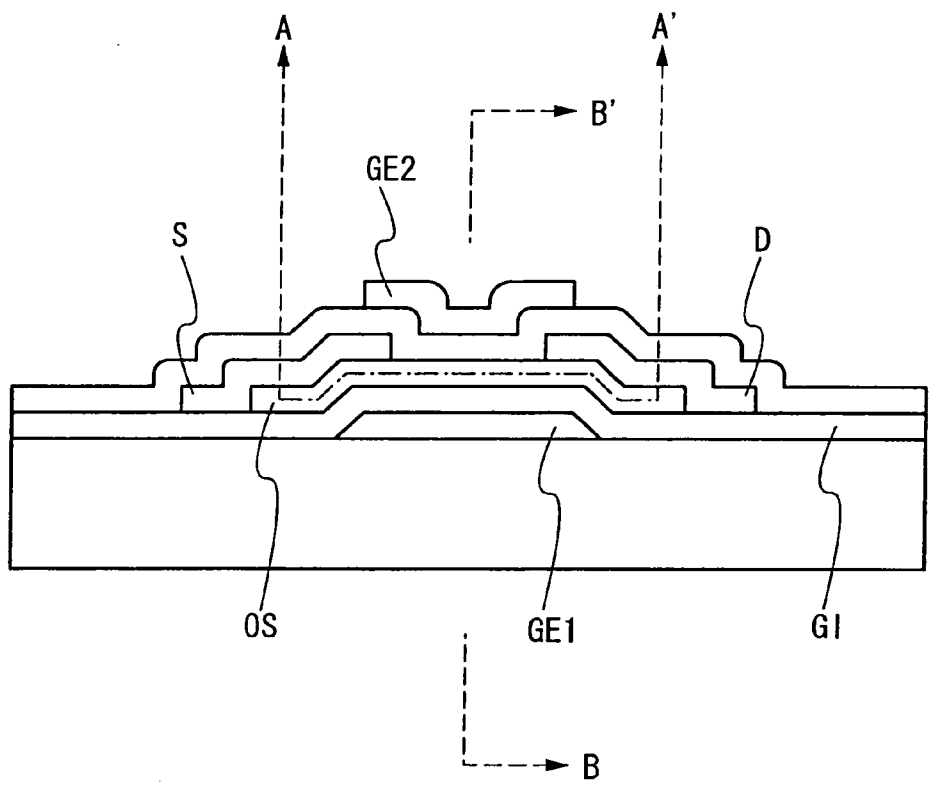


圖 13A

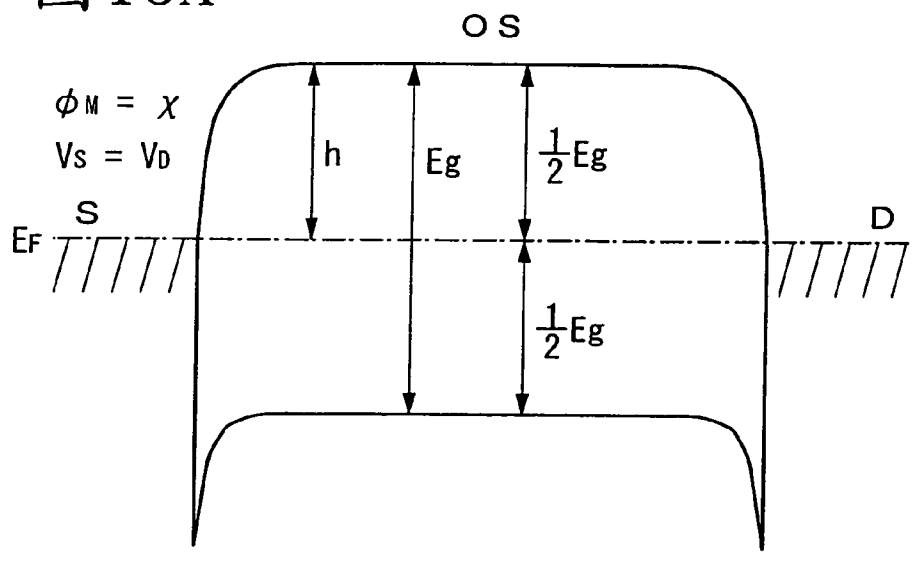


圖 13B

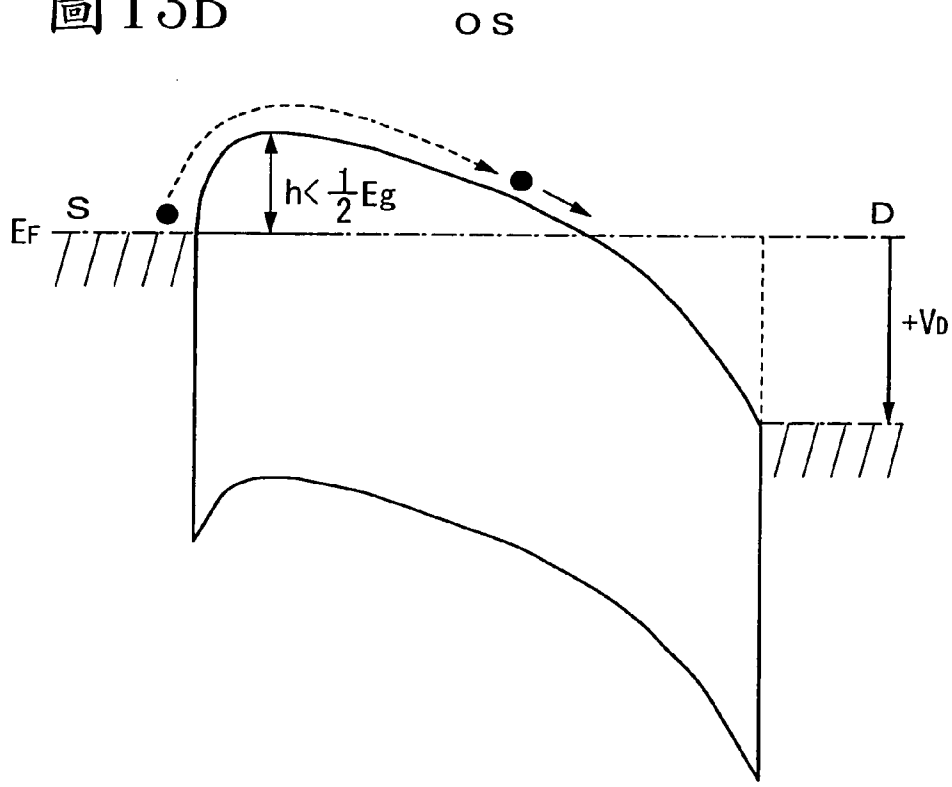


圖 14A

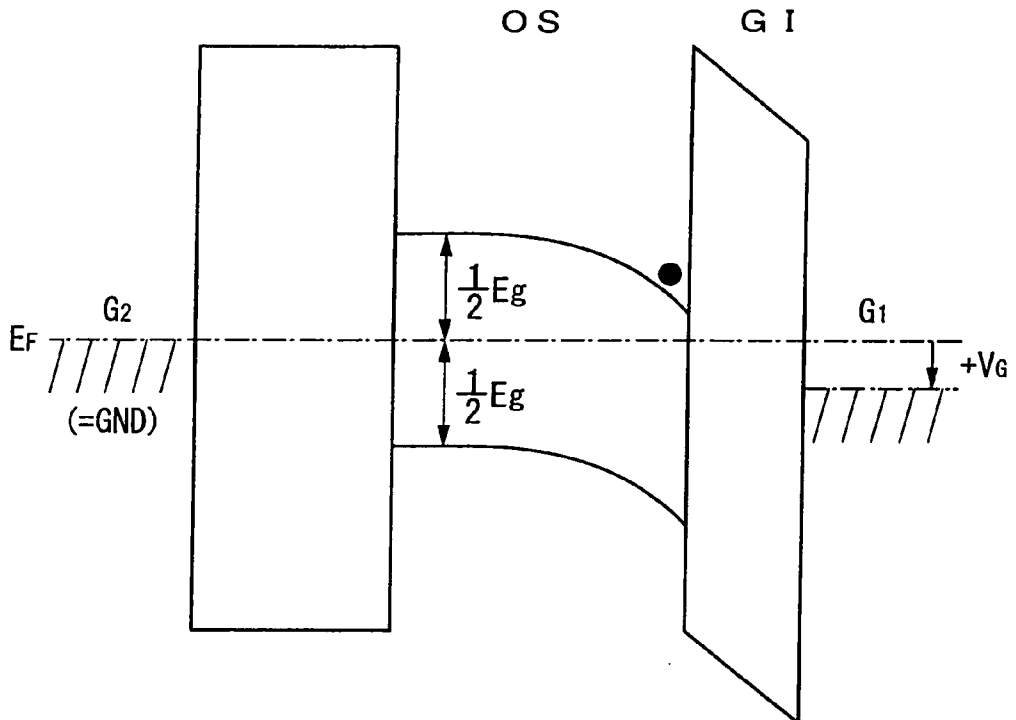


圖 14B

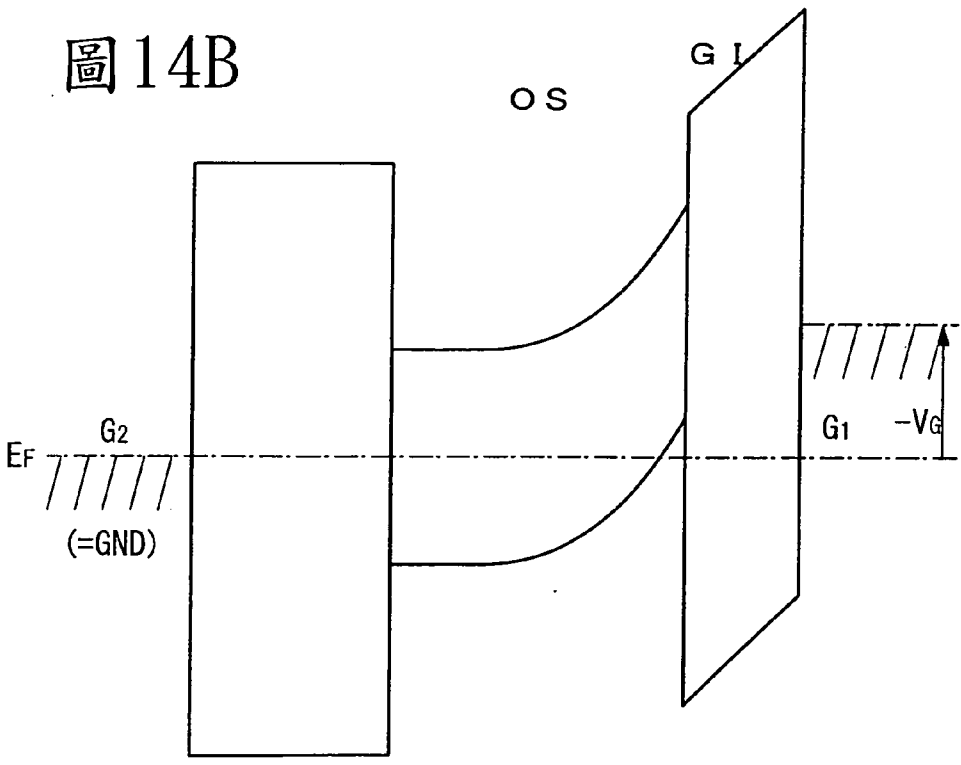


圖 15

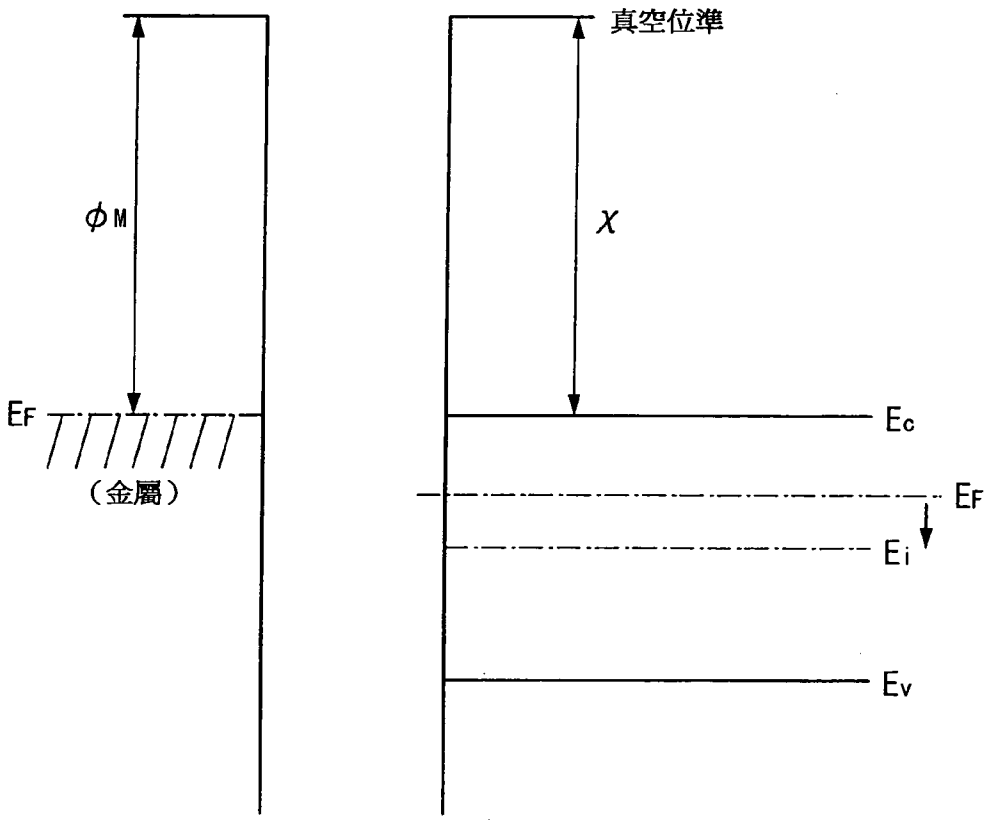


圖 16

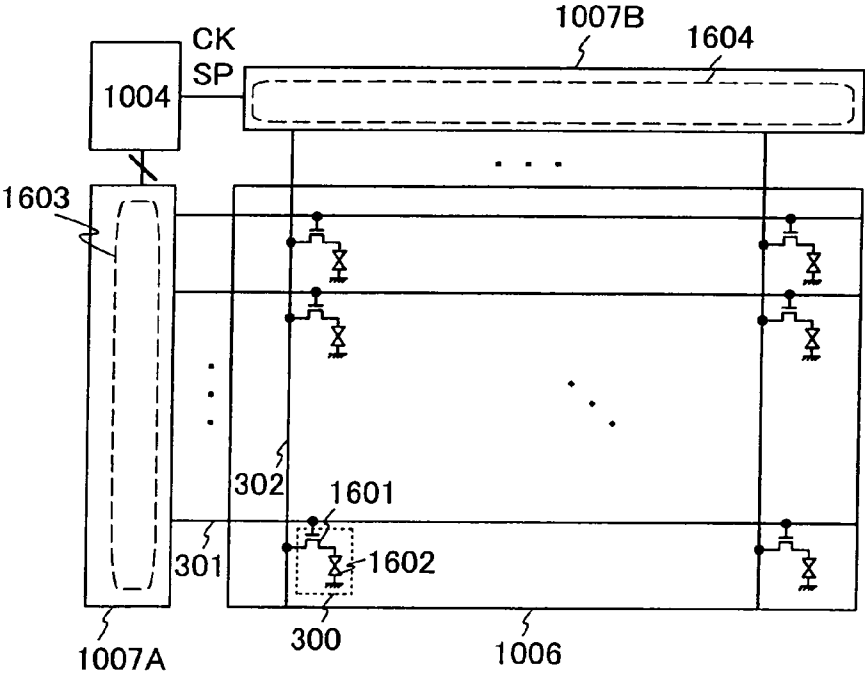


圖 17A

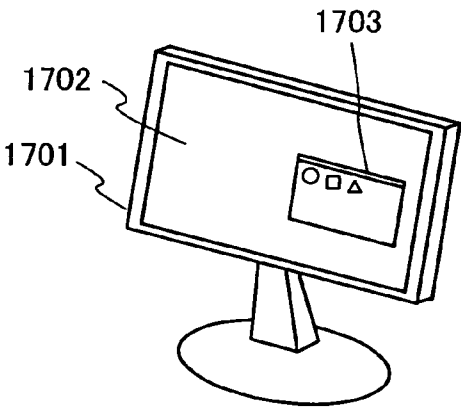


圖 17B

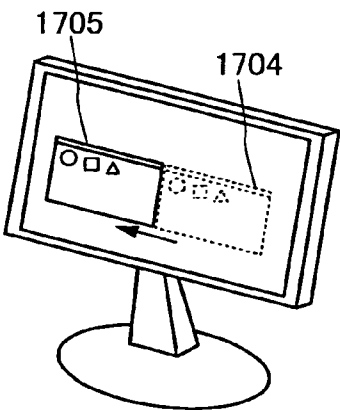


圖 17C

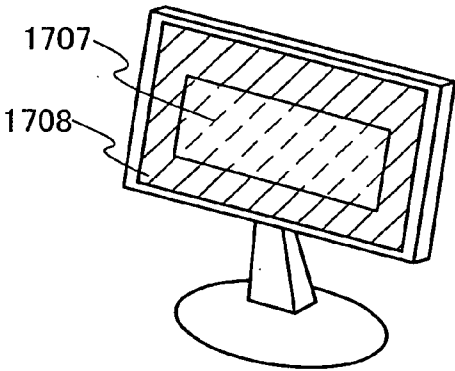


圖 18A

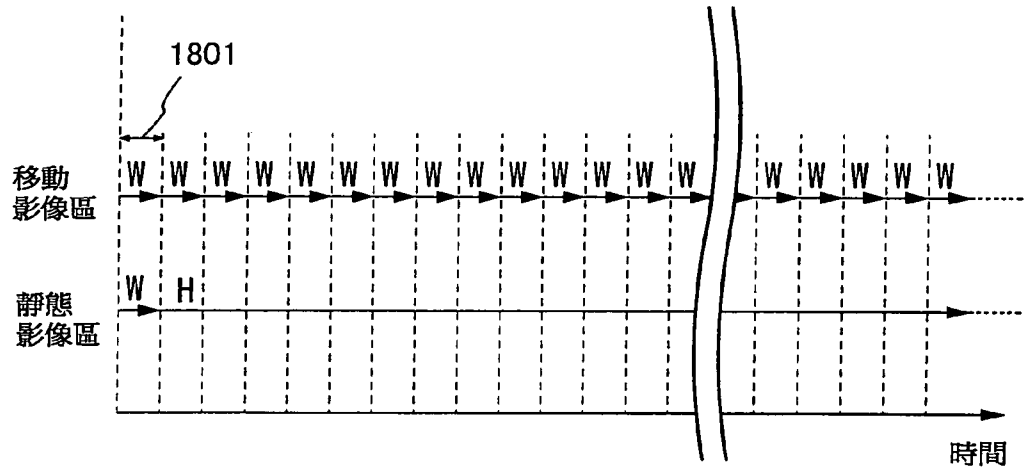


圖 18B

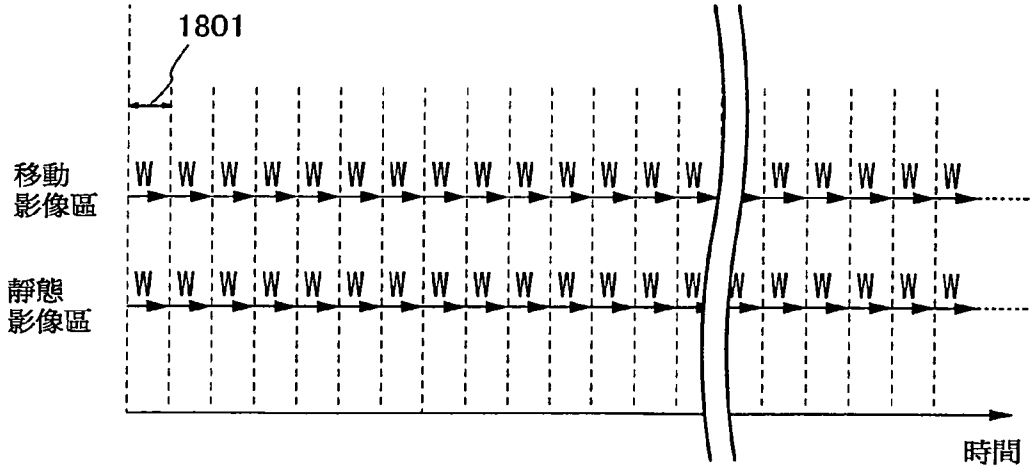
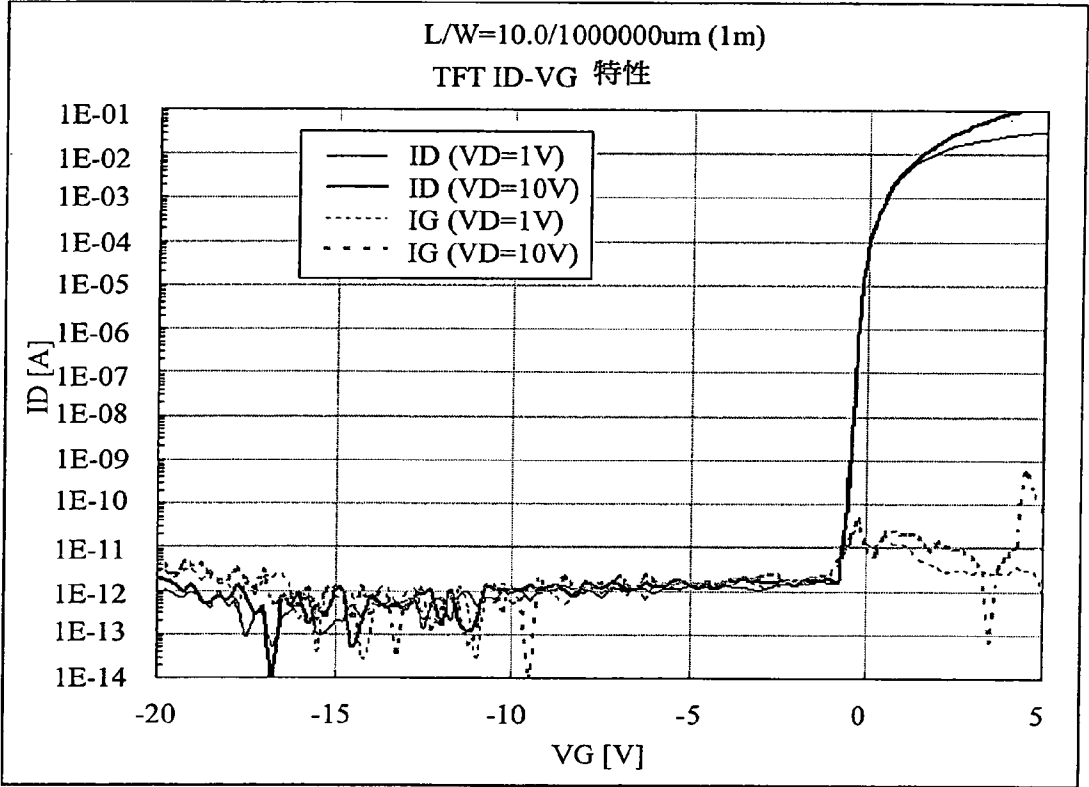


圖 19



申請專利範圍

1. 一種顯示裝置，包含：

像素，包含電晶體，

其中，靜態影像的信號寫入的頻率低於移動影像的信號寫入的頻率，

其中，該電晶體包含通道形成區，該通道形成區包括氧化物半導體，其包含銮、鎳和鋅，

其中，當該電晶體的源極和該電晶體的汲極之間的電壓為 10V 時，該電晶體的關閉狀態電流為 1×10^{-12} A 或更低。

2. 一種顯示裝置，包含：

像素，包含電晶體，

其中，靜態影像的信號寫入的頻率低於移動影像的信號寫入的頻率，

其中，該電晶體包含通道形成區，該通道形成區包括氧化物半導體，其包含銮、鎳和鋅，

其中，該通道形成區包含結晶成分，

其中，當該電晶體的源極和該電晶體的汲極之間的電壓為 10V 時，該電晶體的關閉狀態電流為 1×10^{-12} A 或更低。

3. 如申請專利範圍第 1 或 2 項的顯示裝置，其中該像素包含電性連接該電晶體的液晶元件。

4. 如申請專利範圍第 1 或 2 項的顯示裝置，其中該顯示裝置能夠顯示該靜態影像而不覆寫影像信號 1 分鐘或

更久。

5. 一種顯示裝置，包含：

像素，包含電晶體，

其中，該電晶體包含通道形成區，該通道形成區包括氧化物半導體，其包含銮、鎳和鋅，

其中，當該電晶體的源極和該電晶體的汲極之間的電壓為 10V 時，該電晶體的關閉狀態電流為 1×10^{-12} A 或更低，

其中，該顯示裝置能夠以每秒少於 60 訊框來顯示靜態影像。

6. 如申請專利範圍第 5 項的顯示裝置，其中該通道形成區包含結晶成分。