СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1182523 A

(51)4 G 06 F 11/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3720702/24-24
(22) 30.03.84
(46) 30.09.85. Бюл. № 36
(72) Г.В.Добрис, В.Г.Корчагин, Л.Я.Кравцов, Д.Е.Лакийчук, Ю.Б.Садомов и С.А.Яблонский
(71) Ленинградское научно-производственное объединение "Буревестник" и Ленинградский ордена Ленина институт инженеров железнодорожного транспорта им.акад.В.Н.Образцова
(53) 681.3(088.8)
(56) Гордон Г., Натиг Х. Локализация неисправностей в микропроцессорных системах при помощи шестнадцатиричных ключевых кодов. - "Электроника", 1977, № 56, с. 23-33.

Уильмс Т.У., Паркер К.П. Проектирование контролепригодных устройств. -ТИИЭР, Пер. с. англ., 1983, т. 71, № 1, с. 122-139, рис. 19.

(54)(57) 1. ПАРАЛЛЕЛЬНЫЙ СИГНАТУРНЫЙ АНАЛИЗАТОР, содержащий блок задания режимов, q-разрядный регистр, где q-разрядность входной информации, блок индикации, входы которого подключены к выходам q-разрядного регистра, первую и вторую группы сумматоров по модулю два, группу элементов И, первые входы которых являются информационными входами анализатора, а выходы подключены к первым входам сумматоров по модулю два первой группы, первый выход блока задания режимов соединен с вторыми входами группы элементов И, о т л и ч а ю щ и й с я тем, что, с целью повышения точности, он содержит блок памяти, r - разрядный регистр ($r<q$) и счетчик адреса, разрядные выходы которого подключены к адресным входам блока памяти, информационные входы r-разрядного регистра соединены соответственно с выходами старших r разрядов q-разрядного регистра, выходы младших ($q-r$) разрядов которого подключены к старшим ($q-r$) информационным входам блока памяти, младшие r информационных входов которого соединены соответственно с выходами r-разрядного регистра, выходы блока памяти подключены к соответствующим первым входам сумматоров по модулю два второй группы, вторые входы которых соединены с выходами соответствующих сумматоров по модулю два первой группы, выходы сумматоров по модулю два второй группы подключены к соответствующим информационным входам q-разрядного регистра, выходы которого соединены с соответствующими вторыми входами сумматоров по модулю два первой группы, первый, второй и третий входы блока задания режимов являются соответственно входами "Пуск", "Останов" и "Чтение памяти" анализатора, четвертый вход блока задания режимов подключен к выходу переполнения счетчика адреса, второй выход блока задания режимов подключен к синхровходам q-разрядного и r-разрядного регистров, третий выход блока задания режимов подключен к установочным входам q-разрядного и r-разрядного регистров и счетчика адреса, четвертый выход блока задания режимов подключен к входу чтения записи блока памяти, пятый выход блока задания режимов соединен

(19) SU (11) 1182523 A

со счетным входом счетчика адреса и входом запрета обращения блока памяти.

2. Анализатор по п.1, о т л и ч а ю щ и й с я тем, что блок задания режимов содержит четыре триггера, два одновибратора, четыре элемента И, три элемента ИЛИ, элемент НЕ и генератор импульсов, выход которого соединен с первым входом первого элемента И, второй вход которого подключен к выходу первого триггера, единичный вход которого соединен с входом первого одновибратора и является первым входом блока, выход первого одновибратора соединен с нулевыми входами второго и третьего триггеров, первым входом первого элемента ИЛИ и через элемент НЕ с третьим входом первого элемента И и является третьим выходом блока, выход первого элемента ИЛИ подключен к нулевому входу четвертого триггера, информационный вход которого является четвертым входом блока, синхровход блока соединен с первым входом второго элемента И и прямым выходом второго триггера, инверсный выход которого соединен с синхровходом третьего триггера, первыми входами третьего и четвертого элементов И и является четвертым выходом блока, второй вход третьего элемента И является вторым входом блока, выход третьего элемента И является вторым входом блока, выход третьего элемента ИЛИ соединен с нулевым входом первого триггера и вторым входом первого элемента ИЛИ, выход первого элемента И связан со счетным входом второго триггера и с вторыми входами второго и четвертого элементов И, выходы которых подключены к первым входам соответственно второго и третьего элементов ИЛИ, вторые входы которых объединены и подключены к выходу второго одновибратора, а выходы являются соответственно пятым и вторым выходами блока, выход четвертого триггера соединен с информационным входом третьего триггера и является первым выходом блока, выход третьего триггера соединен с третьим входом четвертого элемента И, вход второго одновибратора является третьим входом блока.

1

Изобретение относится к вычислительной технике и предназначено для локализации неисправностей цифровых схем по методу сигнатурного анализа.

Целью изобретения является повышение точности.

На фиг.1 приведена блок-схема параллельного сигнатурного анализатора; на фиг.2 - схема блока задания режимов; на фиг.3 - временные диаграммы работы анализатора.

Анализатор содержит группу 1 элементов И, первую 2 и вторую 3 группы сумматоров по модулю два, q-разрядный регистр 4, блок 5 индикации, r-разрядный регистр 6, блок 7 памяти, блок 8 задания режимов, счетчик 9 адреса.

Блок 8 задания режимов содержит генератор 10 импульсов, элемент И 11, триггер 12, одновибраторы 13 и 14,

2

элементы И 15, элемент НЕ 16, элемент ИЛИ 17, триггеры 18 и 19, элементы И 20 и 21, триггер 22, элементы ИЛИ 23 и 24.

Анализатор имеет три основных режима, режим начальной установки состояния регистров и памяти, режим формирования сигнатуры q-разрядных последовательностей (рабочий режим) и режим выдачи на индикацию состояния регистров и памяти. Режимы работы задаются соответствующими сигналами с выходов блока 8.

Устройство работает следующим образом.

В начальном режиме блок 8 вырабатывает начальный сигнал "Уст.0", который устанавливает в нулевое состояние счетчик 9 адреса и регистры 4 и 6. Начиная с первого такта, блок 8 вырабатывает последовательности из

двух импульсов "Чт/Зп" и "+1", поступающих соответственно на вход управления чтением - записью блока 7 и одновременно на счетный вход счетчика 9 адреса и на вход запрета обращения блока 7. В каждом такте, начиная с нулевой ячейки, нулевое содержимое регистров 4 и 6 передается в блок 7 памяти (при нулевом значении сигналов "Чт/Зп" и "+1"), после чего содержимое счетчика 9 адреса увеличивается на единицу (по переднему фронту импульса "+1") и нулевая информация записывается в следующую ячейку блока 7 памяти. Режим начальной установки регистров и памяти заканчивается на m-м такте, где m - число ячеек блока 7 памяти, когда с выхода счетчика 9 на четвертый вход блока 8 поступает сигнал переполнения счетчика. Состояние информационных входов анализатора в режиме начальной установки безразлично, так как изменения состояния регистров 4 и 6 в первые m тактов работы не происходит.

Сигнал переполнения счетчика 9 адреса переводит анализатор в рабочий режим. В рабочем режиме анализатор работает следующим образом.

На выходе блока 8 задания режимов появляется единичный сигнал "Разрешение приема", разрешающий прохождение входных сигналов на первые входы первой группы 2 сумматоров по модулю 2. На вторые входы этого блока поступают сигналы с выходов q-разрядного регистра 4 памяти. Результат суммирования поступает на входы второй группы 3 сумматоров по модулю два, где вновь суммируется с содержимым нулевой ячейки блока 7 памяти (при единичном значении сигнала "Чт/Зп"). По переднему фронту импульса синхронизации, поступающего на входы регистров 4 и 6, информация с выходов второй группы 3 сумматоров по модулю 2 и с выходов r старших разрядов q-разрядного регистра 4 памяти заносится соответственно в регистры 4 и 6. При переходе сигнала "Чп/Зп" из 1 в 0 содержимое младших $q-r$ разрядов регистра 4 и регистра 6 передается соответственно в $q-r$ старших разрядов и r младших разрядов нулевой ячейки блока 7 памяти. При поступлении сигнала "+1" содержимое счетчика 9 адреса увеличивается на единицу. Единичное значение сигнала "+1" в то же время является сигналом запрета обращения к блоку 7 памяти, поэтому новый цикл работы анализатора начинается после изменения сигнала "+1" из 1 в 0, а сигнала "Чт/Зп" из 0 в 1. По этому сигналу информация считывается уже из следующей (первой) ячейки блока 7 памяти. С помощью групп 2 и 3 сумматоров по модулю два эта информация вновь суммируется с предыдущим состоянием регистра 4 и новыми значениями входных сигналов (значения сигналов на входе анализатора изменяются под действием импульсов синхронизации, управляющих выработкой контролирующих воздействий для тестируемой схемы). Далее работа анализатора повторяется.

В течение m тактов работы обновляется содержимое всех m ячеек блока 7 памяти. Затем счетчик 9 адреса сбрасывается в ноль, и начинается новый цикл работы анализатора. В каждом такте работы значения q входных сигналов суммируются по модулю два с содержимым q-разрядного регистра 4 и с содержимым некоторой i-й ячейки блока 7 памяти, результат суммирования записывается в регистр 4, значения r старших разрядов регистра 4 передаются в регистр 6 и, наконец, в i-ю ячейку блока 7 памяти на место старших разрядов записываются новые состояния $q-r$ младших разрядов регистра 4, а на место младших разрядов - предыдущие состояния r старших разрядов этого регистра, которые ранее были переданы в r-разрядный регистр 6, после чего содержимое счетчика 9 адреса увеличивается на единицу (по модулю m).

Работа анализатора в рабочем режиме заканчивается на некотором N-м такте, где N - длина входной последовательности, равная числу импульсов синхронизации. Сигналом, определяющим момент завершения работы анализатора в рабочем режиме, является внешний сигнал "Стоп".

Состояние регистра 4 и ячеек блока 7 памяти, определяющее сигнатуру входных последовательностей - результат воздействия на анализатор q-разрядного входного потока данных длины N - выводится из анализатора через блок 5 в режиме индикации. В этом режиме управление чтением информации из блока 7 памяти осуществляется по-

дачей внешнего сигнала "Чтение памяти", например, с помощью кнопки, как показано на фиг.2. При каждом нажатии этой кнопки происходит занесение информации с выходов второй группы 3 сумматоров по модулю два в регистр 4 и вывод результата суммирования - содержимого i-й ячейки памяти и предыдущего состояния регистра 4 - на блок 5 индикации, одновременно содержимое счетчика 9 адреса увеличивается на единицу (по модулю m). Для считывания содержимого всех m ячеек блока 7 памяти сигнал "Чтение памяти" следует подать m раз. До поступлений первого сигнала "Чтение памяти" на индикацию выводится конечное состояние регистра 4, которое так же, как и состояние блока 7, определяет сигнатуру входного потока данных. В режиме индикации нулевое значение сигнала "Разрешение приема" запрещает прохождение входных сигналов на входы первой группы 2 сумматоров по модулю два, тем самым исключается их влияние на конечное состояние анализатора, сформированное за N тактов его работы в рабочем режиме.

Для возобновления работы анализатора с новым потоком данных служит сигнал "Пуск", который переводит анализатор в режим начальной установки регистров и памяти и по прошествии m тактов - в основной рабочий режим.

Блок 8 задания режимов работает следующим образом.

По сигналу "Пуск" триггер 12 устанавливается в единичное состояние и запускается одновибратор 13, формирующий выходной сигнал Уст.0". Сигналом с выхода одновибратора устанавливаются в исходное состояние триггеры 18 и 22, а также триггер 19 через элемент ИЛИ 17. По окончании сигнала "Уст.0" с помощью элемента НЕ 16 подключенного к выходу одновибратора 13, формируется единичный потенциал на входе элемента И 15, разрешающий прохождение тактовых импульсов от генератора 10 импульсов на счетный вход триггера 18. Тем самым инициируется начальный режим работы устройства контроля. Значение сигнала "Разрешение приема", снимаемого с единичного выхода триггера 19, в этом режиме равно 0. Такое же значение имеет сигнал на выходе триггера 22, управляющего выработкой импульсов синхронизации, в результате чего на выходе блока 8 вырабатывается только две последовательности управляющих сигналов "Чт/Зп" и "+1".

Так происходит до тех пор, пока на входе блока не появится опережающий сигнал "Переполнение счетчика адреса". Он возникает, когда состояние счетчика 9 адреса соответствует адресу последней $(m-1)$-й ячейки блока 7 памяти, а сигнал "+1" на его входе переключается из 1 в 0. Под действием этого сигнала по переднему фронту импульса на единичном выходе счетного триггера 18 триггер 19 переключается в единичное состояние, формируя на своем выходе единичный сигнал "Разрешение приема" и фиксируя тем самым переход устройства в рабочий режим.

В рабочем режиме по переднему фронту импульса на нулевом выходе триггера 18 (сигнал "Чт/Зп") единица из триггера 19 передается в триггер 22, разрешая тем самым выработку синхронизирующей последовательности импульсов. Таким образом, в рабочем режиме блоком 8 вырабатываются три последовательности управляющих сигналов "Чт/Зп", "Синхронизация" и "+1".

Переход анализатора из рабочего режима в режим индикации осуществляется по внешнему сигналу "Стоп". При совпадении этого сигнала с единичным значением сигнала "Чт/Зп" триггеры 12 и 19 устанавливаются в нулевое состояние, и выработка управляющих импульсов на выходе блока 8 прекращается. Значение сигнала "Чт/Зп" на нулевом выходе триггера 18 равно 1, что соответствует режиму чтения информации из блока 7.

Управление работой анализатора в режиме индикации осуществляется путем подачи сигнала "Чтение памяти". При этом происходит запуск одновибратора 14, который формирует одиночный импульс, поступающий одновременно на входы блока элементов ИЛИ 23 и 24. В результате на выходах блока 8 одновременно вырабатываются два сигнала "Синхронизация" и "+1". По переднему фронту этих сигналов происходит занесение информации в регистр 4 и изменение содержимого счетчика 9 адреса.

Выбор параметров q, r и m, определяющих конкретную реализацию предложенного анализатора, может быть

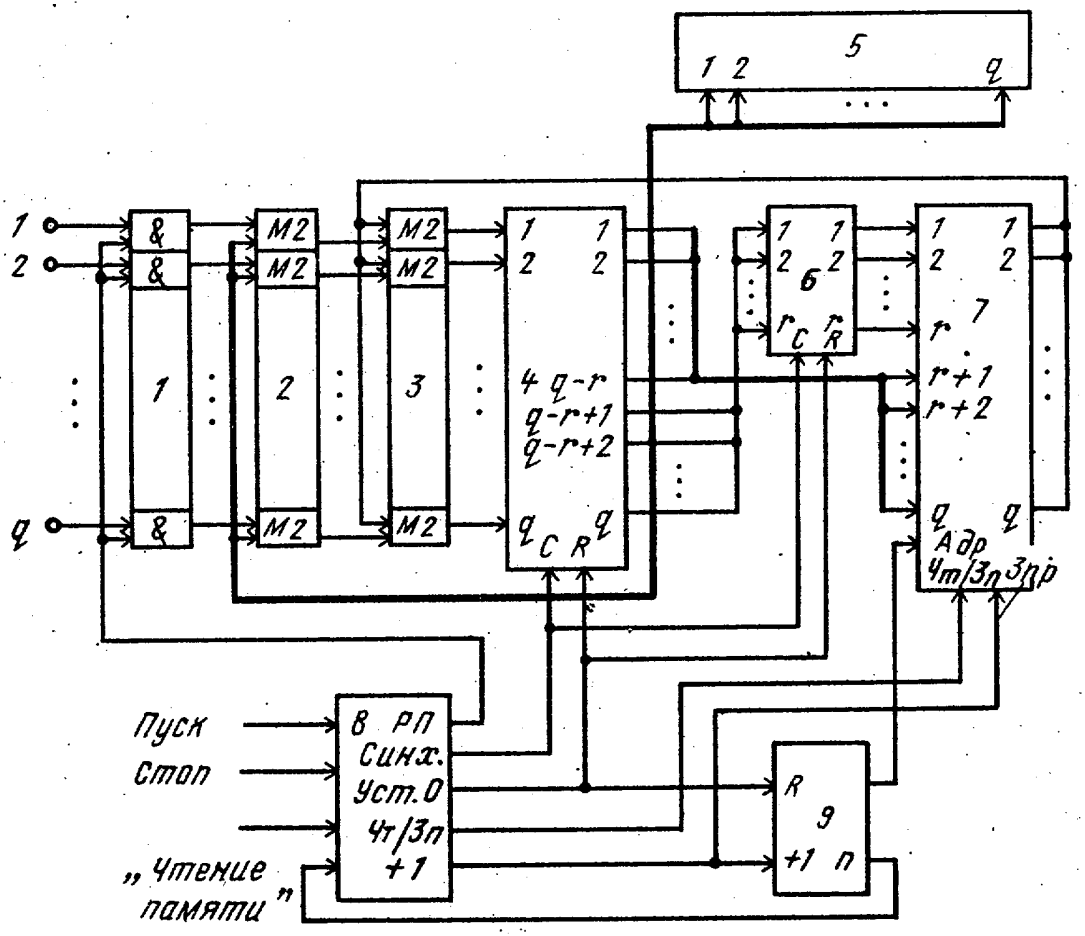
произведен с помощью таблицы, в которой значения p и q соответствуют показателям степени примитивного характеристического полинома $x^p + x^q + 1$, описывающего работу устройства, а значения m и r соответственно равны целой части и остатку от деления p на q: $m = [p/q]$, $r = p - mq$.

q	p	m	r
5	23	4	3
5	47	9	2
8	39	4	7
8	105	13	1
10	111	11	1
15	127	8	7
15	151	10	1
16	81	5	1
16	35	8	7

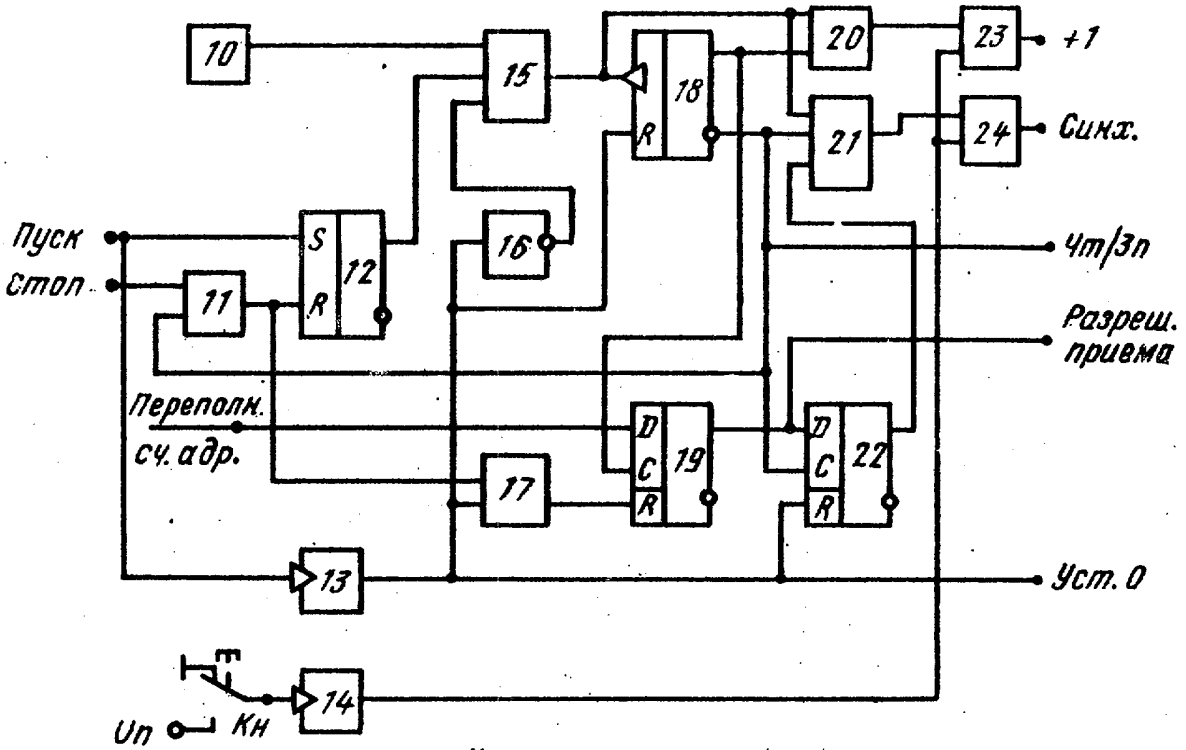
Повышенная точность предложенного устройства обусловлена малой вероятностью пропуска ошибок произвольной кратности, которая равна $P_{ош} = 2^{-r}$.

Например, при $P = 39$ $P_{ош} \approx 1{,}8 \cdot 10^{-12}$, а при $P = 81$ $P_{ош} \approx 4{,}1 \cdot 10^{-25}$.

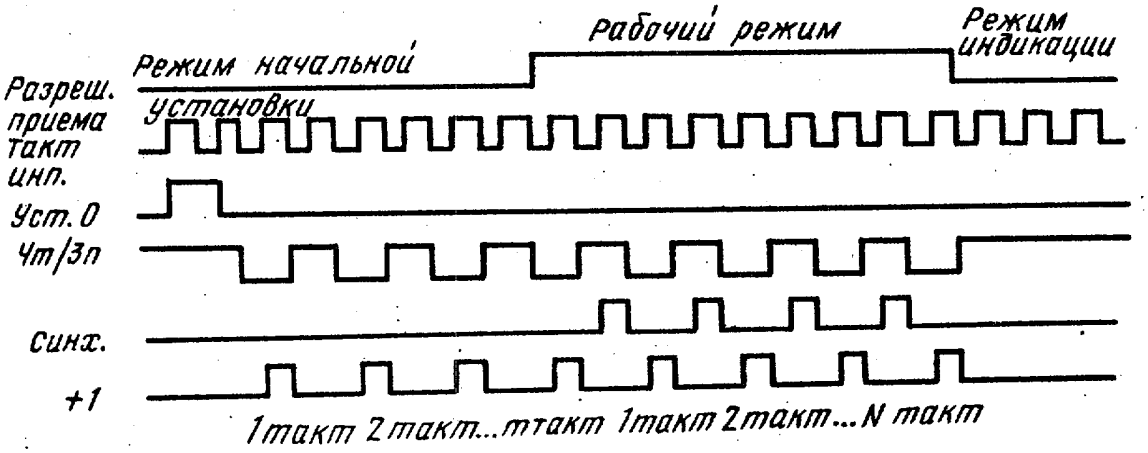
Дополнительные затраты оборудования, идущие на реализацию столь больших значений параметра P, исчисляются небольшим числом микросхем, требующихся для построения блока 7 памяти, регистра 6 и счетчика 9 адреса. Например, при $q = 8$ и $P = 105$ дополнительные затраты состоят из двух микросхем К155РУ2, одной микросхемы К155ТМ2 и одного элемента К155ИЕ7.



Фиг. 1



Фиг. 2



Фиг. 3

Составитель С.Старчикин
Редактор М.Циткина ТехредС.Мигунова Корректор Л.Бескид

Заказ 6108/48 Тираж 709 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г,Ужгород, ул.Проектная, 4