



(12) 发明专利申请

(10) 申请公布号 CN 102187450 A

(43) 申请公布日 2011. 09. 14

(21) 申请号 200980140991. 0

(22) 申请日 2009. 09. 29

(30) 优先权数据

61/106, 076 2008. 10. 16 US

12/437, 256 2009. 05. 07 US

(85) PCT申请进入国家阶段日

2011. 04. 14

(86) PCT申请的申请数据

PCT/US2009/058832 2009. 09. 29

(87) PCT申请的公布数据

W02010/045021 EN 2010. 04. 22

(71) 申请人 应用材料股份有限公司

地址 美国加利福尼亚州

(72) 发明人 权荣寿 张飞 王安川 永·S·李

米哈拉·鲍尔西努 夏立群

全振浩

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 钟强

(51) Int. Cl.

H01L 21/762 (2006. 01)

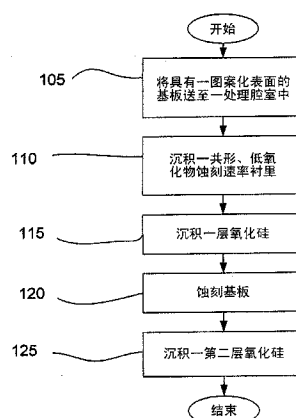
权利要求书 2 页 说明书 8 页 附图 5 页

(54) 发明名称

以低蚀刻速率介电质衬里改善间隙填充的方法

(57) 摘要

本发明描述了一种填充一沟槽的方法, 该方法包括沉积一种在含氟蚀刻化学反应中显示出高氧化硅与介电质衬里蚀刻速率比率的介电质衬里。氧化硅沉积在该沟槽内, 并经蚀刻以在该沟槽顶部附近增开或扩大一间隙。该介电质衬里在该蚀刻工艺期间保护下方基板, 因此该间隙可制得较大。氧化硅再次沉积在该沟槽内以大体上填充该沟槽。



1. 一种在一半导体基板中的一沟槽中沉积介电质材料的方法,该方法包含:
在该沟槽的底部及侧壁表面上形成一包含氮化硼的衬里层;
在该衬里层上沉积包含氧化硅的该介电质材料,其中该介电质材料至少部分填充该沟槽;及
藉由一蚀刻剂蚀刻该所沉积的介电质材料的一部分,其中该蚀刻剂以一高于该衬里层的蚀刻速率的蚀刻速率移除该介电质材料。
2. 根据权利要求1所述的方法,其中该衬里层为一包含氮化硼的单层。
3. 根据权利要求1所述的方法,其中该衬里层为一包含一氮化硅层及一氮化硼层的双层。
4. 根据权利要求1所述的方法,其中该衬里层为一包含一形成在一对氮化硅层之间的氮化硼层的三层。
5. 根据权利要求1所述的方法,其中蚀刻该所沉积的介电质材料的一部分的步骤暴露一形成于该沟槽中的该介电质材料中的空隙。
6. 根据权利要求5所述的方法,其中该方法进一步包含在该沟槽中沉积一第二部分该介电质材料,其中该第二部分介电质材料至少部分填充该所暴露的空隙。
7. 根据权利要求1所述的方法,其中蚀刻该所沉积的介电质材料的一部分的步骤将该介电质材料在该沟槽中形成的一间隙扩大。
8. 根据权利要求1所述的方法,其中蚀刻该所沉积的介电质材料的一部分的步骤采用一包含反应性氟的干式蚀刻。
9. 根据权利要求1所述的方法,其中蚀刻该所沉积的介电质材料的一部分的步骤采用一Siconi蚀刻工艺。
10. 根据权利要求1所述的方法,其中该蚀刻剂包含一由三氟化氮(NF_3)形成的反应性氟物种。
11. 一种移除填充于一半导体基板中的一沟槽中的介电质材料中所形成的空隙的方法,该方法包含:
蚀刻该介电质材料的一顶部部分以暴露该空隙中的一开口,其中该蚀刻亦暴露一由该介电质材料覆盖的包含氮化硼的衬里层的一部分;及
将额外介电质材料沉积至该所暴露的空隙中,藉由向该空隙中填充该额外介电质材料而移除该空隙。
12. 一种沉积一膜以填充在一基板的一表面中的一间隙的方法,该方法包含:
在该基板的该表面上形成一介电质衬里,其中氧化硅与介电质衬里的蚀刻比大于约50;
在该介电质衬里上沉积一第一层介电质;
蚀刻该基板的该表面;及
沉积一第二层介电质以大体上填充该间隙。
13. 根据权利要求12所述的方法,其中氧化物与介电质衬里的蚀刻比大于约75。
14. 根据权利要求12所述的方法,其中氧化物与介电质衬里的蚀刻比大于约100。
15. 根据权利要求12所述的方法,其中该介电质衬里包含氮化硼。
16. 根据权利要求12所述的方法,其中该介电质衬里具有一大于5%的硼原子浓度。

17. 根据权利要求 12 所述的方法,其中该介电质衬里具有一大于 5%的碳原子浓度。
18. 根据权利要求 12 所述的方法,其中该介电质衬里具有一大于 10%的硼原子浓度。
19. 根据权利要求 12 所述的方法,其中该介电质衬里具有一大于 10%的碳原子浓度。
20. 根据权利要求 12 所述的方法,其中该介电质衬里具有一大于 20%的硼原子浓度。
21. 根据权利要求 12 所述的方法,其中该介电质衬里具有一大于 20%的碳原子浓度。
22. 根据权利要求 12 所述的方法,其中该介电质衬里包含一选自以下各者组成的群的材料:碳化硼、氧化硼、碳化硅、氮化硼、氮化硼碳、氮化磷硼、氮化碳、氮化硅硼、氧化硼硅及氮化硅碳。
23. 根据权利要求 12 所述的方法,进一步包含一在形成氮化硼共形层之前形成一层氮化硅的步骤。
24. 根据权利要求 12 所述的方法,进一步包含一在沉积该第一层介电质之前形成一层氮化硅的步骤。
25. 根据权利要求 12 所述的方法,进一步包含一在形成氮化硼共形层之前形成一第一层氮化硅及在沉积该第一层介电质之前形成一第二层氮化硅的步骤。
26. 根据权利要求 12 所述的方法,其中蚀刻该基板的步骤包含在一包含 NH_3 及 NF_3 的处理气体中干式蚀刻该基板。

以低蚀刻速率介电质衬里改善间隙填充的方法

[0001] 相关申请的交叉引用

[0002] 本申请案主张由 Kwon 等人于公元 2008 年 10 月 16 日提出申请且发明名称为“GAPFILL IMPROVEMENT WITH HIGH LOW ETCH RATE DIELECTRIC LINERS”的美国临时申请案号 61/106,076 的优先权。本申请案和发明名称皆为“BORON NITRIDE AND BORON NITRIDE-DERIVED MATERIALS DEPOSITION METHOD”的美国专利申请案号 11/765,257 以及美国专利申请案号 61/042,638 相关。此三个申请案的全部内容以引用方式并入本文作为参考。

[0003] 领域

[0004] 本申请关于薄膜及涂层的沉积、图案化及处理中用到的包括设备、工艺及材料方面的制造技术解决方案,其代表性实例包括(但不限于)以下应用:半导体及介电质材料及装置、硅基晶片及平板显示器(诸如 TFT)。

[0005] 背景

[0006] 增加集成电路的密度可增加速度及扩大应用范围。增加密度可增加邻近电路元件及传导线之间不良的电性交互影响。防止不良电性交互影响的常用方式为提供沟槽(trench)并以电绝缘材料填充该沟槽,以便使这些元件不仅在物理意义上亦在电性意义上隔开。然而,随着电路密度增加,沟槽的宽度减小,从而增大其深宽比,并使得填充沟槽且不留空隙(void)变得愈来愈难。未完全填充的沟槽为不良的,因为其隔离程度可能受损,从而限制最大操作频率或影响集成电路的操作。

[0007] 此类间隙填充应用中常用的技术是化学气相沉积(“CVD”)技术。惯用的热 CVD 工艺将反应性气体供应至基板表面,使该处发生热致化学反应以产生所要膜。等离子体辅助 CVD(“PECVD”)技术藉由将射频(“RF”)能量施加于基板表面附近的反应区域来产生等离子体,从而促进反应气体的激发及/或离解。与惯用热 CVD 工艺相比,等离子体中的物种的高反应性可减少发生化学反应所需的能量,从而降低此类 CVD 工艺所需的温度。这些优点可由高密度等离子体(“HDP”)CVD 技术加以深化,在该技术中,密集等离子体在低真空压力下形成,以使得离子化反应物在总反应物数量中占更大百分比。虽然这些技术中的每一者概括地隶属于“CVD 技术”,但其中的每一者皆具有其各自的特殊特性,使得其或多或少适用于某些特定应用。

[0008] 在沟槽具有较大深宽比及较窄宽度的一些例子中,常采用这些 CVD 技术中的某种使用“沉积/蚀刻/沉积”的工艺来填充沟槽,即依序包括沉积材料、回蚀其中一部分及沉积额外材料。蚀刻步骤用于改变部分填充的沟槽的外形,于其上开口以使得在其闭合并留下内部空隙之前可沉积较多材料。蚀刻步骤可穿透所沉积的材料并损坏尤其是位于沟槽或通孔的顶部附近的下方层。在浅沟槽隔离(STI)的情形下,下方半导体及/或保护性氮化硅阻挡层可受到损坏,从而导致装置的不稳定性。若允许蚀刻步骤移除过多材料,则装置的可靠性多将面临风险。

[0009] 简要概述

[0010] 本发明描述了一种填充一沟槽的方法,其包括沉积一种在含氟蚀刻化学反应中显

示出高氧化硅与介电质衬里蚀刻速率比率的介电质衬里 (dielectric liner)。氧化硅沉积于该沟槽内, 并经蚀刻以在该沟槽顶部附近增开 (reopen) 或扩大一间隙。该介电质衬里在该蚀刻工艺期间保护下方基板, 因此该间隙可制得较大。氧化硅再次沉积在该沟槽内以大体上填充该沟槽。

[0011] 在一实施方式中, 一种在一半导体基板中的一沟槽中沉积介电质材料的方法包括在该沟槽的底部及侧壁表面上形成一含有氮化硼的衬里层及在该衬里层上沉积含有氧化硅的该介电质材料以使得该介电质材料至少部分填充该沟槽。该方法进一步包括藉由一蚀刻剂蚀刻该所沉积的介电质材料的一部分, 从而以一高于该衬里层的蚀刻速率的蚀刻速率移除该介电质材料。

[0012] 在另一实施方式中, 一种移除填充于一半导体基板中的一沟槽中的介电质材料中所形成的空隙的方法包括蚀刻该介电质材料的一顶部部分以暴露该空隙中的一开口, 其中该蚀刻亦暴露一由该介电质材料覆盖衬里层 (包含氮化硼) 的一部分。该方法进一步包括将额外介电质材料沉积至该所暴露的空隙中, 藉由向该空隙中填充该额外介电质材料而移除该空隙。

[0013] 在又一实施方式中, 一种沉积一膜以填充一基板的一表面中的一间隙的方法包括在该基板的该表面上形成一介电质衬里, 其中氧化硅与介电质衬里的蚀刻比大于约 50。该方法进一步包括在该介电质衬里上沉积一第一层介电质, 蚀刻该基板的该表面及沉积一第二层介电质以大体上填充该间隙。

[0014] 下文描述中对额外实施方式及特征结构作了几分阐述, 对于本领域的技术人员而言在审阅本说明书之后或藉由实施所揭示的实施方式, 皆可对其有几分获悉。所揭示实施方式的特征结构及优点可藉由本说明书中所描述的手段、组合及方法得以实现及获取。

[0015] 附图简要说明

[0016] 可通过参考说明书和附图的其余部分实现对所揭示的实施方式的特征和优点的进一步了解。

[0017] 图 1 为根据所揭示的实施方式的氧化硅间隙填充沉积工艺的流程圖。

[0018] 图 2A 至图 2E 为根据所揭示的实施方式的沉积工艺期间基板上诸特征结构的横截面圖。

[0019] 图 3A 至图 3B 为根据所揭示的实施方式的阻挡层的横截面圖。

[0020] 图 4 为形成氮化硼及氧化硼膜的方法的流程圖。

[0021] 在附图中, 类似组件及 / 或特征结构可具有相同组件符号。此外, 对于相同类型的组件可藉由在其组件符号后增加一破折号或第二符号对相似组件进行区分。若说明书中仅采用第一组件符号, 则相关描述适用于所有具有相同第一组件符号的类似组件而与第二组件符号无关。

[0022] 具体描述

[0023] 本发明描述了一种填充一沟槽的方法, 其包括沉积一种在含氟蚀刻化学反应中显示出高氧化硅与介电质衬里蚀刻速率比率的介电质衬里。氧化硅沉积在该沟槽内, 并经蚀刻以于该沟槽顶部附近增开或扩大一间隙。该介电质衬里在该蚀刻工艺期间保护下方基板, 因此该间隙可制得较大。氧化硅再次沉积于该沟槽内以填充该沟槽。

[0024] 本发明的实施方式针对于沉积一膜以填充一基板的一表面中的沟槽的方法。对于

给定宽度的沟槽,实施方式使用多步骤沉积及蚀刻工艺,其中在两个沉积工艺之间使用蚀刻工艺以扩大或增开该膜内的一间隙。具有相对于氧化硅的低 HF 蚀刻速率的介电质衬里层共形沉积在该基板的该表面中的沟槽中,继而采用氧化硅沉积 / 蚀刻 / 沉积顺序,该顺序表示该顺序中的氧化硅处理步骤的次序。介电质衬里层可增加对表面特征结构的保护,使更高深宽比的沟槽能够无空隙地填充,否则若沟槽壁受损将最终影响装置的操作。特定言之,本发明的实施方式可用于填充约 45nm 以下或约 45nm 宽的沟槽且适用于各种不同的间隙填充应用,例如浅沟槽隔离。

[0025] 为了更好地了解并理解本发明,现参考图 1 及图 2,其为根据所揭示的实施方式的氧化硅间隙填充沉积工艺的流程图中及其横截面图。该工艺始于将表面上具有沟槽 210 的基板 200 移至处理腔室(步骤 105 及图 2A)。该沟槽可藉由相同材料的两个壁产生,或如图示由不同材料 205、206 的壁形成。在一些情形中,这些壁形成在支撑基板材料自身中。具有相对低蚀刻速率的材料(诸如氮化硼)的共形薄衬里层沉积于基板上(步骤 110,其结果显示于图 2B)。共形薄衬里(liner)250 与沟槽 210 的宽度相比较薄。如本文中所使用,具有相对低蚀刻速率的材料描述的是一种在含氟蚀刻工艺中蚀刻速率低于常用氮化硅的材料。

[0026] 在衬里 250 的沉积后,填充沟槽 210 的工艺始于沉积一层氧化硅(步骤 115,其结果显示于图 2C)。该氧化层硅 275 填充沟槽 210 的一部分。氧化层硅 275 的厚度在沟槽 210 的顶部附近要比侧面或底部附近迅速增加。此可导致沟槽 210 上方形成收窄间隙(narrowed gap)或甚至导致沟槽 210 中形成闭合空隙(未图示)。留在沟槽中且并入最终装置或集成电路中的闭合空隙可损害装置效能或影响良率。

[0027] 停止该沉积工艺并回蚀该基板(步骤 120,其结果显示于图 2D)以便在后续的材料沉积期间减少沟槽 210 中的空隙的形成。在实施方式中,衬里为在相同或类似含氟蚀刻工艺中展现比氮化硅低的蚀刻速率的氮化硼。氮化硅为常用的衬里替代材料。根据所揭示的实施方式的衬里的较低蚀刻速率可允许蚀刻工艺持续更长时间,从而使沟槽 210 更易接近。替代地或组合地,衬里的较低蚀刻速率允许蚀刻工艺在移除衬里及氧化硅两者时皆更为主动。此变化可来自蚀刻等离子体参数的改变、氟化学性质的改变或本领域的技术人员已知的其它蚀刻工艺参数的改变。更长及 / 或主动蚀刻可移除相对更多的氧化硅,而不致将衬里或顶部侧壁材料 205、206 损坏至有损装置效能的程度。该蚀刻工艺可采用具有或不具有等离子体的含氟气体。该蚀刻可自氧化硅层 275 的高处移除较多材料且自沟槽 210 的底部移除较少材料以改善下一步骤的间隙填充。接着,氧化硅对所蚀刻的基板的第二沉积填充两侧壁之间的沟槽 210(步骤 125,其结果显示于图 2E)。

[0028] 虽然由图 1 及图 2 呈现的例示性工艺展示了包含两次沉积夹带一次蚀刻的工艺(简称为“沉积 / 蚀刻 / 沉积”),但该工艺可包含任何次数的蚀刻工艺,其中每一次蚀刻前后皆有沉积工艺(例如沉积 / 蚀刻 / 沉积 / 蚀刻 / 沉积)。一对相邻的沉积与蚀刻工艺可能不彼此接界。在实务中,在该一对工艺之间可能存在间隙,且在一些情形中,晶片在两个工艺之间可自一个处理腔室移除并转移至另一腔室。

[0029] 相对低蚀刻速率的材料(诸如氮化硼)的单层衬里 350-1 以横截面展示于图 3A 中。图中亦展示了该衬里的放大的横截面图,显示出一层材料 354。该单层衬里的化学组成不同于典型衬里材料且相关蚀刻速率更低。当引入至一处理流程中时,存在材料(例如硼)可能自单层衬里浸析出并有害地影响装置效能或处理流程的一定可能性。氮化硅作为

人们熟知的阻挡材料,能够防止进入或离开基板下方部分的材料扩散。根据所揭示的实施方式的衬里可提供与许多应用中的阻挡层类似的效用。在可能对硼扩散较敏感的其它应用中,可将一或多个氮化硅衬里整合至图 1 的处理流程中以避免或抑制材料自此这些新衬里扩散至衬里上下的区域中。

[0030] 为了减少向衬里以下区域的扩散,可在步骤 105 与步骤 110 之间沉积一层氮化硅。亦可在步骤 110 与步骤 115 之间插入沉积一层氮化硅的步骤以减少化学物质自新衬里材料向衬里以上区域的扩散。这些氮化硅插入层可在本文中泛称为阻挡层或扩散阻挡层且可由除氮化硅之外的其它材料制成。因此,在实施方式中,可在氧化硅沉积之前形成包括双层及三层的复合层用作衬里。根据本发明的实施方式,复合层中的至少一层可展现出相对于先前技术氮化硅层相对低的蚀刻速率。图 3B 为三层衬里 350-2 的横截面图。图中亦展示了该衬里的放大的横截面图,显示出包括底层氮化硅 352、氮化硼 354 及顶层氮化硅 356 在内的三层材料。

[0031] 现参考用于填充沟槽的沉积 / 蚀刻 / 沉积顺序,一种给定顺序的两次沉积技术可为相同沉积技术或方案。然而,其亦可彼此不同。代表性氧化物沉积方法为 CVD、HDP-CVD、SACVD、eHARP、HTUSG 及 O_3 -TEOS。诸如旋涂玻璃 (SOG) 的流动性技术可能具有改善的间隙填充能力但仍可依据黏度及其它 SOG 工艺参数进而受益于根据所揭示的实施方式的处理顺序。

[0032] 根据所揭示的实施方式的方法为各种含氟干式蚀刻及湿式蚀刻工艺都提供了效用实用性。两种代表性含氟干式蚀刻工艺的蚀刻比展示于表 1 中。使用两种氟蚀刻工艺的氧化物蚀刻速率与氮化硅蚀刻速率的比率展示于一行中。类似地,两种氟蚀刻的氧化硅与氮化硼蚀刻速率比率展示于最后一行中。因为在氧化物蚀刻中,氧化硅蚀刻比氮化硼快得多,所以对同样的氧化物蚀刻工艺当氮化硅衬里的至少一部分被移除时,类似厚度的由氮化硼制成的衬里的一部分得以保留。此两种氟蚀刻工艺包含两种前驱物,即 NH_3 及 NF_3 ,且“蚀刻 1”包含高于“蚀刻 2”的 NF_3 浓度以便增加氧化硅的蚀刻速率。

[0033] 表 1:相对于氧化硅的蚀刻比

[0034]

	氮化硅	氮化硼
蚀刻 1	19.9	147
蚀刻 2	39.2	126

[0035] 所揭示的介电质衬里可为相对低蚀刻速率的材料的单一层或组合了氮化硅与所述单一层的多层。在不同实施方式中,介电质衬里可为小于 10nm、小于 5nm、小于 2nm 或小于 1nm 厚。此等厚度包括了复合衬里层中所包括的所有阻挡层的厚度。在不同实施方式中,制成复合衬里层的低蚀刻速率材料的含量为至少或约 25%、至少或约 50%或至少或约 75%。

[0036] 为了促进根据实施方式的氧化硅、氮化硅及介电质衬里之间的比较,参考蚀刻选择为室温 1% HF 水溶液。除非另有说明,否则本文中将参考此参考蚀刻给出氧化硅与介电质衬里的蚀刻比。氧化硅蚀刻速率与氮化硅衬里蚀刻速率的比率可在 1 与 50 之间。关于本发明,在不同实施方式中,氧化硅蚀刻速率与介电质衬里蚀刻速率的比率可为大于 50 或

约 50、大于 75 或约 75 或大于 100 或约 100。关于复合衬里层,使用复合衬里层内蚀刻速率相对较低的层的蚀刻速率来计算蚀刻速率比。

[0037] 根据所揭示的实施方式,蚀刻速率相对低的材料不仅限于氮化硼层。所揭示的实施方式中还包括了其它提供类似效用的材料。类似沉积方法可用于形成显现出类似氧化硅与介电质衬里蚀刻比的含硼及 / 或碳的衬里。在不同实施方式中,衬里可具有大于 5% 或约 5%、大于 10% 或约 10% 或大于 20% 或约 20% 的硼原子浓度。替代地或与硼原子浓度组合,在不同实施方式中,衬里可具有大于 5% 或约 5%、大于 10% 或约 10% 或大于 20% 或约 20% 的碳原子浓度。较高硼及 / 或碳浓度与较低 HF 蚀刻速率相关。例示性膜为氮化硼 (BN)、氧化硼 (B_2O_3)、碳化硅 (SiC)、碳化硼 (BC)、氮化碳 (CN)、氮化硅硼 (SiBN)、氧化硼硅 (BSi_xO_y)、氮化磷硼 (PBN)、氮化硅碳 (SiCN) 及氮化硼碳硅 (BCSiN) 膜。

[0038] 将在参考图 4 的流程图的同时描述沉积含硼衬里层的例示性方法。该实例将着重于沉积氮化硼及氧化硼的方法。如步骤 405 中所展示,将含硼前驱物引入至一腔室中。在步骤 410 中,在该腔室中的一基板上自该含硼前驱物沉积一含硼膜。接着,在步骤 415 中,处理该含硼膜以改变膜组成 (例如增加膜中的氮或氧含量)。处理该含硼膜包含将含硼膜暴露于一含氮或含氧前驱物。

[0039] 返回至步骤 405,引入该含硼前驱物的腔室可为任一化学气相沉积腔室或等离子体辅助化学气相沉积腔室。可使用的腔室实例包括 PRODUCER® SE 及 PRODUCER® GT PECVD 腔室,两者均可购自 California 的 Santa Clara 的 Applied Materials, Inc.。本文中所提供的处理条件针对具有两个相隔离处理区域的 300mm PRODUCER® SE 腔室来提供,每一处理区域一个基板。因此,每一基板处理区域及基板所经历的流速为流入腔室的流速的一半。

[0040] 沉积含硼膜的基板可为硅基板、含硅基板或玻璃基板。基板可为裸露基板,或具有沉积于其上的一或多层材料及 / 或形成于其中的特征结构。

[0041] 含硼前驱物可为二硼烷 (B_2H_6)、环硼氮烷 (borazine) ($B_3N_3H_6$) 或环硼氮烷的经烷基取代的衍生物。可以约 5sccm 与约 50slm 之间 (诸如约 10sccm 与约 1slm 之间) 的流速将含硼前驱物引入至腔室中。通常,将氮气 (N_2)、氢气 (H_2)、氩气 (Ar) 或其组合作为稀释气体与将含硼前驱物一同引入至腔室中。可以约 5sccm 与约 50slm 之间 (诸如约 1slm 与约 10slm 之间) 的流速将稀释气体引入至腔室中。

[0042] 在实施方式中,可藉由引入一含氮化合物及 / 或一含氧膜在图 4 的步骤 415 中形成一含硼膜。可使用的含氮化合物的实例包括氨 (NH_3)、联胺 (N_2H_4)。含氧化化合物的实例包括氧 (O_2)、一氧化氮 (NO)、一氧化二氮 (N_2O)、二氧化碳 (CO_2) 及水 (H_2O)。亦可使用其它化合物,包括含硅化合物、含碳化合物、含磷化合物等。亦可使用化合物的组合。在一些例子中,这些化合物可在含硼前驱物处于腔室中时存在 (图 4 中未图示)。替代地,可在引入含硼前驱物之前或之后将该化合物引入至腔室。可使用的含硅化合物的实例包括硅烷、三甲硅烷基胺 (TSA)、三甲基硅烷 (TMS) 及硅氮烷,诸如六甲基环三硅氮烷 (HMCTZ)。可使用的含碳化合物的实例包括具有通式 C_xH_y 的烃类化合物,诸如烷类、烯类及炔类。可使用的含磷化合物的一实例为磷化氢 (PH_3)。

[0043] 在腔室中存在或不存在等离子体的情况下皆可在腔室中的基板上自含硼前驱物沉积含硼膜。

[0044] 对于在腔室中不存在等离子体的情况下沉积含硼膜,在沉积期间,腔室中的基板

支撑件的温度可设定为约 100℃与约 1000℃之间,例如约 300℃与约 500℃之间,且腔室中的压力可为约 10mTorr 与约 760Torr 之间,例如约 2Torr 与约 10Torr 之间。可以约 5sccm 与约 50slm 之间(诸如约 10sccm 与约 1slm 之间)的流速同时将含硼、含氮、含碳、含氧及含硅化合物引入至腔室中。

[0045] 对于在腔室中存在等离子体的情况下沉积含硼膜,在沉积期间,腔室中的基板支撑件的温度可设定为约 100℃与约 1000℃之间,例如约 300℃与约 500℃之间,且腔室中的压力可为约 10mTorr 与约 760Torr 之间,例如约 2Torr 与约 10Torr 之间。可藉由送至腔室的喷头电极及/或基板支撑电极的 RF 功率提供等离子体。可在约 100kHz 至约 1MHz(例如约 300kHz 至约 400kHz)的单一低频下以约 2W 与约 5000W 之间(诸如约 30W 与约 1000W 之间)的功率值提供 RF 功率,或在大于约 1MHz(诸如大于约 1MHz 直至约 60MHz,例如 13.6MHz)的单一高频下以约 2W 与约 5000W 之间(诸如约 30W 与约 1000W 之间)的功率值提供 RF 功率。替代地,可在一混合频率下提供 RF 功率,该混合频率包括约 100kHz 直至约 1MHz(例如约 300kHz 至约 400kHz)的第一频率(以约 2W 与约 5000W 之间(诸如约 30W 与约 1000W 之间)的功率值)及大于约 1MHz(诸如大于约 1MHz 直至约 60MHz,例如 13.6MHz)的第二频率(以约 2W 与约 5000W 之间(诸如约 30W 与约 1000W 之间)的功率值)。

[0046] 返回至图 4,在沉积含硼膜后对含硼膜进行处理,藉由向膜中并入氮或氧来改变其组成并形成氮化硼或氧化硼膜。该氮化硼或氧化硼膜可具有约 2 Å 与约 5000 Å 之间的厚度。该处理选自自由等离子体工艺、紫外线(UV)固化工艺、热退火工艺及其组合组成的群,且包含将含硼膜暴露于含氮前驱物以将氮并入至膜中并形成氮化硼。举例而言,该含氮前驱物可为氮气(N_2)、氨(NH_3)或联胺(N_2H_4)。可藉由诸如氩气、氦气、氢气或氙气的稀释气体来稀释含氮前驱物。将含硼膜暴露于含氧前驱物将允许氧并入至膜中并形成氧化硼膜。该含氧前驱物可为氧气(O_2)、一氧化二氮(N_2O)或二氧化碳(CO_2)。

[0047] 在该处理包含有等离子体工艺的实施方式中,可在沉积含硼膜所用的同一腔室中或在一不同腔室中执行该等离子体工艺。可藉由送至腔室的喷头电极及/或基板支撑电极的 RF 功率提供等离子体。可在约 100kHz 直至约 1MHz(例如约 300kHz 至约 400kHz)的单一低频下以约 2W 与约 5000W 之间(诸如约 30W 与约 1000W 之间)的功率值提供 RF 功率,或在大于约 1MHz(诸如大于约 1MHz 直至约 60MHz,例如 13.6MHz)的单一高频下以约 2W 与约 5000W 之间(诸如约 30W 与约 1000W 之间)的功率值提供 RF 功率。替代地,可在一混合频率下提供 RF 功率,该混合频率包括约 100kHz 直至约 1MHz(例如约 300kHz 至约 400kHz)的第一频率(以约 2W 与约 5000W 之间(诸如约 30W 与约 1000W 之间)的功率值)及大于约 1MHz(诸如大于约 1MHz 直至约 60MHz,例如 13.6MHz)的第二频率(以约 2W 与约 5000W 之间(诸如约 30W 与约 1000W 之间)的功率值)。在该处理期间,可以约 5sccm 与约 50slm 之间(诸如约 100sccm 与约 500sccm 之间)的流速将含氮前驱物引入至腔室中。含氮前驱物可流入腔室中历时一时段,诸如约 1 秒与约 2 小时之间,诸如约 1 秒与约 60 秒之间。在该处理期间,腔室压力可在约 10mTorr 与约 760Torr 之间,且腔室中的基板支撑件的温度可在约 20℃与约 1000℃之间。可采用增加等离子体工艺的高频 RF 功率、增加 NH_3 流速及延长处理时间的方式调整膜的蚀刻速率。

[0048] 在该处理包含有一 UV 固化工艺的实施方式中,可在与沉积腔室相同的腔室中或在一个作为一整合式工具(包括沉积含硼膜的沉积腔室)的一部分的腔室中执行该 UV 固

化工艺。举例而言,可在一个作为 PRODUCER®平台(包括沉积含硼膜的 PECVD 腔室)的一部分的 NANOCURE™腔室中执行该 UV 固化工艺。

[0049] 可使用的例示性 UV 固化工艺条件包括约 10mTorr 与约 760Torr 之间的腔室压力及约 20℃与约 1000℃之间的基板支撑件温度。在该处理期间,可以约 5sccm 与约 50sccm 之间的流速将含氮前驱物引入至腔室中。含氮前驱物可流入腔室中历时一时段,诸如约 1 秒与约 2 小时之间,诸如约 1 秒与约 10 分钟之间。可由任一 UV 源(诸如汞微波弧光灯、脉冲氙气闪光灯或高效率 UV 发光二极管阵列)提供 UV 辐射。举例而言,该 UV 辐射可具有一在约 170nm 与约 400nm 之间的波长。该处理可包含将该硼膜暴露于约 1 瓦特/平方厘米与约 1000 瓦特/平方厘米之间的紫外线辐射,且该紫外线辐射可提供一在约 0.5eV 与约 10eV 之间(诸如约 1eV 与约 6eV 之间)的光子能量。

[0050] 通常,UV 固化工艺自膜中移除氢,此为有利的,因为氢可经膜扩散进入基板的半导体区域中且降低形成于基板上的装置的可靠性。UV 固化工艺通常亦增加膜密度且减小蚀刻速率。

[0051] 在该处理包含热工艺的实施方式中,可在沉积该含硼膜的相同腔室中或不同腔室中执行热工艺。可以约 5sccm 与约 50slm 之间(诸如约 10sccm 与约 1slm 之间)的流速将该含氮前驱物引入至该腔室中。该含氮前驱物可流动至该腔室中历时一时段,诸如约 1 秒与约 10 小时之间,诸如 10 秒与约 20 分钟之间。在该处理期间,腔室压力可在约 10mTorr 与约 760Torr 之间,且腔室中的基板支撑件的温度可在约 20℃与约 1000℃之间。

[0052] 虽然基板在参照图 4 所描述的实施方式中依序暴露于含硼前驱物及含氮前驱物,但在替代实施方式中,基板可同时暴露于含硼前驱物及含氮前驱物(及/或含氧前驱物)。一般而言,同时暴露允许较大膜生长速率且减小控制薄膜的厚度的能力。在此类实施方式中,将含硼前驱物及含氮或含氧前驱物引入至腔室中接着进行反应以在腔室中的基板上化学气相沉积氮化硼或氧化硼膜。视情况,亦可同时将含硅化合物、含碳化合物、含磷化合物或其组合引入至腔室中以沉积掺杂的氮化硼膜。腔室中存在或不存在等离子体的情况下皆可执行含硼前驱物、含氮或含氧前驱物及其它可选化合物的反应。

[0053] 以下论述论述了用于生长作为例示性低蚀刻速率材料的氮化硼的特定工艺条件。含硼前驱物及含氮前驱物可为上文参照图 4 的实施方式所描述的前驱物中的任一者。类似地,腔室及基板可分别为上文参照图 4 的实施方式所描述的腔室及基板中的任一者。

[0054] 可将含硼前驱物与作为稀释气体的氮气(N₂)、氢气(H₂)、氩气(Ar)或其组合一起引入至腔室中。可以约 5sccm 与约 50slm 之间(诸如约 10sccm 与约 1slm 之间)的流速将含硼前驱物引入至腔室中。可以约 5sccm 与约 50slm 之间(诸如约 10sccm 与约 1slm 之间)的流速将该含氮前驱物引入至该腔室中。可以约 5sccm 与约 50slm 之间(诸如约 1slm 与约 10slm 之间)的流速将稀释气体引入至腔室中。

[0055] 在含硼前驱物及含氮前驱物的反应过程存在等离子体的实施方式中,可在沉积期间使用一在约 10mTorr 与约 760Torr 之间(例如在约 2Torr 与约 10Torr 之间)的腔室压力及一在约 100℃与约 1000℃之间(例如在约 300℃与约 500℃之间)的基板支撑件温度。腔室的喷头与基板支撑件之间的间距可在约 100 毫英寸(mi1)与约 10000 毫英寸之间。可藉由送至腔室的喷头电极及/或基板支撑电极的 RF 功率提供等离子体。可在约 100kHz 至约 1MHz(例如约 300kHz 至约 400kHz)的单一低频下以约 2W 与约 5000W 之间(诸如约 30W 与

约 1000W 之间) 的功率值提供 RF 功率,或在大于约 1MHz (诸如大于约 1MHz 直至约 60MHz,例如 13.6MHz) 的单一高频下以约 2W 与约 5000W 之间 (诸如约 30W 与约 1000W 之间) 的功率值提供 RF 功率。替代地,可在一混合频率下提供 RF 功率,该混合频率包括约 100kHz 直至约 1MHz (例如约 300kHz 至约 400kHz) 的第一频率 (以约 2W 与约 5000W 之间 (诸如约 30W 与约 1000W 之间) 的功率值) 及大于约 1MHz (诸如大于约 1MHz 直至约 60MHz,例如 13.6MHz) 的第二频率 (以约 2W 与约 5000W 之间 (诸如约 30W 与约 1000W 之间) 的功率值)。

[0056] 除氮化硼之外的低介电质蚀刻速率的材料亦为本专利的标的物,正如早先所描述及权利要求书中所阐述。在含硼前驱物及含氮、含氧、含碳及 / 或含硅前驱物的反应过程不存在等离子体的实施方式中,可在沉积期间使用一在约 10mTorr 与约 760Torr 之间的腔室压力及一在约 100℃ 与约 1000℃ 之间的基板支撑件温度。腔室的喷头与基板支撑件之间的间距可在约 50 毫英寸与约 5000 毫英寸之间。

[0057] 如本文中所使用,“基板”可为具有或不具有形成于其上的层的支撑基板。该支撑基板可为绝缘体或具有各种掺杂浓度及轮廓的半导体,且可为 (例如) 集成电路制造中所用类型的半导体基板。处于“激发状态”的气体描述的是气体分子中至少一部分处于振动激发、离解及 / 或离子化状态下的一种气体。一气体可为两种或两种以上气体的组合。通篇使用的术语沟槽皆无暗示所蚀刻的几何形状具有较大水平深宽比。自表面上方看,沟槽可显现为圆形、椭圆形、多边形、矩形或各种其它形状。

[0058] 在已揭示若干实施方式之后,本领域的技术人员将认识到,可使用各种修改、替代构造及均等物而不偏离所揭示的实施方式的精神。此外,尚未描述许多熟知工艺及元件以避免不必要地混淆本发明。因此,上文描述不应被视为限制本发明的范畴。

[0059] 当提供一数值范围时应理解,除非上下文另行明示,否则位于此范围的上限与下限之间的每一居间值 (精确性达下限的单位的十分之一) 皆为本发明所特定揭示。涵盖介于指定范围中的任何指定值或居间值与此指定范围中的任何其它指定值或居间值之间的每一较小范围。这些较小范围的上限与下限可独立地包括于该范围中或排除于其外,且在上限与下限中无论其中一者、两者或是无一者包括在该较小范围中的情况下,每一范围亦涵盖于本发明中,当然不包括该指定范围中特定排除的任何限值。在该指定范围包括该限值中的一者或两者的情况下,排除那些所包括的限值中的一者或两者的范围亦包括于本发明中。

[0060] 如本文中及随附权利要求书中所使用,单数形式“一”及“该”包括复数指示物除非本文另行明示。因此,举例而言,述及“一工艺”时其包括多个此工艺,且述及“该介电质材料”时其包括一或多种本领域的技术人员已知的介电质材料及其均等物,诸如此类。

[0061] 同样,词汇“包含”及“包括”在用于本说明书及下文权利要求书中时意欲指出所述特征结构、整数、组件或步骤的存在,但其不排除一或多个其它特征结构、整数、组件、步骤、动作或群组的存在或添加。

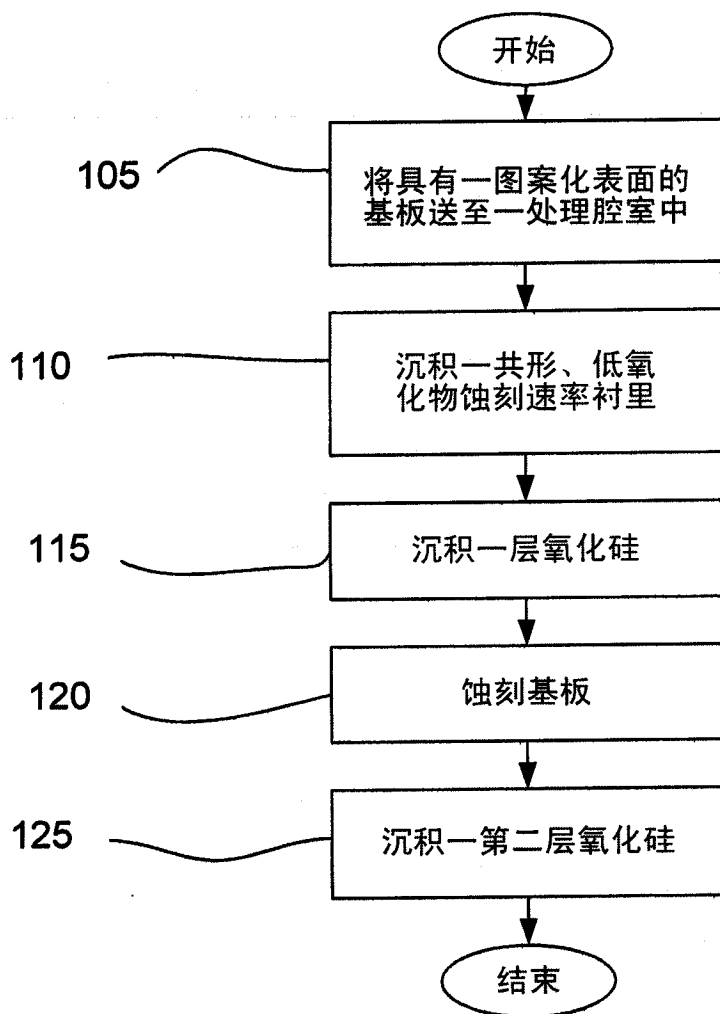


图 1

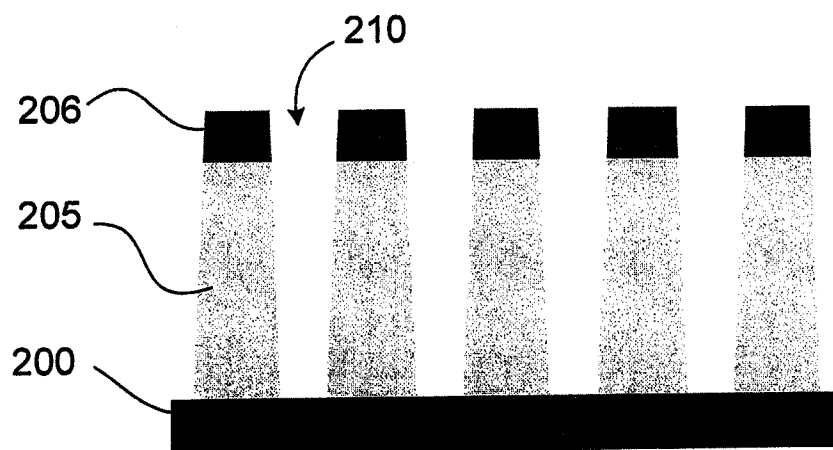


图 2A

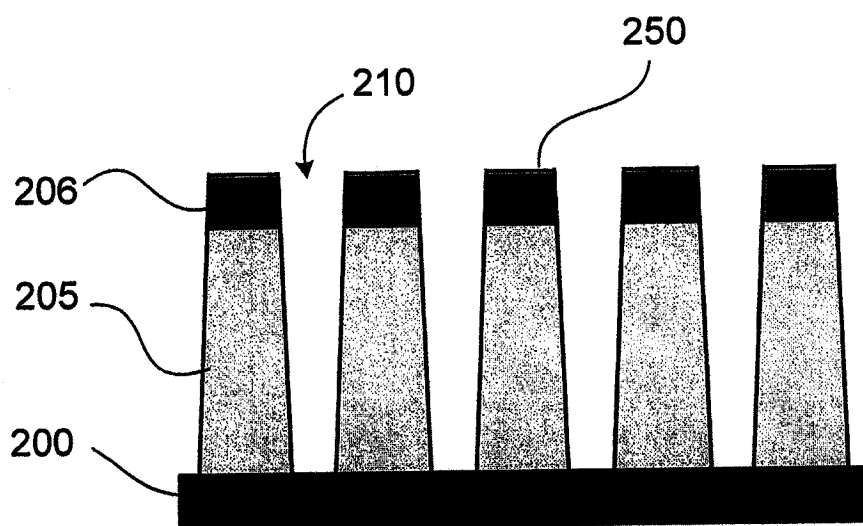


图 2B

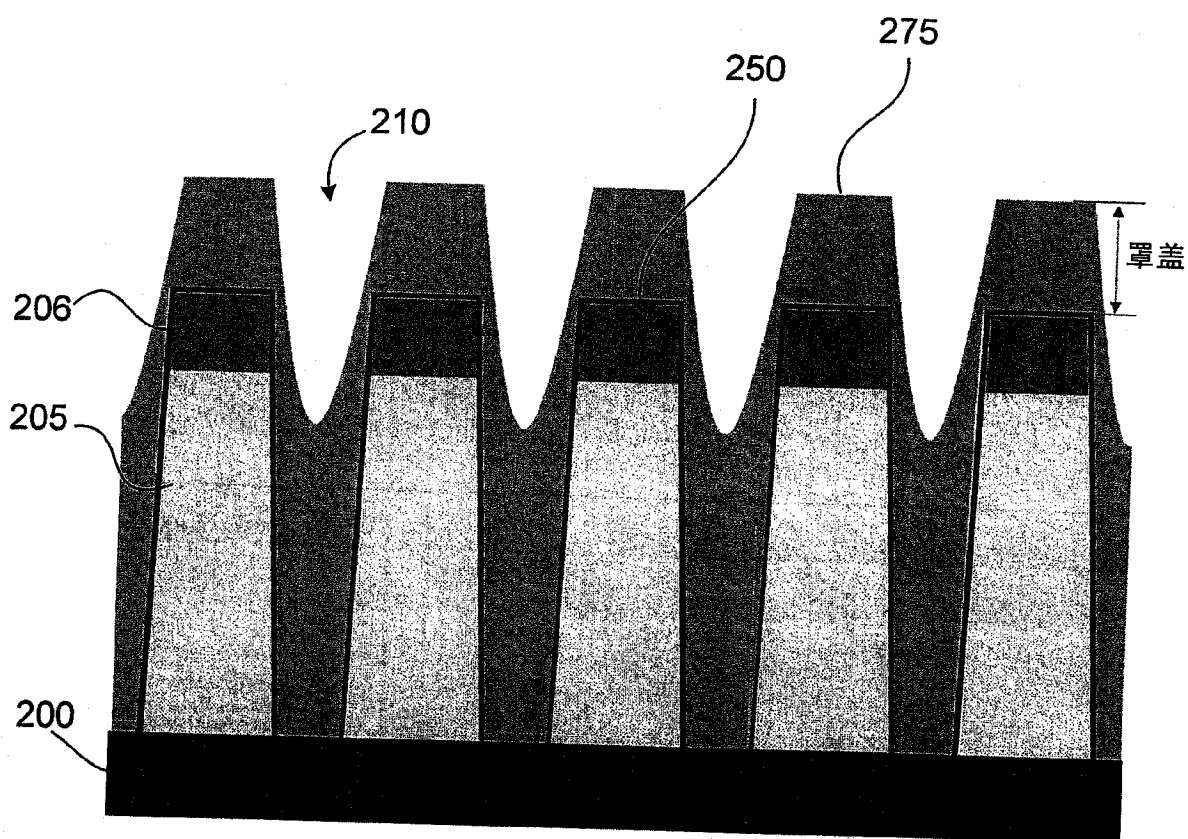


图 2C

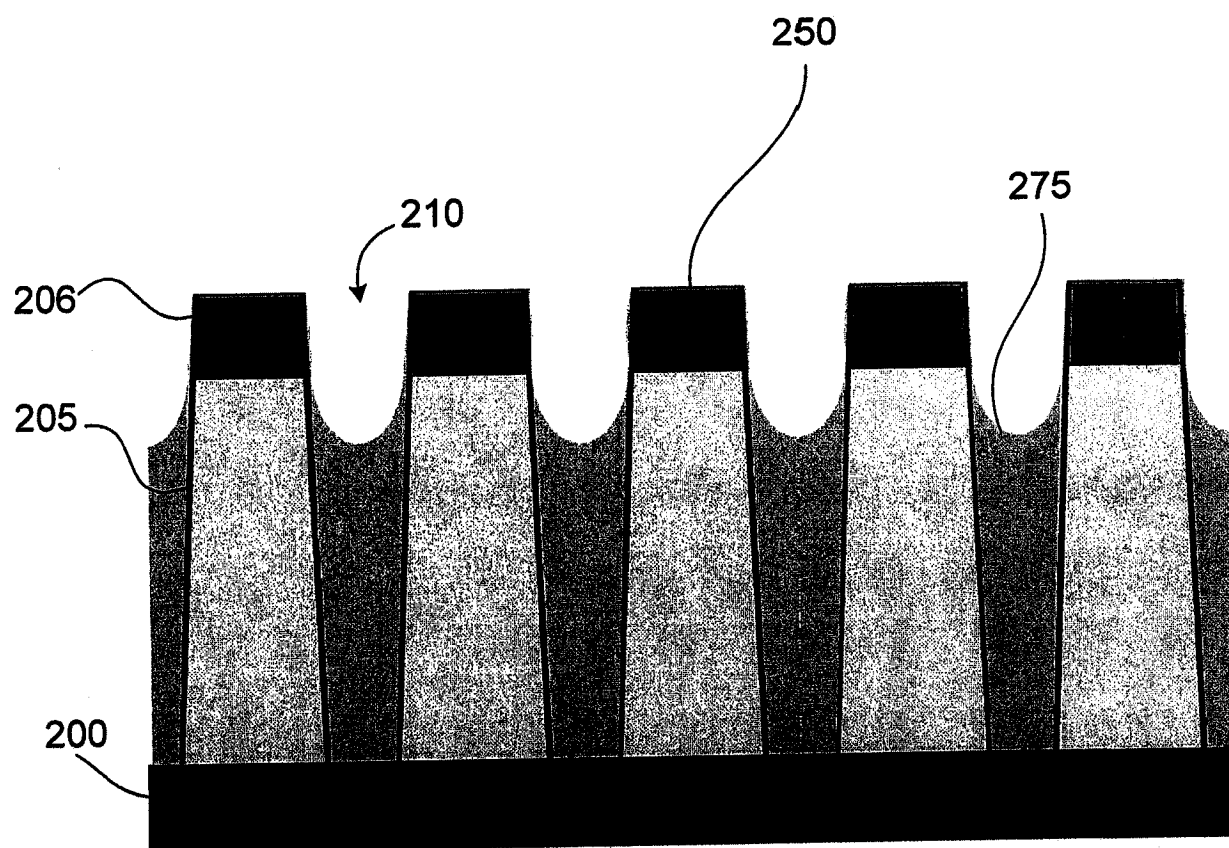


图 2D

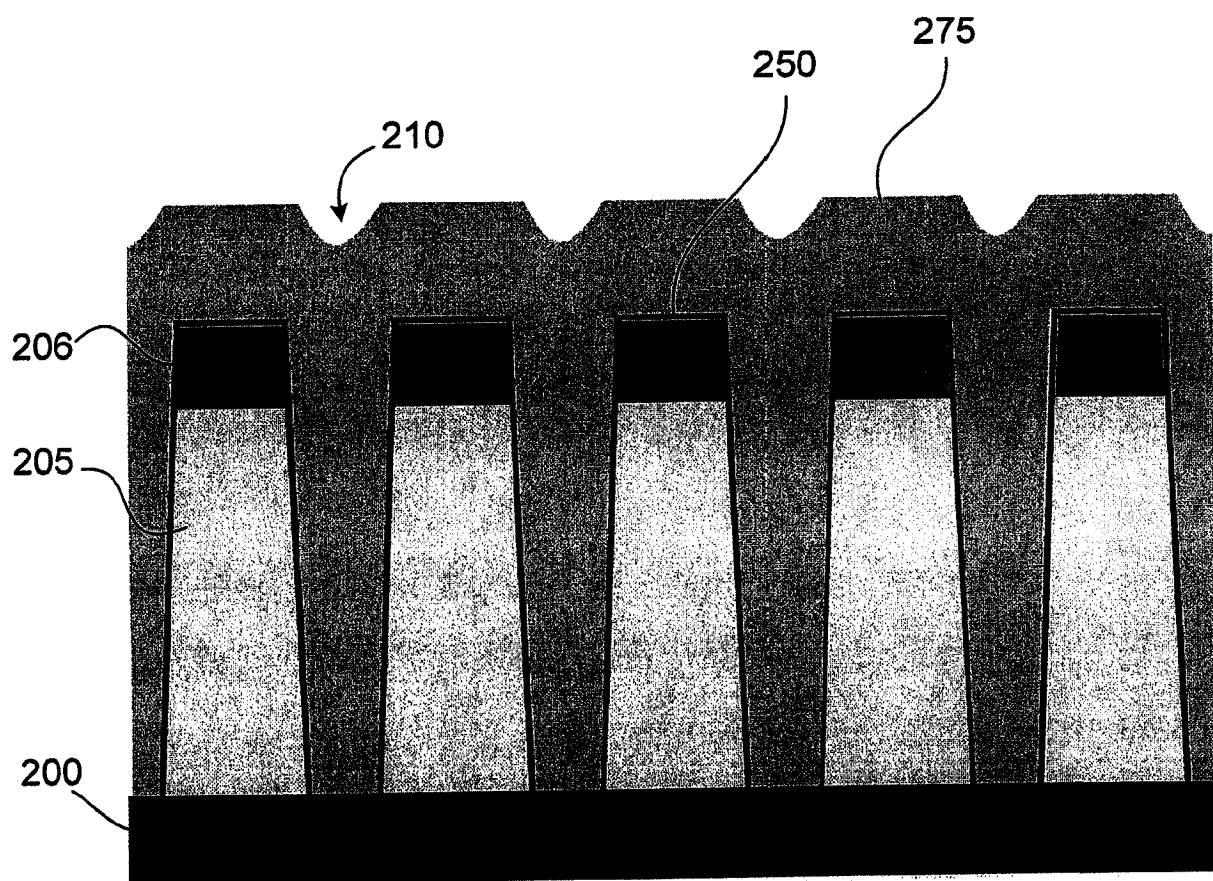


图 2E

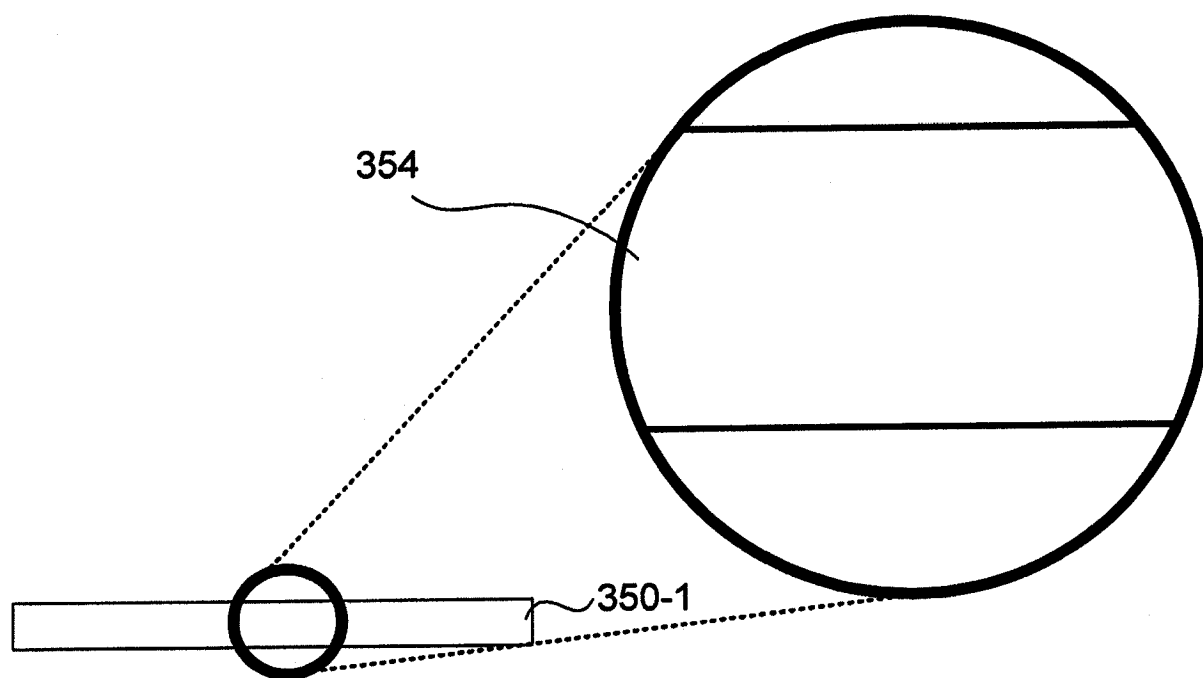


图 3A

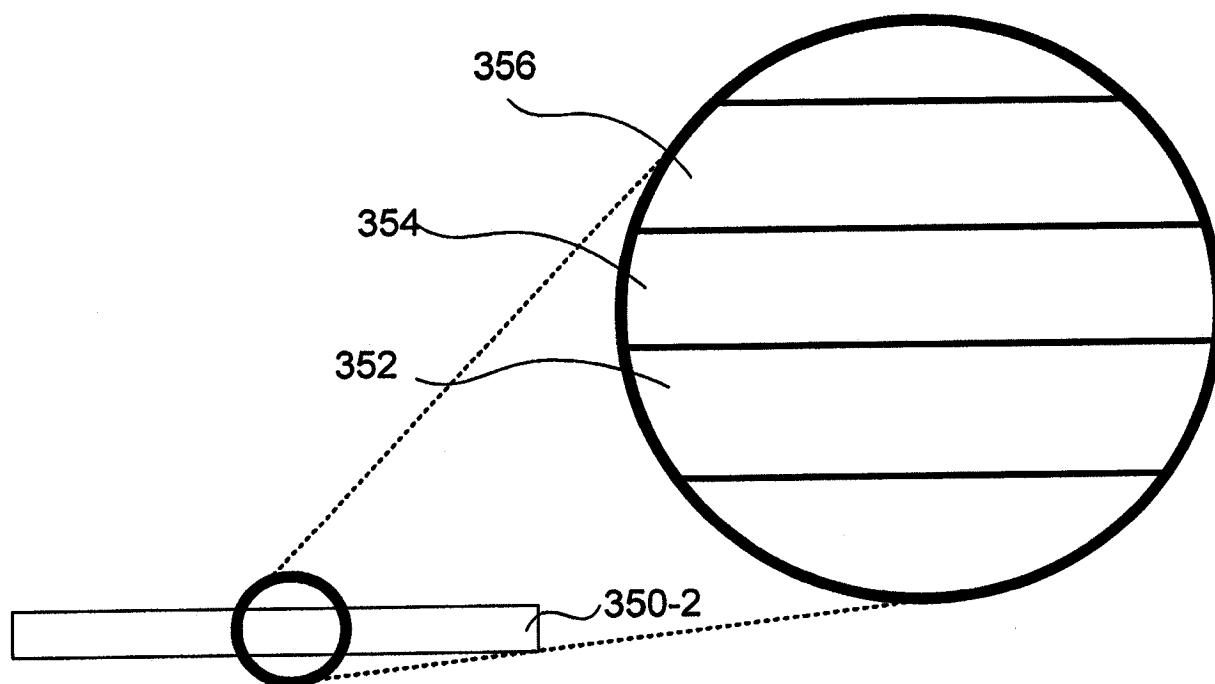


图 3B

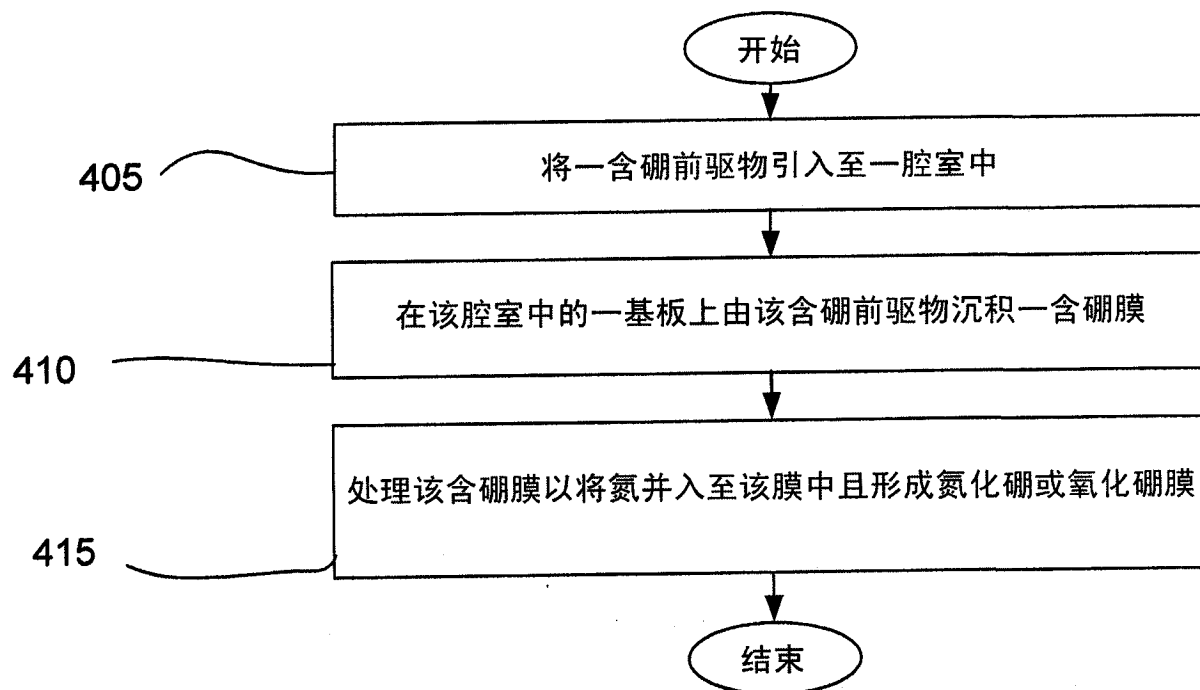


图 4