



(12)发明专利申请

(10)申请公布号 CN 106887467 A

(43)申请公布日 2017.06.23

(21)申请号 201710135459.6

(22)申请日 2017.03.09

(71)申请人 西安电子科技大学

地址 710071 陕西省西安市太白南路2号

(72)发明人 毛维 石朋毫 杨翠 郝跃

(74)专利代理机构 陕西电子工业专利中心

61205

代理人 王品华

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 21/336(2006.01)

H01L 29/06(2006.01)

H01L 29/417(2006.01)

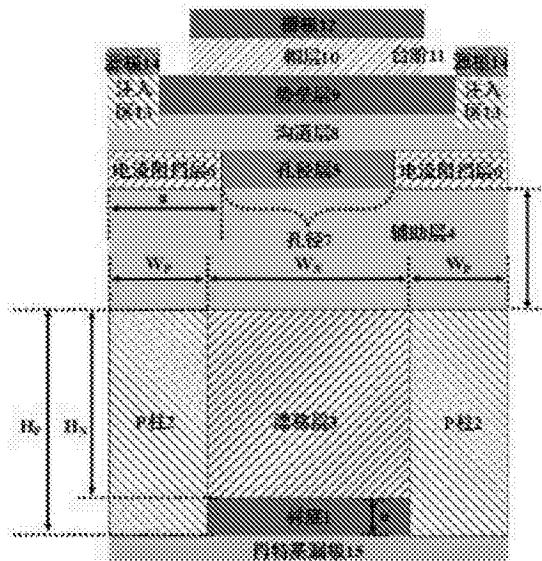
权利要求书3页 说明书12页 附图4页

(54)发明名称

漏连接半超结氮化镓基垂直型异质结功率
器件

(57)摘要

本发明公开了一种漏连接半超结氮化镓基垂直型异质结功率器件，其自下而上包括：肖特基漏极(15)、衬底(1)、漂移层(3)、孔径层(5)、左右两个对称的电流阻挡层(6)、沟道层(8)、势垒层(9)、帽层(10)和栅极(12)；两个电流阻挡层(6)之间形成孔径(7)，势垒层上的两侧淀积有两个源极(14)，两个源极下方通过离子注入形成两个注入区(13)，帽层两侧刻有两个台阶(11)；其中：衬底与漂移层的两侧有两个对称的P柱(2)，两个P柱的上部与电流阻挡层下部之间设有辅助层(4)，肖特基漏极采用高功函数金属。本发明击穿电压高、导通电阻小，可用于电力电子系统。



1. 一种漏连接半超结氮化镓基垂直型异质结功率器件，包括：衬底(1)、漂移层(3)、孔径层(5)、左右两个对称的电流阻挡层(6)、沟道层(8)、势垒层(9)和肖特基漏极(15)，衬底(1)的上部外延有漂移层(3)，势垒层(9)上的两侧淀积有两个源极(14)，两个源极(14)下方通过离子注入形成两个注入区(13)，源极之间的势垒层上外延有帽层(10)，帽层(10)两侧刻有两个台阶(11)，帽层上面淀积有栅极(12)，两个对称的电流阻挡层(6)之间形成孔径(7)，其特征在于：

所述衬底(1)与漂移层(3)，均采用相同掺杂浓度的n型GaN材料；衬底(1)与漂移层(3)的两侧，有两个采用p型GaN材料的柱形结构，即两个P柱(2)；

所述P柱(2)，其p型杂质的掺杂浓度与漂移层(3)相同，该P柱(2)和漂移层(3)的上部与电流阻挡层(6)和孔径层(5)的下部之间设有辅助层(4)；

所述肖特基漏极(15)，位于衬底(1)与P柱(2)的下面，其与P柱之间的接触表现为欧姆接触特性，而与衬底(1)之间的接触表现为肖特基特性。

2. 根据权利要求1所述的器件，其特征在于肖特基漏极(15)采用功函数大于4.5eV的高功函数金属，且与P柱(2)连接。

3. 根据权利要求1所述的器件，其特征在于衬底(1)的厚度u为4~20μm。

4. 根据权利要求1所述的器件，其特征在于漂移层(3)的厚度H_N为1~30μm，宽度W_N为1~10μm。

5. 根据权利要求1所述的器件，其特征在于每个P柱(2)的宽度W_P为0.5~5μm，厚度H_P为漂移层(3)与衬底(1)的厚度总和。

6. 根据权利要求1所述的器件，其特征在于衬底(1)、P柱(2)、漂移层(3)三者采用相同的掺杂浓度，掺杂浓度范围为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 。

7. 根据权利要求1所述的器件，其特征在于辅助层(4)采用n型GaN材料，其掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ，厚度L为15~40μm。

8. 一种制作漏连接半超结氮化镓基垂直型异质结功率器件的方法，包括如下过程：

A. 制作衬底(1)：

A1) 采用掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 、厚度为4~20μm、宽度为2~20μm的n型GaN做衬底层；

A2) 在衬底层上制作一次掩模，并利用该掩模在衬底层内两侧位置注入p型杂质，以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂区，每个p型掺杂区的厚度与衬底层厚度相同，宽度W_P为0.5~5μm，未进行p型掺杂的衬底层形成衬底(1)，衬底(1)的宽度为1~10μm，厚度u为4~20μm；

B. 制作P柱(2)和厚度为H_N的漂移层(3)；

B1) 在衬底(1)和步骤A2)获得的两个p型掺杂区上第一次外延一层厚度为H₁、掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料；

B2) 在步骤B1)外延的n型GaN材料上制作掩模，利用该掩模在该层n型GaN材料内的两侧位置注入p型杂质，以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第一区，该两个第一区的厚度为H_{P1}，宽度为W_P，H₁=H_{P1}；

B3) 在步骤B1)外延的n型GaN材料上部和两个第一区上第二次外延一层厚度为H₂、掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料；

B4) 在步骤B3) 外延的n型GaN材料上制作掩模,利用该掩模在该层n型GaN材料内的两侧位置注入p型杂质,以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第二区,该两个第二区的厚度为 H_{P2} ,宽度为 W_P , $H_2 = H_{P2}$;

B5) 在步骤B3) 外延的n型GaN材料上部和两个第二区上第三次外延一层厚度为 H_3 、掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料;

B6) 在步骤B5) 外延的n型GaN材料上制作掩模,利用该掩模在该层n型GaN材料内的两侧位置注入p型杂质,以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第三区,该两个第三区的厚度为 H_{P3} ,宽度为 W_P , $H_3 = H_{P3}$;

B7) 依次类推……,在第m-1次外延的n型GaN材料上部和两个第m-1区上第m次外延一层厚度为 H_m 、掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料;

B8) 在第m次外延的n型GaN材料上制作掩模,利用该掩模在该层n型GaN材料内的两侧位置注入p型杂质,以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第m区,该两个第m区的厚度为 H_{Pm} ,宽度为 W_P , $H_m = H_{Pm}$, H_{P1} 至 H_{Pm} 的值均在 $1 \sim 10 \mu\text{m}$ 之间,m为大于零的整数并根据实际制作工艺决定;

所述步骤B1) 至B8) 所有外延的GaN材料中未进行p型掺杂的部分形成整体的漂移层(3),该漂移层(3)的厚度 H_N 满足: $H_N = H_{P1} + H_{P2} + \dots + H_{Pm}$,其取值为 $1 \sim 30 \mu\text{m}$;漂移层(3)的宽度 W_N 与衬底(1)的宽度相同;

所述步骤A中的两个p型掺杂区和步骤B中的两个第一区、第二区至第m区构成两个对称的P柱(2),每个P柱(2)的厚度 H_P 满足: $H_P = H_N + u$,P柱(2)的宽度为 W_P ;

C. 在漂移层(3)和两个P柱(2)的上部外延n型GaN半导体材料,形成厚度L为 $15 \sim 40 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 的辅助层(4);

D. 在辅助层(4)的上部外延n型GaN半导体材料,形成厚度为 $0.5 \sim 2 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 的孔径层(5);

E. 在孔径层(5)上制作掩模,利用该掩模在孔径层内的两侧位置注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的p型杂质,以制作厚度与孔径层厚度相同、宽度a为 $0.5 \sim 8 \mu\text{m}$ 的电流阻挡层(6),两个对称的电流阻挡层(6)之间形成孔径(7);

F. 在两个电流阻挡层(6)和它们之间的孔径(7)上部外延GaN半导体材料,形成厚度为 $0.04 \sim 0.2 \mu\text{m}$ 的沟道层(8);

G. 在沟道层(8)上部外延GaN基宽禁带半导体材料,形成厚度为 $5 \sim 50 \text{ nm}$ 的势垒层(9);

H. 在势垒层(9)的上部外延材p⁺型GaN半导体料,形成厚度为 $0.02 \sim 0.25 \mu\text{m}$ 的帽层(10);

I. 在帽层(10)上制作掩模,利用该掩模在帽层内的左右两侧进行刻蚀,刻蚀至势垒层(9)上表面为止,以形成台阶(11),两个台阶之间的帽层(10)与两个电流阻挡层(6)之间均存在水平方向上的交叠,交叠长度大于 $0 \mu\text{m}$;

J. 在帽层(10)上部以及未被帽层(10)覆盖的势垒层(9)上部制作掩模,利用该掩模在帽层上淀积金属,以制作栅极(12);

K. 在栅极(12)上部以及未被帽层(10)覆盖的势垒层(9)上部制作掩模,利用该掩模在两边未被帽层覆盖的势垒层内注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的n型杂质,以制作注入区(13),其中,两个注入区的深度均大于势垒层厚度,且小于沟道层与势垒层两者的总厚度;

L. 在两个注入区(13)上部、栅极(12)上部以及未被帽层(10)覆盖的势垒层(9)上部制

作掩模,利用该掩模在两个注入区上部淀积金属,以制作源极(14) ;

M. 在衬底(1)的背面和两个P柱(2)的背面淀积金属,以制作肖特基漏极(15),完成整个器件的制作,该肖特基漏极应选择功函数大于4.5eV的高功函数金属实现,肖特基漏极与P柱之间的接触表现为欧姆接触特性,而与衬底(1)之间的接触表现为肖特基特性。

漏连接半超结氮化镓基垂直型异质结功率器件

技术领域

[0001] 本发明属于微电子技术领域,涉及半导体器件,特别是漏连接半超结氮化镓基垂直型异质结功率器件,可用于电力电子系统。

技术背景

[0002] 功率半导体器件是电力电子技术的核心元件,随着能源和环境问题的日益突出,研发新型高性能、低损耗功率器件就成为提高电能利用率、节约能源、缓解能源危机的有效途径之一。而在功率器件研究中,高速、高压与低导通电阻之间存在着严重的制约关系,合理、有效地改进这种制约关系是提高器件整体性能的关键。随着微电子技术的发展,传统第一代Si半导体和第二代GaAs半导体功率器件性能已接近其材料本身决定的理论极限。为了能进一步减少芯片面积、提高工作频率、提高工作温度、降低导通电阻、提高击穿电压、降低整机体积、提高整机效率,以GaN为代表的宽禁带半导体材料,凭借其更大的禁带宽度、更高的临界击穿电场和更高的电子饱和漂移速度,且化学性能稳定、耐高温、抗辐射等突出优点,在制备高性能功率器件方面脱颖而出,应用潜力巨大。特别是采用GaN基异质结结构的横向高电子迁移率晶体管,即横向GaN基高电子迁移率晶体管HEMT器件,更是因其低导通电阻、高击穿电压、高工作频率等特性,成为了国内外研究和应用的热点、焦点。

[0003] 然而,在横向GaN基HEMT器件中,为了获得更高的击穿电压,需要增加栅漏间距,这会增大器件尺寸和导通电阻,并减小单位芯片面积上的有效电流密度和芯片性能,从而导致芯片面积和研制成本的增加。此外,在横向GaN基HEMT器件中,由高电场和表面态所引起的电流崩塌问题较为严重,尽管当前已有众多抑制措施,但电流崩塌问题依然没有得到彻底解决。为了解决上述问题,研究者们提出了垂直型GaN基电流孔径异质结晶体管,也是一种垂直型异质结功率器件,参见AlGaN/GaN current aperture vertical electron transistors, IEEE Device Research Conference, pp.31-32, 2002。GaN基电流孔径异质结晶体管可通过增加漂移层厚度提高击穿电压,避免了牺牲器件尺寸和导通电阻的问题,因此可以实现高功率密度芯片。而且在GaN基电流孔径异质结晶体管中,高电场区域位于半导体材料体内,这可以彻底地消除电流崩塌问题。2004年,Ilan Ben-Yaacov等人利用刻蚀后MOCVD再生长沟道技术研制出AlGaN/GaN电流孔径异质结晶体管,该器件未采用钝化层,最大输出电流为750mA/mm,跨导为120mS/mm,两端栅击穿电压为65V,且电流崩塌效应得到显著抑制,参见AlGaN/GaN current aperture vertical electron transistors with regrown channels, Journal of Applied Physics, Vol.95, No.4, pp. 2073-2078, 2004。2012年,Srabanti Chowdhury等人利用Mg离子注入电流阻挡层结合等离子辅助MBE再生长AlGaN/GaN异质结的技术,研制出基于GaN衬底的电流孔径异质结晶体管,该器件采用3μm漂移层,最大输出电流为 $4\text{kA} \cdot \text{cm}^{-2}$,导通电阻为 $2.2\text{m}\Omega \cdot \text{cm}^2$,击穿电压为250V,且抑制电流崩塌效果好,参见CAVET on Bulk GaN Substrates Achieved With MBE-Regrown AlGaN/GaN Layers to Suppress Dispersion, IEEE Electron Device Letters, Vol.33, No.1, pp.41-43, 2012。同年,由Masahiro Sugimoto等人提出的一种增强型GaN基电流孔径异质结晶体管

获得授权,参见Transistor,US8188514B2,2012。此外,2014年,Hui Nie等人基于GaN衬底研制出一种增强型GaN基电流孔径异质结晶体管,该器件阈值电压为0.5V,饱和电流大于2.3A,击穿电压为1.5kV,导通电阻为 $2.2\text{m}\Omega \cdot \text{cm}^2$,参见1.5-kV and 2.2-mΩ-cm²Vertical GaN Transistors on Bulk-GaN Substrates,IEEE Electron Device Letters,Vol.35, No.9,pp.939–941,2014。

[0004] 传统GaN基电流孔径异质结晶体管是基于GaN基宽禁带半导体异质结结构,其包括:衬底1、漂移层2、孔径层3、左、右两个对称的电流阻挡层4、孔径5、沟道层6和势垒层7;势垒层7上面的两侧淀积有源极12,源极12之间的势垒层7上外延有帽层8,帽层8两侧刻有两个台阶9,帽层8的上面淀积有栅极10,源极12下方通过注入形成两个注入区11,衬底1下面淀积有欧姆漏极13,如图1所示。

[0005] 经过十多年的理论和实验研究,研究者们发现,上述传统GaN基电流孔径异质结晶体管结构上存在固有缺陷,会导致器件中电场强度分布极不均匀,尤其是在电流阻挡层与孔径区域交界面下方附近的半导体材料中存在极高的电场峰值,从而引起器件过早击穿。这使得实际工艺中很难实现通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压。因此,传统结构GaN基电流孔径异质结晶体管的击穿电压普遍不高。为了获得更高的器件击穿电压,并可以通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压,2013年,Zhongda Li等人利用数值仿真技术研究了一种基于超结的增强型GaN基电流孔径异质结晶体管,研究结果表明超结结构可以有效调制器件内部的电场分布,使处于关态时器件内部各处电场强度趋于均匀分布,因此器件击穿电压可达5~20kV,且采用3μm半柱宽时击穿电压为12.4kV,而导通电阻仅为 $4.2\text{m}\Omega \cdot \text{cm}^2$,参见Design and Simulation of 5–20-kV GaN Enhancement-Mode Vertical Superjunction HEMT,IEEE Transactions on Electron Devices,Vol.60,No.10,pp.3230–3237,2013。采用超结的GaN基电流孔径异质结晶体管从理论上可以获得高击穿电压,且可实现击穿电压随n型GaN漂移层厚度的增加而持续提高,是目前国内外已报道文献中击穿电压最高的一种非常有效的大功率器件结构。

[0006] 在实际应用中,研究者们发现在电动汽车、功率管理系统、S类功率放大器等许多技术领域中,往往需要功率器件具有很强的反向阻断能力,也就是希望器件在关态下具有很高的负的漏极击穿电压,即反向击穿电压。而现有的传统GaN基电流孔径异质结晶体管均采用欧姆漏极,当器件漏极施加非常低的反向电压时,器件中的电流阻挡层便会失效,形成很大的漏源泄漏电流,而且随着漏极反向电压的增加,器件栅极也会正向开启,并通过很大栅电流,最终导致器件失效。因此,现有的传统GaN基电流孔径异质结晶体管均无法实现反向阻断功能。

发明内容

[0007] 本发明的目的在于针对上述已有技术的不足,提供一种漏连接半超结氮化镓基垂直型异质结功率器件,以提高器件的反向击穿电压,实现反向击穿电压的可持续增加,同时减小器件的导通电阻,显著缓解器件击穿电压与导通电阻之间的矛盾,改善器件的反向击穿特性、正向导通特性和可靠性。

[0008] 为实现上述目的,本发明的技术方案是这样实现的:

[0009] 一、器件结构

[0010] 一种漏连接半超结氮化镓基垂直型异质结功率器件，包括：衬底1、漂移层3、孔径层5、左右两个对称的电流阻挡层6、沟道层8、势垒层9和肖特基漏极15，衬底1的上部外延有漂移层3，势垒层9上的两侧淀积有两个源极14，两个源极14下方通过离子注入形成两个注入区13，源极之间的势垒层上外延有帽层10，帽层10两侧刻有两个台阶11，帽层上面淀积有栅极12，两个对称的电流阻挡层6之间形成孔径7，其特征在于：

[0011] 所述衬底1与漂移层3，均采用相同掺杂浓度的n型GaN材料；衬底1与漂移层3的两侧，有两个采用p型GaN材料的柱形结构，即两个P柱2；

[0012] 所述P柱2，其p型杂质的掺杂浓度与漂移层3相同，该P柱2和漂移层3的上部与电流阻挡层6和孔径层5的下部之间设有辅助层4；

[0013] 所述肖特基漏极15，位于衬底1与P柱2的下面，其与P柱之间的接触表现为欧姆接触特性，而与衬底1之间的接触表现为肖特基特性。

[0014] 二、制作方法

[0015] 本发明制作漏连接半超结氮化镓基垂直型异质结功率器件的方法，包括如下过程：

[0016] A. 制作衬底1：

[0017] A1) 采用掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 、厚度为 $4 \sim 20 \mu\text{m}$ 、宽度为 $2 \sim 20 \mu\text{m}$ 的n型GaN做衬底层；

[0018] A2) 在衬底层上制作一次掩模，并利用该掩模在衬底层内两侧位置注入p型杂质，以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂区，每个p型掺杂区的厚度与衬底层厚度相同，宽度 W_P 为 $0.5 \sim 5 \mu\text{m}$ ，未进行p型掺杂的衬底层形成衬底1，衬底1的宽度为 $1 \sim 10 \mu\text{m}$ ，厚度 u 为 $4 \sim 20 \mu\text{m}$ ；

[0019] B. 制作P柱2和厚度为 H_N 的漂移层3：

[0020] B1) 在衬底1和步骤A2) 获得的两个p型掺杂区上第一次外延一层厚度为 H_1 、掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料；

[0021] B2) 在步骤B1) 外延的n型GaN材料上制作掩模，利用该掩模在该层n型GaN材料内的两侧位置注入p型杂质，以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第一区，该两个第一区的厚度为 H_{P1} ，宽度为 W_P ， $H_1 = H_{P1}$ ；

[0022] B3) 在步骤B1) 外延的n型GaN材料上部和两个第一区上第二次外延一层厚度为 H_2 、掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料；

[0023] B4) 在步骤B3) 外延的n型GaN材料上制作掩模，利用该掩模在该层n型GaN材料内的两侧位置注入p型杂质，以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第二区，该两个第二区的厚度为 H_{P2} ，宽度为 W_P ， $H_2 = H_{P2}$ ；

[0024] B5) 在步骤B3) 外延的n型GaN材料上部和两个第二区上第三次外延一层厚度为 H_3 、掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料；

[0025] B6) 在步骤B5) 外延的n型GaN材料上制作掩模，利用该掩模在该层n型GaN材料内的两侧位置注入p型杂质，以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第三区，该两个第三区的厚度为 H_{P3} ，宽度为 W_P ， $H_3 = H_{P3}$ ；

[0026] B7) 依次类推……，在第 $m-1$ 次外延的n型GaN材料上部和两个第 $m-1$ 区上第 m 次外延一层厚度为 H_m 、掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料；

[0027] B8) 在第m次外延的n型GaN材料上制作掩模, 利用该掩模在该层n型GaN材料内的两侧位置注入p型杂质, 以形成平均掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第m区, 该两个第m区的厚度为 H_{Pm} , 宽度为 W_P , $H_m = H_{Pm}$, H_{P1} 至 H_{Pm} 的值均在 $1 \sim 10 \mu\text{m}$ 之间, m为大于零的整数并根据实际制作工艺决定;

[0028] 所述步骤B1) 至B8) 所有外延的GaN材料中未进行p型掺杂的部分形成整体的漂移层3, 该漂移层3的厚度 H_N 满足: $H_N = H_{P1} + H_{P2} + \dots + H_{Pm}$, 其取值为 $1 \sim 30 \mu\text{m}$; 漂移层3的宽度 W_N 与衬底1的宽度相同;

[0029] 所述步骤A中的两个p型掺杂区和步骤B中的两个第一区、第二区至第m区构成两个对称的P柱2, 每个P柱2的厚度 H_P 满足: $H_P = H_N + u$, P柱2的宽度为 W_P , $W_P = 0.5 W_N$;

[0030] C. 在漂移层3和两个P柱2的上部外延n型GaN半导体材料, 形成厚度L为 $15 \sim 40 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 的辅助层4;

[0031] D. 在辅助层4的上部外延n型GaN半导体材料, 形成厚度为 $0.5 \sim 2 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 的孔径层5;

[0032] E. 在孔径层5上制作掩模, 利用该掩模在孔径层内的两侧位置注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的p型杂质, 以制作厚度与孔径层厚度相同、宽度a为 $0.5 \sim 8 \mu\text{m}$ 的电流阻挡层6, 两个对称的电流阻挡层6之间形成孔径7;

[0033] F. 在两个电流阻挡层6和它们之间的孔径7上部外延GaN半导体材料, 形成厚度为 $0.04 \sim 0.2 \mu\text{m}$ 的沟道层8;

[0034] G. 在沟道层8上部外延GaN基宽禁带半导体材料, 形成厚度为 $5 \sim 50 \text{ nm}$ 的势垒层9;

[0035] H. 在势垒层9的上部外延p⁺型GaN半导体材料, 形成厚度为 $0.02 \sim 0.25 \mu\text{m}$ 的帽层10;

[0036] I. 在帽层10上制作掩模, 利用该掩模在帽层内的左右两侧进行刻蚀, 刻蚀至势垒层9上表面为止, 以形成台阶11, 两个台阶之间的帽层10与两个电流阻挡层6之间均存在水平方向上的交叠, 交叠长度大于 $0 \mu\text{m}$;

[0037] J. 在帽层10上部以及未被帽层10覆盖的势垒层9上部制作掩模, 利用该掩模在帽层上淀积金属, 以制作栅极12;

[0038] K. 在栅极12上部以及未被帽层10覆盖的势垒层9上部制作掩模, 利用该掩模在两边未被帽层覆盖的势垒层内注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的n型杂质, 以制作注入区13, 其中, 两个注入区的深度均大于势垒层厚度, 且小于沟道层与势垒层两者的总厚度;

[0039] L. 在两个注入区13上部、栅极12上部以及未被帽层10覆盖的势垒层9上部制作掩模, 利用该掩模在两个注入区上部淀积金属, 以制作源极14;

[0040] M. 在衬底1的背面和两个P柱2的背面淀积金属, 以制作肖特基漏极15, 完成整个器件的制作, 该肖特基漏极应选择功函数大于4.5eV的高功函数金属实现, 肖特基漏极与P柱之间的接触表现为欧姆接触特性, 而与衬底1之间的接触表现为肖特基特性。

[0041] 本发明器件与传统GaN基电流孔径异质结晶体管比较, 具有以下优点:

[0042] 1. 实现反向击穿电压持续增加。

[0043] 本发明由于采用了肖特基漏极, 使得器件漏极可以承受反向电压。在此基础上, 本发明由于在电流阻挡层与漏连接的P柱之间设有辅助层, 该辅助层和P柱构成本发明的半超结结构, 相比于现有的超结结构, 该辅助层可有效地隔离反向阻断时器件的源极和漏极。因

此,利用与漏连接的半超结结构可以有效调制反向阻断时器件内电场分布,提高器件的反向击穿电压。

[0044] 通过增加漏连接半超结的高度,即P柱的高度,可以持续显著增加器件内高电场区面积,并使得器件辅助层、P柱、漂移层、衬底中各处电场峰值近似相等,且小于GaN基宽禁带半导体材料的击穿电场,从而可实现击穿电压的持续增加。

[0045] 2.在提高器件反向击穿电压的同时,可显著减小器件的导通电阻。

[0046] 本发明由于采用了肖特基漏极和半超结结构,且半超结结构与肖特基漏极连接,使得器件正向导通时,P柱与辅助层始终处于正向偏置状态,P柱中会同时导通空穴电流和电子电流,增加了器件P柱中的总导通电流,而此时漂移层中的电子电流也会明显增加。因此,本发明器件的导通电阻会显著减小。且随着漏连接P柱高度的增加,器件的反向击穿电压持续增加,而导通电阻始终保持较低量值。

[0047] 以下结合附图和实施例进一步说明本发明的技术内容和效果。

附图说明

[0048] 图1是传统GaN基电流孔径异质结晶体管的结构图;

[0049] 图2是本发明漏连接半超结氮化镓基垂直型异质结功率器件的结构图;

[0050] 图3是本发明制作漏连接半超结氮化镓基垂直型异质结功率器件的流程示意图;

[0051] 图4是本发明制作漂移层和两个P柱的流程示意图;

[0052] 图5是对传统GaN基电流孔径异质结晶体管和本发明器件仿真所得的正向输出电流曲线和计算得到的导通电阻数值;

[0053] 图6是对本发明器件仿真所得的反向阻断状态下的二维电场分布图和器件左侧P柱的右边缘附近的纵向一维电场分布图。

具体实施方式

[0054] 参照图2,本发明漏连接半超结氮化镓基垂直型异质结功率器件是基于GaN基宽禁带半导体异质结结构的改进,其包括:肖特基漏极15,衬底1、漂移层3、孔径层5、左右两个对称的电流阻挡层6、沟道层8和势垒层9,该势垒层9上面两侧淀积有源极14,两个源极14下方设有通过离子注入形成的注入区13,源极14之间的势垒层上外延有帽层10,帽层10两侧刻有台阶11,帽层上面淀积有栅极12,两个对称的电流阻挡层6之间形成孔径5,其中:

[0055] 所述衬底1,采用n型GaN材料,且掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$,厚度u为4~20μm,宽度为1~10μm;

[0056] 所述漂移层3,位于衬底1上部,采用与衬底1相同掺杂浓度的n型GaN材料;漂移层3的厚度H_N为1~30μm,宽度W_N为1~10μm,该漂移层3与衬底1的两侧,有两个对称的P柱2;

[0057] 所述P柱2,采用p型GaN材料,其p型杂质的掺杂浓度与漂移层3相同,掺杂浓度为 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$;每个P柱2的厚度H_P等于漂移层3与衬底1的厚度总和,即H_P=H_N+u,H_P为5~50μm,每个P柱2的宽度W_P为漂移层3宽度W_N的一半,即W_P=0.5W_N,W_P为0.5~5μm,P柱2的上表面与漂移层3的上表面处于同一水平高度,P柱2的下表面与衬底1的下表面处于同一水平高度;

[0058] 两个P柱2上部、漂移层3的上部与两个电流阻挡层6下部、孔径层5下部之间有辅助

层4；

[0059] 所述辅助层4，采用n型GaN材料，其掺杂浓度的范围为 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ，厚度L为 $15 \sim 40 \mu\text{m}$ ；

[0060] 所述孔径层5，其厚度为 $0.5 \sim 2 \mu\text{m}$ ，掺杂浓度为 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ ；

[0061] 所述电流阻挡层6，位于孔径层5内的两侧，其厚度为 $0.5 \sim 2 \mu\text{m}$ ，宽度a为 $0.5 \sim 8 \mu\text{m}$ ；

[0062] 所述沟道层8，位于两个电流阻挡层6和孔径7上部，其厚度为 $0.04 \sim 0.2 \mu\text{m}$ ；

[0063] 所述势垒层9，位于沟道层8上部，其由若干层相同或不同的GaN基宽禁带半导体材料组成，厚度为 $5 \sim 50 \text{ nm}$ ；

[0064] 所述帽层10，采用p⁺型GaN材料，其与两个电流阻挡层6之间均存在水平方向上的交叠，交叠长度大于 $0 \mu\text{m}$ ，p型杂质的掺杂浓度为 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ ；

[0065] 所述肖特基漏极15，采用肖特基结构，位于衬底1与P柱2的下面，其与P柱之间的接触表现为欧姆接触特性，而与衬底1之间的接触表现为肖特基特性，该肖特基漏极15应选择功函数大于4.5eV的高功函数金属实现。

[0066] 参照图3，本发明制作漏连接半超结氮化镓基垂直型异质结功率器件的过程，给出如下三种实施例：

[0067] 实施例一：制作P柱厚度为 $5 \mu\text{m}$ 的漏连接半超结氮化镓基垂直型异质结功率器件。

[0068] 步骤1. 制作衬底1和p型掺杂区，如图3a。

[0069] 1.1) 采用掺杂浓度为 $5 \times 10^{15} \text{ cm}^{-3}$ 、宽度为 $2 \mu\text{m}$ 、厚度为 $4 \mu\text{m}$ 的n型GaN做衬底层；

[0070] 1.2) 先在衬底层上制作一次掩模，再使用离子注入技术在衬底层内的两侧位置注入p型杂质Mg，以形成平均掺杂浓度为 $5 \times 10^{15} \text{ cm}^{-3}$ 的两个p型掺杂区，每个p型掺杂区的厚度与衬底层的厚度相同，为 $4 \mu\text{m}$ ；每个p型掺杂区宽度W_P为 $0.5 \mu\text{m}$ ；未进行p型掺杂的衬底层部分形成衬底1，衬底1的宽度为 $1 \mu\text{m}$ ，厚度u为 $4 \mu\text{m}$ ；

[0071] 步骤2. 制作P柱2和漂移层3，如图3b。

[0072] 参照图5，本步骤的具体实现如下：

[0073] 2.1) 使用金属有机物化学气相沉积技术，在衬底1和步骤1.2) 中的两个p型掺杂区上第一次外延一层厚度H₁为 $1 \mu\text{m}$ 、掺杂浓度为 $5 \times 10^{15} \text{ cm}^{-3}$ 的n型GaN材料；

[0074] 2.2) 在步骤2.1) 外延的n型GaN材料上制作掩模，再使用离子注入技术在该层的n型GaN材料内的两侧位置注入p型杂质，以形成平均掺杂浓度为 $5 \times 10^{15} \text{ cm}^{-3}$ 的两个p型掺杂第一区，该两个第一区的厚度H_{P1}等于H₁，即 $1 \mu\text{m}$ ，宽度为W_P，即 $0.5 \mu\text{m}$ ；

[0075] 至此，步骤2中所有外延、且未进行p型掺杂的n型GaN材料部分构成漂移层3，步骤2中的两个第一区和步骤1中的两个p型掺杂区构成两个P柱2，漂移层3的厚度H_N为 $1 \mu\text{m}$ ，宽度W_N为 $1 \mu\text{m}$ ，每个P柱2的宽度为 $0.5 \mu\text{m}$ ，P柱2的厚度为 $5 \mu\text{m}$ ；

[0076] 金属有机物化学气相沉积技术的工艺条件为：温度为 950°C ，压强为40Torr，以SiH₄为掺杂源，氢气流量为4000sccm，氨气流量为4000sccm，镓源流量为 $100 \mu\text{mol}/\text{min}$ 。

[0077] 步骤3. 制作辅助层4，如图3c。

[0078] 使用金属有机物化学气相沉积技术，在两个P柱2和漂移层3上外延厚度L为 $15 \mu\text{m}$ 、掺杂浓度为 1×10^{15} 的n型GaN材料，形成辅助层4，其中：

[0079] 外延采用的工艺条件为：温度为 950°C ，压强为40Torr，以SiH₄为掺杂源，氢气流量为4000sccm，氨气流量为4000sccm，镓源流量为 $100 \mu\text{mol}/\text{min}$ 。

- [0080] 步骤4.在辅助层4上外延n型GaN,形成孔径层5,如图3d。
- [0081] 使用金属有机物化学气相沉积技术,在辅助层4上外延厚度为 $0.5\mu\text{m}$ 、掺杂浓度为 $1\times 10^{16}\text{cm}^{-3}$ 的n型GaN材料,形成孔径层5,其中:
- [0082] 外延采用的工艺条件为:温度为950℃,压强为40Torr,以SiH₄为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100\mu\text{mol}/\text{min}$ 。
- [0083] 步骤5.制作电流阻挡层6,如图3e。
- [0084] 5.1) 在孔径层5上制作一次掩模;
- [0085] 5.2) 使用离子注入技术,在孔径层内的两侧位置注入剂量为 $1\times 10^{15}\text{cm}^{-2}$ 的p型杂质Mg,形成厚度为 $0.5\mu\text{m}$,宽度a为 $0.5\mu\text{m}$ 的两个电流阻挡层6,两个对称的电流阻挡层6之间形成孔径7。
- [0086] 步骤6.外延GaN材料制作沟道层8,如图3f。
- [0087] 使用分子束外延技术,在两个电流阻挡层6和孔径5的上部外延厚度为 $0.04\mu\text{m}$ 的GaN材料,形成沟道层8;
- [0088] 所述分子束外延技术,其工艺条件为:真空度小于等于 $1.0\times 10^{-10}\text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源。
- [0089] 步骤7.外延Al_{0.5}Ga_{0.5}N,制作势垒层9,如图3g。
- [0090] 使用分子束外延技术,在沟道层8上外延厚度为5nm的Al_{0.5}Ga_{0.5}N材料,形成势垒层9,其中:
- [0091] 分子束外延的工艺条件为:真空度小于等于 $1.0\times 10^{-10}\text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源、高纯Al源;
- [0092] 步骤8.在势垒层9上部外延p⁺型GaN,形成帽层10,如图3h。
- [0093] 使用分子束外延技术,在势垒层9上部外延厚度为 $0.02\mu\text{m}$ 、p型杂质Mg的掺杂浓度为 $1\times 10^{18}\text{cm}^{-3}$ 的p⁺型GaN材料,形成帽层10;
- [0094] 所述分子束外延技术,其工艺条件为:真空度小于等于 $1.0\times 10^{-10}\text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源、高纯Mg源。
- [0095] 步骤9.在帽层10内的左、右两侧刻蚀制作台阶11,如图3i。
- [0096] 9.1) 在帽层10上制作掩模;
- [0097] 9.2) 使用反应离子刻蚀技术,在帽层10内的左、右两侧进行刻蚀,刻蚀至势垒层9上表面为止,形成台阶11,两个台阶之间的帽层10与两个电流阻挡层6之间在水平方向上的交叠长度均为 $0.2\mu\text{m}$;
- [0098] 反应离子刻蚀的工艺条件为:Cl₂流量为15sccm,压强为10mTorr,功率为100W。
- [0099] 步骤10.制作栅极12,如图3j。
- [0100] 10.1) 在帽层10上部、未被帽层10覆盖的势垒层9上部制作掩模;
- [0101] 10.2) 使用电子束蒸发技术,在帽层10上依次淀积金属Ni、Au、Ni,形成栅极12,其中:所淀积的金属厚度自下而上,Ni为 $0.02\mu\text{m}$ 、Au为 $0.2\mu\text{m}$ 、Ni为 $0.04\mu\text{m}$;
- [0102] 电子束蒸发的工艺条件为:真空度小于 $1.8\times 10^{-3}\text{Pa}$,功率范围为200~1000W,蒸发速率小于3Å/s。
- [0103] 步骤11.制作左、右两个注入区13,如图3k。
- [0104] 11.1) 在栅极12上部以及未被帽层10覆盖的势垒层9上部制作掩模;

[0105] 11.2) 使用离子注入技术,在势垒层内的两侧注入剂量为 $1 \times 10^{15} \text{ cm}^{-2}$ 的n型杂质Si,形成深度为 $0.01\mu\text{m}$ 的注入区13;

[0106] 11.2) 在 1200°C 温度下进行快速热退火。

[0107] 步骤12. 制作源极14,如图31。

[0108] 12.1) 在两个注入区13上部、栅极12上部以及未被帽层10覆盖的势垒层9上部制作掩模;

[0109] 12.2) 使用电子束蒸发技术,在两个注入区上部淀积Ti/Au/Ni组合金属,形成源极14,其中:所淀积的金属,自下而上,Ti的厚度为 $0.02\mu\text{m}$ 、Au的厚度为 $0.3\mu\text{m}$ 、Ni的厚度为 $0.05\mu\text{m}$;

[0110] 电子束蒸发的工艺条件为:真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为 $200 \sim 1000\text{W}$,蒸发速率小于 3\AA/s 。

[0111] 步骤13. 制作肖特基漏极15,如图3m。

[0112] 使用电子束蒸发技术,在整个衬底1的背面和两个P柱2的背面上淀积Ni金属,形成肖特基漏极15,其中:Ni的厚度为 $0.5\mu\text{m}$,完成整个器件的制作。

[0113] 淀积金属所采用的工艺条件为:真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为 $200 \sim 1000\text{W}$,蒸发速率小于 3\AA/s 。

[0114] 实施例二:制作P柱厚度为 $39\mu\text{m}$ 的漏连接半超结氮化镓基垂直型异质结功率器件。

[0115] 第一步. 制作衬底1和p型掺杂区,如图3a。

[0116] 1a) 采用掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 、宽度为 $4\mu\text{m}$ 、厚度为 $15\mu\text{m}$ 的n型GaN做衬底层;

[0117] 1b) 先在衬底层上制作一次掩模,再使用离子注入技术在衬底层内的两侧位置注入p型杂质Mg,以形成平均掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 的两个p型掺杂区,每个p型掺杂区的厚度与衬底层的厚度相同,为 $15\mu\text{m}$;每个p型掺杂区宽度 W_P 为 $1\mu\text{m}$;未进行p型掺杂的衬底层部分形成衬底1,衬底1的宽度为 $2\mu\text{m}$,厚度 u 为 $15\mu\text{m}$;

[0118] 第二步. 制作P柱2和漂移层3,如图3b。

[0119] 参照图5,本步骤的具体实现如下:

[0120] 2a) 使用金属有机物化学气相淀积技术,在衬底1和步骤1b) 中的两个p型掺杂区上第一次外延一层厚度 H_1 为 $8\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 的n型GaN材料;

[0121] 2b) 在步骤2a) 外延的n型GaN材料上制作掩模,再使用离子注入技术在该层n型GaN材料内的两侧位置注入p型杂质,以形成平均掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 的两个p型掺杂的第一区,该两个第一区的厚度 H_{P1} 等于 H_1 ,即 $8\mu\text{m}$,宽度为 W_P ,即 $1\mu\text{m}$;

[0122] 2c) 在步骤2a) 外延的n型GaN材料上部和两个第一区上第二次外延一层厚度 H_2 为 $8\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 的n型GaN材料;

[0123] 2d) 在步骤2c) 外延的n型GaN材料上制作掩模,再使用离子注入技术在该层n型GaN材料内的两侧位置注入p型杂质,以形成平均掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 的两个p型掺杂的第二区,该两个第二区的厚度 H_{P2} 等于 H_2 ,即 $8\mu\text{m}$,宽度为 W_P ,即 $1\mu\text{m}$;

[0124] 2e) 在步骤2c) 外延的n型GaN材料上部和两个第二区上第二次外延一层厚度 H_3 为 $8\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 的n型GaN材料;

[0125] 2f) 在步骤2e) 外延的n型GaN材料上制作掩模,再使用离子注入技术在该层n型GaN材料内的两侧位置注入p型杂质,以形成平均掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 的两个p型掺杂的第三

区,该两个第三区的厚度 H_{P3} 等于 H_3 ,即 $8\mu\text{m}$,宽度为 $1\mu\text{m}$;

[0126] 至此,第二步中所有外延、且未进行p型掺杂的n型GaN材料部分构成漂移层3,第二步中所有的p型掺杂的区域和步骤1中的两个p型掺杂区构成两个P柱2,漂移层3的厚度 H_N 为 $24\mu\text{m}$,宽度 W_N 为 $2\mu\text{m}$,每个P柱2的宽度 W_P 为 $1\mu\text{m}$,P柱2的厚度 H_P 为 $39\mu\text{m}$;

[0127] 金属有机物化学气相淀积技术的工艺条件为:温度为 950°C ,压强为 40Torr ,以 SiH_4 为掺杂源,氢气流量为 4000sccm ,氨气流量为 4000sccm ,镓源流量为 $100\mu\text{mol}/\text{min}$ 。

[0128] 第三步.制作辅助层4,如图3c。

[0129] 在温度为 950°C ,压强为 40Torr ,以 SiH_4 为掺杂源,氢气流量为 4000sccm ,氨气流量为 4000sccm ,镓源流量为 $100\mu\text{mol}/\text{min}$ 的工艺条件下,使用金属有机物化学气相淀积技术,在两个P柱2和漂移层3上外延厚度 L 为 $25\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{16}\text{cm}^{-3}$ 的n型GaN材料,形成辅助层4。

[0130] 第四步.在辅助层4上外延n型GaN,形成孔径层5,如图3d。

[0131] 在温度为 950°C ,压强为 40Torr ,以 SiH_4 为掺杂源,氢气流量为 4000sccm ,氨气流量为 4000sccm ,镓源流量为 $100\mu\text{mol}/\text{min}$ 的工艺条件下,使用金属有机物化学气相淀积技术,在辅助层4上外延厚度为 $1\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{17}\text{cm}^{-3}$ 的n型GaN材料,形成孔径层5。

[0132] 第五步.制作电流阻挡层6,如图3e。

[0133] 5a) 在孔径层5上制作一次掩模;

[0134] 5b) 使用离子注入技术,在孔径层内的两侧位置注入剂量为 $5 \times 10^{15}\text{cm}^{-2}$ 的p型杂质Mg,形成厚度为 $1\mu\text{m}$,宽度 a 为 $1.5\mu\text{m}$ 的两个电流阻挡层6,两个对称的电流阻挡层6之间形成孔径7。

[0135] 第六步.外延GaN材料制作沟道层8,如图3f。

[0136] 在真空度小于等于 $1.0 \times 10^{-10}\text{mbar}$,射频功率为 400W ,反应剂采用 N_2 、高纯Ga源的工艺条件下,使用分子束外延技术,在两个电流阻挡层6和孔径7的上部外延厚度为 $0.1\mu\text{m}$ 的GaN材料,形成沟道层8。

[0137] 第七步.外延 $\text{Al}_{0.25}\text{Ga}_{0.25}\text{N}$,制作势垒层9,如图3g。

[0138] 在真空度小于等于 $1.0 \times 10^{-10}\text{mbar}$,射频功率为 400W ,反应剂采用 N_2 、高纯Ga源、高纯Al源工艺条件下,使用分子束外延技术在沟道层8上外延厚度为 25nm 的 $\text{Al}_{0.25}\text{Ga}_{0.25}\text{N}$ 材料,形成势垒层9。

[0139] 第八步.在势垒层9上部外延 p^+ 型GaN,形成帽层10,如图3h。

[0140] 在真空度小于等于 $1.0 \times 10^{-10}\text{mbar}$,射频功率为 400W ,反应剂采用 N_2 、高纯Ga源、高纯Mg源工艺条件下,使用分子束外延技术,在势垒层9上部外延厚度为 $0.15\mu\text{m}$ 、p型杂质Mg的掺杂浓度为 $2 \times 10^{19}\text{cm}^{-3}$ 的 p^+ 型GaN材料,形成帽层10。

[0141] 第九步.在帽层10内的左、右两侧刻蚀制作台阶11,如图3i。

[0142] 9a) 在帽层10上制作掩模;

[0143] 9b) 在 Cl_2 流量为 15sccm ,压强为 10mTorr ,功率为 100W 工艺条件下,使用反应离子刻蚀技术,在帽层10内的左、右两侧进行刻蚀,刻蚀至势垒层9上表面为止,形成台阶11,两个台阶之间的帽层10与两个电流阻挡层6之间在水平方向上的交叠长度均为 $0.5\mu\text{m}$ 。

[0144] 第十步.制作栅极12,如图3j。

[0145] 10a) 在帽层10上部、未被帽层10覆盖的势垒层9上部制作掩模;

[0146] 10b) 在真空中度小于 1.8×10^{-3} Pa, 功率范围为200~1000W, 蒸发速率小于3Å/s工艺条件下, 使用电子束蒸发技术, 在帽层10上依次淀积金属Ni、Au、Ni, 形成栅极12, 其中: 所淀积的金属厚度自下而上, Ni为0.02μm、Au为0.2μm、Ni为0.04μm。

[0147] 第十一步. 制作左、右两个注入区13, 如图3k。

[0148] 11a) 在栅极12上部以及未被帽层10覆盖的势垒层9上部制作掩模;

[0149] 11b) 使用离子注入技术, 在势垒层内的两侧注入剂量为 $5 \times 10^{15} \text{ cm}^{-2}$ 的n型杂质Si, 形成深度为0.03μm的注入区13;

[0150] 11c) 在1200℃温度下进行快速热退火。

[0151] 第十二步. 制作源极14, 如图3l。

[0152] 12a) 在两个注入区13上部、栅极12上部以及未被帽层10覆盖的势垒层9上部制作掩模;

[0153] 12b) 在真空中度小于 1.8×10^{-3} Pa, 功率范围为200~1000W, 蒸发速率小于3Å/s工艺条件下, 使用电子束蒸发技术, 在两个注入区上部淀积Ti/Au/Ni组合金属, 形成源极14, 其中: 所淀积的金属, 自下而上, Ti的厚度为0.02μm、Au的厚度为0.3μm、Ni的厚度为0.05μm。

[0154] 第十三步. 制作肖特基漏极15, 如图3m。

[0155] 在真空中度小于 1.8×10^{-3} Pa, 功率范围为200~1000W, 蒸发速率小于3Å/s工艺条件下, 使用电子束蒸发技术, 在整个衬底1的背面和两个P柱2的背面上淀积Pt金属, 形成肖特基漏极15, 其中: Pt的厚度为0.7μm, 完成整个器件的制作。

[0156] 实施例三: 制作P柱厚度为50μm的漏连接半超结氮化镓基垂直型异质结功率器件。

[0157] 步骤A. 制作衬底1和p型掺杂区, 如图3a。

[0158] A1) 采用掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$ 、宽度为20μm、厚度为20μm的n型GaN做衬底层;

[0159] A2) 先在衬底层上制作一次掩模, 再使用离子注入技术在衬底层内的两侧位置注入p型杂质Mg, 以形成平均掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂区, 每个p型掺杂区的厚度为20μm; 每个p型掺杂区宽度w_P为5μm, 未进行p型掺杂的衬底层部分形成衬底1, 衬底1的宽度为10μm, 厚度u为20μm。

[0160] 步骤B. 制作P柱2和漂移层3, 如图3b。

[0161] 参照图5, 本步骤的具体实现如下:

[0162] B1) 使用金属有机物化学气相淀积技术, 在衬底1和步骤A2) 中的两个p型掺杂区上第一次外延一层厚度H₁为10μm、掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料;

[0163] B2) 在步骤B1) 外延的n型GaN材料上制作掩模, 再使用离子注入技术在该层n型GaN材料内的两侧位置注入p型杂质, 以形成平均掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第一区, 该两个第一区的厚度H_{P1}等于H₁, 即10μm, 宽度为5μm;

[0164] B3) 在步骤B1) 外延的n型GaN材料上部和两个第一区上第二次外延一层厚度H₂为10μm、掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料;

[0165] B4) 在步骤B3) 外延的n型GaN材料上制作掩模, 再使用离子注入技术在该层n型GaN材料内的两侧位置注入p型杂质, 以形成平均掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第二区, 该两个第二区的厚度H_{P2}等于H₂, 即10μm, 宽度为5μm;

[0166] B5) 在步骤B3) 外延的n型GaN材料上部和两个p型掺杂的第二区上第二次外延一层厚度H₃为10μm、掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料;

[0167] B6) 在步骤B5) 外延的n型GaN材料上制作掩模,再使用离子注入技术在该层n型GaN材料内的两侧位置注入p型杂质,以形成平均掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$ 的两个p型掺杂的第三区,该两个第三区的厚度 H_{P3} 等于 H_3 ,即 $10\mu\text{m}$,宽度为 $5\mu\text{m}$;

[0168] 至此,在步骤B中所有外延、且未进行p型掺杂的n型GaN材料部分构成漂移层3,步骤B中所有的p型掺杂的区域和步骤1中的两个p型掺杂区构成两个P柱2,漂移层3的厚度 H_N 为 $30\mu\text{m}$,宽度 W_N 为 $10\mu\text{m}$,每个P柱2的宽度 W_P 为 $5\mu\text{m}$,P柱2的厚度 H_P 为 $50\mu\text{m}$;

[0169] 金属有机物化学气相淀积技术的工艺条件为:温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100\mu\text{mol}/\text{min}$ 。如图3b。

[0170] 步骤C.采用温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100\mu\text{mol}/\text{min}$ 的工艺条件,使用金属有机物化学气相淀积技术,在两个P柱2上部和漂移层3上部外延厚度L为 $40\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{17} \text{ cm}^{-3}$ 的n型GaN材料,形成辅助层4,如图3c。

[0171] 步骤D.采用温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100\mu\text{mol}/\text{min}$ 的工艺条件,使用金属有机物化学气相淀积技术,在辅助层4上外延厚度为 $2\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{18} \text{ cm}^{-3}$ 的n型GaN材料,形成孔径层5,如图3d。

[0172] 步骤E.先在孔径层5上制作一次掩模,再使用离子注入技术,在孔径层内的两侧位置注入剂量为 $1 \times 10^{16} \text{ cm}^{-2}$ 的p型杂质Mg,形成厚度为 $2\mu\text{m}$,宽度a为 $8\mu\text{m}$ 的两个电流阻挡层6,两个对称的电流阻挡层6之间形成孔径7,如图3e

[0173] 步骤F.采用真空度小于等于 $1.0 \times 10^{-10} \text{ mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源的工艺条件,使用分子束外延技术,在两个电流阻挡层6和孔径7的上部外延厚度为 $0.2\mu\text{m}$ 的GaN材料,形成沟道层8,如图3f。

[0174] 步骤G.采用真空度小于等于 $1.0 \times 10^{-10} \text{ mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源、高纯Al源的工艺条件,使用分子束外延技术在沟道层8上外延厚度为 50nm 的 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 材料,形成势垒层9,其中,如图3g。

[0175] 步骤H.采用真空度小于等于 $1.0 \times 10^{-10} \text{ mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源、高纯Mg源的工艺条件,使用分子束外延技术,在势垒层9上部外延厚度为 $0.25\mu\text{m}$ 、p型杂质Mg的掺杂浓度为 $1 \times 10^{20} \text{ cm}^{-3}$ 的 p^+ 型GaN材料,形成帽层10,如图3h。

[0176] 步骤I.先在帽层10上制作掩模,再采用 Cl_2 流量为15sccm,压强为10mTorr,功率为100W的工艺条件,使用反应离子刻蚀技术,在帽层10内的左、右两侧进行刻蚀,刻蚀至势垒层9上表面为止,形成台阶11,两个台阶之间的帽层10与两个电流阻挡层6之间在水平方向上的交叠长度均为 $0.6\mu\text{m}$,如图3i。

[0177] 步骤J.先在帽层10上部、未被帽层10覆盖的势垒层9上部制作掩模,再采用真空度小于 $1.8 \times 10^{-3} \text{ Pa}$,功率范围为200~1000W,蒸发速率小于 3\AA/s 的工艺条件,使用电子束蒸发技术,在帽层10上依次淀积金属Ni、Au、Ni,形成栅极12,其中:所淀积的金属厚度自下而上,Ni为 $0.02\mu\text{m}$ 、Au为 $0.2\mu\text{m}$ 、Ni为 $0.04\mu\text{m}$,如图3j。

[0178] 步骤K.先在栅极12上部以及未被帽层10覆盖的势垒层9上部制作掩模,再使用离子注入技术,在势垒层内的两侧注入剂量为 $1 \times 10^{16} \text{ cm}^{-2}$ 的n型杂质Si,形成深度为 $0.06\mu\text{m}$ 的

注入区13，最后在1200℃温度下进行快速热退火，如图3k。

[0179] 步骤L.先在两个注入区13上部、栅极12上部以及未被帽层10覆盖的势垒层9上部制作掩模，再采用真空度小于 1.8×10^{-3} Pa，功率范围为200~1000W，蒸发速率小于3Å/s的工艺条件，使用电子束蒸发技术，在两个注入区上部淀积Ti/Au/Ni组合金属，形成源极14，其中：所淀积的金属，自下而上，Ti的厚度为0.02μm、Au的厚度为0.3μm、Ni的厚度为0.05μm，如图3l。

[0180] 步骤M.采用真空度小于 1.8×10^{-3} Pa，功率范围为200~1000W，蒸发速率小于3Å/s工艺条件，使用电子束蒸发技术在整个衬底1的背面和两个P柱2的背面上依次淀积Ni、Au金属，形成肖特基漏极15，其中：Ni的厚度为0.05μm、Au的厚度为0.7μm，完成整个器件的制作，如图3m。

[0181] 本发明的效果可通过以下仿真进一步说明。

[0182] 仿真1：对传统GaN基电流孔径异质结晶体管和本发明器件的正向输出电流进行仿真，结果如图5，其中器件的栅压均取4V。

[0183] 由图5可以看出：在相同的漏源电压下，本发明器件的正向输出电流均明显大于传统器件，通过计算得到本发明器件的导通电阻为 $2.0 \text{ m}\Omega \cdot \text{cm}^2$ ，而传统器件的导通电阻为 $3.1 \text{ m}\Omega \cdot \text{cm}^2$ ，说明本发明器件的正向输出特性明显好于传统器件的正向输出特性。

[0184] 仿真2：对本发明器件的反向阻断特性进行仿真，结果如图6，其中图6(a)为反向阻断状态下的二维电场分布图，图6(b)为器件左侧P柱的右边缘附近的纵向一维电场分布图。

[0185] 由图6(a)可以看出，由于采用了肖特基漏极及漏连接半超结，在-2778V的反向阻断状态下，本发明器件内部的高场区面积较大，且结合图6(b)可见，本发明器件中的电场分布很均匀，说明本发明器件可以有效实现反向阻断功能。

[0186] 以上描述仅是本发明的几个具体实施例，并不构成对本发明的限制，显然对于本领域的专业人员来说，在了解了本发明内容和原理后，能够在不背离本发明的原理和范围的情况下，根据本发明的方法进行形式和细节上的各种修正和改变，但是这些基于本发明的修正和改变仍在本发明的权利要求保护范围之内。

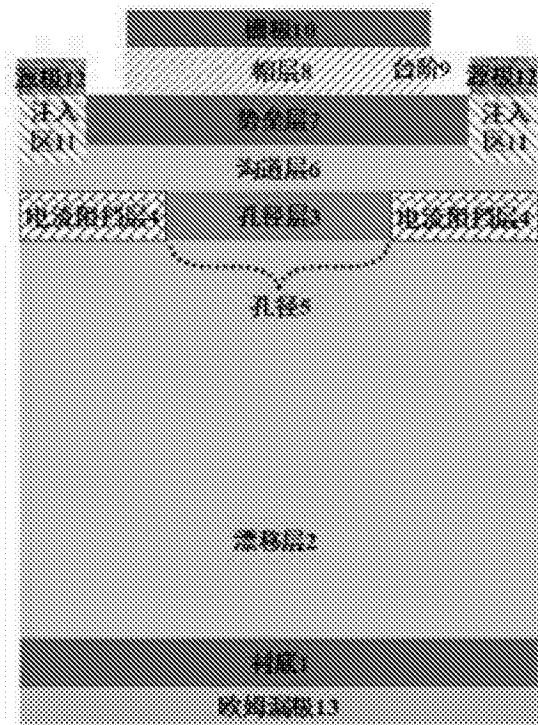


图1

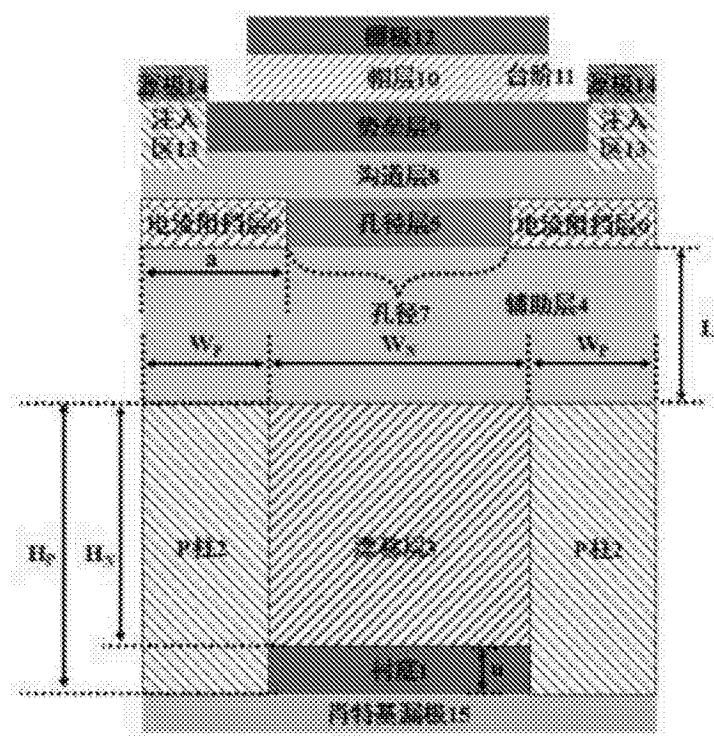


图2

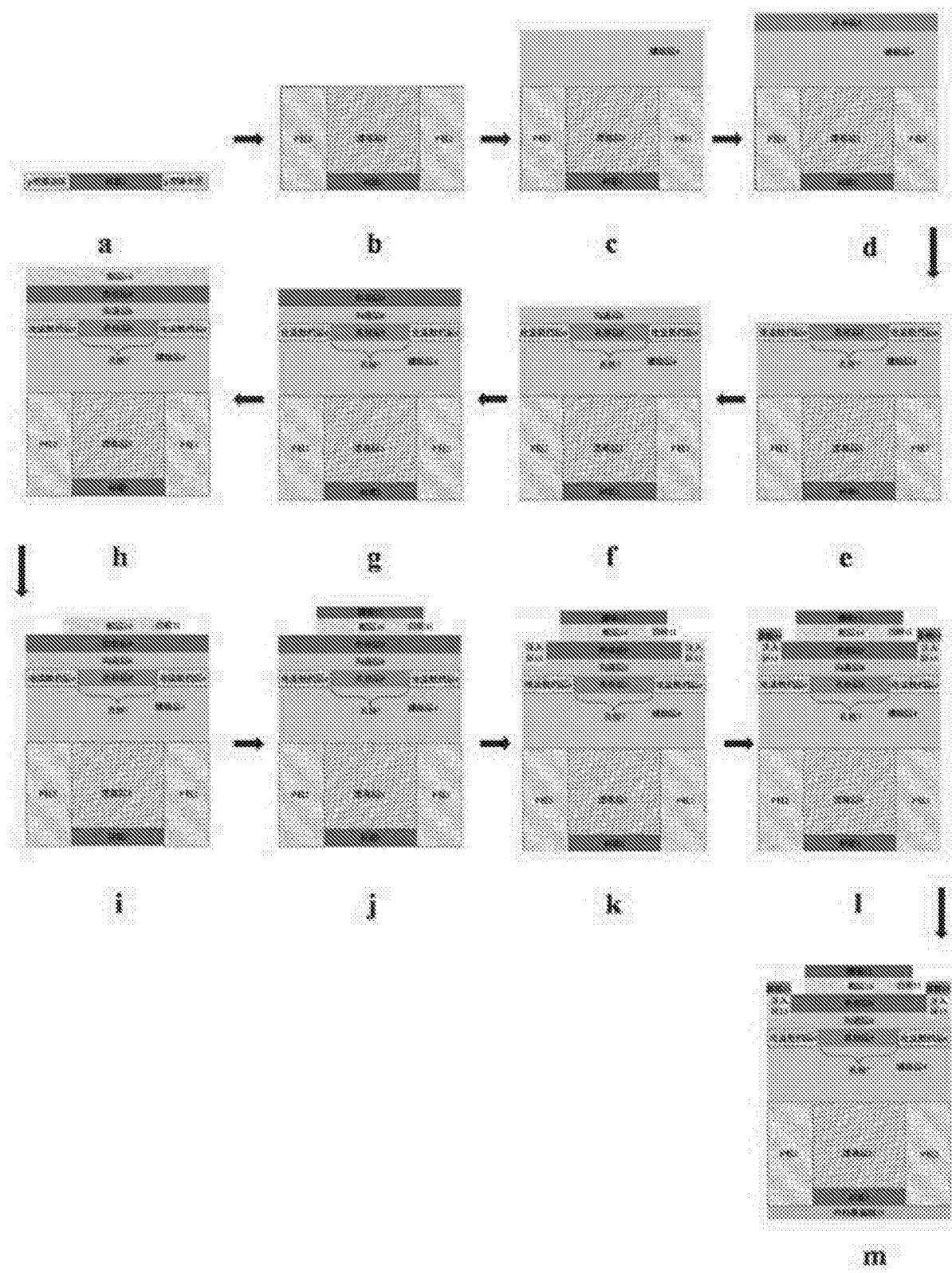


图3

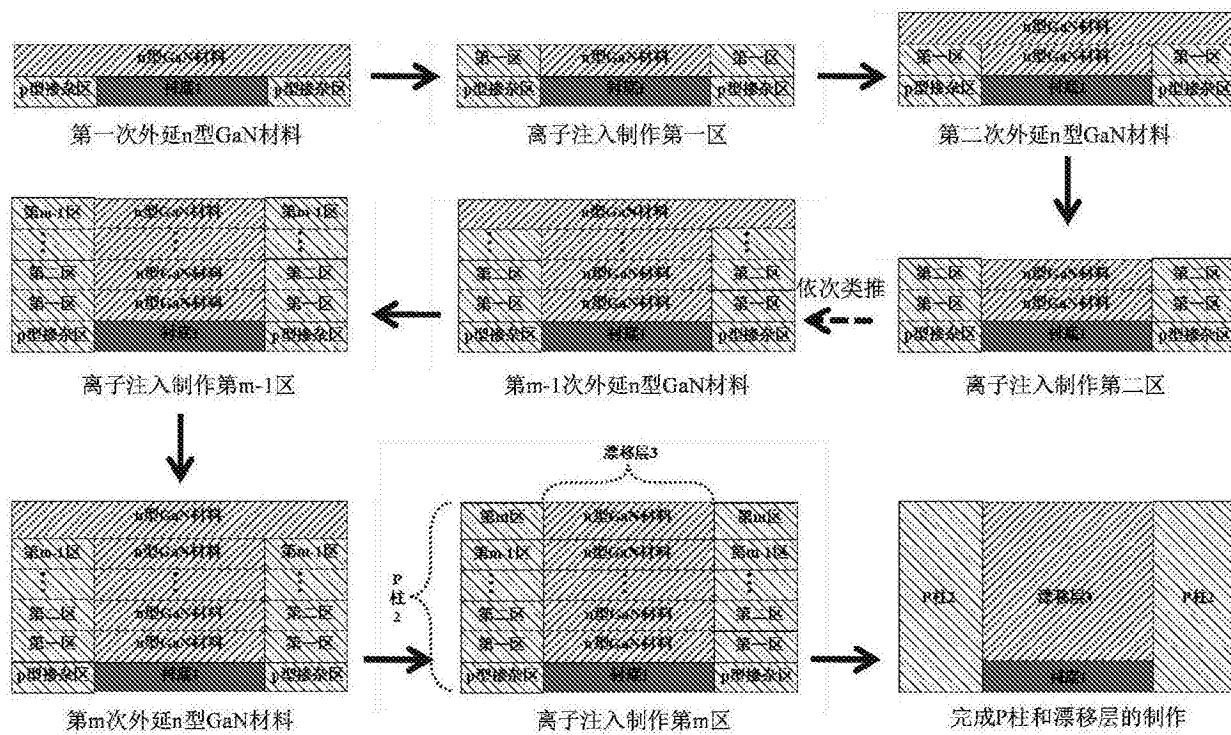


图4

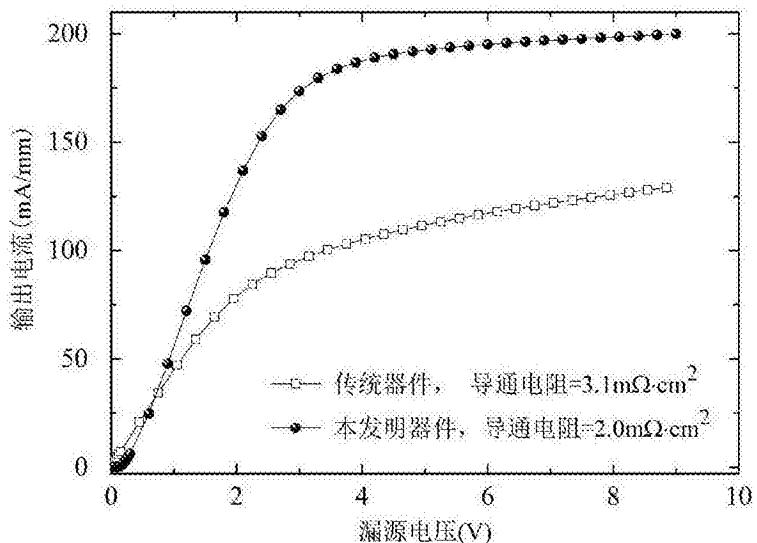
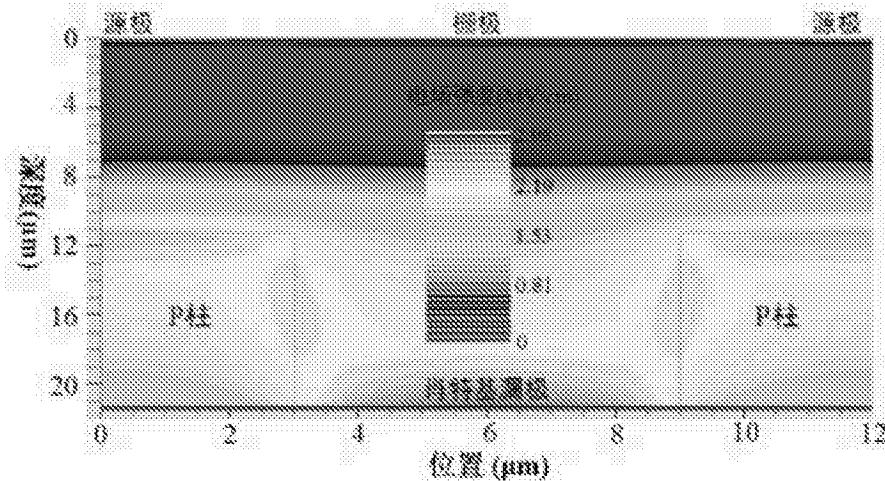
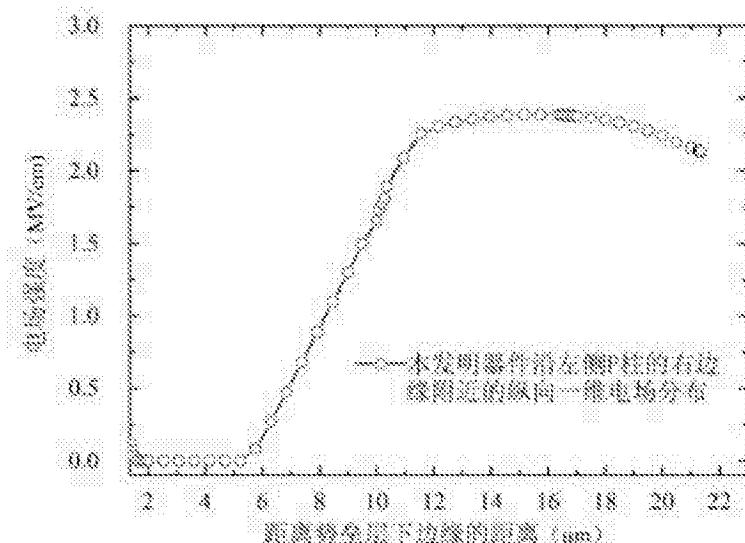


图5



(a)



(b)

图6