

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
4. April 2013 (04.04.2013)



(10) Internationale Veröffentlichungsnummer
WO 2013/045241 A1

(51) Internationale Patentklassifikation:

H03K 17/10 (2006.01) H03K 17/567 (2006.01)
H03K 17/06 (2006.01) H03K 17/74 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2012/067291

(22) Internationales Anmeldedatum:
5. September 2012 (05.09.2012)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2011 083 684.5
29. September 2011 (29.09.2011) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): SIEMENS AKTIENGESELLSCHAFT
[DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): MELKONYAN, Ashot
[AM/DE]; Kopischstr. 8, 81549 München (DE).

(74) Gemeinsamer Vertreter: SIEMENS
AKTIENGESELLSCHAFT; Postfach 22 16 34, 80506
München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN,
KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,
SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM,
ZW.

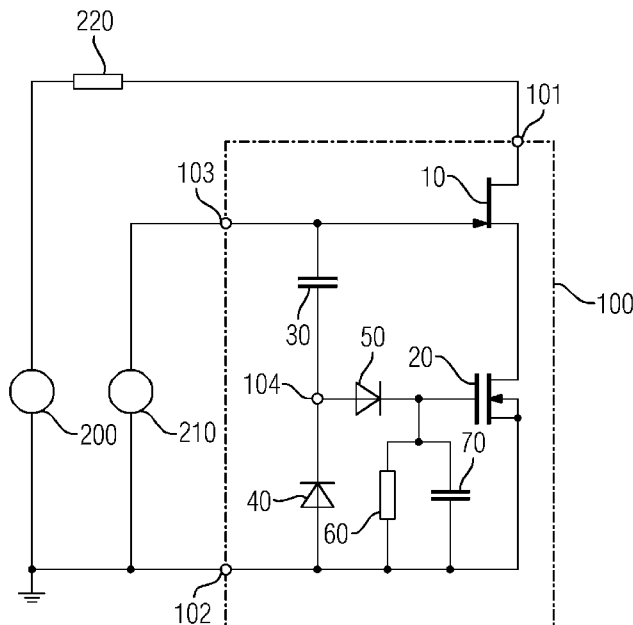
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ,
TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE,
SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: CIRCUIT STRUCTURE FOR CONTROLLING A JFET COMPONENT

(54) Bezeichnung : SCHALTUNGSaufbau zur ANSTEUERUNG EINES JFET-BAUTEILS



(57) Abstract: The invention relates to a structure for
controlling a JFET component (10), having a first node
(101), which can be used as the drain connection of the
arrangement, a second node (102), which can be used as
the source connection of the arrangement, a third node
(103), which can be used as the gate connection of the
arrangement, and a fourth node (104), and comprising a
junction-gate field effect transistor (10), the drain
connection of which is connected to the first node (101), a
further field effect transistor (20) series-connected to the
drain connection of the junction-gate field effect transistor (10), wherein the source
connection of the further field effect transistor (20) is
connected to the second node (102), a first diode (40),
which is arranged between the second (102) and fourth
nodes (104), a second diode (50), which is arranged
between the fourth node (104) and the gate connection of
the further field effect transistor (20), a capacitor (30),
which is arranged between the fourth node and the third
node, and a resistor (60), which is arranged between the
gate connection of the further field effect transistor and the
second node.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]



Es wird ein Aufbau zur Ansteuerung eines JFET-Bauteils (10) angegeben, mit • - einem ersten Knoten (101), der als Drain-Anschluss der Anordnung verwendbar ist, • - einem zweiten Knoten (102), der als Source-Anschluss der Anordnung verwendbar ist, • - einem dritten Knoten (103), der als Gate-Anschluss der Anordnung verwendbar ist, • - einem vierten Knoten (104), umfassend • - einen Sperrschicht-Feldeffekttransistor (10), dessen Drain-Anschluss mit dem ersten Knoten (101) verbunden ist, • - einen weiteren Feldeffekttransistor (20) in Serienschaltung zum Sperrschicht-Feldeffekttransistor (10), wobei der Source-Anschluss des weiteren Feldeffekttransistors (20) mit dem zweiten Knoten (102) verbunden ist, • - eine erste Diode (40), die zwischen dem zweiten (102) und vierten Knoten (104) angeordnet ist, • - eine zweite Diode (50), die zwischen dem vierten Knoten (104) und dem Gate-Anschluss des weiteren Feldeffekttransistors (20) angeordnet ist, • - einen Kondensator (30), der zwischen dem vierten Knoten und dem dritten Knoten angeordnet ist, • - einem Widerstand (60), der zwischen dem Gate-Anschluss des weiteren Feldeffekttransistors und dem zweiten Knoten angeordnet ist.

Beschreibung

SCHALTUNGS-AUFBAU ZUR ANSTEUERUNG EINES JFET-BAUTEILS

5 Die Erfindung betrifft einen Aufbau zur Ansteuerung eines JFET-Bauteils sowie ein JFET-Bauteil mit einer integrierten Ansteuerung.

10 Unipolare Feldeffekttransistoren wie JFETs (junction field effect transistors) und SITs (static induction transistors) mit kurzem Kanal und extrem hoher Dynamik werden zunehmend in Hochspannungs- und Hochleistungsanwendung eingesetzt. Speziell SiC-JFETs (siliziumkarbidbasierte JFETs) erfahren einen zunehmenden Einsatz in der Hochspannungstransformation.

15 Klassische JFETs sind stets selbstleitend, leiten also bei spannungsfreiem Gate den Strom zwischen Source-Anschluss und Drain-Anschluss. In manchen Anwendungen ist das problematisch, vor allem aus Sicherheitsgründen. Bei Situationen, in denen das Gate-Signal nicht vorhanden ist, beispielsweise
20 beim Anschalten und Abschalten eines Geräts, aber vor allem bei Gerätefehlern ist die Verwendung von selbstsperrenden Schaltern kaum zu umgehen.

25 Eine bekannte Lösung ist die Kaskodenschaltung. Allerdings kann diese Schaltung Probleme bei der Ansteuerung des Gates des Schalters erzeugen. Eine weitere Lösung ist aus der DE 10 2006 029 928 B3 bekannt. Bei der dortigen Schaltung wird der sich ergebende Transistor allerdings mit vier Pins betrieben,
30 d.h. seine Ansteuerung entspricht nicht der „normalen“ Ansteuerung eines Transistors mit drei Pins für Gate-, Drain- und Source-Anschluss.

Es ist Aufgabe der vorliegenden Erfindung, einen Aufbau zur
35 Ansteuerung eines JFET-Bauteils anzugeben. Diese Aufgabe wird durch eine Anordnung mit den Merkmalen von Anspruch 1 gelöst.

Die erfindungsgemäße Sperrschicht-Feldeffekttransistor-Anordnung umfasst

- einem ersten Knoten, der als Drain-Anschluss der Anordnung verwendbar ist,

5 - einem zweiten Knoten, der als Source-Anschluss der Anordnung verwendbar ist,

- einem dritten Knoten, der als Gate-Anschluss der Anordnung verwendbar ist,

- einem vierten Knoten,

10 umfassend

- einen Sperrschicht-Feldeffekttransistor, dessen Drain-Anschluss mit dem ersten Knoten verbunden ist,

- einen weiteren Feldeffekttransistor in Serienschaltung zum Sperrschicht-Feldeffekttransistor, wobei der Source-Anschluss
15 des weiteren Feldeffekttransistors mit dem zweiten Knoten verbunden ist,

- eine erste Diode, die zwischen dem zweiten und vierten Knoten angeordnet ist,

20 - eine zweite Diode, die zwischen dem vierten Knoten und dem Gate-Anschluss des weiteren Feldeffekttransistors angeordnet ist,

- einen Kondensator, der zwischen dem vierten Knoten und dem dritten Knoten angeordnet ist,

25 Die Knoten sind Schaltungsknoten der Sperrschicht-Feldeffekttransistor-Anordnung, die sich jeweils auf einem elektrischen Potential befinden. Die Knoten können auch elektrische Leiterabschnitte umfassen, sofern die elektrischen Widerstände dieser Leiterabschnitte vernachlässigbar
30 sind.

Die Sperrschicht-Feldeffekttransistor-Anordnung bildet zusammengekommen vorteilhaft ein Bauteil, das wie ein Transistor angeschlossen und verwendet werden kann; dabei bildet der
35 erste Knoten den Drain-Anschluss dieses Transistors, der zweite Knoten den Source-Anschluss dieses Transistors und der dritte Knoten den Gate-Anschluss. Das Bauteil basiert auf einem Sperrschicht-Feldeffekttransistor, agiert dabei aber vor-

teilhaft - im Gegensatz zum eigentlichen Sperrschicht-Feldeffekttransistor - selbstsperrend.

Bevorzugt ist der weitere Feldeffekttransistor ein MOSFET
5 ist. Weiterhin kann vorteilhaft zwischen dem Gate-Anschluss des weiteren Feldeffekttransistors und dem zweiten Knoten eine Parallelschaltung aus einem Widerstand und einem zweiten Kondensator angeordnet sein. Der Widerstand ermöglicht vorteilhaft ein schnelles Entladen der Gate-Kapazität des weiteren
10 Feldeffekttransistors.

Ein bevorzugtes, jedoch keinesfalls einschränkendes Ausführungsbeispiel für die Erfindung wird nunmehr anhand der Figur näher erläutert. Dabei sind die Merkmale schematisiert dargestellt.
15 Figur 1 zeigt eine beispielhafte Sperrschicht-Feldeffekttransistor-Anordnung 100. Diese umfasst einen ersten bis vierten Knoten 101...104. Dabei stellen der erste bis dritte Knoten 101...103 Verbindungen nach außen dar. Der erste Knoten 101 ist als Drain-Anschluss der Sperrschicht-Feldeffekttransistor-Anordnung 100 verwendbar,
20 der zweite Knoten 102 als Source-Anschluss der Sperrschicht-Feldeffekttransistor-Anordnung 100 und der dritte Knoten 103 als Gate-Anschluss.

25 Die Beschaltung ist in Figur mit einer beispielhaften allgemeinen Spannungsquelle 200, einer Last 220, die mit der Spannungsquelle 200 und dem ersten Knoten 101 verbunden ist, und einer Steuerspannungsquelle 210 dargestellt. Die Steuerspannungsquelle 210 ist mit dem dritten Knoten 103, also mit dem
30 Gate-Anschluss der Feldeffekttransistor-Anordnung 100 verbunden.

Intern umfasst die Feldeffekttransistor-Anordnung 100 einen SiC-basierten Vertical-Junction FET (VJFET) 10. Dieser ist
35 auf Seiten seines Drain-Anschlusses mit dem ersten Knoten 101 verbunden. Seitens des Source-Anschlusses ist der FET 10 mit dem Drain-Anschluss eines MOSFET 20 verbunden. Der Source-Anschluss des MOSFET 20 wiederum ist mit dem zweiten Knoten

102 verbunden, der den Source-Anschluss der Feldeffekttransistor-Anordnung 100 darstellt.

Der Gate-Anschluss des FET 10 ist direkt mit dem dritten Knoten 103 verbunden. Zwischen dem dritten Knoten 103 und dem vierten Knoten ist ein Kondensator 30 angeordnet. Zwischen dem vierten Knoten 104 und dem zweiten Knoten 102 ist eine erste Diode 40 angeordnet, sperrend aus Sicht des vierten Knoten. Zwischen dem vierten Knoten 104 und dem Gate-Anschluss des MOSFET 20 ist eine zweite Diode 50 angeordnet, sperrend aus Sicht des Gate-Anschlusses des MOSFET 20. Zwischen dem Gate-Anschluss des MOSFET 20 und dem zweiten Knoten 102 ist eine Parallelschaltung aus einem Widerstand 60 und einem Kondensator 70 angeordnet. Der Widerstand ermöglicht vorteilhaft ein schnelles Entladen der Gate-Kapazität des MOSFET 20.

Die Steuerspannungsquelle 210 ist eine Pulsspannungsquelle, die eine getaktete Spannung für zumindest eine begrenzte Zeitspanne liefert. Aus der Pulsspannung wird über den Kondensator 30 Energie zum Einschalten des MOSFET 20 bezogen. Nach einigen Zyklen der Pulsspannung ist die Spannung am Gate des MOSFET 20 auf das nötige Schwellniveau angestiegen und der MOSFET 20 wird und bleibt danach leitend. Danach arbeitet Sperrschicht-Feldeffekttransistor-Anordnung 100 im Wesentlichen wie der einzelne FET 10. Bei einem Ausfall der Pulsspannungsquelle oder Abschalten der Pulsspannung fällt die Spannung am Gate des MOSFET 20 wieder zurück auf Null und der MOSFET 20 schaltet ab. Dadurch wird vorteilhaft die selbst-sperrende Eigenschaft der gesamten Sperrschicht-Feldeffekttransistor-Anordnung 100 erreicht.

Vorteilhaft verhält sich die Feldeffekttransistor-Anordnung 100 weitgehend wie der FET 10, wobei jedoch bei Ausfall der Steuerspannung am Gate, d.h. bei spannungsfreiem Gate eine Stromleitung zwischen dem Drain-Anschluss, d.h. dem ersten Knoten 101 und Source-Anschluss, d.h. dem zweiten Knoten 102 unterbunden wird. Mit anderen Worten verhält sich die Feldeffekt-

fekttransistor-Anordnung 100 vorteilhaft wie ein selbstsperrender („normally-off“) Transistor.

Patentansprüche

1. Sperrschicht-Feldeffekttransistor-Anordnung (100) mit

- einem ersten Knoten (101), der als Drain-Anschluss der An-
5 ordnung verwendbar ist,

- einem zweiten Knoten (102), der als Source-Anschluss der
Anordnung verwendbar ist,

- einem dritten Knoten (103), der als Gate-Anschluss der An-
ordnung verwendbar ist,

10 - einem vierten Knoten (104),
umfassend

- einen Sperrschicht-Feldeffekttransistor (10), dessen Drain-
Anschluss mit dem ersten Knoten (101) verbunden ist,

15 - einen weiteren Feldeffekttransistor (20) in Serienschaltung
zum Sperrschicht-Feldeffekttransistor (10), wobei der Source-
Anschluss des weiteren Feldeffekttransistors (20) mit dem
zweiten Knoten verbunden ist,

- eine erste Diode (40), die zwischen dem zweiten und vierten
Knoten (102, 104) angeordnet ist,

20 - eine zweite Diode (50), die zwischen dem vierten Knoten
(104) und dem Gate-Anschluss des weiteren Feldeffekttransis-
tors (20) angeordnet ist,

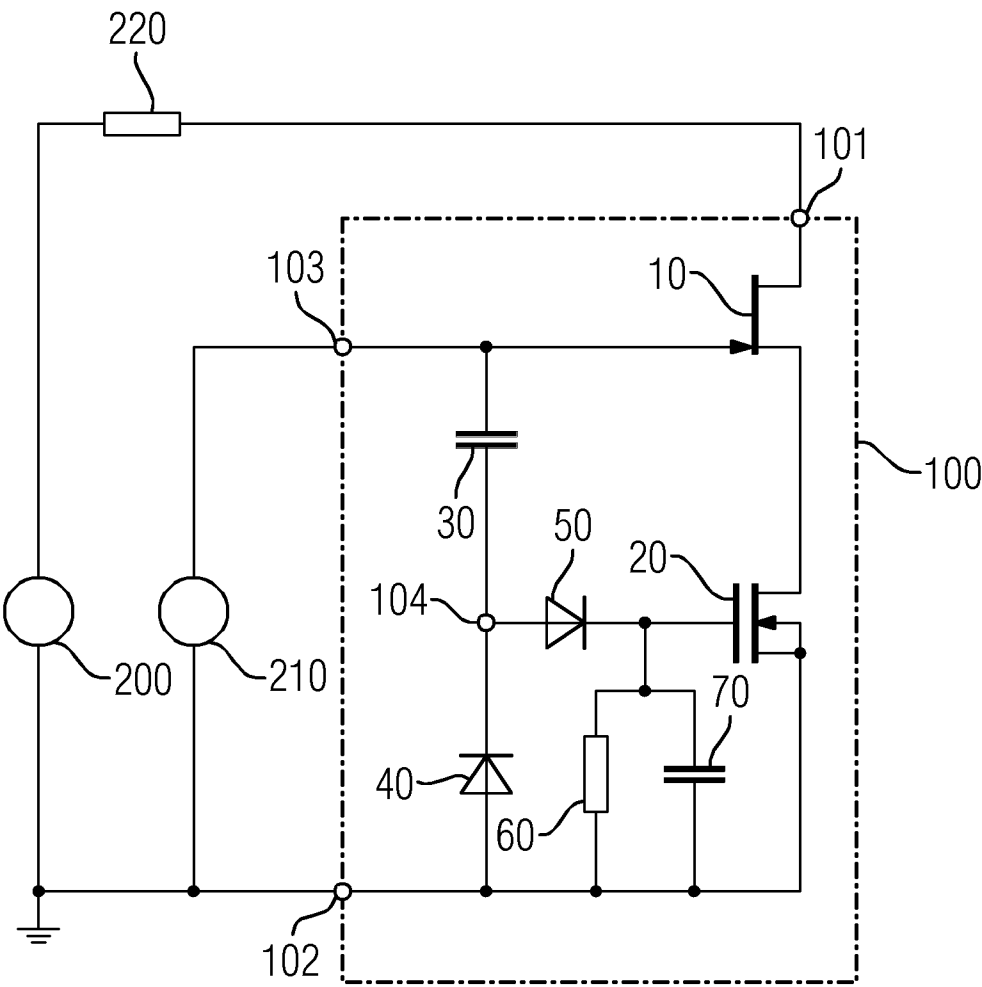
- einen Kondensator (30), der zwischen dem vierten Knoten
(104) und dem dritten Knoten (103) angeordnet ist.

25

2. Sperrschicht-Feldeffekttransistor-Anordnung (100) gemäß
Anspruch 1, wobei der weitere Feldeffekttransistor (20) ein
MOSFET ist.

30 3. Sperrschicht-Feldeffekttransistor-Anordnung gemäß Anspruch
1 oder 2, wobei zwischen dem Gate-Anschluss des weiteren
Feldeffekttransistors (20) und dem zweiten Knoten (102) eine
Parallelschaltung aus einem Widerstand (60) und einem zweiten
Kondensator (70) angeordnet ist.

35



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2012/067291

A. CLASSIFICATION OF SUBJECT MATTER

INV. H03K17/10 H03K17/06 H03K17/567
 ADD. H03K17/74

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 10 2006 029928 B3 (SIEMENS AG [DE]) 6 September 2007 (2007-09-06) cited in the application figures 1,2 -----	1-3
A	DE 10 2008 034688 A1 (SIEMENS AG [DE]) 28 January 2010 (2010-01-28) figure 4 -----	1-3
A	US 2008/218245 A1 (DELIGIANNIS JORGE [CA]) 11 September 2008 (2008-09-11) figure 4 -----	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

8 November 2012

Date of mailing of the international search report

19/11/2012

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Authorized officer

Simon, Volker

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2012/067291

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 102006029928 B3	06-09-2007	NONE	
DE 102008034688 A1	28-01-2010	NONE	
US 2008218245 A1	11-09-2008	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H03K17/10 H03K17/06 H03K17/567
 ADD. H03K17/74

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H03K

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 10 2006 029928 B3 (SIEMENS AG [DE]) 6. September 2007 (2007-09-06) in der Anmeldung erwähnt Abbildungen 1,2 -----	1-3
A	DE 10 2008 034688 A1 (SIEMENS AG [DE]) 28. Januar 2010 (2010-01-28) Abbildung 4 -----	1-3
A	US 2008/218245 A1 (DELIGIANNIS JORGE [CA]) 11. September 2008 (2008-09-11) Abbildung 4 -----	1-3



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

8. November 2012

Absendedatum des internationalen Recherchenberichts

19/11/2012

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Simon, Volker

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2012/067291

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102006029928 B3	06-09-2007	KEINE	
DE 102008034688 A1	28-01-2010	KEINE	
US 2008218245 A1	11-09-2008	KEINE	