



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

223619
(11) (B1)

[22] Přihlášeno 25 09 81
[21] (PV 7085-31)

[40] Zveřejněno 23 01 83

[45] Vydáno 15 03 86

(51) Int. Cl.³
H 03 K 13/02

[75]

Autor vynálezu

FRANC MIROSLAV ing., MÍČEK PETR ing., SEMECKÝ JIŘÍ ing., PRAHA

[54] Zapojení pro formátování chromatografického signálu

1

Vynález se týká zapojení pro formátování chromatografického signálu, které umožňuje přeměnit spojitý analogový signál z chromatografického detektoru na číslicový údaj v tvaru vhodném pro následné zpracování vyhodnocovacím počítačem.

Pro integraci a vyhodnocení chromatografického signálu se používá převodník napětí-číslo, obvykle pracující metodou dvojí integrace. Tímto převodníkem se přenáší měřená hodnota pouze v 50 % měřené doby a tím vzniká neurčitost v detekci rychlých změn chromatografického signálu a zároveň se dosahuje horšího potlačení poruch a šumu chromatografického detektoru.

K zvýšení přesnosti integrace a k účinnějšímu potlačení poruch a šumu chromatografického detektoru slouží zapojení podle vynálezu. Toto zapojení obsahuje řídicí obvod, časovací obvod, synchronizační klopný obvod, chromatografický detektor, převodník napětí-kmitočet, tvarovací obvod, čítač měřené hodnoty, klopný obvod přetečení, adresový dekodér, paměť měřené hodnoty, vysílač stavové informace, paměť ovládacích signálů a vyhodnocovací počítač.

Podstata vynálezu spočívá v tom, že nastavovací výstup řídicího obvodu je připojen na nastavovací vstup synchronizačního klopného obvodu, jehož synchronizační vý-

2

stup je připojen na synchronizační vstup tvarovacího obvodu a na synchronizační vstup řídicího obvodu. Hodinový výstup řídicího obvodu je spojen s hodinovým vstupem časovacího obvodu a stavový výstup tohoto obvodu je spojen se stavovým vstupem synchronizačního klopného obvodu.

Analogový výstup chromatografického detektoru je připojen na analogový vstup převodníku napětí-kmitočet a jeho kmitočtový výstup je spojen s kmitočtovým vstupem tvarovacího obvodu. Kmitočtový výstup tvarovacího obvodu je připojen na kmitočtový vstup čítače měřené hodnoty, jehož přenosový výstup je připojen na nastavovací vstup klopného obvodu přetečení. Stavový výstup klopného obvodu přetečení je spojen se stavovým vstupem vysílače stavové informace. Jeho skupinový datový vstup/výstup je připojen na skupinový datový vstup/výstup paměti měřené hodnoty, na skupinový datový vstup/výstup paměti ovládacích signálů a na skupinový datový vstup/výstup vyhodnocovacího počítače. Skupinový adresový výstup vyhodnocovacího počítače je spojen se skupinovým adresovým vstupem adresového dekodéru. Jeho nulovací výstup je připojen na nulovací vstup klopného obvodu přetečení. První čtecí výstup adresového dekodéru je spojen s čtecím vstupem paměti měřené

hodnoty a druhý čtecí výstup adresového dekodéru je připojen na čtecí vstup vysílače stavové informace. Přepisovací výstup adresového dekodéru je spojen s přepisovacím vstupem paměti ovládacích signálů. První přepínací výstup této paměti je připojen na přepínací vstup převodníku napětí-kmitočet a druhý přepínací vstup paměti ovládacích signálů je připojen na přepínací vstup tvarovacího obvodu. Nulovací výstup řídicího obvodu je připojen na nulovací vstup časovacího obvodu a na nulovací vstup čítače měřené hodnoty. Jeho skupinový datový výstup je spojen se skupinovým datovým vstupem paměti měřené hodnoty. Přepisovací výstup řídicího obvodu je spojen s přepisovacím vstupem paměti měřené hodnoty a testovací výstup řídicího obvodu je připojen na testovací vstup tvarovacího obvodu.

Zapojení podle vynálezu přispívá k zvýšení přesnosti integrace a vyhodnocení chromatografického signálu a k odstranění chyb vznikajících převodem analogového signálu na číslo metodou dvojí integrace a zároveň k účinnějšímu potlačení poruch a šumu chromatografického detektoru.

Příklad zapojení podle vynálezu je znázorněn na připojeném výkresu.

Řídicí obvod 1 je sekvenční obvod pro generování ovládacích signálů. Časovací obvod 2 je binární synchronní čítač odměřující dobu měření analogového signálu z chromatografického detektoru. Synchronizační klopný obvod 3 synchronizuje činnost řídicího obvodu 1 a tvarovacího obvodu 6. Chromatografický detektor 4 je zdrojem analogového signálu. Převodník 5 napětí-kmitočet pracuje na principu vyrovnávání náboje a převádí spojitě vstupní analogový signál na výstupní kmitočet. Tvarovací obvod 6 je monostabilní klopný obvod s přepínačem vstupního signálu z převodníku 5 napětí-kmitočet a testovacího kmitočtu z řídicího obvodu 1. Čítač 7 měřené hodnoty je binární synchronní čítač, v němž se integruje a formátuje měřená hodnota, převedená převodníkem 5 napětí-kmitočet na sled pulsů. Klopný obvod 8 přetečení je klopný obvod indikující naplnění čítače 7 měřené hodnoty. Adresový dekodér 9 vybírá se skupinového adresového vstupu 095 jednotlivé výstupy.

Paměť 10 měřené hodnoty je pomocná

paměť pro přechodné uložení měřené hodnoty z čítače 7 měřené hodnoty. Vysílač 11 stavové informace je přizpůsobovací obvod, který umožňuje čtení stavové informace vyhodnocovacím počítačem 13. Paměť 12 ovládacích signálů je pomocná paměť pro uložení ovládacích signálů k ovládání převodníku 5 napětí-kmitočet a tvarovacího obvodu 6. Vyhodnocovací počítač 13 je počítač, který přebírá formátovaná data z paměti 10 měřené hodnoty a provádí jejich vyhodnocení.

Zapojení podle vynálezu se opírá o spojitý převod analogového signálu na kmitočet úměrný vstupnímu napětí-kmitočet. Tento převodník pracuje metodou vyrovnávání nábojů. Kmitočet získaný z převodníku 5 napětí-kmitočet je vytvářen tvarovacím obvodem 6 a načítán do čítače 7 měřené hodnoty. Dosažení maximální hodnoty je indikováno nastavením klopného obvodu 8 přetečení. Měřicí perioda je určena časovacím obvodem 2. Činnost řídicího obvodu 1 a tvarovacího obvodu 6 je synchronizována synchronizačním obvodem 3. Adresový dekodér 9 je řízen vyhodnocovacím počítačem 13 a vybírá jednotlivé vstupní/výstupní obvody podle požadavku vyhodnocovacího programu. Paměť 12 ovládacích signálů řídí přepínání zisku převodníku 5 napětí-kmitočet, přepínání kmitočtového vstupu 061 a testovacího vstupu 062 tvarovacího obvodu 6. Vysílač 11 stavové informace na pokyn z adresového dekodéru 9 předává informaci o dosažení maximální hodnoty vyhodnocovacímu počítači 13.

Zapojení podle vynálezu se s výhodou využije při vyhodnocování chromatografického signálu pomocí počítače. Způsobem převodu metodou vyrovnávání náboje a následným zpracováním zapojení podle vynálezu dochází ke ztrátě pouze několika pulsů měřené kmitočtu při přepisu načítané hodnoty do paměti měřené hodnoty, a tím i k minimální ztrátě informace o měřené veličině oproti zpracování chromatografického signálu metodou dvojí integrace, kde měřicí interval je srovnatelný s vyhodnocováním. Tím se zvýší přesnost vyhodnocení při současném vyšším potlačení šumu a poruch, které se vyskytují v chromatografickém signálu.

PŘEDMĚT VYNÁLEZU

Zapojení pro formátování chromatografického signálu sestávající z řídicího obvodu, časovacího obvodu, synchronizačního klopného obvodu, chromatografického detektoru, převodníku napětí-kmitočet, tvarovacího obvodu, čítače měřené hodnoty, klopného obvodu přetečení, dekodéru adresy, paměti měřené hodnoty, vysílače stavové informace, paměti ovládacích signálů a vyhodnocovacího počítače, vyznačující se tím, že nastavo-

vací výstup {011} řídicího obvodu {1} je připojen na nastavovací vstup {032} synchronizačního klopného obvodu {3}, jehož synchronizační výstup {033} je připojen na synchronizační vstup {063} tvarovacího obvodu {6} a na synchronizační vstup {015} řídicího obvodu {1}, jehož hodinový výstup {012} je spojen s hodinovým vstupem {021} časovacího obvodu {2}, jehož stavový výstup

(022) je spojen se stavovým vstupem (031) synchronizačního klopného obvodu (3) a analogový výstup (041) chromatografického detektoru (4) je připojen na analogový vstup (051) převodníku (5) napětí-kmitočet a jeho kmitočtový výstup (052) je spojen s kmitočtovým vstupem (061) tvarovacího obvodu (6), jehož kmitočtový výstup (064) je spojen s kmitočtovým vstupem (071) čítače (7) měřené hodnoty, jehož přenosový výstup (073) je připojen na nastavovací vstup (081) klopného obvodu (8) přetečení, jehož stavový výstup (082) je spojen se stavovým vstupem (111) vysílače (11) stavové informace, jehož skupinový datový vstup/výstup (112) je připojen na skupinový datový vstup/výstup (103) paměti (10) měřené hodnoty, na skupinový datový vstup/výstup (124) paměti (12) ovládacích signálů a na skupinový datový vstup/výstup (132) vyhodnocovacího počítače (13), jehož skupinový adresový výstup (131) je spojen se skupinovým adresovým vstupem (095) adresového dekodéru (9), jehož nulovací výstup (091) je spojen s nulovacím vstupem (083) klopného obvodu (8) přetečení a první čtecí výstup (092)

adresového dekodéru (9) je spojen s čtecím vstupem (104) paměti (10) měřené hodnoty a druhý čtecí výstup (093) adresového dekodéru (9) je připojen na čtecí vstup (113) vysílače (11) stavové informace a přepisovací výstup (094) adresového dekodéru (9) je spojen s přepisovacím vstupem (123) paměti (12) ovládacích signálů, jejíž první přepínací výstup (121) je připojen na přepínací vstup (053) převodníku (5) napětí-kmitočet a druhý přepínací vstup (122) paměti (12) ovládacích signálů je připojen na přepínací vstup (065) tvarovacího obvodu (6) a nulovací výstup (013) řídicího obvodu (1) je připojen na nulovací vstup (023) časového obvodu (2) a na nulovací vstup (072) čítače (7) měřené hodnoty, jehož skupinový datový výstup (074) je spojen se skupinovým datovým vstupem (102) paměti (10) měřené hodnoty a přepisovací výstup (014) řídicího obvodu (1) je spojen s přepisovacím vstupem (101) paměti (10) měřené hodnoty a testovací výstup (016) řídicího obvodu (1) je připojen na testovací vstup (062) tvarovacího obvodu (6).

