

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-198962

(P2011-198962A)

(43) 公開日 平成23年10月6日(2011.10.6)

(51) Int.Cl.

H01L 33/30 (2010.01)

F I

H01L 33/00 184

テーマコード (参考)

5F041

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2010-63288 (P2010-63288)
 (22) 出願日 平成22年3月18日 (2010.3.18)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 赤池 康彦
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 西脇 若菜
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5F041 AA44 CA08 CA34 CA35 CA46
 CA73 CA76 CA77

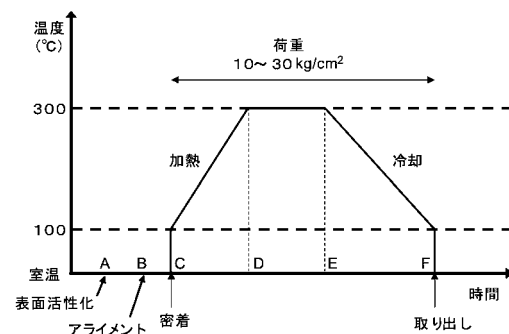
(54) 【発明の名称】 半導体発光素子の製造方法

(57) 【要約】

【課題】本発明は、2つの基板を接合する際の割れやクラックを抑制し、製造歩留りを向上させる半導体発光素子の製造方法を提供することを目的とする。

【解決手段】第1の基板、半導体層及び第1の金属層を有する第1の積層体と、第2の基板及び第2の金属層を有する第2の積層体と、を貼り合わせる半導体発光素子の製造方法であって、前記第1の積層体の劈開方向と前記第2の積層体の劈開方向とをずらし、前記第1の金属層と前記第2の金属層とを接触させて重ね合わせる工程と、前記第1の積層体と前記第2の積層体との間に加重を加えた状態で所定の温度に昇温し、前記第1の積層体と前記第2の積層体とを貼り合わせる工程と、を備えることを特徴とする半導体発光素子の製造方法が提供される。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 の基板、半導体層及び第 1 の金属層を有する第 1 の積層体と、第 2 の基板及び第 2 の金属層を有する第 2 の積層体と、を貼り合わせる半導体発光素子の製造方法であって、前記第 1 の積層体の劈開方向と前記第 2 の積層体の劈開方向とをずらし、前記第 1 の金属層と前記第 2 の金属層とを接触させて重ね合わせる工程と、

前記第 1 の積層体と前記第 2 の積層体との間に加重を加えた状態で昇温し、前記第 1 の積層体と前記第 2 の積層体とを貼り合わせる工程と、

を備えたことを特徴とする半導体発光素子の製造方法。

【請求項 2】

前記第 1 の積層体及び前記第 2 の積層体は、重ね合わされた状態で 250 以上、350 以下の温度に昇温されることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 3】

前記第 1 の積層体と前記第 2 の積層体とを、100 以下の温度で重ね合わせることを特徴とする請求項 1 または 2 に記載の半導体発光素子の製造方法。

【請求項 4】

前記第 1 の金属層及び前記第 2 の金属層の少なくともいずれかは、金 (Au) を含むことを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の半導体発光素子の製造方法。

【請求項 5】

前記第 1 の積層体と前記第 2 の積層体との間に加えられる加重は、10 kg/cm² 以上、30 kg/cm² 以下であることを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の半導体発光素子の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体発光素子の製造方法に関する。

【背景技術】**【0002】**

発光ダイオード (Light Emitting Diode: LED) など半導体発光素子では、発光層を含む半導体層を成長基板から分離し、別の基板に移し替える製造方法が用いられている。例えば、特許文献 1 には、発光層を含む III 族窒化物半導体層を成長基板から分離し、成長基板とは異なる基板に設けることにより、生産性を向上させることができる III 族窒化物半導体発光素子が記載されている。

【0003】

しかしながら、半導体層を異なる基板上に移し替える際に、2 つの基板を重ね合わせて接合するために加えられる加重により、基板の割れやクラックを生じる場合があり、製造歩留りを低下させる要因となっている。そこで、基板の割れやクラックを防ぐことができる製造方法が求められている。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2005 - 303287 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

本発明は、2 つの基板を接合する際の割れやクラックを抑制し、製造歩留りを向上させる半導体発光素子の製造方法を提供することを目的とする。

【課題を解決するための手段】**【0006】**

10

20

30

40

50

本発明の一態様によれば、第１の基板、半導体層及び第１の金属層を有する第１の積層体と、第２の基板及び第２の金属層を有する第２の積層体と、を貼り合わせる半導体発光素子の製造方法であって、前記第１の積層体の劈開方向と前記第２の積層体の劈開方向とをずらし、前記第１の金属層と前記第２の金属層とを接触させて重ね合わせる工程と、前記第１の基板と前記第２の基板との間に加重を加えた状態で昇温し、前記第１の積層体と前記第２の積層体とを貼り合わせる工程と、を備えたことを特徴とする半導体発光素子の製造方法が提供される。

【発明の効果】

【０００７】

本発明によれば、２つの基板を接合する際の割れやクラックを抑制し、製造歩留りを向上させる半導体発光素子の製造方法を実現することができる。

10

【図面の簡単な説明】

【０００８】

【図１】本発明の一実施形態に係る半導体発光素子の製造方法を模式的に示す工程断面図である。（ａ）は、第１の積層体の断面を示し、（ｂ）は、第２の積層体の断面を示している。（ｃ）は、第２の積層体の上に第１の積層体を重ね合わせた状態を示す断面図である。（ｄ）は、半導体層を第２の積層体の上に残し、第１の基板を除去した状態を示す断面図である。

【図２】一実施形態に係る半導体発光素子の製造工程で実施される基板接合プロセスを説明する模式図である。

20

【図３】一実施形態に係る半導体発光素子の製造方法の作用効果を説明する模式図である。（ａ）は、比較例に係る製造方法の作用を示す模式図であり、（ｂ）は、本実施形態に係る作用効果を示す模式図である。

【図４】図１に続く半導体発光素子の製造工程を示す模式図である。（ａ）は、第２の基板を個々の発光素子チップに分割した状態を示す模式図であり、（ｂ）は、発光素子チップの構造を模式的に示す斜視図である。

【図５】別の実施態様に係る半導体発光素子の製造方法を模式的に示す斜視図である。

【発明を実施するための形態】

【０００９】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下の実施形態では、図面中の同一部分には同一番号を付してその詳しい説明は適宜省略し、異なる部分について適宜説明する。

30

【００１０】

本発明の一実施形態に係る半導体発光素子の製造方法は、第１の基板上に第１の金属層が設けられた第１の積層体と、第２の基板上に第２の金属層が設けられた第２の積層体とを、第１の基板の劈開方向と第２の基板の劈開方向とをずらし、第１の金属層と第２の金属層とを接触させて重ね合わせる工程を備えている。第１の積層体は、第１の基板上に発光光を放射する発光層を含む半導体層を有し、第１の金属層は半導体層の上に設けられている。

【００１１】

40

さらに、第１の積層体と第２の積層体との間に加重を加えた状態で昇温し、第１の積層体と第２の積層体を貼り合わせる工程と、を備えている。

【００１２】

図１は、本発明の一実施形態に係る半導体発光素子の製造方法を模式的に示す工程断面図である。本実施形態に係る製造方法では、例えば、第１の基板をｎ型ＧａＡｓ基板１０とし、第２の基板をｐ型シリコン（Ｓｉ）基板３０として説明する。さらに、ｎ型ＧａＡｓ基板１０上に設けられる半導体層１２は、例えば、ＩｎＧａＡｌＰ系半導体を含むものである。

【００１３】

図１（ａ）は、半導体層１２が設けられた第１の積層体２０の断面を示し、図１（ｂ）

50

は、第2の積層体40の断面を示している。図1(c)は、第1の積層体20の上に第2の積層体40を重ね合わせた状態を示す断面図である。図1(d)は、半導体層12を第2の積層体40上に残し、n型GaAs基板10を除去した状態を示す断面図である。

【0014】

図1(a)に示すように、n型GaAs基板10の上に、InGaAlPなどを含む半導体層12を、例えば、MOCVD(Metal Organic Chemical Vapor Deposition)法またはMBE(Molecular Beam Epitaxy)法などを用いて形成し、さらに第1の金属層15を形成し、第1の積層体20とする。

一方、図1(b)に示すように、p型Si基板30の上に、第2の金属層35を、真空蒸着法などを用いて形成し、第2の積層体40とする。

【0015】

半導体層12に含まれる発光層13がInGaAlP系半導体の場合、半導体発光素子は、黄緑から赤色の波長範囲の可視光を放出することが可能となる。InGaAlP系化合物結晶からなる半導体層12は、GaAsに格子整合するので容易に良好な結晶を設けることができる。

【0016】

次に、図1(c)に示すように、第2の積層体40の上に第1の積層体20を重ね合わせ、接合界面47において第1の金属層15及び第2の金属層35を接触させる。さらに、所定の基板接合プロセスを施して、第1の積層体20と第2の積層体40とを貼り合わせる。この際、第1の積層体20の劈開方向と、第2の積層体40の劈開方向と、をずらして接合する。

【0017】

例えば、第1の積層体20の劈開方向は、n型GaAs基板10の劈開方向に一致し、第2の積層体40の劈開方向40は、p型Si基板30の劈開方向に一致する。したがって、n型GaAs基板10の主面25が(100)面であり、p型Si基板30の主面45が(100)面であれば、n型GaAs基板10の110方向と、p型Si基板30の110方向とをずらして重ね合わせ、接合させる。

【0018】

第1の金属層15または第2の金属層35には、例えば、金(Au)およびAuIn、AuSn等、Auを含む金属を用いることができる。第1の金属層15及び第2の金属層35をTi/Pt/Auの多層構造として、AuとAuとの間で接合強度を高めることもできる。さらに、InSn等のハンダ合金を用いても良い。第1の金属層15または第2の金属層35は、バリアメタルとしてタングステン(W)を含むこともできる。第1の金属層および第2の金属層を、例えば、銅(Cu)またはアルミニウム(Al)とすることもできる。

【0019】

次に、図2を参照して、基板接合プロセスの一例について説明する。

本実施形態に係る基板接合プロセスは、例えば、真空中において、第1の積層体20および第2の積層体40を重ね合わせた後、加熱して接合する。図2は、その過程における処理温度の時間変化を模式的に示している。

【0020】

まず、第1の積層体20および第2の積層体40を、図示しない真空容器の内部に載置し真空容器内を低圧状態にする。

次に、例えば、第1の積層体20と第2の積層体40とを重ね合わせる前に、表面の活性化を行うことができる。(表面活性化A)

具体的には、n型GaAs基板10に設けられた第1の金属層15の表面およびp型Si基板30に設けられた第2の金属層35の表面に、例えば、アルゴン(Ar)イオンビームを照射して、不要な酸化膜及び有機物などを除去する。また、第1の金属層15の表面および第2の金属層35の表面をプラズマ雰囲気にも晒しても良い。

また、表面活性化を行わず、第1の積層体20と第2の積層体40とを重ね合わせても

10

20

30

40

50

良い。

【 0 0 2 1 】

続いて、第 1 の金属層 1 5 の表面と第 2 の金属層 3 5 の表面とを接触させて、第 1 の積層体 2 0 と第 2 の積層体 4 0 とを重ね合わせる。(アライメント B)

具体的には、第 1 の金属層 1 5 の表面と第 2 の金属層 3 5 の表面とを対向させて配置し、n 型 GaAs 基板 1 0 および p 型 Si 基板 3 0 の劈開方向を一致させる。さらに、いずれかの基板を回転させて、それぞれの劈開方向の間の角度を所定の角度だけずらす。そして、第 1 の金属層 1 5 と第 2 の金属層 3 5 とを接触させて、第 1 の積層体 2 0 と第 2 の積層体 4 0 とを重ね合わせる。

【 0 0 2 2 】

次に、第 1 の積層体 2 0 と第 2 の積層体 4 0 との間に加重を加えて密着させる。(密着 C)

第 1 の積層体 2 0 と第 2 の積層体 4 0 とを密着させる温度は、1 0 0 以下であることが望ましい。これにより、例えば、貼り合わせた基板を室温に戻した時に、n 型 GaAs 基板 1 0 と p 型 Si 基板 3 0 との間の熱膨張率の違いにより発生する反りを小さくすることができる。

【 0 0 2 3 】

第 1 の積層体 2 0 と第 2 の積層体 4 0 との間に加えられる加重は、 10 kg/cm^2 以上、 30 kg/cm^2 以下とすることができる。第 1 の金属層 1 5 の表面と第 2 の金属層 3 5 の表面とが全体的に密着した状態とするためには、例えば、 10 kg/cm^2 以上の加重を加えることが望ましい。さらに、第 1 の積層体 2 0 および第 2 の積層体 4 0 に割れやクラックが発生しないように、 30 kg/cm^2 以下の加重とすることが望ましい。

【 0 0 2 4 】

例えば、劈開方向を一致させて重ね合わせた n 型 GaAs 基板 1 0 と p 型 Si 基板 3 0 との間に加えることができる加重の最大値は、約 20 kg/cm^2 である。一方、両者の劈開方向を 1° 以上ずらして重ね合わせると、 30 kg/cm^2 までの加重を加えることが可能となる。

【 0 0 2 5 】

続いて、重ね合わせた状態の第 1 の積層体 2 0 および第 2 の積層体 4 0 を、加重を加えたまま加熱して、所定の温度に昇温させる (C D)。

【 0 0 2 6 】

例えば、第 1 の金属層 1 5 および第 2 の金属層 3 5 が Au を含む金属の場合、2 5 0 以上の温度に加熱する。第 1 の金属層 1 5 と第 2 の金属層との間に、ボイド等の欠陥が生じないように接合させるためには、2 5 0 以上の温度に昇温させることが望ましいからである。

【 0 0 2 7 】

一方、n 型 GaAs 基板 1 0 と p 型 Si 基板 3 0 との間の熱膨張率の差に起因する応力により、第 1 の積層体 2 0 および第 2 の積層体 4 0 に割れやクラックが発生しないように 3 5 0 以下の温度に保持することが望ましい。

【 0 0 2 8 】

続いて、重ね合わせた状態の第 1 の積層体 2 0 および第 2 の積層体 4 0 を、所定の温度に一定時間保持した後、1 0 0 以下の温度に冷却して真空容器から取り出す。(D E 取り出し F)

この間、1 0 0 以下の温度に降温されるまで、重ね合わせた第 1 の積層体 2 0 および第 2 の積層体 4 0 に所定の加重を加えた状態を保持する。

【 0 0 2 9 】

上記の基板接合プロセスにおいて、例えば、第 1 の金属層 1 5 の表面および第 2 の金属層 3 5 の表面に Ar イオンビームを照射すると、金属表面に原子の活性な結合手を露出させることができる。これにより、第 1 の金属層 1 5 の表面および第 2 の金属層 3 5 の表面の金属原子を結合させるために必要なエネルギーを低減できる。すなわち、Ar イオンビー

10

20

30

40

50

ムを照射しない場合よりも低温においても接合が可能となる。例えば、表面活性化した後、超高真空の状態では接合プロセスを実施すると、常温で基板を接合できる場合がある。

【0030】

続いて、図1(d)に示すように、上記の基板接合プロセスにより第2の積層体40に接合された第1の積層体20から、機械的研磨法及び溶液エッチング法の少なくとも一方を用いて、n型GaAs基板10を除去する。この場合、n型GaAs基板10を完全に除去しても良いが、一部を残してもよい。

さらに、n型GaAs基板10を除去した半導体層12の表面48にn電極を形成し、p型Si基板30の裏面49にp電極を形成することにより、半導体発光素子を完成させることができる。

10

【0031】

さらに、別の実施形態として、第1の基板をサファイア基板として、半導体層を窒化物半導体を用いて形成することもできる。例えば、サファイア基板上に、MOCVD法を用いてn型GaN層/発光層/p型GaN層を積層した半導体層を有する第1の積層体を設けることができる。発光層は、 $In_xGa_{1-x}N$ 層($0 < x < 1$)と $Al_yGa_{1-y}N$ 層($0 < y < 1$)を交互に積層したMQW層(Multi-Quantum Well)を含むことができる。

【0032】

さらに、図1(d)に示す第1の基板を除去する工程では。例えば、サファイア基板側から、波長355nmのレーザ光を照射し、サファイア基板とn型GaN層との界面近傍のGaNを溶融してサファイア基板を剥離するレーザリフトオフ法を用いることができる。

20

【0033】

次に、図3を参照して本実施形態に係る半導体発光素子の製造方法の作用効果を説明する。図3(a)は、比較例に係る製造方法の作用を示す模式図であり、図3(b)は、本実施形態に係る製造方法の作用効果を示す模式図である。

【0034】

図3(a)に示す比較例に係る製造方法では、第1の積層体20と第2の積層体40とを、それぞれの劈開方向20H、40Hを一致させて接合し、貼り合わせ基板50を形成する。第1の積層体20および第2の積層体40は、応力が加わるとそれぞれの劈開方向に沿って割れやすい性質を有している。したがって、比較例のように、第1の積層体20の劈開方向20Hと、第2の積層体40の劈開方向40Hと、を一致させて接合した場合、貼り合わせ基板50は、図3(a)中に示すように、劈開方向20Hおよび劈開方向40Hと共通する劈開方向50Hにおいて割れ易くなる。

30

【0035】

上記の性質は、貼り合わせ基板50を用いて製作される半導体素子を個々のチップに分割する際に有利である。例えば、GaAsの(100)基板を用いて第1の積層体20を形成し、Siの(100)基板を用いて第2の積層体40を形成した場合、共に劈開方向は110方向となり、(011)面および(101)面で劈開される性質を有する。したがって、両者の劈開方向を合わせて接合した貼り合わせ基板50は、(011)面および(101)面の直交する劈開面を有するので、方形の半導体素子チップを容易に切り出すことができる利点を有している。このため、2つの基板を接合する場合に、両者の劈開方向を合わせる製造方法が多用されている。

40

【0036】

しかしながら、2つの基板の劈開方向を一致させ劈開面を共通にするということは、貼り合わせた基板が割れやすいということを意味する。具体的には、前述した基板接合プロセスにおいて、第1の積層体20と第2の積層体40との間に加熱により生じる応力や、接合界面47に存在するの突起などが要因となって局所的に集中する応力などにより、第1の積層体20と第2の積層体40との両方が割れる可能性が高くなる。

【0037】

50

これに対し、図 3 (b) に示すように、本実施形態に係る製造方法では、第 1 の積層体 2 0 の劈開方向 2 0 H と、第 2 の積層体 4 0 の劈開方向 4 0 H と、をずらして貼り合わせ基板 6 0 を形成する。劈開方向がずれて接合されることにより、一方の基板に割れやクラックが発生したとしても、その応力が他方の基板の劈開方向に直接伝わることはなくなる。したがって、図 3 (a) に示す貼り合わせ基板 5 0 よりも貼り合わせ基板 6 0 の強度を高くすることができる。

【 0 0 3 8 】

これにより、基板接合プロセスにおいて発生する割れやクラックを抑制することができ、製造歩留りの向上を図ることができる。具体的には、第 1 の積層体 2 0 の劈開方向 2 0 H と第 2 の積層体 4 0 の劈開方向 4 0 H との間のずれを 1° 以上とすることが望ましい。

10

【 0 0 3 9 】

例えば、第 2 の積層体 4 0 の p 型 S i 基板 3 0 は第 1 の積層体 2 0 の n 型 G a A s 基板 1 0 よりも強度が高く、第 1 の積層体 2 0 の方が第 2 の積層体 4 0 よりも割れ易い。したがって、図 3 (b) 中に示すように、貼り合わせ基板 6 0 において、第 1 の積層体 2 0 が劈開方向 2 0 H に沿って割れたとしても、第 2 の積層体 4 0 がこれを支持し定型を保つことができる。これにより、後続する処理を実施して半導体発光素子を製作することも可能となる。

【 0 0 4 0 】

図 4 は、図 1 に続く半導体発光素子の製造工程を示す模式図である。

図 4 (a) に示す半導体基板 4 0 b は、図 1 (d) に示す工程で、貼り合わせ基板 6 0 から n 型 G a A s 基板 1 0 が除去され、第 2 の積層体 4 0 の上に半導体層 1 2 が移載されたものである。前述したように、半導体基板 4 0 b の半導体層 1 2 の表面 4 8 に n 電極が設けられ、p 型 S i 基板 3 0 側の裏面 4 9 に p 電極が設けられて、半導体発光素子が完成する。

20

【 0 0 4 1 】

続いて、図 4 (a) に示すように、半導体基板 4 0 b は、例えば、ダイシングブレードを用いて切断することにより、個々の発光素子チップ 6 5 に分割される。

図 4 (b) は、発光素子チップ 6 5 の構造を模式的に示している。n 型 G a A s 基板 1 0 上に設けられた半導体層 1 2 の劈開方向は、n 型 G a A s 基板の劈開方向 2 0 H と同じ方向である。したがって、例えば、ダイシングブレードによる切断方向を、p 型 S i 基板 3 0 の劈開方向 4 0 H に合わせたとすれば、p 型 S i 基板 3 0 上に移載された半導体層 1 2 は、その劈開方向 2 0 H と異なる方向に切断される。

30

【 0 0 4 2 】

p 型 S i 基板 3 0 の劈開方向 4 0 H と半導体層 1 2 の劈開方向 2 0 H との間の角 θ が大きいと、ダイシングブレードで半導体基板 4 0 b を切断する際に、図 4 (b) 中に示すようなチップング 6 7 a、6 7 b が発生する場合がある。これは、ダイシングブレードによって加わる応力によって、劈開方向 2 0 H に沿って半導体層 1 2 が割れることによって生じる。例えば、劈開方向のずれ角 θ が 10° よりも大きくなると、チップングが発生し易くなる。

【 0 0 4 3 】

前述したように、貼り合わせ基板の強度を向上させるために、劈開方向のずれ角 θ は 1° 以上であることが望ましい。したがって、第 1 の積層体 2 0 と第 2 の積層体 4 0 とを重ね合わせた状態における第 1 の積層体 2 0 の劈開方向と第 2 の積層体の劈開方向とのずれ角は、 1° 以上 10° 以下とすることが望ましい。

40

【 0 0 4 4 】

図 5 は、別の実施態様に係る半導体発光素子の製造方法を模式的に示す斜視図である。

本実施形態に係る半導体発光素子の製造方法では、第 2 の積層体に半導体層を残して第 1 の基板を分離する工程と、第 2 の積層体の劈開方向に沿った分離溝を設けて、半導体層を個々の半導体素子に分離する工程と、分離溝に沿って第 2 の積層体を切断する工程と、をさらに備える。

50

【 0 0 4 5 】

図 5 に示す半導体基板 4 0 c は、前述した半導体基板 4 0 b と同様に、第 2 の積層体 4 0 の上に半導体層 1 2 が移載されたものである。さらに、半導体層 1 2 は、第 2 の積層体 4 0 の劈開方向 4 0 H に沿った方向に設けられた分離溝 7 2 によって、個々の発光素子 7 5 に素子分離されている。

分離溝 7 2 は、例えば、塩素 (C l ₂) またはフッ素 (F) を含んだエッチングガスを用いた R I E (Reactive Ion Etching) 法により形成することができる。また、ウエットエッチングを用いて形成することもできる。

【 0 0 4 6 】

本実施形態に係る製造方法によれば、分離溝 7 2 に沿って個々の発光素子 7 5 を分割してチップ化することができる。この際、分離溝 7 2 と劈開方向 4 0 H とが一致しているので容易に切断することができる。さらに、半導体層 1 2 が分離溝 7 2 によって分離されているので、分割の際にダイシングブレードに触れることがなく、例えば、チップング 6 7 a、6 7 b が発生することもない。

【 0 0 4 7 】

すなわち、本実施形態によれば、第 1 の積層体 2 0 の劈開方向 2 0 H と第 2 の積層体 4 0 の劈開方向 4 0 H との間のずれ角 θ を 1 0 ° よりも大きくすることができる。これにより、貼り合わせ基板 6 0 の強度をさらに向上させることができる。

【 0 0 4 8 】

なお、本実施形態にいても、第 1 の金属層または第 2 の金属層には、例えば、A u または A u 合金を含むことができる。第 1 の積層体と第 2 の積層体とは、1 0 0 ° 以下の温度で重ね合わせる。基板接合プロセスは、第 1 の積層体と第 2 の積層体を 2 5 0 ° 以上、3 5 0 ° 以下の温度範囲に加熱し、さらに冷却する工程を含み、第 1 の積層体と第 2 の積層体との間に加えられる加重は、1 0 k g / c m ² 以上、3 0 k g / c m ² 以下とすることができる。

【 0 0 4 9 】

以上、本発明に係る一実施形態を参照して本発明を説明したが、本発明はこれらの実施形態に限定されるものではない。例えば、出願時の技術水準に基づいて、当業者がなし得る設計変更や、材料の変更等、本発明と技術的思想を同じとする実施態様も本発明の技術的範囲に含有される。

【 符号の説明 】

【 0 0 5 0 】

- 1 0 . . . n 型 G a A s 基板、
- 1 2 . . . 半導体層、
- 1 3 . . . 発光層、
- 1 5 . . . 第 1 の金属層、
- 2 0 . . . 第 1 の積層体、
- 2 0 H、4 0 H、5 0 H . . . 劈開方向、
- 2 5、4 5 . . . 主面
- 3 0 . . . シリコン (S i) 基板、
- 3 5 . . . 第 2 の金属層、
- 4 0 . . . 第 2 の積層体、
- 4 0 b、4 0 c . . . 半導体基板、
- 4 7 . . . 接合界面、
- 5 0、6 0 . . . 貼り合わせ基板、
- 6 5 . . . 発光素子チップ、
- 6 7 a、6 7 b . . . チップング、
- 7 2 . . . 分離溝、
- 7 5 . . . 発光素子、
- . . . ずれ角、

10

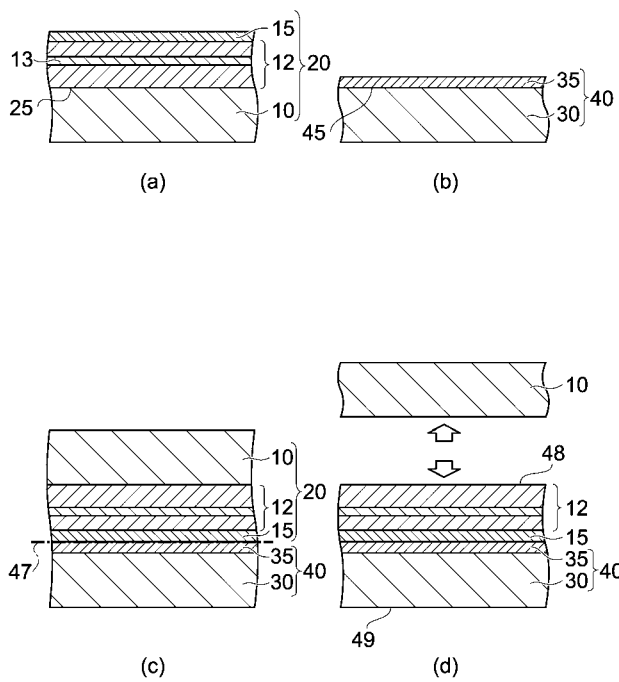
20

30

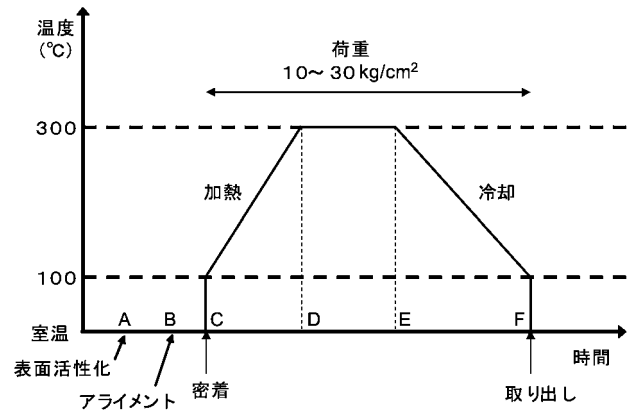
40

50

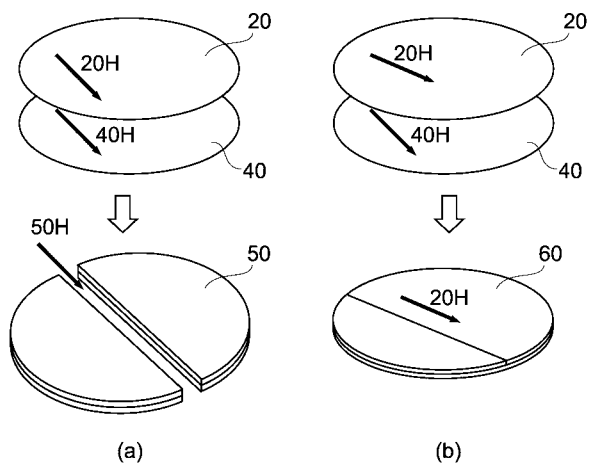
【 図 1 】



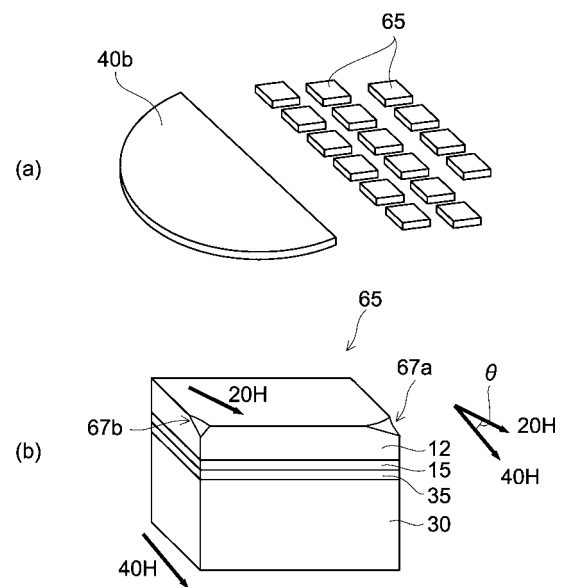
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

