

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7614977号
(P7614977)

(45)発行日 令和7年1月16日(2025.1.16)

(24)登録日 令和7年1月7日(2025.1.7)

(51)国際特許分類

F I

H 1 0 D 30/66 (2025.01)

H 0 1 L 29/78 6 5 2 K

H 1 0 D 30/01 (2025.01)

H 0 1 L 29/78 6 5 2 M

H 0 1 L 29/78 6 5 3 C

H 0 1 L 29/78 6 5 2 Q

H 0 1 L 29/78 6 5 2 N

請求項の数 1 (全14頁) 最終頁に続く

(21)出願番号 特願2021-133192(P2021-133192)
(22)出願日 令和3年8月18日(2021.8.18)
(65)公開番号 特開2023-27863(P2023-27863A)
(43)公開日 令和5年3月3日(2023.3.3)
審査請求日 令和5年9月13日(2023.9.13)

(73)特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(73)特許権者 317011920
東芝デバイス&ストレージ株式会社
東京都港区芝浦一丁目1番1号
(74)代理人 110004026
弁理士法人 i X
(72)発明者 井野 匡貴
東京都港区芝浦一丁目1番1号 東芝デ
バイス&ストレージ株式会社内
審査官 西村 治郎

最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【特許請求の範囲】

【請求項1】

半導体ウェーハにトレンチを形成し、

前記トレンチの内部に第1スペースを残して、前記トレンチの内部を覆う絶縁性のエッチング防止膜を形成し、

前記エッチング防止膜の前記トレンチの底面上に形成された部分を選択的に除去し、前記半導体ウェーハの一部を前記トレンチの底面に露出させ、

前記トレンチ内の前記第1スペースを介して前記半導体ウェーハを前記トレンチの深さ方向にエッチングすることにより、前記トレンチを前記深さ方向に延伸させ、

前記トレンチの延伸部分に露出された前記半導体ウェーハを等方的にエッチングし、前記深さ方向と交差する横方向に前記延伸部分を拡張し、

前記トレンチの前記延伸部分に露出された前記半導体ウェーハを熱酸化することにより、前記延伸部分の内部に第2スペースを残して、前記延伸部分の内面を覆う第1絶縁膜を形成し、

前記トレンチの前記第1スペースおよび前記第2スペースを埋め込んだ導電性部材を形成した後、前記導電性部材の一部が前記第2スペース内に残るように、前記導電性部材を除去することにより、前記導電性部材の前記一部である埋め込み電極を形成し、

前記トレンチの内部の前記導電性部材が除去されたスペースを絶縁部材により充填した後、前記エッチング防止膜の少なくとも一部、および、前記絶縁部材の一部を選択的に除去することにより、前記埋め込み電極上に第2絶縁膜を形成し、

10

20

前記トレンチの内部の前記エッチング防止膜の前記少なくとも一部および前記絶縁部材の一部が除去された第3スペースにおいて、前記第2絶縁膜上に第1制御電極を形成し、
前記トレンチは、隣り合う2つの第1トレンチを含み、前記第1制御電極は、前記隣り合う2つの第1トレンチの内部に設けられ、
前記隣り合う2つの第1トレンチの間の第2トレンチの内部に第2制御電極を形成する、
半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体装置およびその製造方法に関する。

10

【背景技術】

【0002】

電力制御用半導体装置には、オン抵抗を低減することが求められる。例えば、トレンチゲート構造を有するMOSトランジスタでは、ゲート電極の配置間隔を狭くすることにより、ゲートチャネルを高密度化することが好ましい。これにより、チャンネル抵抗を小さくして、オン抵抗を低減することができる。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2012-204395号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

実施形態は、ゲートチャネルを高密度化できる半導体装置およびその製造方法を提供する。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、半導体部と、第1から第3電極と、第1および第2制御電極と、を備える。前記半導体部は、第1導電形の第1半導体層と、第2導電形の第2半導体層と、前記第1導電形の第3半導体層と、を含む。前記第1電極は、前記半導体部の裏面上に設けられ、前記第2電極は、前記半導体部の表面側に設けられる。前記第3電極は、前記半導体部の前記表面側に設けられた第1トレンチ中に配置され、前記第1電極と前記第2電極との間に位置し、前記半導体部から第1絶縁膜により電氣的に絶縁される。前記第1制御電極は、前記第1トレンチ中に設けられ、前記第2電極と前記第3電極との間に位置し、前記第3電極から第2絶縁膜により電氣的に絶縁され、前記第2電極から第3絶縁膜により電氣的に絶縁され、前記半導体部から第4絶縁膜により電氣的に絶縁される。前記第2制御電極は、前記半導体部の前記表面側において、前記第1トレンチの隣りに設けられた第2トレンチ中に配置され、前記半導体部から第5絶縁膜により電氣的に絶縁される。前記第1半導体層は、前記第1電極と前記第2電極との間に延在する。前記第2半導体層は、前記第1半導体層と前記第2電極との間に設けられ、前記第4絶縁膜を介して前記第1制御電極に向き合い、前記第5絶縁膜を介して前記第2制御電極に向き合う。前記第3半導体層は、前記第2半導体層と前記第2電極との間に部分的に設けられる。前記第2電極は、前記第2半導体層および前記第3半導体層に電氣的に接続される。前記第1トレンチおよび前記第2トレンチは、前記半導体部の前記表面から前記第1半導体層中に延在し、前記第1トレンチと前記第1電極との間隔は、前記第2トレンチと前記第1電極との間隔よりも狭い。前記第1トレンチ中の前記第3電極は、前記第1絶縁膜を介して、前記第1半導体層に向き合う。前記第1制御電極から前記第2制御電極に向かう第1方向において、前記第1絶縁膜は、前記第3電極の両側にそれぞれ設けられた第1部分と第2部分とを含み、前記第4絶縁膜は、前記第1方向において、前記第1制御電極の両側にそれぞれ設けられた第1部分と第2部分とを含む。前記第1絶縁膜の前記第1部分、前

30

40

50

記第 2 部分、および前記第 3 電極のそれぞれの前記第 1 方向の幅を合わせた第 1 幅は、前記第 4 絶縁膜の前記第 1 部分、前記第 2 部分および前記第 1 制御電極のそれぞれの前記第 1 方向の幅を合わせた第 2 幅よりも広い。

【図面の簡単な説明】

【0006】

【図 1】実施形態に係る半導体装置を示す模式断面図である。

【図 2】実施形態に係る半導体装置を示す模式図である。

【図 3】実施形態に係る半導体装置の製造過程を示す模式断面図である。

【図 4】図 3 に続く製造過程を示す模式断面図である。

【図 5】図 4 に続く製造過程を示す模式断面図である。

【図 6】図 5 に続く製造過程を示す模式断面図である。

【図 7】図 6 に続く製造過程を示す模式断面図である。

【図 8】図 7 に続く製造過程を示す模式断面図である。

【図 9】図 8 に続く製造過程を示す模式断面図である。

【図 10】図 9 に続く製造過程を示す模式断面図である。

【図 11】図 10 に続く製造過程を示す模式断面図である。

【図 12】図 11 に続く製造過程を示す模式断面図である。

【図 13】実施形態の変形例に係る半導体装置を示す模式断面図である。

【発明を実施するための形態】

【0007】

以下、実施の形態について図面を参照しながら説明する。図面中の同一部分には、同一番号を付してその詳しい説明は適宜省略し、異なる部分について説明する。なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

【0008】

さらに、各図中に示す X 軸、Y 軸および Z 軸を用いて各部分の配置および構成を説明する。X 軸、Y 軸、Z 軸は、相互に直交し、それぞれ X 方向、Y 方向、Z 方向を表す。また、Z 方向を上方、その反対方向を下方として説明する場合がある。

【0009】

図 1 は、実施形態に係る半導体装置 1 を示す模式断面図である。半導体装置 1 は、トレンチゲート構造を有する MOS トランジスタである。

【0010】

半導体装置 1 は、半導体部 10 と、第 1 電極 20 と、第 2 電極 30 と、第 3 電極 40 と、第 1 制御電極 50 と、第 2 制御電極 60 と、を備える。半導体部 10 は、例えば、シリコンである。

【0011】

第 1 電極 20 は、半導体部 10 の裏面上に設けられる。第 1 電極 20 は、例えば、ドレイン電極である。第 1 電極 20 は、例えば、アルミニウム (Al)、ニッケル (Ni) などを含む金属層である。

【0012】

第 2 電極 30 は、半導体部 10 の表面側に設けられる。第 2 電極 30 は、例えば、ソース電極である。第 2 電極 30 は、例えば、第 1 金属層 33 と、第 2 金属層 35 と、を含む。第 1 金属層 33 は、半導体部 10 と第 2 金属層 35 との間に設けられる。

【0013】

第 1 金属層 33 は、例えば、窒化チタニウム (TiN) とタンゲステン (W) とを含む積層構造 (図示しない) を有する。窒化チタニウム層は、半導体部 10 とタンゲステン層との間に設けられる。第 2 金属層は、例えば、アルミニウムを含む。

【0014】

半導体部 10 は、第 1 トレンチ TR1 と、第 2 トレンチ TR2 と、を含む。第 1 トレン

10

20

30

40

50

チTR1および第2トレンチTR2は、半導体部10の第2電極30に向き合う表面側に設けられる。第1トレンチTR1および第2トレンチTR2は、隣り合う位置に設けられる。第1トレンチTR1と第1電極20との間の距離は、第2トレンチTR2と第1電極20との間の距離よりも短い。

【0015】

第3電極40および第1制御電極50は、第1トレンチTR1の内部に設けられる。第1制御電極50は、第2電極30と第3電極40との間に設けられる。第3電極40は、例えば、第2電極30に電氣的に接続されるフィールドプレートである。第1制御電極50は、例えば、ゲート電極である。第3電極40および第1制御電極50は、例えば、導電性を有するポリシリコンである。

10

【0016】

第3電極40は、第1絶縁膜43により半導体部10から電氣的に絶縁される。第1制御電極50は、第3電極40から第2絶縁膜45により電氣的に絶縁される。また、第1制御電極50は、第2電極30から第3絶縁膜53により電氣的に絶縁される。さらに、第1制御電極50は、半導体部10から第4絶縁膜55により電氣的に絶縁される。第4絶縁膜55は、例えば、ゲート絶縁膜である。第1絶縁膜43、第2絶縁膜45、第3絶縁膜53および第4絶縁膜55は、例えば、シリコン酸化膜である。

【0017】

第2制御電極60は、第2トレンチTR2の内部に設けられる。第2制御電極60は、半導体部10と第2電極30との間に設けられる。第2制御電極60は、第5絶縁膜65により半導体部10から電氣的に絶縁される。第2制御電極60は、第2電極から別の第3絶縁膜53により電氣的に絶縁される。第2制御電極60は、例えば、ゲート電極である。第3電極40は、第2トレンチTR2の内部に設けられない。第2制御電極60は、例えば、導電性を有するポリシリコンである。第5絶縁膜65は、例えば、シリコン酸化膜である。

20

【0018】

半導体部10は、例えば、第1導電形の第1半導体層11と、第2導電形の第2半導体層13と、第1導電形の第3半導体層15と、第1導電形の第4半導体層17と、を含む。以下、第1導電形をn形、第2導電形をp形として説明する。

【0019】

第1半導体層11は、第1電極20と第2電極30との間に延在する。第1半導体層11は、例えば、n形ドリフト層である。第1トレンチTR1および第2トレンチTR2は、それぞれ、半導体部10の第2電極30と向き合う表面から第1半導体層11中に延在する。

30

【0020】

第2半導体層13は、第1半導体層11と第2電極30との間に設けられる。また、第2半導体層13は、第1トレンチTR1と第2トレンチTR2との間に設けられる。第2半導体層13は、例えば、p形拡散層である。第2半導体層13は、第4絶縁膜55を介して、第1制御電極50に向き合う。また、第2半導体層13は、第5絶縁膜65を介して、第2制御電極60に向き合う。

40

【0021】

第3半導体層15は、第2半導体層13と第2電極30との間に設けられる。また、第3半導体層15は、第1トレンチTR1と第2トレンチTR2との間に設けられる。第3半導体層15は、例えば、n形ソース層である。第3半導体層15は、第4絶縁膜55に接する部分と、第5絶縁膜65に接する部分とを含む。

【0022】

第4半導体層17は、第1電極20と第1半導体層11との間に設けられる。第4半導体層17は、例えば、n形ドレイン層である。第4半導体層17は、第1半導体層11の第1導電形不純物の濃度よりも高濃度の第1導電形不純物を含み、第1電極20に電氣的に接続される。

50

【 0 0 2 3 】

図 1 に示すように、第 2 電極 3 0 の第 1 金属層 3 3 は、例えば、第 3 絶縁膜 5 3 の表面から第 3 半導体層 1 5 中に延在するコンタクト部 3 3 c を有する。第 2 電極 3 0 は、コンタクト部 3 3 c を介して、第 2 半導体層 1 3 および第 3 半導体層 1 5 に電氣的に接続される。

【 0 0 2 4 】

実施形態に係る半導体装置 1 では、第 3 電極 4 0 は、第 1 半導体層 1 1 中に埋め込まれ、第 1 絶縁膜 4 3 により第 1 半導体層 1 1 から電氣的に絶縁される。例えば、第 1 制御電極 5 0 から第 2 制御電極 6 0 に向かう第 1 方向 (X 方向) において、第 1 絶縁膜 4 3 は、第 3 電極 4 0 の両側に位置する部分を含む。

10

【 0 0 2 5 】

第 1 絶縁膜 4 3 の第 3 電極 4 0 の両側に設けられた部分および第 3 電極 4 0 のそれぞれの X 方向の幅を合わせた第 1 幅 W F は、第 1 制御電極 5 0 および X 方向において第 1 制御電極 5 0 の両側に設けられた第 4 絶縁膜 5 5 のそれぞれの X 方向の幅を合わせた第 2 幅 W G よりも広い。

【 0 0 2 6 】

図 1 に示すように、第 3 電極 4 0 は、例えば、長方形の断面を有し、一定の X 方向の幅を有して Z 方向に延在する。実施形態は、この例に限定される訳ではなく、第 3 電極 4 0 は、第 2 電極 3 0 から第 1 電極 2 0 に向かう方向 (- Z 方向) に、X 方向の幅が減少するテーパ形状の断面を有しても良い。言い換えれば、第 3 電極 4 0 は、少なくとも、第 2 絶縁膜 4 5 を介して第 1 制御電極 5 0 に向き合う端の位置において、最も広い第 1 幅 W F を有する。

20

【 0 0 2 7 】

また、図 1 に示すように、半導体部 1 0 は、第 2 トレンチ T R 2 に隣り合う別の第 1 トレンチ T R 1 をさらに有する。第 2 トレンチ T R 2 は、第 1 トレンチ T R 1 と別の第 1 トレンチ T R 1 との間に設けられる。別の第 1 トレンチ T R 1 の内部には、別の第 3 電極 4 0 および別の第 1 制御電極 5 0 が設けられる。

【 0 0 2 8 】

第 1 半導体層 1 1 は、第 1 トレンチ T R 1 と別の第 1 トレンチ T R 1 との間に設けられる第 1 領域 1 1 a を含む。第 2 制御電極 6 0 は、第 1 半導体層 1 1 の第 1 領域 1 1 a と、第 2 電極 3 0 との間に設けられる。第 1 領域 1 1 a の X 方向の幅は、第 2 制御電極 6 0 の X 方向の幅よりも広い。

30

【 0 0 2 9 】

例えば、第 1 電極 2 0 と第 2 電極 3 0 との間に印加される電圧が高くなると、第 1 半導体層 1 1 と第 3 電極 4 0 との間の絶縁耐圧を高くすることが求められる。このため、第 1 絶縁膜 4 3 の膜厚を厚くすることが好ましい。

【 0 0 3 0 】

一方、ゲートチャネルを高密度化するために、隣り合う第 1 制御電極間の間隔を狭くすると、隣り合う第 3 電極 4 0 の間隔が狭くなる。このため、第 1 半導体層 1 1 の第 1 領域 1 1 a が狭まり、第 1 領域 1 1 a を介して第 1 電極 2 0 と第 2 電極 3 0 と間に流れる電流の経路が狭くなり、オン抵抗が上昇する。第 1 絶縁膜 4 3 の膜厚を厚くすると、第 1 領域 1 1 a の X 方向の幅がさらに狭くなり、オン抵抗の上昇を招く。

40

【 0 0 3 1 】

実施形態に係る半導体装置 1 では、隣り合う第 1 制御電極 5 0 の間に第 2 制御電極 6 0 を設けることにより、隣り合う第 3 電極 4 0 の間隔を狭めることなく、ゲートチャネルを高密度化し、チャネル抵抗を低減することができる。

【 0 0 3 2 】

さらに、実施形態では、第 1 半導体層 1 1 の第 1 領域 1 1 a の X 方向の幅が、第 2 制御電極 6 0 の X 方向の幅よりも広くなるように、第 1 トレンチ T R 1 における第 1 幅 W F を制御する。これにより、半導体装置 1 のオン抵抗の上昇を防ぐことができる。

50

【 0 0 3 3 】

なお、実施形態に係る第 2 制御電極 6 0 は、上記の例に限定される訳ではない。例えば、隣り合う第 1 制御電極 5 0 の間に、複数の第 2 制御電極 6 0 を設けても良い。

【 0 0 3 4 】

図 2 (a) および (b) は、実施形態に係る半導体装置 1 を示す模式断面図である。図 2 (a) は、半導体装置 1 の表面側を示す平面図である。図 2 (b) は、図 2 (a) 中に示す A - A 線に沿った断面図である。

【 0 0 3 5 】

図 2 (a) に示すように、半導体装置 1 は、制御パッド 7 0 と、制御配線 7 0 e と、をさらに備える。制御パッド 7 0 および制御配線 7 0 e は、例えば、第 3 絶縁膜 5 3 を介して、半導体部 1 0 の表面側に設けられる。制御パッド 7 0 および制御配線 7 0 e は、第 3 絶縁膜 5 3 により半導体部 1 0 から電氣的に絶縁される。また、制御パッド 7 0 および制御配線 7 0 e は、第 2 電極 3 0 から離間し、第 2 電極 3 0 から電氣的に絶縁されるように設けられる。

10

【 0 0 3 6 】

制御配線 7 0 e は、制御パッド 7 0 に接続される。制御配線 7 0 e は、制御パッド 7 0 から第 2 電極 3 0 に沿って延伸するように設けられる。第 2 電極 3 0 は、例えば、半導体部 1 0 の外縁に沿って延びる延伸部 3 0 e を有する。制御配線 7 0 e は、第 2 電極 3 0 の主部と延伸部 3 0 e との間に延在する。

【 0 0 3 7 】

図 2 (b) に示すように、制御配線 7 0 e は、第 2 電極 3 0 と同じ積層構造を有する。制御配線 7 0 e は、第 3 絶縁膜 5 3 中に延在するコンタクト部 7 0 g を介して、第 1 制御電極 5 0 に電氣的に接続される。制御配線 7 0 e は、第 2 制御電極 6 0 にも同様に電氣的に接続される。

20

【 0 0 3 8 】

第 2 電極 3 0 の延伸部 3 0 e は、第 3 絶縁膜 5 3 中に延在するコンタクト部 3 0 f を介して、第 3 電極 4 0 に電氣的に接続される。言い換えれば、第 2 電極 3 0 は、コンタクト部 3 0 f を有する延伸部 3 0 e を介して、第 3 電極 4 0 に電氣的に接続される。

【 0 0 3 9 】

次に、図 3 (a) ~ 図 1 2 (b) を参照して、半導体装置 1 の製造方法を説明する。図 3 (a) ~ 図 1 2 (b) は、実施形態に係る半導体装置 1 の製造過程を示す模式断面図である。

30

【 0 0 4 0 】

図 3 (a) に示すように、第 1 トレンチ T R 1 を半導体ウェーハ 1 0 0 の表面側に形成する。第 1 トレンチ T R 1 は、半導体ウェーハ 1 0 0 の表面上に絶縁膜 1 0 1 を形成した後、絶縁膜 1 0 1 をマスクとして、半導体ウェーハを選択的にエッチングすることにより形成される。半導体ウェーハ 1 0 0 の表面に沿って、複数の第 1 トレンチ T R 1 が設けられる。

【 0 0 4 1 】

半導体ウェーハ 1 0 0 は、例えば、第 1 導電形のシリコンウェーハである。半導体ウェーハ 1 0 0 は、例えば、第 4 半導体層 1 7 となる第 1 導電形の基板 (図示しない) の上に第 1 半導体層 1 1 をエピタキシャル成長した構造を有する。絶縁膜 1 0 1 は、例えば、シリコン酸化膜である。絶縁膜 1 0 1 は、例えば、半導体ウェーハ 1 0 0 を熱酸化することにより形成される。半導体ウェーハ 1 0 0 は、例えば、異方性 R I E (Reactive Ion Etching) を用いてエッチングされる。

40

【 0 0 4 2 】

図 3 (b) に示すように、第 1 トレンチ T R 1 の内部にスペースを残して、絶縁膜 1 0 3、絶縁膜 1 0 5 および絶縁膜 1 0 7 を形成する。絶縁膜 1 0 3、絶縁膜 1 0 5 および絶縁膜 1 0 7 は、第 1 トレンチ T R 1 の内面を覆う。絶縁膜 1 0 3 は、例えば、シリコン酸化膜であり、第 1 トレンチ T R 1 の内面に露出された半導体ウェーハ 1 0 0 を熱酸化する

50

ことにより形成される。絶縁膜 105 は、例えば、シリコン窒化膜である。絶縁膜 107 は、例えば、シリコン酸化膜である。絶縁膜 105 および絶縁膜 107 は、例えば、CVD (Chemical Vapor Deposition) を用いて、半導体ウェーハ 100 の表面側に堆積される。

【0043】

図 4 (a) に示すように、絶縁膜 103、絶縁膜 105 および絶縁膜 107 を選択的に除去する。絶縁膜 103、絶縁膜 105 および絶縁膜 107 の第 1 トレンチ TR1 の底面上に形成された部分を、例えば、異方性 RIE を用いて選択的に除去し、半導体ウェーハ 100 の一部を露出させる。この際、絶縁膜 105 および絶縁膜 107 の絶縁膜 101 上に形成された部分も除去される。

10

【0044】

図 4 (b) に示すように、第 1 トレンチ TR1 の底面に露出された半導体ウェーハ 100 をエッチングすることにより、第 1 トレンチ TR1 をその深さ方向 (-Z 方向) に延ばす。半導体ウェーハ 100 は、例えば、異方性 RIE を用いてエッチングされる。

【0045】

図 5 (a) に示すように、第 1 トレンチ TR1 の延伸部分 TRe において、半導体ウェーハ 100 をエッチングし、延伸部分 TRe を拡張する。半導体ウェーハ 100 は、例えば、CDE (Chemical Dry Etching) を用いて等方的にエッチングされる。

【0046】

なお、図 4 (b) および図 5 (a) に示す過程を通して、絶縁膜 101、絶縁膜 103、絶縁膜 105 および絶縁膜 107 は、エッチング防止膜として機能する。

20

【0047】

図 5 (b) に示すように、第 1 トレンチ TR1 の延伸部分 TRe の内面を覆う第 1 絶縁膜 43 を形成する。第 1 絶縁膜 43 は、延伸部分 TRe の内部に所望のスペースを残すように形成される。第 1 絶縁膜 43 は、例えば、シリコン酸化膜である。第 1 絶縁膜 43 は、第 1 トレンチ TR1 の延伸部分 TRe の内面に露出された半導体ウェーハ 100 を熱酸化することにより形成される。

【0048】

第 1 絶縁膜 43 が形成されることにより、第 1 トレンチ TR1 の延伸部分 TRe は、さらに拡張された第 1 幅 WF を有する。また、絶縁膜 105 は、第 1 トレンチ TR1 の上部における熱酸化を抑制する。その結果、第 1 幅 WF は、第 1 トレンチ TR1 の上部の幅 WI よりも広くなる。なお、絶縁膜 107 は、第 1 絶縁膜 43 を形成する前のウェット処理にて除去される。

30

【0049】

図 6 (a) に示すように、導電膜 110 を半導体ウェーハ 100 の表面側に形成する。第 1 トレンチ TR1 の内部は、導電膜 110 により充填される。導電膜 110 は、例えば、導電性を有するポリシリコンである。導電膜 110 は、例えば、CVD を用いて形成される。

【0050】

図 6 (b) に示すように、第 1 トレンチ TR1 の延伸部分 TRe に埋め込まれた部分を残して、導電膜 110 を除去する。導電膜 110 の延伸部分 TRe に埋め込まれた部分は、第 1 半導体層 11 中に埋め込まれた電極 (第 3 電極 40) となる。導電膜 110 は、例えば、ウェットエッチングにより除去される。なお、絶縁膜 105 は、導電膜 110 と共に除去される。

40

【0051】

図 7 (a) に示すように、絶縁膜 113 を半導体ウェーハ 100 の表面側に形成する。第 1 トレンチ TR1 の導電膜 110 を除去したスペースは、絶縁膜 113 により充填される。絶縁膜 113 は、例えば、CVD を用いて形成されるシリコン酸化膜である。

【0052】

図 7 (b) に示すように、隣り合う第 1 トレンチ TR1 の間に、第 2 トレンチ TR2 を

50

形成する。第2トレンチTR2は、例えば、エッチングマスク115を用いた異方性RIEにより形成される。第2トレンチTR2は、例えば、絶縁膜113の表面から半導体ウェーハ100中に延在するように形成される。第2トレンチTR2は、その底面が、例えば、Z方向において、第3電極40の上端よりも上に位置するように形成される。

【0053】

図8(a)に示すように、絶縁膜117を半導体ウェーハ100の表面側に形成する。第2トレンチTR2は、絶縁膜117により充填される。絶縁膜117は、例えば、CVDを用いて形成されるシリコン酸化膜である。

【0054】

図8(b)に示すように、第1トレンチTR1および第2トレンチTR2を埋め込んだ部分を残して、絶縁膜113および絶縁膜117を除去する。絶縁膜113および絶縁膜117は、例えば、CMP(Chemical Mechanical Polishing)およびウェットエッチングを用いて除去される。

10

【0055】

図9(a)に示すように、第2半導体層13を半導体ウェーハ100の表面側に形成する。第2半導体層13は、例えば、ボロン(B)などの第2導電形不純物を半導体ウェーハ100の表面側にイオン注入することにより形成される。半導体ウェーハ100中にイオン注入された第2導電形不純物は、熱処理により活性化され拡散される。第2半導体層13は、第1半導体層11と第2半導体層13との境界が第2トレンチTR2の底面よりも浅いレベルに位置するように設けられる。

20

【0056】

図9(b)に示すように、絶縁膜101、絶縁膜103、絶縁膜113および絶縁膜117を除去することにより、第2半導体層13を露出させる。第1トレンチTR1には、絶縁膜103および絶縁膜113のそれぞれの一部が残される。第2トレンチTR2の内部に形成された絶縁膜117は、すべて除去される。

【0057】

図10(a)に示すように、第4絶縁膜55および第5絶縁膜65を第1トレンチTR1および第2トレンチTR2の内部にそれぞれ形成する。第4絶縁膜55および第5絶縁膜65は、半導体ウェーハ100の露出された部分を熱酸化することにより形成される。第4絶縁膜55および第5絶縁膜65は、例えば、シリコン酸化膜である。

30

【0058】

図10(b)に示すように、導電膜120を半導体ウェーハ100の表面側に形成する。第1トレンチTR1および第2トレンチTR2は、導電膜120により充填される。導電膜120は、例えば、導電性を有するポリシリコンである。導電膜120は、例えば、CVDを用いて形成される。

【0059】

図11(a)に示すように、第1制御電極50および第2制御電極60を第1トレンチTR1および第2トレンチTR2の内部にそれぞれ形成する。第1制御電極50および第2制御電極60は、第1トレンチTR1および第2トレンチTR2の内部に形成された部分を残して、導電膜120(図10(b)参照)を除去することにより形成される。導電膜120は、例えば、CDEにより等方的にエッチングされる。

40

【0060】

図11(b)に示すように、第3半導体層15を半導体ウェーハ100の表面側に形成する。第3半導体層15は、例えば、リン(P)などの第1導電形不純物をイオン注入することにより形成される。イオン注入された第1導電形不純物は、熱処理により活性化される。第3半導体層15は、第2半導体層13上に形成される。

【0061】

図12(a)に示すように、第1制御電極50および第2制御電極60の上に第3絶縁膜53を形成する。第3絶縁膜53は、例えば、シリコン酸化膜である。第3絶縁膜53は、半導体ウェーハ100の表面側に、例えば、CVDを用いて形成される。

50

【0062】

さらに、第3絶縁膜53の表面から第2半導体層13に連通するコンタクトトレンチCTを形成する。コンタクトトレンチCTは、例えば、異方性RIEを用いて形成される。

【0063】

図12(b)に示すように、半導体ウェーハ100の表面側に第2電極30を形成する。第2電極30は、第1金属層33および第2金属層35を第3絶縁膜53上に順に堆積することにより形成される。第1金属層33は、例えば、窒化チタニウム(TiN)およびタングステン(W)を含む積層構造を有する。第1金属層33は、例えば、スパッタ法およびCVDを用いて形成される。第2金属層35は、例えば、アルミニウム(Al)を含み、スパッタ法を用いて形成される。

10

【0064】

コンタクトトレンチCTは、第1金属層33により充填される。第1金属層33のコンタクトトレンチCTの内部に延在する部分は、例えば、第2半導体層13および第3半導体層15に電氣的に接続される。

【0065】

さらに、半導体ウェーハ100の裏面側を、例えば、研削もしくは研磨することにより、所定のウェーハ厚に薄層化する。その後、半導体ウェーハ100の裏面上に第1電極20を形成し、半導体装置1を完成する。第1電極20は、例えば、ニッケル(Ni)およびアルミニウム(Al)を含む積層構造を有する。第1電極20は、例えば、スパッタ法を用いて形成される。

20

【0066】

図13は、実施形態の変形例に係る半導体装置2を模式的に示す部分断面図である。半導体装置2においても、第3電極40および第1制御電極50は、第1トレンチTR1の内部に設けられる。第2制御電極60は、第2トレンチTR2の内部に設けられる。第2トレンチTR2の内部には、第3電極40は設けられない。

【0067】

第1トレンチTR1において、第3電極40およびその両側に位置する第1絶縁膜43の部分のそれぞれのX方向の幅を合わせた第1幅WFは、第1制御電極50およびその両側に設けられる第4絶縁膜55のそれぞれのX方向の幅を合わせた第2幅WGよりも広い。

【0068】

第3電極40は、第1半導体層11中に設けられる。第1制御電極50は、第3電極40との間隔Dsgが広くなるように設けられる。間隔Dsgは、例えば、第2幅WGよりも広い。これにより、第3電極40と第1制御電極50との間の寄生容量を低減することができる。例えば、図6(a)および(b)に示す製造過程において、導電膜110のエッチング量を増し、第3電極40の上端を下げることにより、間隔Dsgを広げることができる。

30

【0069】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

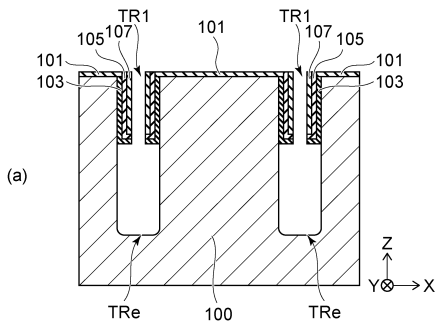
【符号の説明】

【0070】

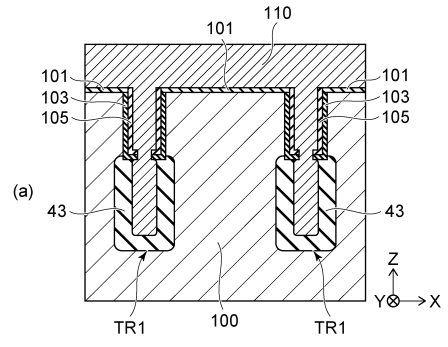
1、2 半導体装置、 10...半導体部、 11...第1半導体層、 13...第2半導体層、 15...第3半導体層、 17...第4半導体層、 20...第1電極、 30...第2電極、 30e...延伸部、 30f、 33c、 70g...コンタクト部、 33...第1金属層、 35...第2金属層、 40...第3電極、 43...第1絶縁膜、 45...第2絶縁膜、 50...第1制御電極、 53...第3絶縁膜、 55...第4絶縁膜、 60...第2制御電極、 65...第5絶縁膜、 70...制御パッド、 70e...制御配線、 100 半導体ウェーハ、 101

50

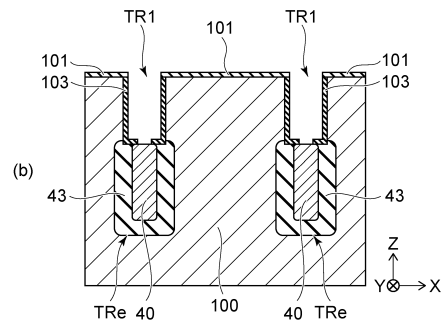
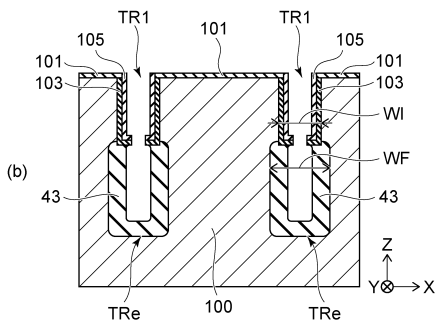
【 図 5 】



【 図 6 】

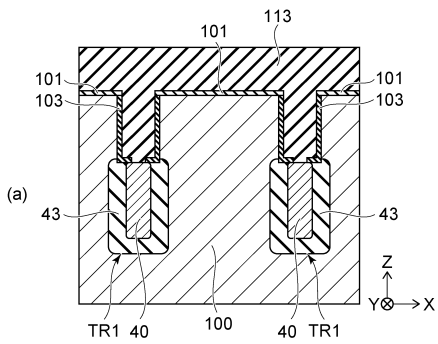


10

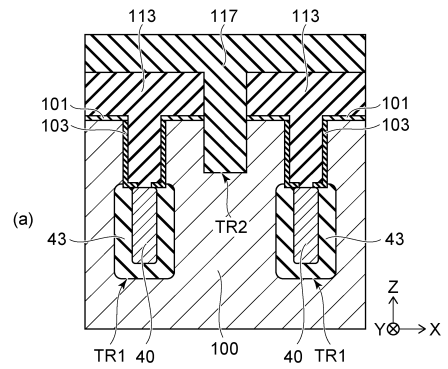


20

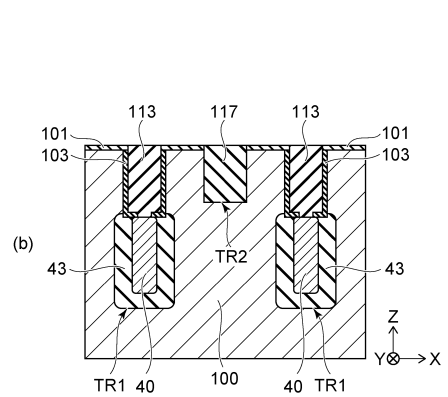
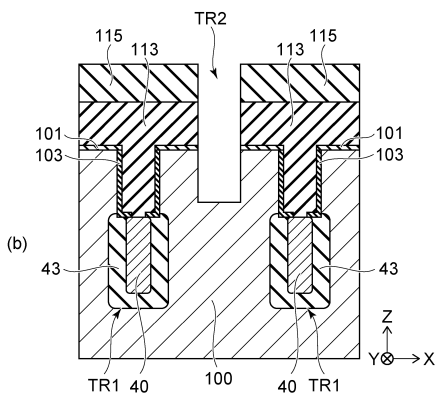
【 図 7 】



【 図 8 】



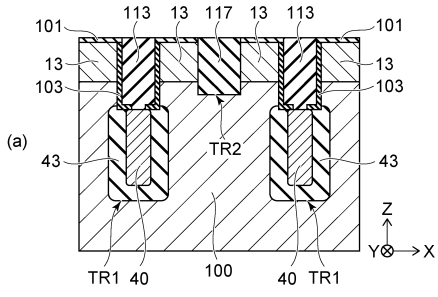
30



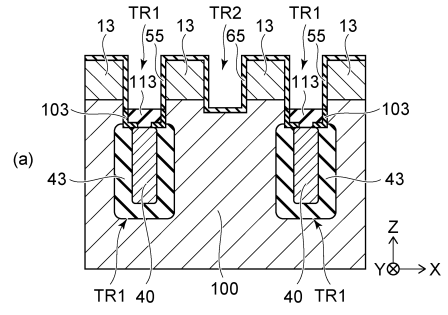
40

50

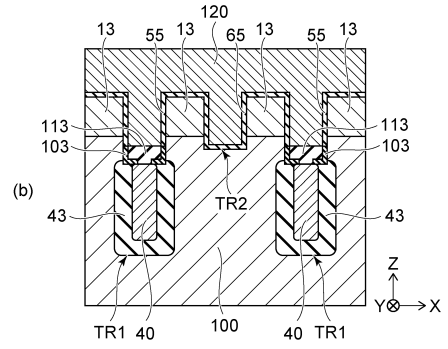
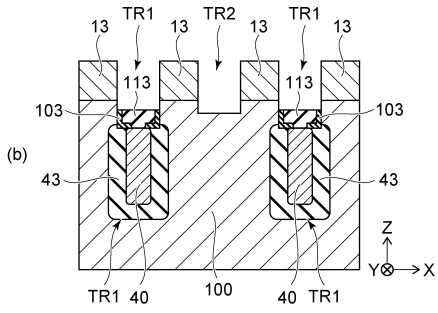
【 図 9 】



【 図 10 】

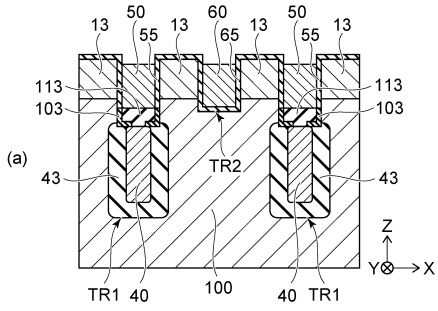


10

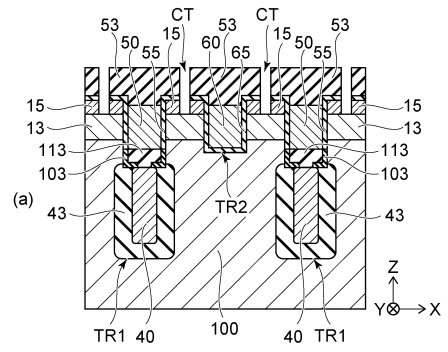


20

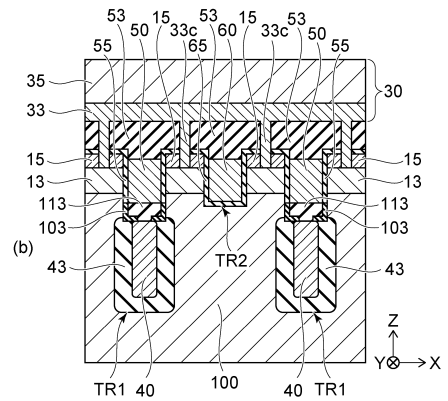
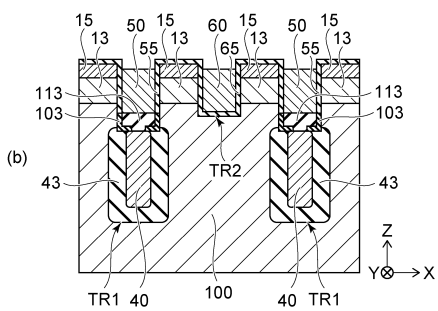
【 図 11 】



【 図 12 】



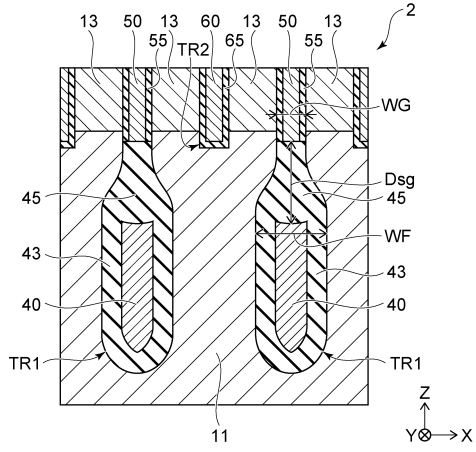
30



40

50

【 図 13 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/78 6 5 8 F
H 0 1 L 29/78 6 5 8 G

(56)参考文献

特開 2 0 2 1 - 0 9 3 3 9 2 (J P , A)
米国特許出願公開第 2 0 0 7 / 0 1 1 4 6 0 0 (U S , A 1)
特開 2 0 1 2 - 0 5 9 9 4 3 (J P , A)
特開 2 0 1 2 - 2 0 4 3 9 5 (J P , A)
特開 2 0 1 2 - 0 8 0 0 7 4 (J P , A)
特開 2 0 1 7 - 1 6 2 9 6 9 (J P , A)
米国特許出願公開第 2 0 1 5 / 0 2 9 5 0 8 0 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 7 6
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8