

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 1 月 29 日 (29.01.2004)

PCT

(10) 国際公開番号  
WO 2004/010582 A1

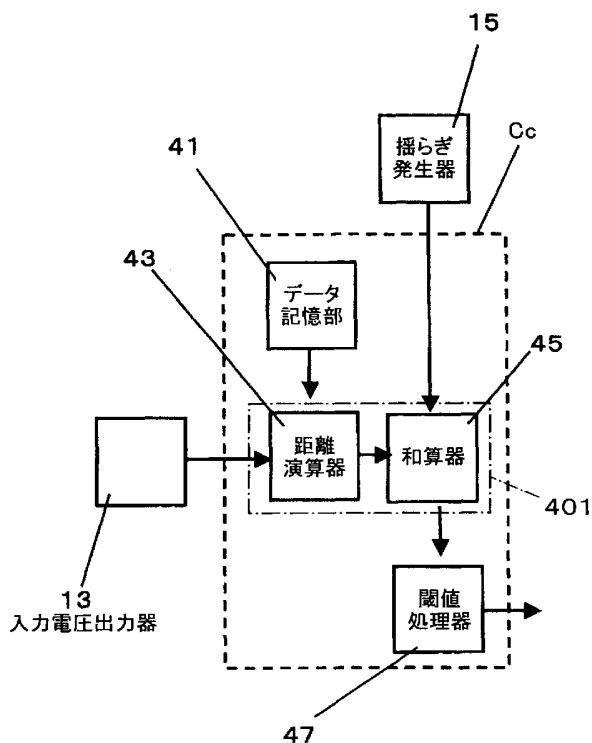
- (51) 国際特許分類: H03K 19/20  
(21) 国際出願番号: PCT/JP2003/009150  
(22) 国際出願日: 2003 年 7 月 18 日 (18.07.2003)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2002-212028 2002 年 7 月 22 日 (22.07.2002) JP  
(71) 出願人 (米国を除く全ての指定国について): 松下電  
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-  
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市  
大字門真1006番地 Osaka (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 上田 路人

- (UEDA, Michihito) [JP/JP]; 〒569-0078 大阪府 高槻  
市 大手町 5-16-103 Osaka (JP). 森田 清之  
(MORITA, Kiyoyuki) [JP/JP]; 〒614-8062 京都府 八幡  
市 八幡清水井 45-1-303 Kyoto (JP).  
(74) 代理人: 角田 嘉宏, 外 (SUMIDA, Yoshihiro et al.); 〒  
650-0031 兵庫県 神戸市 中央区 東町123番地の1 貿易  
ビル3階 Hyogo (JP).  
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,  
DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI,  
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,  
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: PROBABILISTIC CALCULATION ELEMENT, DRIVE METHOD THEREOF, AND RECOGNITION DEVICE US-  
ING THE SAME

(54) 発明の名称: 確率的演算素子、その駆動方法及びこれを用いた認識処理装置



(57) Abstract: A probabilistic calculation element includes a fluctuation generation device (15) for outputting an analog amount having fluctuation, fluctuation difference calculation means (401) for outputting fluctuation difference data obtained by adding the output from the fluctuation generation device to an analog difference between two data, a threshold value processing device (47) for outputting a pulse by performing threshold value processing of the output from the fluctuation difference calculation means, and pulse detection means for detecting a pulse output from the threshold value processing device.

(57) 要約: 本発明の確率的演算素子は、揺らぎを有するアナログ量を出力する揺らぎ発生器(15)と、2つのデータのアナログの差分に前記揺らぎ発生器の出力が加わった揺らぎ差分データを出力する揺らぎ差分演算手段(401)と、前記揺らぎ差分演算手段の出力を閾値処理することによりパルスを出力する閾値処理器(47)と、前記閾値処理器から出力されるパルスを検出するパルス検出手段とを備えている。

13...INPUT VOLTAGE OUTPUT DEVICE  
41...DATA STORAGE SECTION  
15...FLUCTUATION GENERATION DEVICE  
43...DISTANCE CALCULATION DEVICE  
45...ADDER  
47...THRESHOLD VALUE PROCESSING DEVICE



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## 確率的演算素子、その駆動方法及びこれを用いた認識処理装置

## 〔技術分野〕

- 5 本発明は、新規動作原理に基づく確率的演算素子に関し、特に認識処理で必須の演算であるベクトルマッチングを高速に演算することができる確率的演算素子と、これを用いた認識処理装置を提供するものである。

## 〔技術背景〕

- 10 近年のパーソナルコンピュータ（P C）の普及に見られるように、演算素子も家庭内での使用が大幅に増加して、単なる数値演算のみならず、インターネット、メール、及び画像処理など、個人的な用途での使用分野が増加しつつある。

- 15 しかしながら、これほど高速に演算できるようになったP Cにおいても、全ての演算に対して十分な速度が得られているわけではない。例えば、人の発する声や言語を認識したり、カメラに写った人が誰であるかを認識するといった処理は、膨大な量の演算を行う必要があるため、実時間（リアルタイム）での処理は困難である。

- 20 このような認識処理の基本は、記憶されている音声や顔などの情報をベクトル化して記憶しておき、入力情報を同様にベクトル化してこれらの近似を検出し、どれに最も近いかという演算を行うことである。このようなベクトル比較処理は、連想メモリや、ベクトル量子化、動き予測等のパターン認識や、データ圧縮等の幅広い情報処理に利用され得る基本的な処理である。

- 25 このようなベクトル比較はいずれの用途においても膨大な演算量を要し、また従来のP Cに代表されるノイマン型コンピュータでは、その原理上、全てのベクトル比較演算を一旦終了しないと、どれが一番近いかを抽出できず、結果として非常に時間を要してしまう。

一方、人間はこれらの認識処理を何の苦もなく直ちに行うことができる。このことから、従来のコンピュータと異なる処理原理のコンピュータの創出により、これらの処理を高速に実行し、従来のコンピュータを補完する必要があると考えられる。

5      このような新規な演算原理に基づく演算素子の一例として、特開 2 0 0 1 - 3 1 3 3 8 6 公報に記載の「情報処理構造体」が挙げられる。

第 4 0 図はこの従来の演算素子の構造を模式的に示す斜視図である。第 4 0 図に示すように、この従来の演算素子 2 2 0 では、微細な M I S F E T 2 1 1 のゲート電極 2 1 2 に対向するように電源電極 2 1 4 が配置され、両電極 2 1 2, 2 1 4 の間にナノメータスケールの大きさの複数個の量子ドット 2 1 3, 2 2 1 が形成されている。具体的には、ゲート電極 2 1 2 の幅方向（ゲート幅方向）に一定のピッチで一对の情報電極 2 2 2 が配置され、各対の情報電極 2 2 2 の間に複数の量子ドット 2 2 1 が列状に配置されている。符号 3 0 1 は情報電極 2 2 2 及び量子ドット 2 2 1 が配置されている仮想平面を示す。この列状に配置された量子ドット 2 2 1 とゲート電極 2 1 2 との間に、さらに量子ドット 2 1 3 が配置されている。これにより、各量子ドット 2 2 1 とゲート電極 2 1 2 との間に電子が直接トンネルできるエネルギー障壁が形成されている。

第 4 1 図(a),(b)はこの従来の演算素子 2 2 0 の演算原理を等価回路で示した模式図である。

第 4 1 図(a),(b)において、各対の情報電極 2 2 2 には入力パターン（入力ベクトル）と参照パターン（参照ベクトル）とにそれぞれ対応する電圧が入力される。これらの電圧は、1 及び 0 の 2 値のいずれかを取るデジタル電圧である。このような電圧が、量子ドット 2 2 1 を挟む各対の情報電極 2 2 2 にそれぞれ入力されると、各対の情報電極 2 2 2 で決定される電位によって、電子が中央付近にとどまる（第 4 1 図(a)）か、又は移動するか（第 4 1 図(b)）が確率的に生じ、これにより M I S F E T

(Metal Insulator Field Effect Transistor) のドレイン電流が変化する。

そして、ドレイン電流を観測しつつけることで、確率が時間とともに向上するため、厳密な演算の結果に近い解を得ることができるものである。

5      しかしながら、上記従来の演算素子 2 2 0 は、第 1 に、量子ドット 2 1 3, 2 2 1 を用いるため、まず量子ドット 2 1 3, 2 2 1 の製造プロセスの確立を待たなければならず、現状の半導体プロセス技術以外の技術を必要とするという点で煩雑である。

10      また、ベクトルの比較においても、いわゆる 2 値情報の比較であったため、ハミング距離を求めるには有効ではあるが、実際の情報処理で頻繁に用いられるマンハッタン距離（差の絶対値）などを演算するのが難しいという課題を有している。

15      さらに、上記従来の演算素子 2 2 0 では、各対の情報電極 2 2 2 に、比較する 2 つのベクトル（入力ベクトル及び参照ベクトル）の各要素（元）に対応する電圧が入力され、各対の情報電極 2 2 2 において各要素の差分の演算がアナログ的かつ確率的に遂行されて、その各要素の差分の総和が M I S F E T 2 1 1 のドレイン電流として現れる。そして、そのドレイン電流の大きさによって 2 つのベクトルの相違、換言すれば近似度が判定される。従って、比較しようとするベクトルの要素が多く  
20      なるに従って、ドレイン電流を高い精度で検出することが必要とされ、近似度の判定が困難になるという課題を有している。

#### 〔発明の開示〕

25      本発明は、現状の半導体プロセス技術で作製可能な確率的演算素子、その駆動方法、及びこれを用いた認識処理装置を提供することを第 1 の目的としている。

また、本発明はマンハッタン距離を演算可能な確率的演算素子、その

駆動方法、及びこれを用いた認識処理装置を提供することを第2の目的としている。

また、本発明は比較しようとするベクトルの要素が多くても、容易に近似度を判定することが可能な確率的演算素子、その駆動方法、及びこれを用いた認識処理装置を提供することを第3の目的としている。

そして、これらの目的を達成するために、本発明に係る確率的演算素子は、揺らぎを有するアナログ量を出力する揺らぎ発生器と、2つのデータのアナログの差分に前記揺らぎ発生器の出力が加わった揺らぎ差分データを出力する揺らぎ差分演算手段と、前記揺らぎ差分演算手段の出力を閾値処理することによりパルスを出力する閾値処理器と、前記閾値処理器から出力されるパルスを検出するパルス検出手段とを備えている。このような構成とすると、2つのデータのアナログの差分を演算するので、マンハッタン距離を演算することができる。また、2つのデータのアナログの差分に揺らぎが加わった揺らぎ差分データを閾値処理してパルス

10 出力するので、2つのデータの差を高速に演算することができる。また、在来

15 の回路素子で構成可能であるので、現状の半導体プロセス技術で作製可能である。

前記揺らぎ差分演算手段は、アナログの前記2つのデータの差分を演算する距離演算器と、前記距離演算器の出力と前記揺らぎ発生器の出力とを和算する和算器とを備えていてもよい。

前記揺らぎ差分演算手段は、アナログの前記2つのデータの一方と前記揺らぎ発生器の出力とを和算する和算器と、前記和算器の出力とアナログの前記2つのデータの他方との差分を演算する距離演算器とを備えていてもよい。

前記パルス検出手段が、前記パルスをカウントするカウンタを備えていてもよい。このような構成とすると、パルスの数によって2つのデータの差を精度よく検出することができる。

前記パルス検出手段が、前記パルスの幅を積分する積分器を備えていてもよい。このような構成とすると、パルスの数のみならずその幅をも検出できるので、2つのデータの差をより高精度で検出することができる。

- 5 前記2つのデータは、2つのベクトルのそれぞれの要素を表す要素データであってもよい。

前記2つのベクトルが外部から入力される参照ベクトル及び入力ベクトルであり、前記参照ベクトル及び入力ベクトルの要素に対応する複数の確率的演算回路を有し、それぞれの前記確率的演算回路が、前記入力  
10 される参照ベクトルの要素データを記憶するためのメモリと、前記メモリに記憶された参照ベクトルの要素データと前記入力される入力ベクトルの要素データとのアナログの差分に前記揺らぎ発生器の出力が加わった揺らぎ差分データを出力する前記揺らぎ差分演算手段と、前記閾値処理器とを有し、前記パルス検出手段は、前記複数の前記確率的演算回路  
15 から出力されるパルスを検出してもよい。このような構成とすると、ベクトルの要素間の差の演算が並列に遂行されるので、入力ベクトルと参照ベクトルとの距離すなわち近似度を高速に検出することができる。しかも、入力ベクトル及び参照ベクトルの要素間の差がパルスで出力され、入力ベクトル及び参照ベクトルの近似度がそのパルスの総和として検出  
20 されるので、比較対象のベクトルの要素が多くても、容易に近似度を判定することができる。

前記複数の確率的演算回路のパルス出力端は、一端が前記パルス検出手段に接続された共通の配線に互いに並列に接続され、前記共通の配線の、前記複数の確率的演算回路のパルス出力端との接続部の間の部分に  
25 遅延回路がそれぞれ設けられていてもよい。このような構成とすると、各確率的演算回路からパルスが同じタイミングで出力されても、精度よくパルスの総和を検出することができる。

前記複数の確率的演算回路と前記パルス検出手段とを有するベクトル列比較回路を複数備えていてもよい。このような構成とすると、入力ベクトルを一度に複数の参照ベクトルと比較することができる。

5 前記メモリがアナログメモリであり、アナログの前記参照ベクトルの要素データが前記アナログメモリに記憶されてもよい。このような構成とすると、参照ベクトルを予め書き込んでおいて、入力ベクトルをこれと比較することができる。

10 前記アナログメモリは、ゲート電極に強誘電体キャパシタが接続されたソースフォロワ回路を備え、前記強誘電体キャパシタにアナログの前記参照ベクトルの要素データが入力されかつ記憶されてもよい。

前記ソースフォロワ回路のゲート電極に、さらに常誘電体キャパシタが接続されていてもよい。このような構成とすると、ソースフォロワ回路のサイズを周辺回路のサイズと同等にできるため、製造しやすくなる。

15 前記揺らぎ差分演算手段は前記2つのデータのアナログの差分又はアナログの前記2つのデータの一方と前記揺らぎ発生回路の出力とを和算する和算器を備え、前記和算器がゲート電極に第1及び第2のキャパシタが並列に接続されたソースフォロワ回路を備え、前記第1のキャパシタに前記揺らぎ発生回路の出力が入力され、前記第2のキャパシタに前記2つのデータのアナログの差分又はアナログの前記2つのデータの一方が入力されてもよい。

前記和算器のソースフォロワ回路のゲート電極が、スイッチ素子を介して接地端子へ接続されていてもよい。このような構成とすると、ソースフォロワ回路のゲート電極の電荷を除去することができる。

25 前記カウンタが、リプルカウンタであってもよい。このような構成とすると、簡便にパルス数をカウントできるだけでなく、リプルカウンタの上位ビットをフラグとすることで、先にフラグが立ったベクトル列を容易に特定することが可能になる。

前記揺らぎが、カオス揺らぎであってもよい。

前記揺らぎが、雑音を増幅して得られる揺らぎであってもよい。

前記揺らぎ発生器は、揺らぎを有する出力として、周期的な出力を発生し、かつ前記周期的出力の1周期間の出力のヒストグラム値がほぼ同等であってよい。

前記距離演算器は減算素子を備え、前記減算素子は、ゲート電極に並列に2つのキャパシタが接続されたソースフォロワ回路を備え、かつ前記2つキャパシタのキャパシタンスが等しく  $C_1$  であるとし、前記ソースフォロワ回路を構成する NMIS 及び PMIS のキャパシタンスをそれぞれ  $C_N$ 、 $C_P$  とし、前記ソースフォロワ回路へ電圧を入力したときに低電圧側の電圧源の電位より電位が上昇を開始する電圧を  $V_{Low}$  とするとき、電圧  $V_Z$  を  $V_Z = V_{Low} / [2 C_1 / (2 C_1 + C_N + C_P)]$  の式で演算し、かつ前記2つのデータはそれぞれ電圧で表されかつその電圧を  $V_a$  と  $V_b$  とするとき、 $V_1 = V_Z - V_a$  なる電圧と  $V_2 = V_Z + V_b$  なる電圧とを前記2つのキャパシタのソースフォロワ回路のゲート電極に接続されていない方の電極にそれぞれ印加することにより、 $V_a \cdot V_b$  の演算において  $V_a \geq V_b$  の場合の減算を実行してもよい。

前記距離演算器は、前記減算素子を2つ備え、前記2つのデータをそれぞれ  $V_{in}$ 、 $V_{ref}$  とするとき、前記2つの減算素子の一方には  $V_a = V_{in}$ 、 $V_b = V_{ref}$  として出力  $V_{M1}$  を得、前記2つの減算素子の他方には  $V_a = V_{ref}$ 、 $V_b = V_{in}$  として出力  $V_{M2}$  を得、かつ電圧  $V_{M1}$  と  $V_{M2}$  を前記和算器へ入力することにより、 $V_{in}$  と  $V_{ref}$  の差の絶対値を演算してもよい。

前記閾値処理器が、CMISインバータで構成されていてもよい。

前記閾値処理器の直前にスイッチ素子が設けられていてもよい。

前記閾値処理器の電源供給配線の電流を検出する電流検出器と、前記電流検出器の出力に基づいて前記揺らぎ発生器の出力を制御する揺らぎ発生器制御回路とをさらに備えていてもよい。このような構成とすると、

パルスが発生しているか否かをチェックし、その結果に応じて揺らぎを調整することにより、効率的かつ高精度に確率演算を実行することができる。

前記揺らぎ発生器制御回路は、前記電流検出器により検出される電流  
5 が所定値より小さい場合に、前記揺らぎ発生器の揺らぎ幅を増加させてもよい。

前記揺らぎ発生器制御回路は、前記電流検出器により検出される電流が所定値より小さい場合に、前記揺らぎ発生器の出力に、その平均値が前記閾値処理器の閾値に近づくよう正又は負のバイアスを付加してもよい。  
10

また、本発明に係る確率的演算素子の駆動方法は、外部から入力される参照ベクトル及び入力ベクトルの要素に対応する複数の確率的演算回路と、パルス検出手段と、前記複数の確率的演算回路及び前記パルス検出手段を有する所定数のベクトル列比較回路とを備え、それぞれの前記  
15 確率的演算回路が、揺らぎを有するアナログ量を出力する揺らぎ発生器と、前記入力される参照ベクトルの要素データを記憶するためのメモリと、前記メモリに記憶された参照ベクトルの要素データと前記入力される入力ベクトルの要素データとのアナログの差分に前記揺らぎ発生器の出力が加わった揺らぎ差分データを出力する揺らぎ差分演算手段と、前  
20 記揺らぎ差分演算手段の出力を閾値処理することによりパルスを出力する閾値処理器とを有し、前記パルス検出手段が、前記複数の確率的演算回路の閾値処理器から出力されるパルスを検出し、それにより、前記入力ベクトルと前記参照ベクトルとの距離を検出する確率的演算素子の駆動方法であって、前記ベクトル列比較回路の列数が参照ベクトルの列数  
25 より少ない場合に、前記入力ベクトルとの距離に近い前記参照ベクトルを $k$ 個（ $k$ は自然数）抽出するとき、前記ベクトル列比較回路の列数以下の数の前記参照ベクトルを前記ベクトル列比較回路の複数の確率的演

算回路のメモリに書き込み、この書き込んだ参照ベクトルから前記上位  $k$  個の参照ベクトルを抽出し、次いで、この参照ベクトルが抽出されたベクトル列比較回路以外のベクトル列比較回路に残りの前記参照ベクトルの少なくとも一部を書き込んで前記抽出を行う。このような構成とすると、ベクトル列比較回路の列数が参照ベクトルの列数より少ない場合でも、入力ベクトルとの距離が近い参照ベクトルを、高速に所定数抽出することができるので、それにより、素子数の有限性を補完することができる。

前記参照ベクトルの書き込み及び前記抽出動作をさらに繰り返してもよい。

また、本発明に係る認識処理装置は、請求の範囲第 1 項記載の確率的演算素子と、外部から入力される認識対象情報の特徴を抽出し、該抽出された特徴を前記入力ベクトルとして前記確率的演算素子に入力する特徴抽出回路と、前記認識対象情報の特徴をベクトル化した参照ベクトル群を格納するメモリとを備え、前記確率的演算素子が、前記メモリに格納された参照ベクトル群のうちから前記入力ベクトルに対応する参照ベクトルを特定することにより、認識対象情報を認識する。このような構成とすると、確率的演算素子が高速にベクトルの比較演算を遂行するので、高速に認識処理を行うことができる。

前記認識対象情報が音声であってもよい。

前記参照ベクトル群は、音声の特徴量が時系列的に配置されたベクトル群からなり、かつ人間にとって同じであると認識される音声の特徴量が互いに時系列的にずれて配置された複数列のベクトルを有していてもよい。

前記認識対象情報が画像であってもよい。

前記参照ベクトル群は、人間にとって同じものと認識されるが数値的には異なる画像の特徴量がベクトル化されたベクトル群からなっていて

もよい。

前記人間にとって同じものと認識される画像が人間の部位であり、前記数値的に異なる画像の特徴量が前記人間の部位間の距離であってもよい。

- 5 前記認識対象情報が人間の行動であり、前記認識された行動を出力してもよい。

前記参照ベクトル群は、人間の活動情報を数値化したデータがベクトル化されたベクトル群からなってもよい。

- 10 前記出力された行動に対する反応が好意的な場合には、前記出力された行動に対応する参照ベクトルが選択されやすくなるよう該参照ベクトルの値の少なくとも一部を変更し、前記反応が否定的な場合には前記出力された行動に対応する参照ベクトルが選択されにくくなるように該参照ベクトルの値の少なくとも一部を変更してもよい。

- 15 前記活動情報は、電気機器の操作履歴、赤外線センサ出力、室温センサ出力、湿度センサ出力、体温センサ出力、脳波センサ出力、脈拍センサ出力、視線センサ出力、発汗センサ出力、筋電位センサ出力、日時情報、曜日情報、及び認識処理装置の出力の少なくともいずれかを含んでいてもよい。

- 20 本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

〔図面の簡単な説明〕

第1図は本発明の実施形態1に係る確率的演算素子の構成を示す回路図である。

- 25 第2図は第1図の揺らぎ発生器の構成例を示すブロック図である。

第3図は第1図のカウンタの構成例を示す回路図である。

第4図は第1図の確率的演算回路の構造をより詳細に示すブロック図

である。

第 5 図は第 4 図のデータ記憶部の構成例を示すブロック図である。

第 6 図は、本実施形態のアナログメモリセルアレイの構成の一例を示す回路図である。

5 第 7 図は第 5 図のアナログメモリの第 1 の構成例を示す回路図である。

第 8 図は第 5 図のアナログメモリに用いられるソースフォロワ回路の入力-出力特性を示すグラフである。

第 9 図は第 5 図のアナログメモリの第 2 の構成例を示す回路図である。

10 第 10 図は、第 7 図及び第 9 図の強誘電体キャパシタのヒステリシス特性を示すグラフである。

第 11 図は、第 1 図の距離演算器を構成する減算素子の構成の一例を示す回路図である。

第 12 図は第 11 図の減算素子を構成するソースフォロワ回路の入力-出力特性を示すグラフである。

15 第 13 図は、参照ベクトル電圧が  $1[V]$  の場合について  $V_{SS} = 0[V]$ 、 $V_{DD} = 1[V]$ 、かつ  $\alpha = 0.45$  の時における減算素子の入力-出力特性を示すグラフである。

第 14 図は、第 13 図の場合における他の減算素子の入力-出力特性を示すグラフである。

20 第 15 図は、第 13 図及び第 14 図に示す減算素子の特性を応用して絶対値演算を行う回路の構成を示す回路図である。

第 16 図は第 4 図の距離演算器の入力-出力特性を示すグラフである。

第 17 図は第 4 図の和算器の構成例を示す回路図である。

第 18 図は第 4 図の閾値処理器の構成例を示す回路図である。

25 第 19 図は、第 1 図の揺らぎ発生器の出力を示すグラフである。

第 20 図は、参照ベクトル電圧と入力ベクトル電圧との差が比較的大きい場合における和算器の出力の一部を示すグラフである。

第 2 1 図は、和算器から第 2 0 図に示す出力が入力された場合における閾値処理器の出力を示すグラフである。

第 2 2 図は、参照ベクトル電圧と入力ベクトル電圧との差が小さい場合における和算器からの出力の一部を示すグラフである。

- 5 第 2 3 図は、和算器から第 2 2 図に示す出力が入力された場合における閾値処理器の出力を示すグラフである。

第 2 4 図は揺らぎ電圧における揺らぎ回数に対するパルス発生数を、参照ベクトルデータと入力ベクトルデータとの近似度をパラメータとして示すグラフである。

- 10 第 2 5 図は本発明の実施形態 2 に係る確率的演算素子の確率的演算回路を示すブロック図である。

第 2 6 図は本発明の実施形態 3 に係る確率的演算素子の確率的演算回路を示すブロック図である。

- 15 第 2 7 図には本発明の実施形態 4 に係る確率的演算素子の減算素子の構成例を示す回路図である。

第 2 8 図は本発明の実施形態 5 に係る確率的演算素子の確率的演算回路を示すブロック図である。

第 2 9 図は本発明の実施形態 6 に係る確率的演算素子の構成を示す回路図である。

- 20 第 3 0 図は第 2 9 図の積分器の構成例を示す回路図である。

第 3 1 図は本発明の実施形態 7 に係る確率的演算素子の閾値処理器の構成を示す回路図である。

第 3 2 図は高いバイアス電圧を付加したときの揺らぎ発生器の出力を示すグラフである。

- 25 第 3 3 図は第 3 2 図の状態からバイアス電圧を徐々に低下させたときの揺らぎ発生器の出力を示すグラフである。

第 3 4 図は本発明の実施形態 8 に係る確率的演算素子の揺らぎ発生器

の出力を示すグラフである。

第 3 5 図は本発明の実施形態 9 に係る音声認識装置の構成を模式的に示すブロック図である。

第 3 6 図は本発明の実施形態 1 0 に係る音声認識装置のメモリに格納  
5 された参照ベクトルデータ群の特徴を説明する図である。

第 3 7 図は実施形態 1 1 に係る画像認識装置の構成を模式的に示すブロック図である。

第 3 8 図は、人の顔を認識する場合の特徴量を示す模式図である。

第 3 9 図は本実施形態に係る行動認識装置の構成を示すブロック図で  
10 ある。

第 4 0 図は従来の演算素子の構造を模式的に示す斜視図である。

第 4 1 図(a),(b)は第 4 0 図の従来の演算素子の演算原理を等価回路で示した模式図である。

#### 15 [発明を実施するための最良の形態]

以下、本発明の実施の形態について、図面を参照しながら説明する。  
(実施形態 1)

第 1 図は本発明の実施形態 1 に係る確率的演算素子の構成を示す回路図である。

20 本実施形態の確率的演算素子 1 は、入力ベクトルと参照ベクトルの 2 つのベクトルの対応する要素間の距離に応じて発生するパルス数又はパルス幅を変化できるベクトル列比較回路 C n を基本セルとし、同じベクトル列について、基本セルからのパルス出力をカウントすることで、ベクトル間の距離を並列的に高速に演算する素子である。

25 特に本実施形態においては、基本セルからのパルス出力を得るために、例えばカオスなどに見られるランダムな信号を重畳する場合を例示している。なお、本実施形態では、ベクトルデータを表す物理量として電

圧を用いる場合について説明する。また、ベクトル間の違いである距離については、マンハッタン距離の場合について説明する。すなわち、ベクトル要素の差の絶対値を距離として演算する場合について説明する。

第1図において、確率的演算素子1は、ベクトル列比較回路C<sub>p</sub>と、  
5 入力電圧出力器13と、揺らぎ発生器15と、カウンタ数取得器19と、  
フラグ検出器17とを有している。

ベクトル列比較回路C<sub>p</sub>はm列（本実施形態では、例えば1000列）  
設けられている。以下では、y（yは1～mの自然数）列のベクトル列  
比較回路C<sub>p</sub>を特定して指す場合には添え字yを付してC<sub>p</sub>yと表記  
10 し、任意のベクトル列比較回路C<sub>p</sub>を指す場合には添え字を付さずにC  
pと表記する。

各ベクトル列比較回路C<sub>p</sub>は、n個（本実施形態では、例えば14個）  
の確率的演算回路C<sub>c</sub>と、遅延回路7と、スイッチSと、カウンタC<sub>t</sub>  
とを有している。1つのベクトル列比較回路C<sub>p</sub>における確率的演算回  
15 路C<sub>c</sub>は、比較すべきベクトルの要素に対応して設けられている。従っ  
て、この確率的演算素子1では2以上n個以下の要素を有するベクトル  
を比較することができる。そして、後述するように、ベクトル列比較回  
路C<sub>p</sub>1～C<sub>p</sub>mの全体にはm個の入力ベクトルが書き込まれるが、あ  
るベクトル列比較回路C<sub>p</sub>に書き込まれた入力ベクトルをベクトル列  
20 と呼ぶ。

確率的演算回路C<sub>c</sub>は、m列のベクトル列比較回路C<sub>p</sub>の全体におい  
ては、n行m列のマトリクス状に配置されているので、第1図に示すよ  
うに、1つのベクトル列比較回路C<sub>p</sub>においては行で特定し、x（xは  
1～nの自然数）行の確率的演算回路C<sub>c</sub>を特定して指す場合には添え  
25 字xを付してC<sub>c</sub>xと表記し、任意の確率的演算回路C<sub>c</sub>を指す場合に  
は添え字を付さずにC<sub>c</sub>と表記する。また、y列のスイッチS及びカウ  
ンタC<sub>t</sub>を特定して指す場合には、それぞれ、添え字yを付してS<sub>t</sub>y

及びC t yと表記し、任意のスイッチS及びカウンタC tを指す場合には添え字を付さずにS及びC tと表記する。

遅延回路7は、例えば、インバータで構成される。そして、隣り合う確率的演算回路C cの出力端子が遅延回路7を介して相互に接続され、  
5 最終行の確率的演算回路C c n出力端子がスイッチSを介してカウンタC tに接続されている。

入力電圧出力器13は、入力ベクトル及び参照ベクトルの要素からなる入力データをそれぞれ電圧に変換して、これを、ベクトルの要素毎に、その要素に対応する確率的演算回路C c 1～C c nにそれぞれ出力す  
10 る。入力電圧出力器13は、入力データを後述する式で計算して出力する。

揺らぎ発生器15は、揺らぎを有する電圧（以下、揺らぎ電圧という）を出力する機能を有し、これを全列のベクトル列比較回路C p 1～C p mの全行の確率的演算回路C c 1～C c nにそれぞれ出力する。

15 各ベクトル列比較回路C pでは、確率的演算回路C c 1～C c nが後述するパルスをそれぞれ出力する。この確率的演算回路C c 1～C c nから出力されるパルスは、遅延回路7により、互いに重複しないように調整されている。すなわち、スイッチSがO n状態の時、ある揺らぎ電圧がベクトル列比較回路C pへ入力され、それより、全行の確率的演算  
20 回路C c 1～C c nがパルスを出力した場合でも、カウンタC tには所定の間隔でパルス列が、n個（本実施形態では14個）入力することになる。

カウンタC tはこのパルス数をカウントする。本実施形態では、カウンタC tとして、例えば後述するようなDフリップフロップを用いた非  
25 同期式リプルカウンタを用いている。

カウンタC tは、例えば、その最上位ビットをフラグ検出器17へ出力する。これにより、フラグ検出器17は、全てのベクトル列比較回路

$C_{p1} \sim C_{pm}$ に属するカウンタ $C_{t1} \sim C_{tm}$ のうち、最初に所定の  
カウント数に達したカウンタ $C_{t1} \sim C_{tm}$ 、ひいてはベクトル列比較  
回路 $C_{p1} \sim C_{pm}$ を検出することができる。これにより、入力ベクト  
ルのうち、参照ベクトルとの近似度が所定程度以上高い入力ベクトルを  
5 高速に抽出することができる。

一方、カウンタ $C_t$ のカウント数はカウント数取得器19に出力され  
ており、カウント数取得器19は、全てのベクトル列比較回路 $C_{p1} \sim$   
 $C_{pm}$ の出力を取得する。

精度よりもむしろ解の出力までの時間が短いことが要求される場合に  
10 は、例えば、カウント数取得器19により取得した各ベクトル列比較回  
路 $C_{p1} \sim C_{pm}$ のカウント数を図示しない比較器で比較し、それによ  
り、参照ベクトルとの近似度が高い入力ベクトルをその順に抽出するよ  
うにしてもよい。確率的演算回路 $C_c$ に比してベクトル列比較回路 $C_p$   
の数は圧倒的に少ないため、このような比較は従来のコンピュータでも  
15 十分高速に実行することができる。

次に、本実施形態の確率的演算素子を構成する個別素子の構成例を説  
明する。

第2図は第1図の揺らぎ発生器15の構成例を示すブロック図であ  
る。

20 第2図に示すように、揺らぎ発生器15は、演算器21と遅延回路2  
3とを有している。本発明における揺らぎとはアナログ量（物理量）の  
不規則又は規則的な変動であって以下の条件を満たすものをいう。不規  
則な変動の場合は、その変動するアナログ量の平均値に時間軸上におけ  
る偏りが実質的に存在しないことが必要である。規則的な変動の場合は、  
25 周期的な変動の変動幅が所定の周期で変動し、その周期的に変動するア  
ナログ量のその所定の周期内における平均値に時間軸上における偏り  
が実質的に存在しないことが必要である。以下では、不規則な揺らぎを

説明し、規則的な揺らぎについては実施形態 8 で説明する。

このような揺らぎを発生する回路は、近年、乱数発生回路やカオス発生回路などにおいて広く研究がなされており、例えば I E E E T r a n s a c t i o n s o n C i r c u i t s a n d S y s t e m s - I : F u n d a m e n t a l t h e o r y a n d a p p l i c a t i o n s , V o l . 4 7 , N o . 1 1 , N o v e m b e r 2 0 0 0 , p p . 1 6 5 2 - 1 6 5 7 , " C M O S c i r c u i t s g e n e r a t i n g a r b i t r a r y c h a o s b y u s i n g p u l s e w i d t h m o d u l a t i o n t e c h n i q u e s " に記載の M o r i e らのカオス発生回路などを用いることができる。

カオスにはいくつかの種類が報告されているが、第 2 図にはロジスティックカオスを発生する構成例を示している。第 2 図の演算器 2 1 は入力ベクトルデータ  $x(t)$  に対して次の式で演算を実行する。

15

$$x(t+1) = a \cdot x(t) \cdot [1 - x(t)] \quad \dots (1)$$

ここに  $a$  は定数であり、例えば 3.96 などである。ある時点での入力電圧  $V$  を  $x(t)$  とし、これを式 (1) に従い演算した結果を出力電圧  $x(t+1)$  とする。さらにこの  $x(t+1)$  を遅延回路 2 3 により次のステップの入力とすることで、カオス揺らぎの電圧を発生することができる。

20

なお、図示しないが、このようなカオス発生回路を用いずとも、例えば半導体基板に生ずる熱雑音を増幅しても同様にランダムな電圧を得ることができる。

25 第 3 図は第 1 図のカウンタ  $C t$  の構成例を示す回路図である。

第 3 図において、符号 2 5 は D フリップフロップを示す。本実施の形態では、カウンタ  $C t$  は、いわゆる D フリップフロップを用いた、非同

期式カウンタにより構成されている。電圧パルス  $V_{pul}$  がカウンタ  $C_t$  に入力されると、2 進的に  $D_0$ 、 $D_1 \dots D_n$  の  $H_{igh}$  出力が切り替わっていく。ここで、例えば最大カウント数に達したベクトル列を検出したいのであれば、 $D_n$  の出力をフラグ検出器 17 へ接続しておき、最初

5  $D_n$  が  $H_{igh}$  となったベクトル列を検出すればよいことになる。また、全てのベクトル列の中から参照ベクトルに近いものを複数抽出したい場合には、フラグ検出器 17 において、 $H_{igh}$  となったフラグ数を常時カウントしておけばよい。

また最上位ビット（桁）をフラグとせずにさらに下位ビットの出力を検出すれば、確率的にフラグはより早く  $H_{igh}$  となるので、演算速度

10 を優先することができる。

なお、前述のように、このようなフラグ検出 17 を用いずとも、カウント数そのものをカウント数取得器 19 により取得し、図示しない比較器で比較してもよい。

15 第 4 図は第 1 図の確率的演算回路  $C_c$  の構造をより詳細に示すブロック図である。

第 4 図において、確率的演算回路  $C_c$  は、データ記憶部 41 と、距離演算器 43 と、和算器 45 と、閾値処理器 47 とを有している。そして、距離演算器 43 と和算器 45 とが揺らぎ差分演算手段 401 を構成している。データ記憶部 41 には、図示されない配線により、1 つの参照ベクトルデータ（正確には参照ベクトルの要素のデータ）が書き込まれる。距離演算器 43 は、入力電圧出力器 13 から出力される入力ベクトルデータ（正確には入力ベクトルの要素のデータ）とデータ記憶部 41 に記憶された入力ベクトルデータの差の絶対値に比例した電圧を出力

20 する。和算器 45 は、距離演算器 43 の出力と揺らぎ発生器 15 の出力の和の大きさに比例した電圧を出力、すなわち重畳電圧を出力する。

ここで、本発明において和算とは、このように、複数のアナログ量の

和に比例したアナログ量を演算することをいう。

閾値処理器 4 7 は、和算器 4 5 の出力に対し閾値処理を実行する。閾値処理器 4 7 の出力は第 1 図に示すように、直接又は遅延回路 7 を介してスイッチ 9 へ出力される。

- 5      第 5 図は第 4 図のデータ記憶部 4 1 の構成例を示すブロック図である。第 5 図において、データ記憶部 4 1 は、演算・D/A 変換器 5 3、スイッチ 5 5、及びアナログメモリ 5 7 を有している。符号 5 1 はデジタルの参照ベクトルデータ（正確には参照ベクトルの要素のデータ）を示す。この参照ベクトルデータは、例えば D R A M やフラッシュメモリ、
- 10      さらにはハードディスクなどの外部記憶装置などに格納されている。

データ記憶部 4 1 は、デジタルの参照ベクトルデータ 5 1 を、演算・D/A 変換器 5 3 において後述する簡単な演算をデジタルで実行するとともにこれを物理量（本実施形態では電圧）で表されたアナログの参照ベクトルデータに変換し、このアナログの参照ベクトルデータをスイッチ 5 5 によりパルスの的にアナログメモリ 5 7 へ入力することで、アナログの参照ベクトルデータを記憶している。ここでアナログメモリ 5 7 はリセット信号を入力する手段も具備している。本発明においては、アナログとは、データ（例えば数値）を連続する物理量（例えば電圧）を用いて表すことをいう。

15

- 20      第 6 図は、本実施形態のアナログメモリセルアレイの構成の一例を示す回路図である。

第 6 図において、符号 5 9 (1)、5 9 (2)・・・は配線を示す。第 5 図のアナログメモリ 5 7 は、マトリクス状に配置された第 1 図の確率的演算回路 C c が、それぞれ 1 つずつ備えている。従って、アナログメモリ 5 7 も、確率的演算回路 C c に対応してマトリクス状に配置されており、このマトリクス状に配置されたアナログメモリ 5 7 によって、第 6 図のメモリセルアレイが構成されている。

25

第6図は、ベクトル列数が  $i$ 、ベクトル要素数が  $j$  の場合におけるメモリセルアレイを示している。この場合、メモリセルアレイは、 $i$  行  $j$  列のアナログメモリ 57 を有する。第6図にはその一部、4行4列の部分のみを示している。またリセットを行う配線も省略している。

- 5      このメモリセルアレイでは、アナログメモリ 57 の列（ベクトル列）に対応して、スイッチ 55 を On / Off するための配線 59（1）、59（2）・・・がそれぞれ設けられている。また、アナログメモリ 57 の行（ベクトル要素）毎に、演算・D/A変換器 53 が設けられている。
- 10      このように構成されたアナログセルアレイでは、配線 59（1）、59（2）・・・のいずれか一つを選択して例えば High にすると、その列の全てのスイッチ 55 が On 状態となり、それにより、デジタルの参照ベクトルデータ 51 が、演算・D/A変換器 53 でデジタルの参照ベクトルデータに変換されて、その選択された列のアナログメモリ 57
- 15      へ並列的に書きまれる。そして、全てのアナログメモリ 57 の列について、順次、この列選択及び書き込み動作を遂行することにより、参照ベクトルデータを高速に書き込むことができる。

このようなマトリクス的な書込は、アナログメモリ 57 が、後述する構成例のように、不揮発性を有することによって可能となる。

- 20      なお、第6図では、 $j$  個の要素を有する  $i$  列のベクトル群をベクトルの列毎に、順次、メモリセルアレイに書き込むように構成したが、このベクトル群をベクトルの要素毎に、順次、メモリセルアレイに書き込むように構成してもよい。この場合には、アナログメモリ 57 の行（ベクトル要素）に対応して、配線 59（1）、59（2）・・・をそれぞれ
- 25      設け、かつ、アナログメモリ 57 の列（ベクトル列）毎に、演算・D/A変換器 53 を設ければよい。

第7図は第5図のアナログメモリ 57 の第1の構成例を示す回路図、

第 8 図は第 5 図のアナログメモリに 5 7 に用いられるソースフォロワ回路の入力-出力特性を示すグラフである。

第 7 図に示すように、本例のアナログメモリ 5 7 は、ソースフォロワ回路 6 3 と、このソースフォロワ回路 6 3 を構成する C M I S F E T  
5 (Complementary M I S F E T、以下、C M I S と略記する) のゲート電極 (以下、フローティングゲート電極という) 6 3 a に接続された強誘電体キャパシタ 6 5 とを有している。

ソースフォロワ回路 6 3 は、第 8 図に示すように、電源電圧  $V_{DD}$  の範囲内である範囲に渡って入力電圧  $V_{FG}$  に比例した電圧  $V_{out1}$  を出力する  
10 特性を有する。

次に、このよう構成されたアナログメモリ 5 7 の動作を説明する。

書込み電圧  $V_w$  (アナログの参照ベクトルデータに対応する電圧) が強誘電体キャパシタ 6 5 に印加されると、その強誘電体に分極が生じて、フローティングゲート電極 6 3 a の電位  $V_{FG}$  が変化する。すると、ソース  
15 フォロワ回路 6 3 は、その特性に従って、その変化した電位  $V_{FG}$  に応じた電圧  $V_{out1}$  を出力する。ここで、強誘電体キャパシタ 6 5 の強誘電体の残留分極は不揮発に保持される。これにより、電圧  $V_w$  が、アナログメモリ 5 7 に不揮発に記憶される、つまり、書き込まれたことになる。また、それと同時に、その書き込まれた電圧  $V_w$  に応じた電圧  $V_{out1}$  が  
20 ソースフォロワ回路 6 3 を通じて出力される。また、アナログメモリ 5 7 が、不揮発性を有するので、演算・D/A変換器 5 3 の出力を適宜切り替えて書込み動作を行うことができ、かつ演算・D/A変換器 5 3 の占有面積や書込みのための配線を大幅に低減することができる。

このように、強誘電体キャパシタ 6 5 の強誘電体の分極値は書き込み  
25 電圧  $V_w$  の大きさや履歴により多値を得ることができるので、強誘電体キャパシタ 6 5 はアナログメモリとして機能する。特にこの構造は、2トランジスタ-1キャパシタの構成であるため、セル占有面積が小さい

点で有利である。

第 9 図は第 5 図のアナログメモリ 57 の第 2 の構成例を示す回路図である。

第 9 図に示すように、本例のアナログメモリ 57 は、ソースフォロワ回路 63 と、このソースフォロワ回路 63 を構成する C M I S のフローティングゲート電極 63 a に互いに並列にそれぞれ接続された強誘電体キャパシタ 65 及び常誘電体キャパシタ 73 とを有している。

このように構成された本例のアナログメモリ 57 では、強誘電体キャパシタ 65 の上部電極 N1 と常誘電体キャパシタ 73 の上部電極 N2 との間に書き込み電圧  $V_w$  を印加することで、第 1 の構成例と同様に、フローティングゲート電極の電位  $V_{FG}$  の値が変化し、それにより、アナログメモリとして機能する。

一般に強誘電体は比誘電率が大きいため、第 7 図のような強誘電体キャパシタ 65 とソースフォロワ回路 63 を構成する M I S F E T のゲート容量との直列構造では、強誘電体側に電圧が分配されにくいいため、ソースフォロワ 63 を構成する M I S F E T を大きくする必要がある。一方、本例の構造では、強誘電体キャパシタ 65 と常誘電体キャパシタ 73 とのキャパシタンスのバランスで電位  $V_{FG}$  を決定できることから、当該 M I S F E T のサイズを周辺回路と同等にできるため、製造がしやすくなる。特に、常誘電体キャパシタ 73 も高誘電率の材料を用いることが望ましく、例えばチタン酸バリウム・ストロンチウム (B S T) などを用いれば、強誘電体キャパシタと同等のサイズのキャパシタにすることができる。

第 10 図は、第 7 図及び第 9 図の強誘電体キャパシタのヒステリシス特性を示すグラフである。

第 10 図において、横軸は強誘電体の分配電圧を示している。この分配電圧は、第 7 図のアナログメモリ 57 の場合には、 $[V_w] - [V_{FG}]$

で計算される、強誘電体への分配電圧を示している。また、第 9 図のアナログメモリ 57 の場合には、書込電圧  $V_w$  を印加したときに強誘電体へ分配される電圧を示している。

第 10 図に示すように、強誘電体はヒステリシス特性を有していることから、同じ電圧を印加しても、それまでの電圧印加履歴によって、異なる残留分極値を取る。このため、本実施形態では、一旦、リセットパルス  $V_{res}$  を印加し、分極を負及び正のいずれか一方に飽和させてから書込み電圧  $V_w$  を印加することで、書込み電圧  $V_w$  に良好に対応した  $V_{FG}$  を得ている。すなわち、リセットパルス  $V_{res}$  を印加した後に、 $V_{w1}$  を印加すると、強誘電体の分極は飽和曲線上を移動して、残留分極が  $P_{r1}$  となり、リセットパルス  $V_{res}$  を印加後に  $V_{w2}$  を印加したときには、同様に残留分極は  $P_{r2}$  となる。つまり、書き込み電圧  $V_{w1}$ ,  $V_{w2}$  に対し一義的に残留分極  $P_{r1}$ ,  $P_{r2}$  が定まる。この残留分極値によりフローティング電極の電位  $V_{FG}$  が決定され、ソースフォロワ回路 63 の特性により、アナログ電圧  $V_{out1}$  が出力される。このように、本実施形態に用いたアナログメモリ 57 は、素子数が少なくかつ不揮発であるという特徴を有するため、本実施形態の確率的演算素子には極めて有効なアナログメモリである。

第 11 図は、第 1 図の距離演算器 43 を構成する減算素子の構成の一例を示す回路図である。

第 11 図において、減算素子 72 は、ソースフォロワ回路 63 と、このソースフォロワ回路 63 を構成する CMIS のゲート電極（フローティングゲート電極）73a に互いに並列にそれぞれ接続された第 1 のキャパシタ 75 及び第 2 のキャパシタ 77 とを有している。第 1 のキャパシタ 75 には、電圧  $V_1$  が入力される。第 2 のキャパシタ 77 には、電圧  $V_2$  が入力される。電圧  $V_1$ ,  $V_2$  の定義については後述する。

次に、以上のように構成された減算素子 72 の動作を説明する。

ソースフォロワ回路 7 3 のフローティングゲート電極 7 3 a の電位を  $V_{FG2}$  とし、第 1 のキャパシタのキャパシタンスを  $C_1$ 、第 2 のキャパシタのキャパシタンスを  $C_2$  とし、P チャネル CMIS (以下、PCMIS と略記する) 7 3 P 及び N チャネル CMIS (以下、NCMIS と略記する) 7 3 N のキャパシタンスをそれぞれ  $C_P$ 、 $C_N$  とすると、電荷の保存則より次式が成立する。

$$Q = C_1(V_1 - V_{FG2}) + C_2(V_2 - V_{FG2}) = V_{FG2}(C_P + C_N) \quad \dots (2)$$

ここに  $C_1 = C_2$  とし、 $\alpha$  を次式で定義する。

$$\alpha = \frac{C_1}{2C_1 + C_N + C_P} = \frac{1}{2 + \left[ \frac{C_N + C_P}{C_1} \right]} \quad \dots (3)$$

式 (2) と式 (3) から次式を得る。

$$V_{FG2} = \alpha(V_1 + V_2) \quad \dots (4)$$

この電位  $V_{FG2}$  に対応した電圧  $V_{M1}$  がソースフォロワ回路の特性により出力される。すなわち、 $V_1$  と  $V_2$  との和に比例した出力が得られる。ここで式 (3) において、 $(C_N + C_P)$  に対して  $C_1$  が大きい場合、すなわち MISFET のゲート容量が十分に小さい場合には、 $\alpha$  の値は 0.5 に近づき、本減算素子 7 2 は入力された電圧の平均値に近い値を出力する特性を示す。

ここで、例えば、 $V_1$  と  $V_2$  に次の式で与えられる電圧を入力するとする。

$$V_1 = V_Z + V_{ref} \quad \dots (5)$$

$$V_2 = V_Z - V_{in} \quad \dots (6)$$

ここに  $V_Z$  は補正電圧であり後述する式で演算する。また  $V_{in}$  は入力ベクトルデータに対応し、第4図の入力電圧出力器13は式(6)の演算結果を電圧として出力している。また、 $V_{ref}$  は参照ベクトルデータに対応し、同様に第4図の確率的演算回路Ccのデータ記憶部41の出力は式(5)の演算結果に相当する電圧を出力する。

これらの式と式(4)とから次式が成り立つ。

$$V_{FG2} = 2\alpha V_Z + \alpha(V_{ref} - V_{in}) \quad \dots (7)$$

すなわち参照ベクトルデータに対応する電圧(以下、参照ベクトル電圧という)  $V_{ref}$  と入力ベクトルデータに対応する電圧(以下、入力ベクトル電圧という)  $V_{in}$  の差にバイアス  $2 \cdot V_Z$  分シフトした電圧が  $V_{FG2}$  に得られ、実効的に差演算を行うことができる。

第12図は第11図の減算素子72を構成するソースフォロワ回路73の入力-出力特性を示すグラフである。

第12図に示すように、ソースフォロワ回路73は、 $V_{Low}$  から  $V_{High}$  の範囲の入力電圧  $V_{FG2}$  対し、 $V_{ss}$  から  $V_{DD}$  の範囲の電圧  $V_M$  を出力する。

ここで、ソースフォロワ回路73の出力が線形に増加し始める始点である  $V_{Low}$  を用いて、上述の  $V_Z$  を以下の式を満たすように決定する。

$$V_{low} = 2\alpha V_Z \quad \dots (8)$$

すると  $V_{ref}$  と  $V_{in}$  の差について以下のような出力特性をもつこととなる。

$$V_{out2} = \begin{cases} 0 & (V_{ref} - V_{in} < V_{SS}) \\ V_{FG2} - 2\alpha V_z & (V_{DD} + 2\alpha V_z \geq V_{ref} - V_{in} \geq V_{SS}) \\ V_{DD} & (V_{ref} - V_{in} \geq V_{DD} + 2\alpha V_z) \end{cases} \quad \dots (9)$$

第 1 3 図は、参照ベクトル電圧  $V_{ref} = 1$  [V] の場合について  $V_{SS} = 0$  [V]、 $V_{DD} = 1$  [V]、かつ  $\alpha = 0.45$  の時における減算素子 7 2 の入力－出力特性を示している。参照ベクトル電圧  $V_{ref}$  と入力ベクトル電圧  $V_{in}$  との差が正のときに比例的に出力電圧が増加し、正のみの差演算を実行できていることが理解できる。

同様に  $V_1$ 、 $V_2$  を次式のようにすれば、逆方向の差演算が実行できる。

$$V_1 = V_z - V_{ref} \quad \dots (10)$$

$$V_2 = V_z + V_{in} \quad \dots (11)$$

この場合の減算素子 7 3 の入力－出力特性を第 1 4 図に示す。この場合は、入力ベクトル電圧  $V_{in}$  と参照ベクトル電圧  $V_{ref}$  の差が正のときに比例的に出力電圧が増加する。

以上の特性を応用して絶対値演算を行う回路を第 1 5 図に示す。第 1 5 図において、符号 8 1 は減算器を示す。この減算器 8 1 は、一対の減算素子 8 2 a、8 2 b を並列に配置し、その出力を和算器 8 3 へ入力するように構成されている。減算素子 8 2 a 及び 8 2 b は、共に、第 1 1 図の減算素子 7 2 で構成されている。

ここで、減算素子 8 2 a への入力を  $V_{11}$ 、 $V_{21}$ 、減算素子 8 2 b への入力を  $V_{12}$ 、 $V_{22}$  とし、 $V_{11}$ 、 $V_{12}$  を式 (5)、(6) に従い決定し、 $V_{21}$ 、 $V_{22}$  を式 (10)、(11) に従って決定すると、減算素子 8 2 a 及び減算素子 8 2 b の入力－出力特性は、それぞれ、第 1 3 図及び第

1 4 図に示す特性となる。和算器 8 3 は、式 (4) 及びソースフォロワ回路 8 3 a の特性に従ってその入力電圧  $V_{M1}$  及び  $V_{M2}$  の和に比例した電圧  $V_{out3}$  を出力する。第 4 図の距離演算器 4 3 はこの減算器 8 1 で構成されている。

- 5 第 1 6 図は第 4 図の距離演算器 4 3 の入力ー出力特性を示すグラフである。第 1 6 図に示すように、この距離演算器 4 3 は、参照ベクトル電圧と入力ベクトル電圧との差の絶対値に比例した電圧を出力することができる。

10 なお、この距離演算器 4 3 では、第 4 図に示す入力電圧出力器 1 3 とデータ記憶部 4 1 とからの出力は、減算素子 8 2 a 及び減算素子 8 2 b へそれぞれ入力するために 2 系統必要となるが、第 4 図ではこれらを省略して示している。

第 1 7 図は第 4 図の和算器 4 5 の構成例を示す回路図である。

- 15 第 1 7 図に示すように、和算器 4 5 は、ソースフォロワ回路 9 3 と、このソースフォロワ回路 9 3 を構成する C M I S のゲート電極（フローティングゲート電極）9 3 a に互いに並列にそれぞれ接続された第 1 のキャパシタ 9 5 及び第 2 のキャパシタ 9 7 とを有している。第 1 のキャパシタ 9 5 には、距離演算器 4 3 の出力（以下、距離電圧という） $V_{out3}$  が入力される。第 2 のキャパシタ 9 7 には、揺らぎ発生器 1 5 の出力電  
20 圧（以下、揺らぎ電圧という） $V_{cao}$  が入力される。

和算器 4 5 の動作は第 1 5 図の和算器 8 3 と同様であるが、特に揺らぎ電圧  $V_{cao}$  と距離電圧  $V_{out3}$  との和算をアナログ的に実行できるため、その出力  $V_{out4}$  として、距離電圧  $V_{out3}$  に揺らぎが重畳した出力が得られる。

- 25 第 1 8 図は第 4 図の閾値処理器 4 7 の構成例を示す回路図である。

第 1 8 図に示すように、閾値処理器 4 7 として、本実施形態では、例えば C M I S インバータを用いている。

この閾値処理器 4 7 では、C M I S インバータのゲート 4 7 a に和算器 2 3 の出力  $V_{out4}$  が入力される。C M I S インバータは、和算器 4 5 の出力  $V_{out4}$  が、その閾値電圧以上である間、これを反転及び増幅して出力する。和算器 4 5 の出力電圧  $V_{out4}$  は、平坦な波形を有する距離電圧  $V_{out3}$  に揺らぎ波形を有する揺らぎ電圧  $V_{cao}$  が重畳されたものである。C M I S インバータは、パルス状の電圧  $V_{pul}$  を出力する。

次に、以上のように構成された確率的演算素子 1 の動作を説明する。

第 1 図、第 4 図、及び第 6 図において、所定列数（ここでは 1 0 0 0 列）のデジタルの参照ベクトルデータが、要素毎に、順次、演算・D/A 変換器 5 3 でアナログデータに変換されて各ベクトル列比較回路 C p 1 ~ C p の各確率的演算回路 C c 1 ~ C c n のデータ記憶部 4 1 に参照ベクトル電圧  $V_{ref}$  としてそれぞれ書き込まれ、データ記憶 4 1 で所定の演算が施されて距離演算器 4 3 に出力される。一方、デジタルの入力ベクトルデータが図示されない D/A 変換器でアナログの入力ベクトル電圧  $V_{in}$  に変換され、入力電圧出力回路 1 3 で所定の演算を施されて距離演算器 4 3 に出力される。

距離演算器 4 3 は、これらの入力電圧に基づいて参照ベクトル電圧  $V_{ref}$  と入力ベクトル電圧  $V_{in}$  との差の絶対値（参照ベクトルの要素と入力ベクトルの要素とのマンハッタン距離）を演算し、これを距離電圧  $V_{out3}$  として和算器 4 5 に出力する。

和算器 4 5 は、この距離電圧  $V_{out3}$  と揺らぎ発生器 1 5 から入力される揺らぎ電圧  $V_{cao}$  とを和算して、距離電圧  $V_{out3}$  に揺らぎ電圧  $V_{cao}$  が重畳された電圧  $V_{out4}$  を閾値処理器 4 7 に出力する。

閾値処理器 4 7 は、和算器 4 5 の出力電圧  $V_{out4}$  を閾値処理して、パルス状の電圧  $V_{pul}$  を出力する。

各確率的演算回路 C c から出力されるこのパルス状の電圧  $V_{pul}$  はカウンタ C t によってベクトル列比較回路 C p 毎にカウントされ、この

カウント数がカウント数取得器 19 又はフラグ検出器で検出され、この検出結果に基づいて、各参照ベクトルデータと入力ベクトルデータとの近似度が判定される。

次に、閾値処理器 47 から出力されるパルス数と参照ベクトルデータ  
5 及び入力ベクトルデータ相互間の近似度との関係を詳しく説明する。

参照ベクトル電圧  $V_{ref}$  と入力ベクトル電圧  $V_{in}$  の値が近いとき、距離演算器 43 の出力は小さい電圧となる。その結果、和算器 45 の揺らぎが重畳された出力電圧  $V_{out4}$  も小さい電圧範囲で振動することとなる。その結果、閾値処理器 47 であるインバータの出力は High レベル  
10 ( $=V_{DD}$ ) が出やすくなる。すなわち、以上のような回路構成とすることで、参照ベクトルデータと入力ベクトルデータの値が近いほど High、すなわちパルスが出力されやすくなるのである。

第 19 図は、第 1 図の揺らぎ発生器 15 の出力を示すグラフである。横軸は揺らぎ発生回数を示す。

15 第 19 図に示すように、揺らぎ発生器 15 の出力は、一見、ランダムなカオス的な揺らぎを発生している。

第 20 図は、参照ベクトル電圧と入力ベクトル電圧との差が比較的大きい場合（およそ 1.5 [V]）における和算器 45 の出力の一部を示すグラフである。

20 この場合における和算器 45 の出力を、さらに閾値処理器 47 で、例えば 2 値化（この場合閾値電圧 = 0.5 [V]）すると、第 21 図に示すような出力が得られる。すなわち、閾値を越える毎にパルスが発生する。

第 22 図は、参照ベクトル電圧と入力ベクトル電圧との差が小さい場合（およそ 0.8 [V]）における和算器 45 からの出力の一部を示す  
25 グラフである。第 23 図にはこの場合における閾値処理器 47 からの出力を示している。第 21 図と第 23 図の比較から、閾値処理器 47 は、

参照ベクトル電圧と入力ベクトル電圧の差の絶対値が小さい場合ほど、多くのパルスが発生する特性を有することが判る。

この特性をさらに詳細に検討した結果を第 24 図に示す。

第 24 図は揺らぎ電圧  $V_{ca0}$  における揺らぎ回数に対するパルス発生  
5 数を、参照ベクトルデータと入力ベクトルデータとの近似度をパラメータとして示すグラフである。

第 24 図において、近似度とは、電源電圧で正規化した参照ベクトル電圧と入力ベクトル電圧の差の絶対値を、1 から減じた値として定義したものである。すなわち近似度が高いほど、2 つのベクトルは似通って  
10 いることを示す。

第 24 図に示すように、例えば、近似度が 0 の時は、閾値を越えないため、100 回の揺らぎに対してパルス発生数はゼロである。しかし、近似度が大きくなるにつれて、パルスの発生確率が上昇することが理解される。これらのパルス発生は確率的に発生するため、直線的な増加は  
15 示さないが、揺らぎ回数が増すほど、近似度による差は安定してくることが理解される。

この揺らぎと閾値処理による確率的なパルス発生が、本発明の確率的演算素子の本質であり、従来のコンピュータのような厳密性には欠けるが、揺らぎの回数が増すほど、確率的に精度が向上してくる。このこと  
20 は、精度は低くとも至急に演算結果を欲する情報処理や、演算時間が延びても精度を重視する場合などにおいて、非常に柔軟にベクトルの差演算を実行できる、全く従来にない新概念の素子を提供できることを意味している。

次に、本実施形態の確率的演算素子 1 において、ベクトル列比較回路  
25 C t の列数が、演算しようとするベクトルの列数に足りない場合の駆動方法を説明する。確率的演算素子 1 の面積は有限であり、一方で、ソフトウェア上でのマトリクスの宣言が仮想的であることを考えれば、この

ような事態は多く発生すると考える。

例えば、本実施形態ではベクトル列数は1 0 0 0であるが、比較対照の列数が5 0 0 0の場合について、入力ベクトルに対して、参照ベクトル列の中から最も似たものを1 0 0列抽出する場合を例に説明する。

- 5 第1図、第4図、及び第6図において、まず、確率的演算素子1上で1 0 0 0列の参照ベクトルを第6図の説明で述べたようにして記憶させる。この場合は、例えば、演算・D/A 5 3を通じて順に参照ベクトルデータを書き込めばよい。

- 次に、入力ベクトルを入力し、その後、揺らぎ発生器1 5から揺らぎ  
10 電圧を入力することで、閾値処理器4 7から順次パルスが出力される。パルス数はカウンタC t 1～C t mにより順次カウントされ、例えば第3図のD<sub>8</sub>からの出力に着目していた場合、2 5 6 (= 2<sup>8</sup>)のパルスが入力されると、D<sub>8</sub>ラインがH i g hを出力する。このH i g hとなるベクトル列の数をフラグ検出器1 7で監視しておき、この場合1 0 0  
15 列に到達したら揺らぎ発生器1 5からの揺らぎ電圧の出力を停止する。次に、このH i g hが出力されたベクトル列を飛ばすようにして参照ベクトルを9 0 0列書き込む。

以上の動作を繰り返せば、最終的には参照ベクトル全体の中で最も似通ったベクトル列を抽出することができる。

- 20 以上に説明したように、本実施形態の確率的演算素子1はベクトル比較の演算を多数並列的に実行できるため、その比較速度は、特にベクトル数が増加するに従って、従来のコンピュータより格段に高速に演算できる。

- また、一般的なアナログ回路では、厳密な演算を行うことは難しいが、  
25 本確率的演算素子1は演算原理がそもそも確率的であることを前提にしているため、その製造にあたっては設計に自由度を持たせることができ、製造が容易という特徴を有する。

また、本実施形態によれば、確率的演算素子 1 をトランジスタやキャパシタ等の在来の回路素子で構成することができるので、これを半導体プロセス技術によって製造することができる。

また、マンハッタン距離を演算することができる。

- 5     さらに、参照ベクトルと入力ベクトルとの要素毎の差分（距離）がパルスとして出力され、そのパルスの総和に基づいて参照ベクトルと入力ベクトルとの近似度が判定されるので、比較しようとするベクトルの要素が多くなっても、容易に近似度を判定することができる。

- 10     総括すると、本実施形態の確率的演算素子 1 は、従来のデジタル演算でもアナログ演算でもない、第 3 の演算手法の演算素子を提供できるものである。

この発明は、厳密な論理演算には適さないが、特に認識処理などで多発するベクトルマッチングを非常に高速に行え、従来の半導体素子を補助する極めて有用な素子を提供できるものである。

- 15     なお、本実施形態では、各構成回路を、ソースフォロワのゲートにキャパシタを複数配した構造の素子の場合について説明したが、同様な演算を実行できる素子であれば、所望の動作が得られることは言うまでもない。

- 20     また、繰り返しになるが、揺らぎについては特にカオスを用いる必要もなければ、またカオスについても特にロジスティックカオスに限定されるものではなく、長期的に均等な確率を得られる手法であれば同様の効果が期待できる。

カウンタについても、本実施形態では D フリップフロップの場合について述べたが、他のカウンタを用いても何ら問題ない。

- 25     また、アナログメモリとして強誘電体を用いる場合について説明したが、アナログ量を物性として有するものを用いれば同様の効果を得ることができる。例えば相変化材料の抵抗変化を用いたり、キャパシタへの

充電を利用するなどの手法を用いてもよい。

閾値処理についても、簡便なインバータの場合について説明したが、これが別の回路であっても同様であることは言うまでもない。

また、参照ベクトル及び入力ベクトルのデータを表すアナログの物理  
5 量として、電圧を用いたが、これに限定されるものではなく、他の物理  
量、例えば電流を用いてもよい。

### (実施形態 2)

第 2 5 図は本発明の実施形態 2 に係る確率的演算素子の確率的演算  
10 回路を示すブロック図である。第 2 5 図において第 4 図と同一又は相当  
する部分には同一符号を付してその説明を省略する。

第 2 5 図に示すように、本実施形態の確率的演算素子は、ベクトル要  
素間の距離演算までをデジタル回路で実行する点が実施形態 1 と異なる。  
確率的演算回路 3 0 1 は、実施形態 1 の確率的演算回路 C c に相当  
15 する。その他の点は、実施形態 1 と同様である。

具体的には、デジタルの入力ベクトルデータ 3 0 3 がデジタル距離演  
算回路 3 0 5 に入力される。デジタル距離演算回路 3 0 5 は、入力され  
たデジタルの入力ベクトルデータ 3 0 3 とデジタルの参照ベクトルデ  
ータ 5 1 とを用いて、例えば、参照ベクトル及び入力ベクトルの要素間  
20 の距離の絶対値を演算する。この演算結果が D/A 変換器 3 0 7 でアナ  
ログデータに変換されて、アナログメモリ 5 7 に記憶される。アナログ  
メモリ 5 7 のアナログ出力は揺らぎ発生器 1 5 の出力と和算器 4 5 に  
より重畳され、その出力が閾値処理器 4 7 により閾値処理されてパルス  
として出力される。これにより、実施形態 1 と同様の演算が実行される。  
25 本実施形態の確率的演算素子は、差演算までをデジタルで実行するた  
めその演算時間が必要となるが、第 4 図の距離演算器 4 3 が不要になる。  
第 6 図から距離演算器 4 3 はマトリクス的に配置されるのに対し、本実

施形態のデジタル距離演算回路 305 は行毎に配置すれば済むので、その分、チップ面積を小さくすることが可能となる。

また、第 6 図の演算・D/A 変換器 53 に、本実施形態 2 のデジタル距離演算回路 305 と D/A 変換器 307 の機能を具備させれば、ベクトル要素方向に多数並列にこれらの距離演算を実行し、かつマトリクス的にアナログメモリ 57 に距離のアナログ情報を書き込むことができるため、極めて面積効率の高い確率的演算素子を実現できる。

### (実施形態 3)

10 第 26 図は本発明の実施形態 3 に係る確率的演算素子の確率的演算回路を示すブロック図である。第 26 図において第 4 図と同一又は相当する部分には同一符号を付してその説明を省略する。

第 26 図に示すとおり、本実施形態 3 の確率的演算回路 99 では、実施形態 1 とは異なり、入力ベクトル電圧に揺らぎ電圧を重畳した後に、  
15 参照ベクトル電圧との距離を演算する。その他の点は実施形態 1 と同様である。

このような演算順序であっても実施形態 1 と同様に、確率的にパルスを発生する確率的演算素子を実現できる。

### 20 (実施形態 4)

第 27 図には本発明の実施形態 4 に係る確率的演算素子の減算素子の構成例を示す回路図である。

第 27 図において、符号 100 はスイッチ素子を示す。本実施形態 4 では減算素子 72 が、実施形態 1 の減算素子 72 を構成するソースフォロ  
25 ロウ回路のゲート電極にさらにスイッチ素子 100 を設け、スイッチ素子 100 の他端を例えば接地した構成を有している。また、これと同様に、本実施形態 4 では、和算器及びアナログメモリが、実施形態 1 の和

算器 4 5 及びアナログメモリ 5 7 のソースフォロワ回路のゲート電極にさらにスイッチ素子を設け、スイッチ素子の他端を例えば接地した構成を有している。このような構成とすることにより、実施形態 1 のソースフォロワ回路のゲート電極が、配線と結線されていないフローティング状態にあるのに対し、本実施形態 4 では、スイッチ素子 1 0 0 にリセット電圧  $V_{res1}$  を印加することで、フローティング電極の電位を一旦、例えば接地することができる。

これにより、素子を製造する際のドライエッチング工程などで残留した電荷を除去することができる。また、本実施形態の確率的演算素子を長期的に使用した場合に、例えばソースフォロワ回路を構成する M I S F E T のゲートから流入する電荷を除去することができる。

なお、この構造の場合、リセット用のスイッチ素子 1 0 0 に M I S F E T を用いると、いわゆるジャンクションリークにより、演算時にフローティング電極に保持された電位は長期的には減衰するが、本発明の確率演算素子の演算時間は長くて 1 秒程度であるため、全く問題なく演算を行うことができる。

#### (実施形態 5)

第 2 8 図は本発明の実施形態 5 に係る確率的演算素子の確率的演算回路を示すブロック図である。第 2 8 図において、第 4 図及び第 2 6 図と同一又は相当する部分には同一符号を付してその説明を省略する。

第 2 8 図に示すとおり、本実施形態 3 の確率的演算回路 1 1 1 では、閾値処理器 4 7 の直前にスイッチ 1 1 3 が設けられている。その他の点は、実施の形態 3 と同様である。

例えば、第 2 2 図の動作説明から理解されるように、本発明の確率的演算素子は、揺らぎを有する電圧が閾値を跨ぐときのみパルスを発生するため、例えば、圧倒的にベクトルの絶対差が小さい場合などには、閾

値を跨がない場合が発生する恐れがある。

そこで本実施形態では、スイッチ 1 1 3 に出力信号 1 1 3 a が入っていないときは、例えば H i g h が出力され、出力信号 1 1 3 a が入力されると、そのときの距離演算器 4 3 からの出力を出力するようにすることで、距離演算器 4 3 からの出力が連続的に低く閾値を跨がない場合でも強制的に閾値を跨がせることによりパルスが発生することができる。

(実施形態 6)

10 第 2 9 図は本発明の実施形態 6 に係る確率的演算素子の構成を示す回路図である。第 2 9 同図において、第 1 図と同一又は相当する部分には同一符号を付してその説明を省略する。

第 2 9 図に示すように、本実施形態では、実施形態 1 のカウンタ C t、フラグ検出器 1 7、及びカウント数取得器 1 9 に代えて、積分器 I t 及び比較器 1 5 3 が設けられている。積分器 I t 1 ~ I t m は、確率的演算回路 C c から出力されるパルスに含まれる電荷量を蓄積して、この蓄積された電荷量に応じた電圧をそれぞれ比較器 1 5 3 に出力する。比較器 1 5 3 は、積分器 I t 1 ~ I t m 1 の出力電圧の大小を比較し、その上位の積分器 I t (ひいてはベクトル列) を抽出する。その他の点は実施形態 1 と同様である。

このような構成によれば、実施形態 1 と同様に、参照ベクトルのうち、入力ベクトルと近似するベクトル列を高速に抽出することができるだけでなく、確率的演算回路 C c から出力されるパルスを、その数だけではなくその幅をも含めて評価し、それに基づいて参照ベクトルと入力ベクトルとの近似度を判定するので、より好適に近似度を判定することができる。

このような積分器 I t の構成例を第 3 0 図に示す。

第30図に示すように、積分器  $I_t$  は FET 160 を有している。FET 160 のゲートは第29図のスイッチ S に接続されている。一方、FET 160 のソースにはキャパシタ 159 が接続され、FET 160 のソースとキャパシタ 159 の接続点が第2のスイッチ 157 を介して比較器 153 に接続されている。

このように構成された積分器  $I_t$  では、スイッチ S を ON 状態にし、かつスイッチ 157 を OFF 状態にしているとき、配線にパルスが伝達されると、FET 160 の On / Off が切り替わり、FET 160 が On になった時間だけキャパシタ 159 に電荷が蓄積される。次に、スイッチ S を OFF にし、かつスイッチ 157 を ON にすると、先に蓄積された電荷に相当する電圧が比較器 153 に出力される。すなわち、パルスの幅とその数に相当する電圧が出力される。この場合、蓄積電荷量が増加すると徐々に蓄積される電位は線形でなくなってくるが、大小の違いは明確に検出できるため、ベクトル列間の比較には十分適用できる。

本実施形態の確率的演算素子は、実施形態5で述べたように、閾値を跨ぐ揺らぎが長期的に発生した場合に、パルスの幅としての情報も蓄積できるため、より高精度にベクトル列の比較を実行することができる。

(実施形態7)

以下、本発明の第7の実施形態について説明する。

第31図は本発明の実施形態7に係る確率的演算素子の閾値処理器の構成を示す回路図である。第31図において、第1図と同一又は相当する部分には同一符号を付してその説明を省略する。

第31図において、符号 101 は電流検出器を、符号 102 は揺らぎ発生器制御回路をそれぞれ示す。

実施形態5で述べたように、本発明の確率的演算素子は、ベクトル間の差が小さく、連続的に閾値を跨がない状態が生じると、パルスが発生

しなくなってしまう、ベクトルに近いのにカウントが増加しない事態となる。

本実施形態の確率的演算素子は、これを防止するため、揺らぎ発生器 15 の電圧の揺らぎ幅又は平均電圧を徐々に大きくすることを特徴とする。

揺らぎ発生器制御回路 102 は揺らぎ発生器 15 の出力電圧の揺らぎを少しずつ大きくする。やがて、揺らぎが閾値に達してくると、頻繁にパルスが発生することとなる。このとき、本実施形態の閾値処理器 47 はインバータで構成されているため、High/Low が反転する瞬間に P M I S 47 P から N M I S 47 N へ向けて貫通電流が流れることとなる。この貫通電流を電流検出器 101 が検出すると、揺らぎ発生器制御回路 102 は、パルスが発生し始めたと判定し、揺らぎ発生器 15 の電圧の揺らぎ幅又は平均電圧をその時点における値に維持する。これにより、極端に揺らぎが大きくなることを防止することができる。

第 32 図、第 33 図にはこの動作をより詳細に示している。第 32 図は揺らぎ発生器 15 に高いバイアス電圧（約 1[V]）を付加したときの閾値処理器 47 への入力電圧を示したものである。この場合、閾値である 1[V] より高い電圧範囲で電圧が揺らぐため、閾値に到達することがなく、閾値処理器 47 はパルスを発生しない。すなわち、インバータ 47 はずっと Low レベルを出力しつづけ、反転時に観察される貫通電流は変化がない。

次に第 33 図は第 32 図の状態からバイアス電圧を徐々に低下させ約 0.5[V] とした時の閾値処理器 27 への入力電圧を示している。この場合には、閾値を跨ぐ電圧揺らぎが多発するため、前述のようにパルスが多く出力されることとなる。このようにインバータの On/Off が繰り返されることで、インバータの貫通電流が増加し、これが電流検出器 101 で観察されることとなる。

なお、このような調整は、バイアス電圧を揺らぎ発生器 15 の揺らぎに加えることで平均出力電圧を変化させる、今回の説明のように行っても良いが、揺らぎの振幅を大きくしても同様の機能が得られることは言うまでもない。

5

(実施形態 8)

本発明の実施形態 8 に係る確率的演算素子は、揺らぎ発生回路 15 において発生される揺らぎに特徴を有するため、以下、その揺らぎの特性についてのみ説明する。

10 第 34 図は本実施形態に係る確率的演算素子の揺らぎ発生器の出力を示すグラフである。

実施形態 1 ～ 7 の確率的演算素子においては、揺らぎ発生器の出力は、カオスや熱雑音を用い、ランダムな振る舞いを見せる出力を用いて演算を実行していた。

15 本実施形態 8 の揺らぎ発生器 15 の出力は第 34 図に示すように、規則的な出力を発生することを特徴とする。ここで、特に出力のヒストグラムができるだけ同等になるように、発生出力の大きさを制御している。第 34 図のような徐々に増加するパルス列は、ランプ波形の電圧を一定時間間隔でサンプリングするようにすれば得ることができる。

20 このような揺らぎ電圧を用いても、実施形態 1 ～ 7 と同様の効果を得ることができる。

なお、本実施形態では、規則的に電圧が増加するパルス列としたが、このような特性でなくとも、出力値のヒストグラムに偏りがなければ、同様の効果が期待できることはいうまでもない。

25

(実施形態 9)

本発明の実施形態 9 は実施の形態 1 ～ 8 の確率的演算素子を用いた

認識処理装置としての音声認識装置を例示している。

第 3 5 図は本実施形態に係る音声認識装置の構成を模式的に示すブロック図である。第 3 5 図において、第 1 図と同一又は相当する部分には同一符号を付してその説明を省略する。

- 5      第 3 5 図に示すように、音声認識装置は、マイクロフォン 1 2 3 と、マイクロフォン 1 2 3 から入力される音声データの特徴を抽出する特徴抽出処理部 1 2 1 と、参照ベクトル群を格納するメモリ 1 2 2 と、特徴抽出処理部 1 2 1 で抽出した特徴データとメモリ 1 2 2 に格納された参照ベクトルデータ群とを比較して音声を認識する確率的演算素子 10      1 とを備えている。

- このように構成された音声認識装置では、メモリ 1 2 2 に、参照ベクトルデータ群が例えばデジタル情報として格納されている。参照ベクトルデータ群には、音声の基本的な特徴データが予め格納されており、また、必要な場合には特徴抽出処理部 1 2 1 で得られた特徴データを格納  
15      できるようになっている。特徴抽出処理部 1 2 1 は、マイクロフォン 1 2 3 から入力されたアナログの音声情報に対して、例えば、スペクトル分布や、その時間変化などの処理を行うことにより、その特徴データを抽出する。

- この特徴データが入力ベクトルとして確率的演算素子 1 に入力される。  
20      確率的演算素子 1 は、この特徴データを参照ベクトルデータ群と比較してその中から最も近似する参照ベクトルデータを特定（ベクトルマッチング）し、入力された特徴データに対応する音声をこの特定した参照ベクトルデータに対応する音声であると認識する。

- これにより、マイクロフォン 1 2 3 に入力された音声を、非常に高速  
25      に認識することができる。例えば、マイクロフォン 1 2 3 に入力される音声日本語であれば、五十音の認識を行うことができる。

(実施形態 10)

本発明の実施形態 10 は、実施形態 9 の音声認識装置の改良例を示している。

第 36 図は本実施形態に係る音声認識装置のメモリに格納された参照ベクトルデータ群の特徴を説明する図である。第 36 図において、第 6 図又は第 35 図と同一又は相当する部分には同一符号を付してその説明を省略する。

本実施形態の音声認識装置は、実施形態 9 の音声認識装置において、参照ベクトルデータ群に工夫を凝らしたものである。

10 具体的には、第 36 図に示すように、本実施形態の参照ベクトルデータ 51 は、音声のスペクトル情報を時系列的に前から配置したデータ構造を有している。第 36 図においては、デジタルの参照ベクトルデータ 51 の一部にアルファベットの A～D が示されているが、これらは同じ声に対する特徴情報を表している。

15 本実施形態の音声認識装置は、参照ベクトルデータ群で、同一のデータを相互にずらして配置していることを特徴とする。

人間が話をする場合、文字で書けば同じことを、時間的に同じタイミングで話すとは限らず、また個人差がある。

20 本発明の確率的演算素子は、非常に高速に大量のベクトルのマッチングをとることが可能であるため、このような声の伸び縮みを考慮して、予め時間的にずらしてデータを準備しておけば、時間の伸び縮みがあっても、それに対応したベクトル列が最も近いこととなり、入力された声がどの文字に相当するかを判断することができる。

25 (実施形態 11)

本発明の実施形態 11 は、実施形態 1～8 の確率的演算素子を用いた認識処理装置としての画像認識装置を例示している。

第 3 7 図は実施形態 1 1 に係る画像認識装置の構成を模式的に示すブロック図である。第 3 7 図において、第 3 5 図と同一又は相当する部分には同一符号を付してその説明を省略する。

第 3 7 図に示すように、画像認識装置は、C C D などの撮像素子からなるカメラ 1 4 3 と、カメラ 1 4 3 から入力される画像データの特徴を抽出する特徴抽出処理部 1 4 1 と、参照ベクトル群を格納するメモリ 1 2 2 と、特徴抽出処理部 1 4 1 で抽出した特徴データとメモリ 1 2 2 に格納された参照ベクトルデータ群とを比較して画像を認識する確率的演算素子 1 とを備えている。

10      このように構成された画像認識装置では、メモリ 1 2 2 には参照ベクトルデータ群として、画像から得られる特徴量と、それに対応するラベル、例えばその対象の名前などがデータとして格納されている。

このような画像認識においては、種々の手法があるが、第 3 8 図には、特に人の顔を認識する場合の例を示している。

15      この手法では、カメラ 1 4 3 に映った映像から、目や鼻、口などのパーツ（部位）の位置をまず取得し、次にこれらのパーツ間の距離 1 5 1 を特徴量として抽出している。

20      このような特徴量 1 5 1 が特徴抽出部 1 4 1 で抽出され、この特徴量 1 5 1 が入力ベクトルとして確率的演算素子 1 に入力される。確率的演算素子 1 は、この特徴量 1 5 1 を参照ベクトルデータ群と比較してその中から最も近似する参照ベクトルデータを特定し、入力された特徴量に対応する画像をこの特定した参照ベクトルデータに対応する画像であると認識する。

25      これにより、カメラ 1 4 3 に入力された画像を、非常に高速に認識することができる。

従来、このような認識処理はパーソナルコンピュータなどで行うため、特徴量としてはせいぜい数十程度であったが、本発明の確率的演算素子

1 はより多くのベクトル比較を高速に行えるため、特徴量をより多く取得し、比較することができる。

例えば、顔の向きが変わったり、周囲の明るさが変化した場合など、いくつか状況が変わった場合の特徴量を記憶しておくことで、人を認識する精度を飛躍的に向上することが可能である。

なお、本実施形態では人の顔認識について説明したが、工場の生産ラインにおける基板上の部品の認識や、自動車などからの標識の認識など、他の用途に対しても同様に画像の認識処理を実行できることは言うまでもない。

10

(実施形態 1 2)

本発明の実施形態 1 2 は、実施形態 1 ~ 8 の確率的演算素子を用いた認識処理装置としての行動認識装置を例示している。

第 3 9 図は本実施形態に係る行動認識装置の構成を示すブロック図である。第 3 9 図において第 3 5 図と同一又は相当する部分には同一符号を付してその説明を省略する。

第 3 9 図において、符号 1 7 1 は行動情報記憶ベクトルを示す。行動情報記憶ベクトルには、人の行動をベクトル化したデータが格納されている。符号 1 7 3 は重み付け係数付加回路を示す。重み付け係数付加回路 1 7 3 は、被験者の反応に従ってベクトルの重み付けを変更する。符号 1 7 5 は行動情報入力ベクトルを示す。行動情報入力ベクトル 1 7 5 は、被験者の状態をベクトル化したものである。

行動情報入力ベクトル 1 7 5 は、例えば被験者の屋内及び屋外での電気機器の操作履歴や、家庭内などに配置された赤外線センサ出力、室温センサ出力、湿度センサ出力、また人体近傍に設けられた体温センサ出力、脳波センサ出力、脈拍センサ出力、視線センサ出力、発汗センサ出力、筋電位センサ出力、さらには日時情報、曜日情報などの状況データ

25

を表す。さらには実施形態 1 0 や実施形態 1 1 で述べた音声入力や画像入力の特徴量もこのような状況データとして用いることができる。

行動情報記憶ベクトル 1 7 1 には、さらにこの状況データに加え、そのときに被験者が取った行動、もしくはそのときの機器の動作がデータ  
5 として加えられている。

行動情報入力ベクトル 1 7 5 が入力されると、確率的演算素子 1 において過去の状況で似た状況を抽出し、それに対応する行動が決定される。その決定に対し被験者が反応をする。例えば、提供した動作に躊躇なく次の動作に移れば、提供動作には好印象を持ったと判断できるし、即座  
10 に提供動作を否定する動作に移れば、低強動作には悪い印象を持ったと判断できる。また、Y e s / N o で直接的に回答してもらっても良い。

このような被験者の反応を重み付け係数付加回路 1 7 3 により数値化し、行動情報入力ベクトル 1 7 5 の中の重み付け係数の数値を変える。

このような重み付け係数は、本発明の確率的演算素子においては、例  
15 えば、他のベクトルより多くのパルスが発生する機構を設けるなどすれば、そのベクトル列の選ばれやすさを制御することが可能である。

本実施形態の行動認識装置を、機器に組み込むことにより、ユーザーが快適と思った機器の自動動作が出現する確率が向上し、逆に不快と思った自動動作の出現確率が減少し、被験者個人個人の嗜好に合致したサ  
20 ービスを提供することができる。

上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／  
25 又は機能の詳細を実質的に変更できる。

〔産業上の利用の可能性〕

本発明に係る確率的演算素子は、認識処理装置の認識処理用の素子等として有用である。

本発明に係る確率的演算素子の駆動方法は、認識処理装置の認識処理用の素子等の駆動方法として有用である。

- 5 本発明に係る認識処理装置は、音声認識装置、画像認識装置、行動認識装置等として有用である。

## 請 求 の 範 囲

1. 揺らぎを有するアナログ量を出力する揺らぎ発生器と、2つのデータのアナログの差分に前記揺らぎ発生器の出力が加わった揺らぎ差分データを出力する揺らぎ差分演算手段と、前記揺らぎ差分演算手段の出力を閾値処理することによりパルスを出力する閾値処理器と、前記閾値処理器から出力されるパルスを検出するパルス検出手段とを備えた、確率的演算素子。

10

2. 前記揺らぎ差分演算手段は、アナログの前記2つのデータの差分を演算する距離演算器と、前記距離演算器の出力と前記揺らぎ発生器の出力とを和算する和算器とを備えている、請求の範囲第1項記載の確率的演算素子。

15

3. 前記揺らぎ差分演算手段は、アナログの前記2つのデータの一方と前記揺らぎ発生器の出力とを和算する和算器と、前記和算器の出力とアナログの前記2つのデータの他方との差分を演算する距離演算器とを備えている、請求の範囲第1項記載の確率的演算素子。

20

4. 前記パルス検出手段が、前記パルスをカウントするカウンタを備えている、請求の範囲第1項記載の確率的演算素子。

5. 前記パルス検出手段が、前記パルスの幅を積分する積分器を備えている、請求の範囲第1項記載の確率的演算素子。

25

6. 前記2つのデータは、2つのベクトルのそれぞれの要素を表す要

素データである、請求の範囲第1項記載の確率的演算素子。

7. 前記2つのベクトルが外部から入力される参照ベクトル及び入力ベクトルであり、

- 5 前記参照ベクトル及び入力ベクトルの要素に対応する複数の確率的演算回路を有し、

それぞれの前記確率的演算回路が、前記入力される参照ベクトルの要素データを記憶するためのメモリと、前記メモリに記憶された参照ベクトルの要素データと前記入力される入力ベクトルの要素データとのアナログの差分に前記揺らぎ発生器の出力が加わった揺らぎ差分データを出力する前記揺らぎ差分演算手段と、前記閾値処理器とを有し、

前記パルス検出手段は、前記複数の前記確率的演算回路から出力されるパルスを検出する、請求の範囲第6項記載の確率的演算素子。

- 15 8. 前記複数の確率的演算回路のパルス出力端は、一端が前記パルス検出手段に接続された共通の配線に互いに並列に接続され、前記共通の配線の、前記複数の確率的演算回路のパルス出力端との接続部の間の部分に遅延回路がそれぞれ設けられている、請求の範囲第7項記載の確率的演算素子。

20

9. 前記複数の確率的演算回路と前記パルス検出手段とを有するベクトル列比較回路を複数備えている、請求の範囲第7項記載の確率的演算素子。

- 25 10. 前記メモリがアナログメモリであり、アナログの前記参照ベクトルの要素データが前記アナログメモリに記憶される、請求の範囲第7項記載の確率的演算素子。

- 1 1 . 前記アナログメモリは、ゲート電極に強誘電体キャパシタが接続されたソースフォロワ回路を備え、前記強誘電体キャパシタにアナログの前記参照ベクトルの要素データが入力されかつ記憶される、請求の
- 5 範囲第 1 0 項記載の確率的演算素子。
- 1 2 . 前記ソースフォロワ回路のゲート電極に、さらに常誘電体キャパシタが接続されている、請求の範囲第 1 1 項記載の確率的演算素子。
- 10 1 3 . 前記揺らぎ差分演算手段は前記 2 つのデータのアナログの差分又はアナログの前記 2 つのデータの一方と前記揺らぎ発生回路の出力とを和算する和算器を備え、前記和算器がゲート電極に第 1 及び第 2 のキャパシタが並列に接続されたソースフォロワ回路を備え、前記第 1 のキャパシタに前記揺らぎ発生回路の出力が入力され、前記第 2 のキャパシ
- 15 タに前記 2 つのデータのアナログの差分又はアナログの前記 2 つのデータの一方が入力される、請求の範囲第 1 項記載の確率的演算素子。
- 1 4 . 前記和算器のソースフォロワ回路のゲート電極が、スイッチ素子を介して接地端子へ接続されている、請求の範囲第 1 3 項記載の確率
- 20 的演算素子。
- 1 5 . 前記カウンタが、リプルカウンタである、請求の範囲第 1 項記載の確率的演算素子。
- 25 1 6 . 前記揺らぎが、カオス揺らぎである、請求の範囲第 1 項記載の確率的演算素子。

17. 前記揺らぎが、雑音を増幅して得られる揺らぎである、請求の範囲第1項記載の確率的演算素子。

18. 前記揺らぎ発生器は、揺らぎを有する出力として、周期的な出力を発生し、かつ前記周期的出力の1周期間の出力のヒストグラム値がほぼ同等である、請求の範囲第1項記載の確率的演算素子。

19. 前記距離演算器は減算素子を備え、

前記減算素子は、ゲート電極に並列に2つのキャパシタが接続されたソースフォロワ回路を備え、かつ前記2つキャパシタのキャパシタンスが等しく  $C_1$  であるとし、前記ソースフォロワ回路を構成する NMIS 及び PMIS のキャパシタンスをそれぞれ  $C_N$ 、 $C_P$  とし、前記ソースフォロワ回路へ電圧を入力したときに低電圧側の電圧源の電位より電位が上昇を開始する電圧を  $V_{Low}$  とするとき、

15 電圧  $V_Z$  を  $V_Z = V_{Low} / \{2 C_1 / (2 C_1 + C_N + C_P)\}$  の式で演算し、かつ前記2つのデータはそれぞれ電圧で表されかつその電圧を  $V_a$  と  $V_b$  とするとき、 $V_1 = V_Z \cdot V_a$  なる電圧と  $V_2 = V_Z + V_b$  なる電圧とを前記2つのキャパシタのソースフォロワ回路のゲート電極に接続されていない方の電極にそれぞれ印加することにより、 $V_a \cdot V_b$  の演算において  $V_a \geq V_b$  の場合の減算  
20 を実行する、請求の範囲項2項記載の確率的演算素子。

20. 前記距離演算器は、前記減算素子を2つ備え、前記2つのデータをそれぞれ  $V_{in}$ 、 $V_{ref}$  とするとき、前記2つの減算素子の一方には  $V_a = V_{in}$ 、 $V_b = V_{ref}$  として出力  $V_{M1}$  を得、前記2つの減算素子の他方には  $V_a = V_{ref}$ 、 $V_b = V_{in}$  として出力  $V_{M2}$  を得、かつ電圧  $V_{M1}$  と  $V_{M2}$  を前記和算器へ入力することにより、 $V_{in}$  と  $V_{ref}$  の差の絶対値を演算する、請求の  
25 範囲項19項記載の確率的演算素子。

2 1 . 前記閾値処理器が、C M I S インバータで構成されている、請求の範囲項 1 項記載の確率的演算素子。

5 2 2 . 前記閾値処理器の直前にスイッチ素子が設けられている、請求の範囲項 1 項記載の確率的演算素子。

2 3 . 前記閾値処理器の電源供給配線の電流を検出する電流検出器と、前記電流検出器の出力に基づいて前記揺らぎ発生器の出力を制御する揺らぎ発生器制御回路とをさらに備えている、請求の範囲項 2 1 項記載の確率的演算素子。

2 4 . 前記揺らぎ発生器制御回路は、前記電流検出器により検出される電流が所定値より小さい場合に、前記揺らぎ発生器の揺らぎ幅を増加させる、請求の範囲項 2 3 項記載の確率的演算素子。

2 5 . 前記揺らぎ発生器制御回路は、前記電流検出器により検出される電流が所定値より小さい場合に、前記揺らぎ発生器の出力に、その平均値が前記閾値処理器の閾値に近づくよう正又は負のバイアスを付加する、請求の範囲項 2 3 項記載の確率的演算素子。

2 6 . 外部から入力される参照ベクトル及び入力ベクトルの要素に対応する複数の確率的演算回路と、パルス検出手段と、前記複数の確率的演算回路及び前記パルス検出手段を有する所定数のベクトル列比較回路とを備え、

それぞれの前記確率的演算回路が、揺らぎを有するアナログ量を出力する揺らぎ発生器と、前記入力される参照ベクトルの要素データを記憶

するためのメモリと、前記メモリに記憶された参照ベクトルの要素データと前記入力される入力ベクトルの要素データとのアナログの差分に前記揺らぎ発生器の出力が加わった揺らぎ差分データを出力する揺らぎ差分演算手段と、前記揺らぎ差分演算手段の出力を閾値処理することによりパルスを出力する閾値処理器とを有し、

前記パルス検出手段が、前記複数の確率的演算回路の閾値処理器から出力されるパルスを検出し、それにより、前記入力ベクトルと前記参照ベクトルとの距離を検出する確率的演算素子の駆動方法であって、

前記ベクトル列比較回路の列数が参照ベクトルの列数より少ない場合に、前記入力ベクトルとの距離が近い前記参照ベクトルを  $k$  個（ $k$  は自然数）抽出するとき、

前記ベクトル列比較回路の列数以下の数の前記参照ベクトルを前記ベクトル列比較回路の複数の確率的演算回路のメモリに書き込み、この書き込んだ参照ベクトルから前記上位  $k$  個の参照ベクトルを抽出し、次いで、この参照ベクトルが抽出されたベクトル列比較回路以外のベクトル列比較回路に残りの前記参照ベクトルの少なくとも一部を書き込んで前記抽出を行う、確率的演算素子の駆動方法。

27. 前記参照ベクトルの書き込み及び前記抽出動作をさらに繰り返す、請求の範囲第26項記載の確率的演算素子の駆動方法。

28. 請求の範囲第1項記載の確率的演算素子と、外部から入力される認識対象情報の特徴を抽出し、該抽出された特徴を前記入力ベクトルとして前記確率的演算素子に入力する特徴抽出回路と、前記認識対象情報の特徴をベクトル化した参照ベクトル群を格納するメモリとを備え、

前記確率的演算素子が、前記メモリに格納された参照ベクトル群のうちから前記入力ベクトルに対応する参照ベクトルを特定することにより、

認識対象情報を認識する、認識処理装置。

29. 前記認識対象情報が音声である、請求の範囲第28項記載の認識処理装置。

5

30. 前記参照ベクトル群は、音声の特徴量が時系列的に配置されたベクトル群からなり、かつ人間にとって同じであると認識される音声の特徴量が互いに時系列的にずれて配置された複数列のベクトルを有している、請求の範囲第29項記載の認識処理装置。

10

31. 前記認識対象情報が画像である、請求の範囲第28項記載の認識処理装置。

32. 前記参照ベクトル群は、人間にとって同じものと認識されるが数値的には異なる画像の特徴量がベクトル化されたベクトル群からなる、請求の範囲第31項記載の認識処理装置。

15

33. 前記人間にとって同じものと認識される画像が人間の部位であり、前記数値的に異なる画像の特徴量が前記人間の部位間の距離である、請求の範囲第32項記載の認識処理装置。

20

34. 前記認識対象情報が人間の行動であり、前記認識された行動を出力する、請求の範囲第28項記載の認識処理装置。

35. 前記参照ベクトル群は、人間の活動情報を数値化したデータがベクトル化されたベクトル群からなる、請求の範囲第34項記載の認識処理装置。

25

36. 前記出力された行動に対する反応が好意的な場合には、前記出力された行動に対応する参照ベクトルが選択されやすくなるよう該参照ベクトルの値の少なくとも一部を変更し、前記反応が否定的な場合には

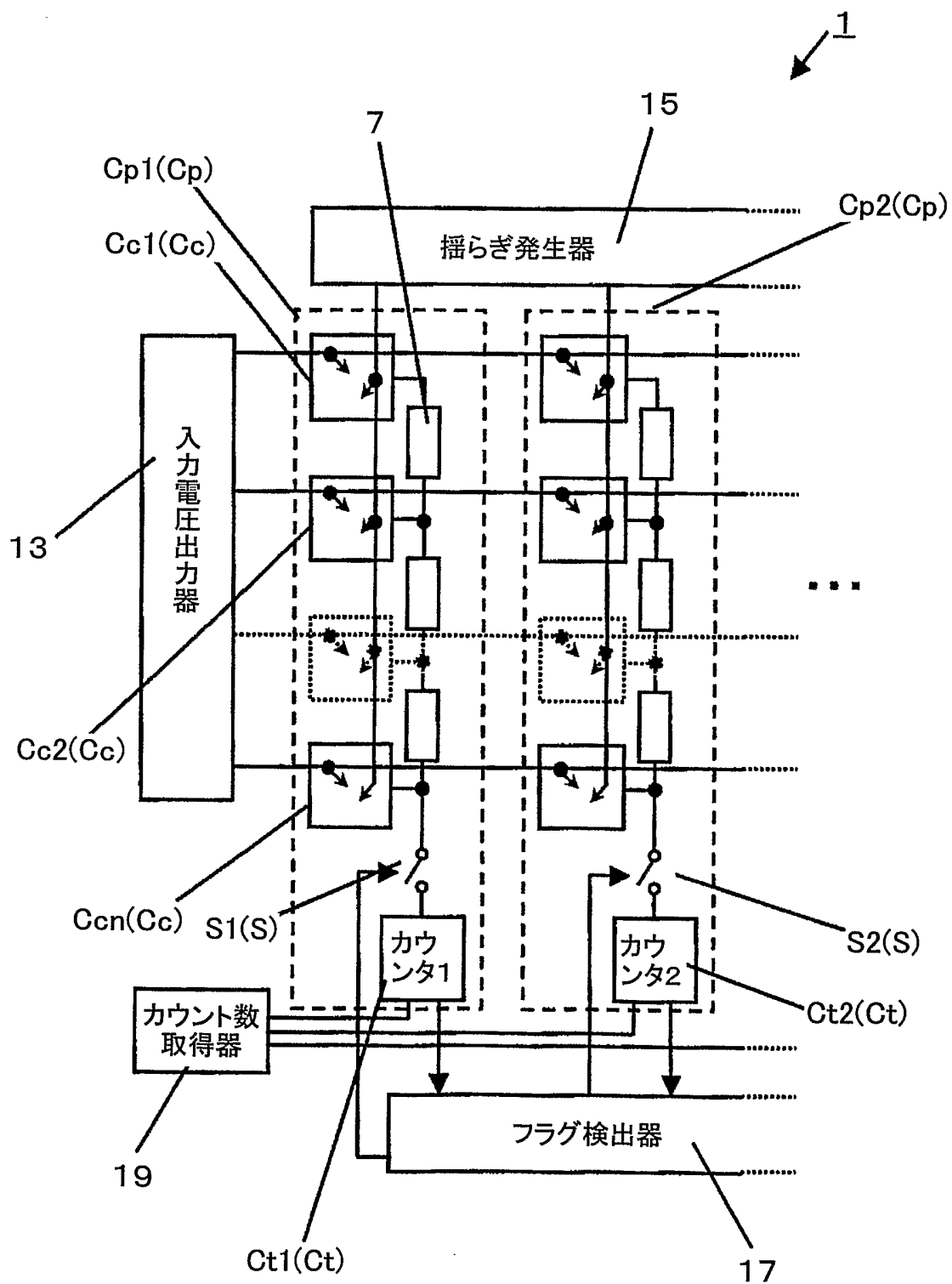
5 前記出力された行動に対応する参照ベクトルが選択されにくくなるように該参照ベクトルの値の少なくとも一部を変更する、請求の範囲第35項記載の認識処理装置。

37. 前記活動情報は、電気機器の操作履歴、赤外線センサ出力、

10 室温センサ出力、湿度センサ出力、体温センサ出力、脳波センサ出力、脈拍センサ出力、視線センサ出力、発汗センサ出力、筋電位センサ出力、日時情報、曜日情報、及び認識処理装置の出力の少なくともいずれかを含む、請求の範囲第36項記載の認識処理装置。

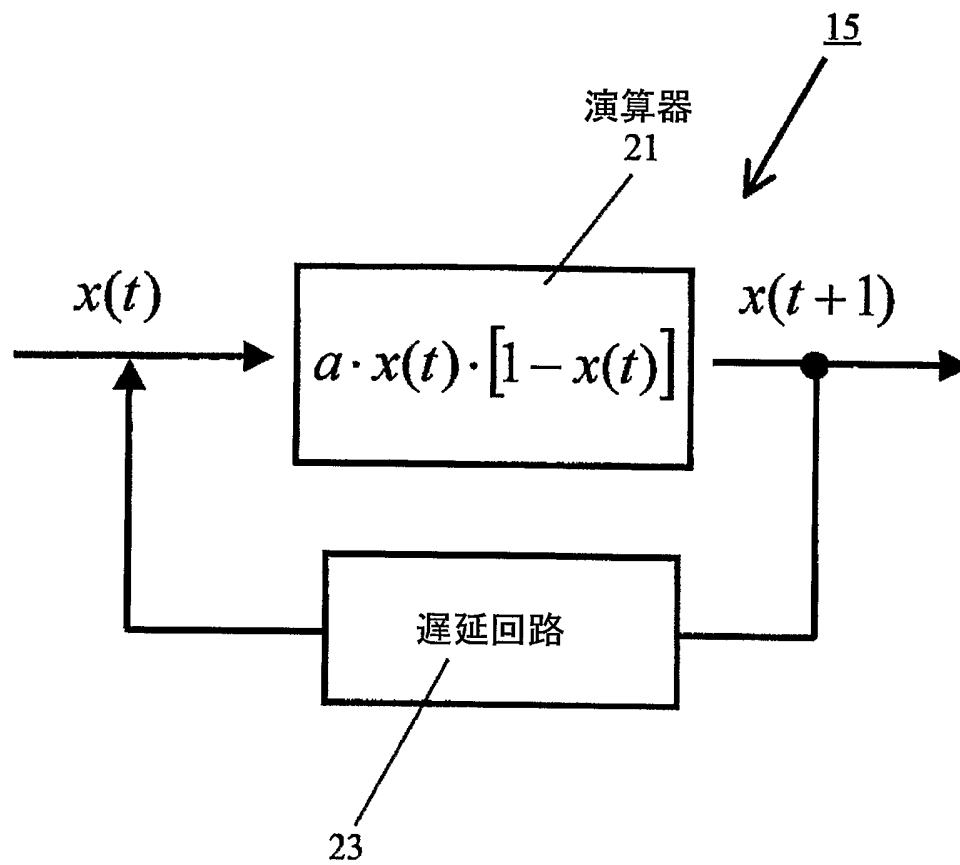
1/35

第 1 図

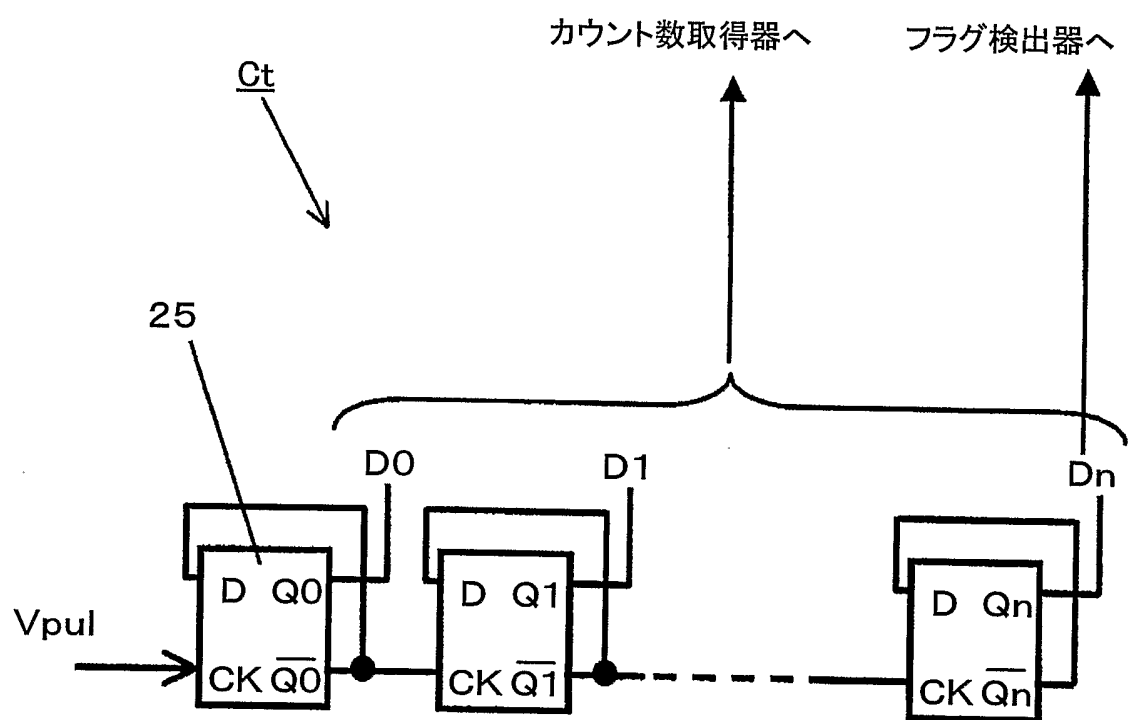


$\frac{2}{35}$ 

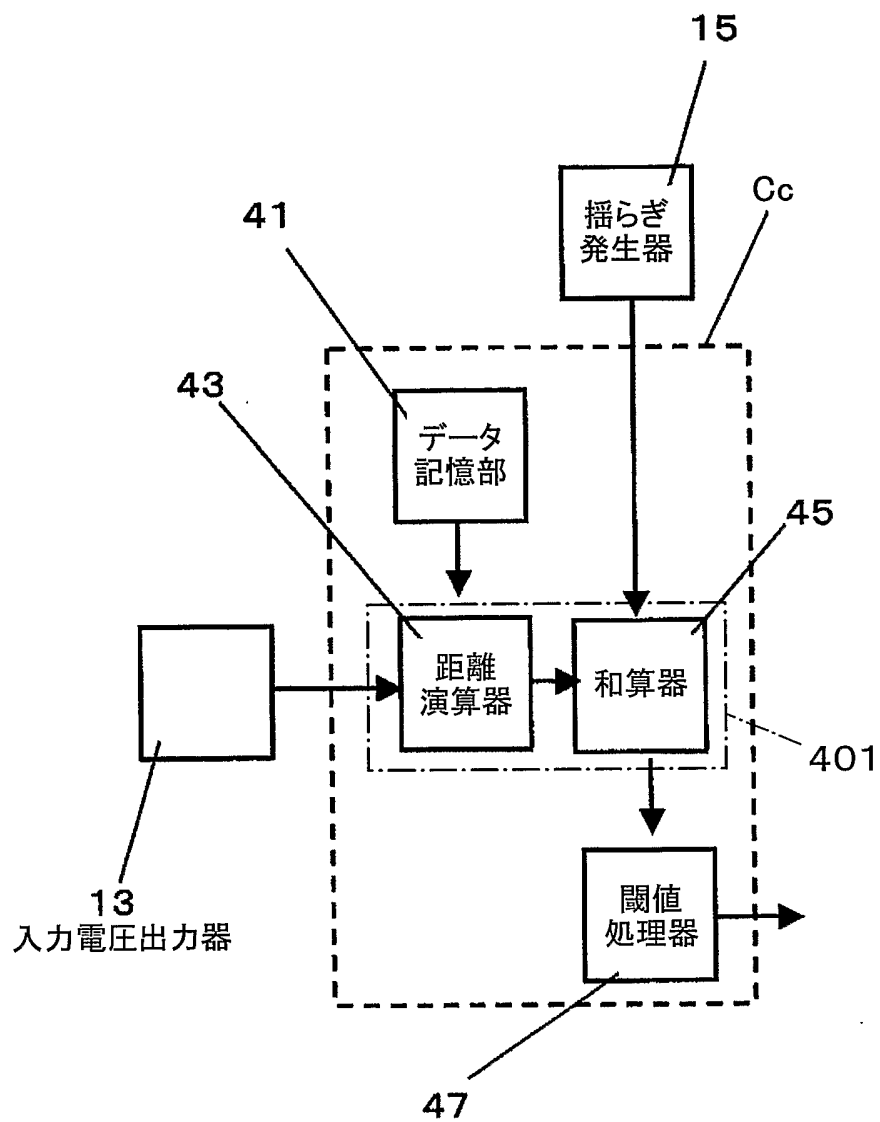
第 2 図



第3図

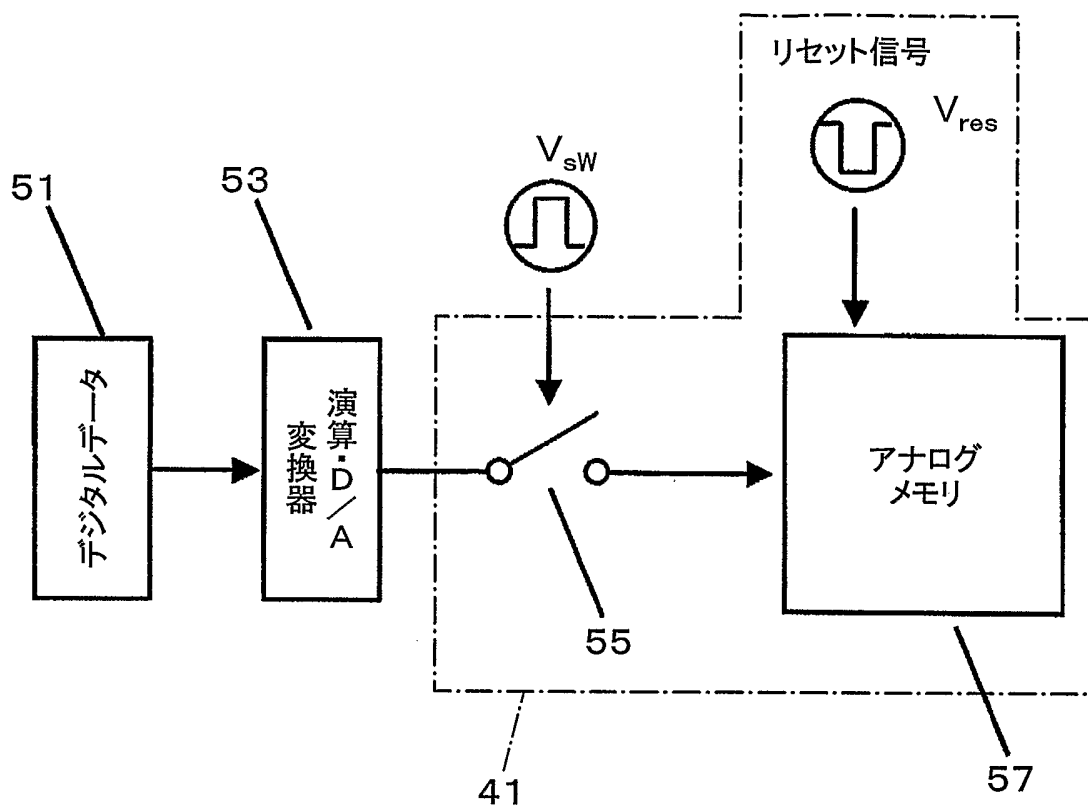


第 4 図



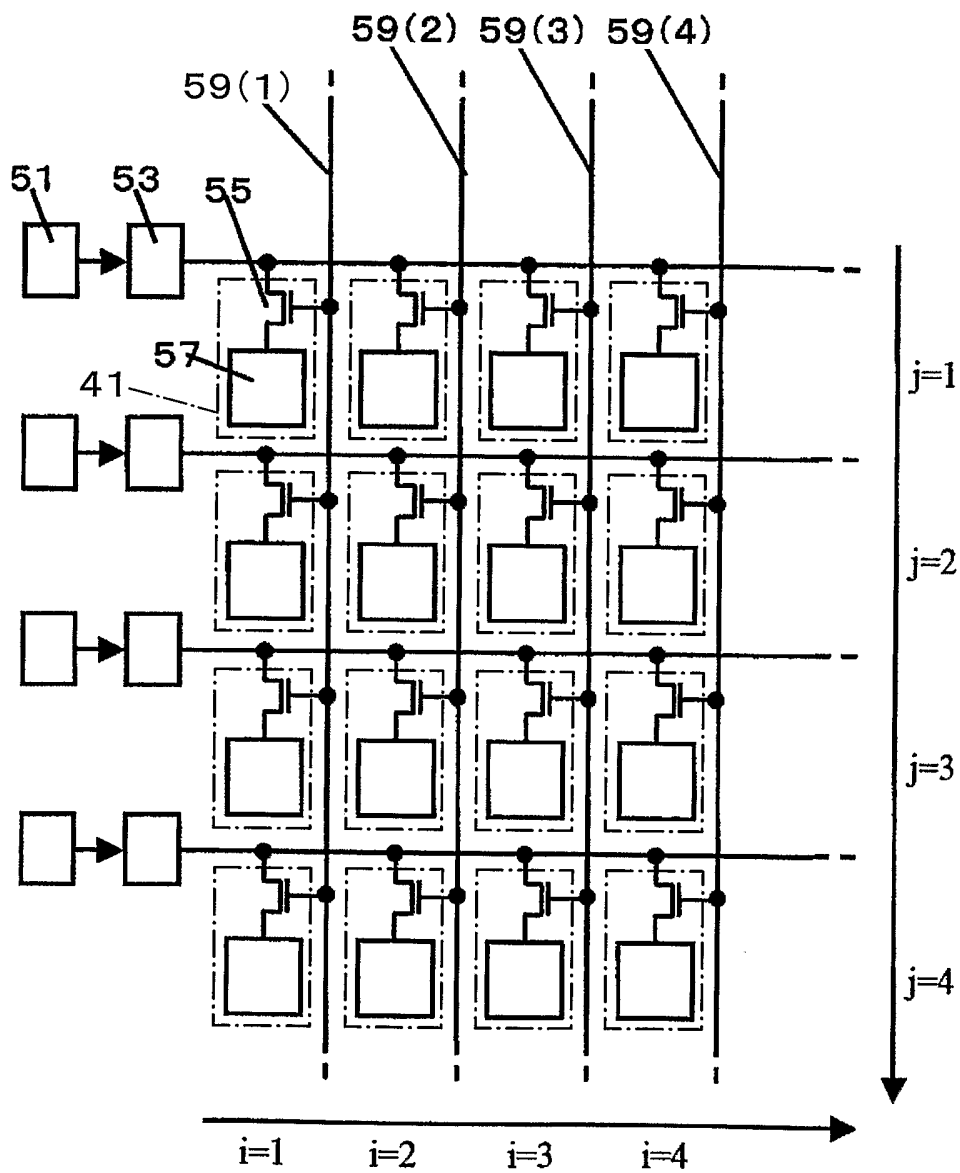
5/35

第5図

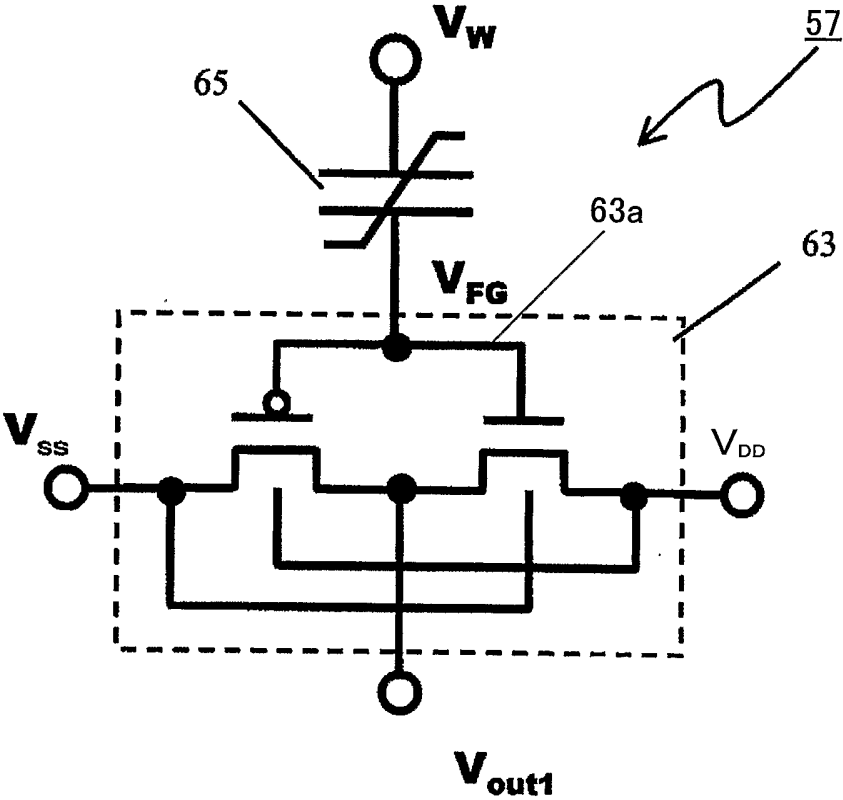


6/35

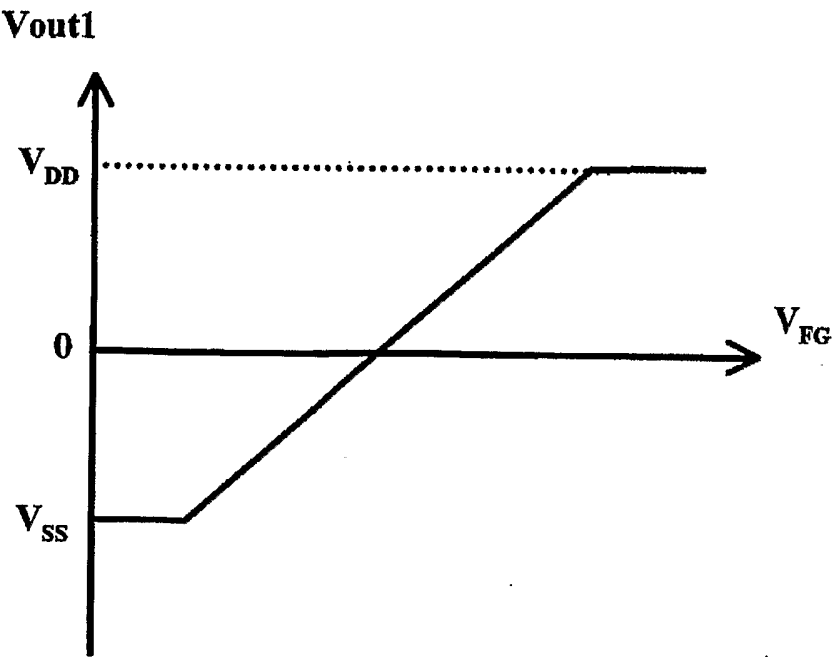
第 6 図



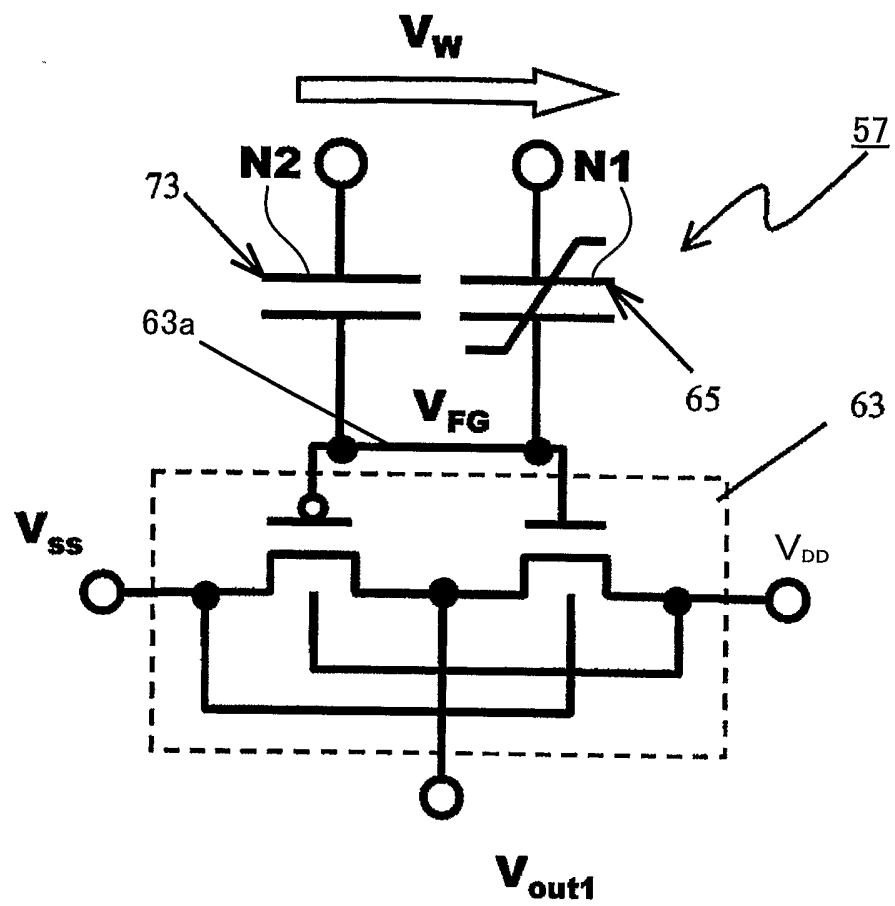
第 7 図



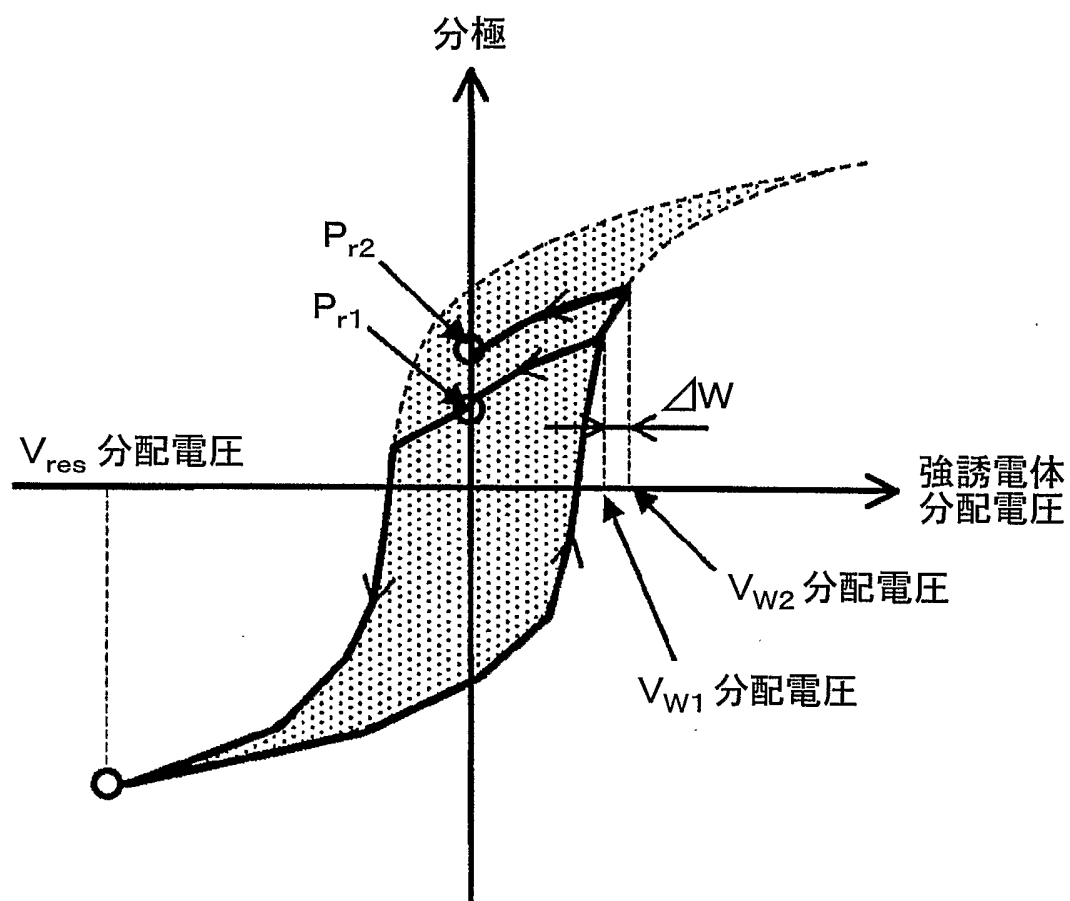
第 8 図



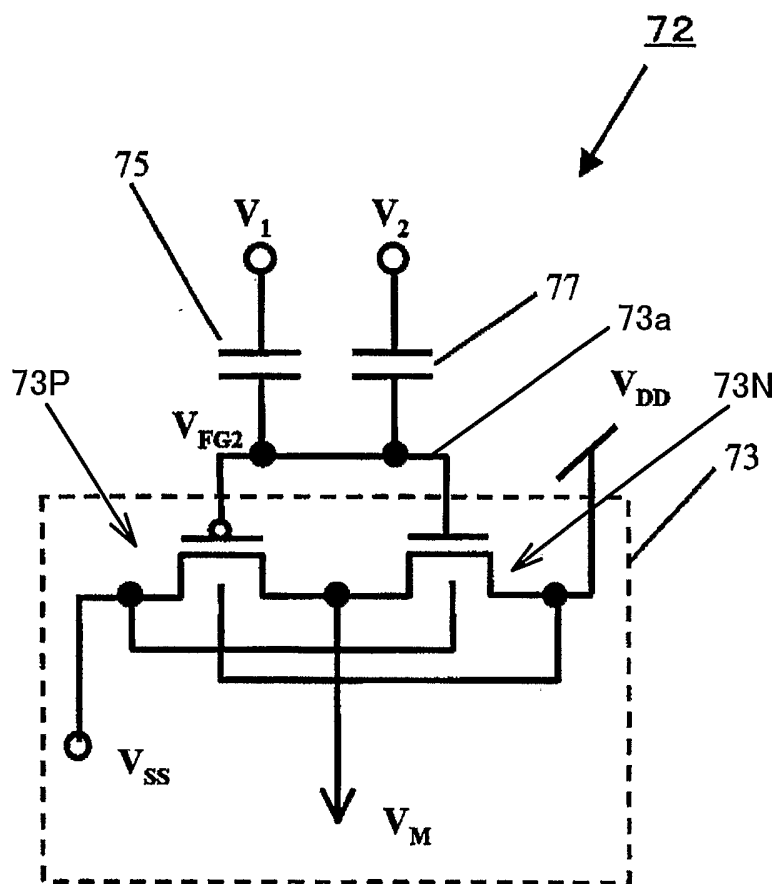
第9図



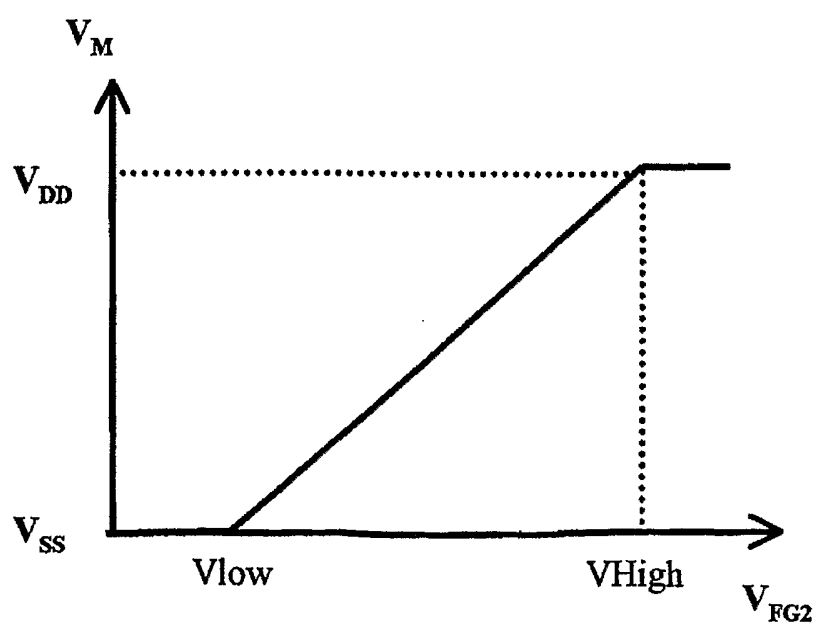
第 10 図



第 11 図

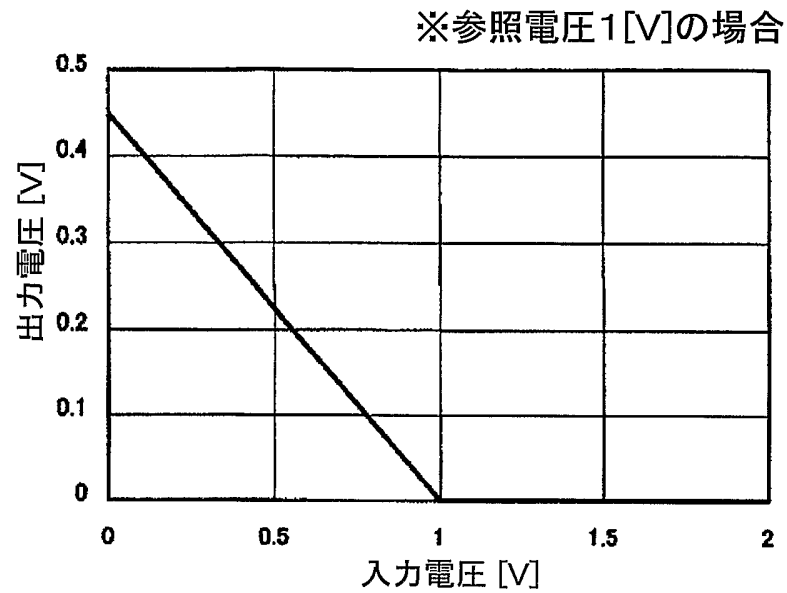


第 12 図

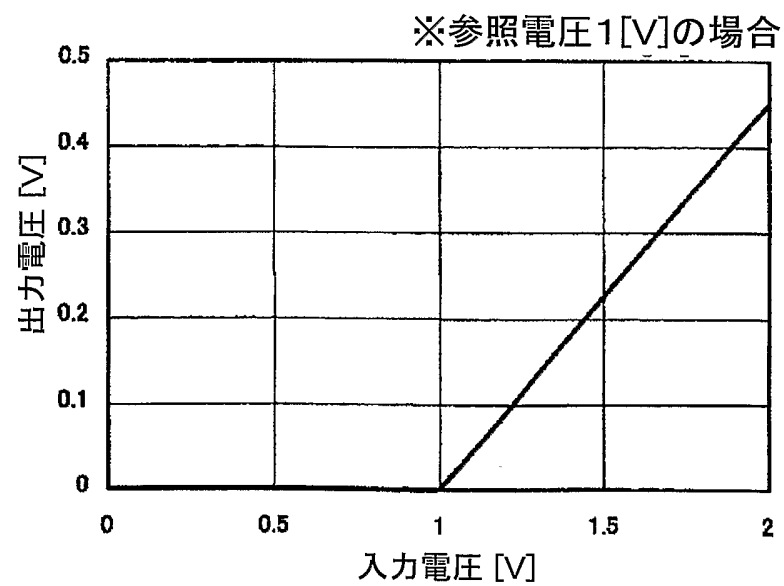


11/35

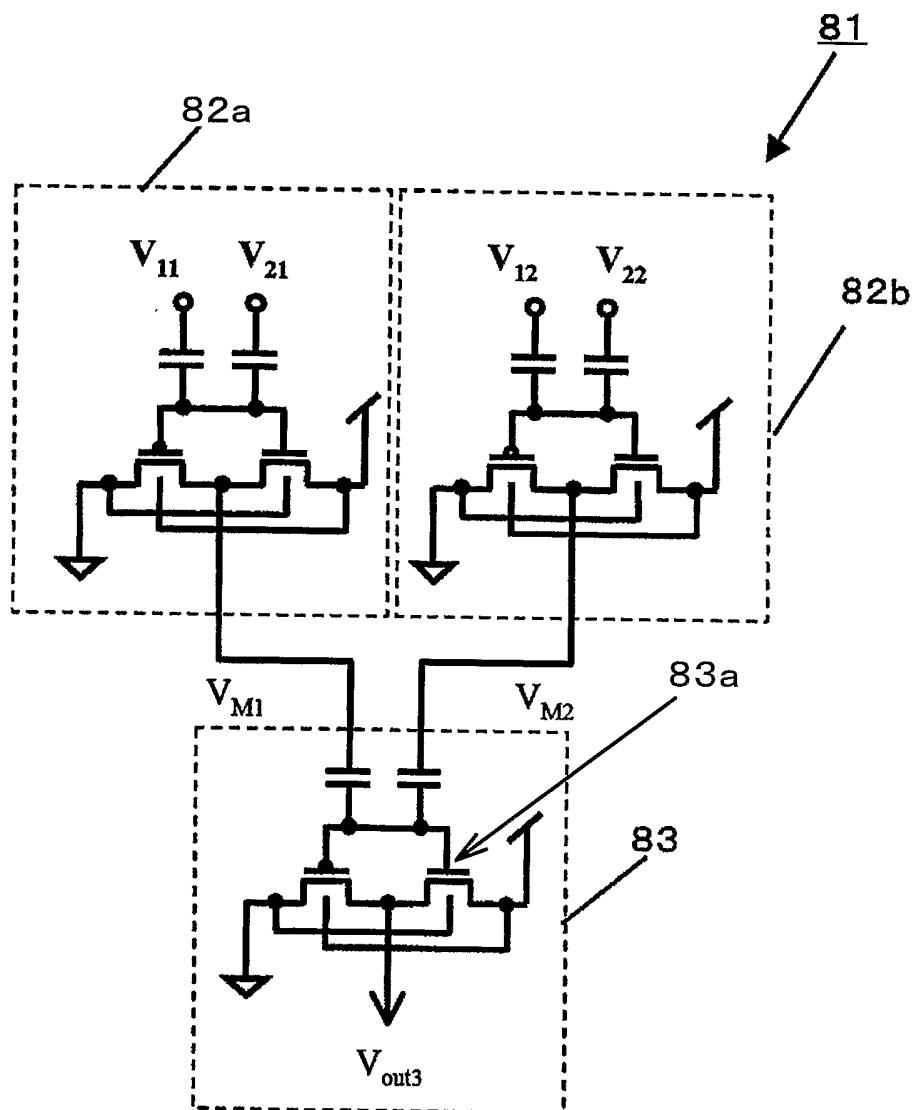
第 13 図



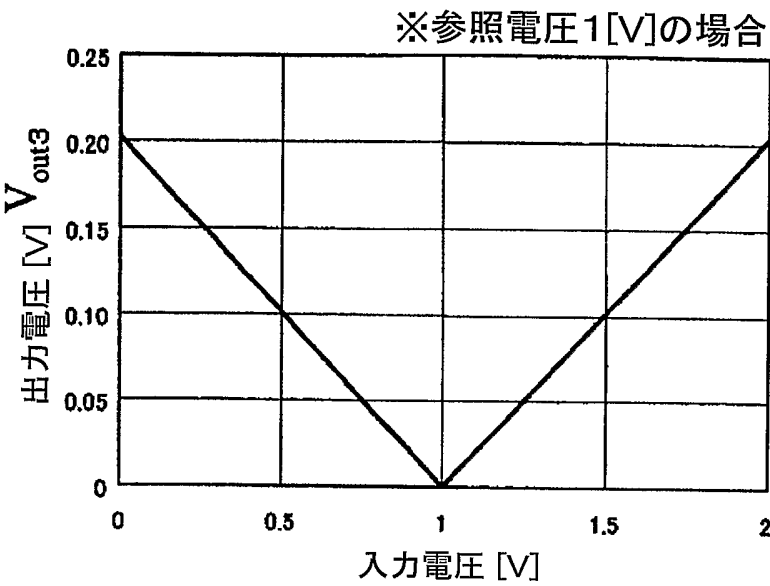
第 14 図



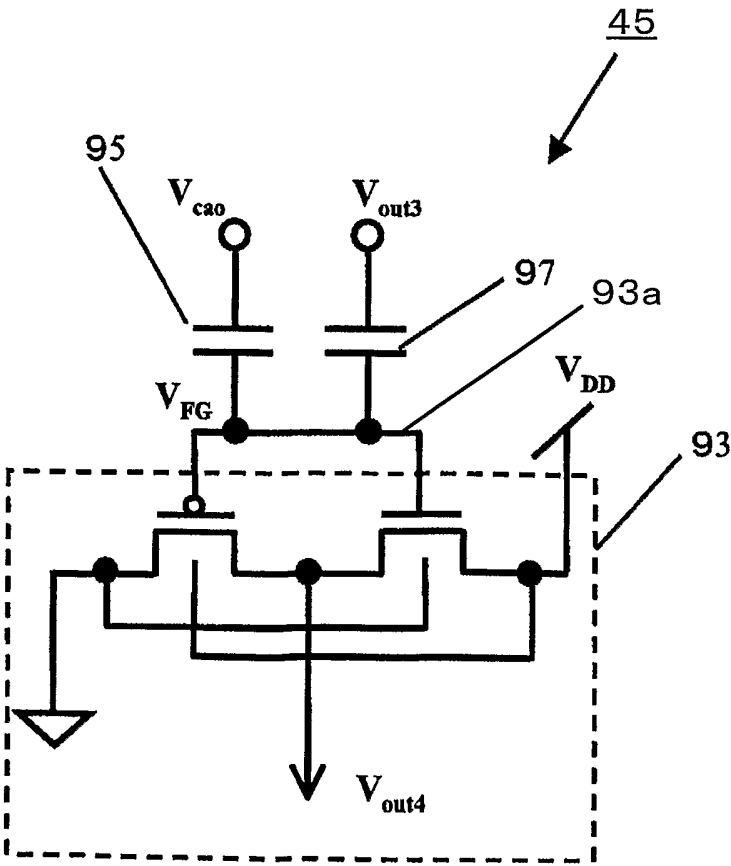
第 15 図



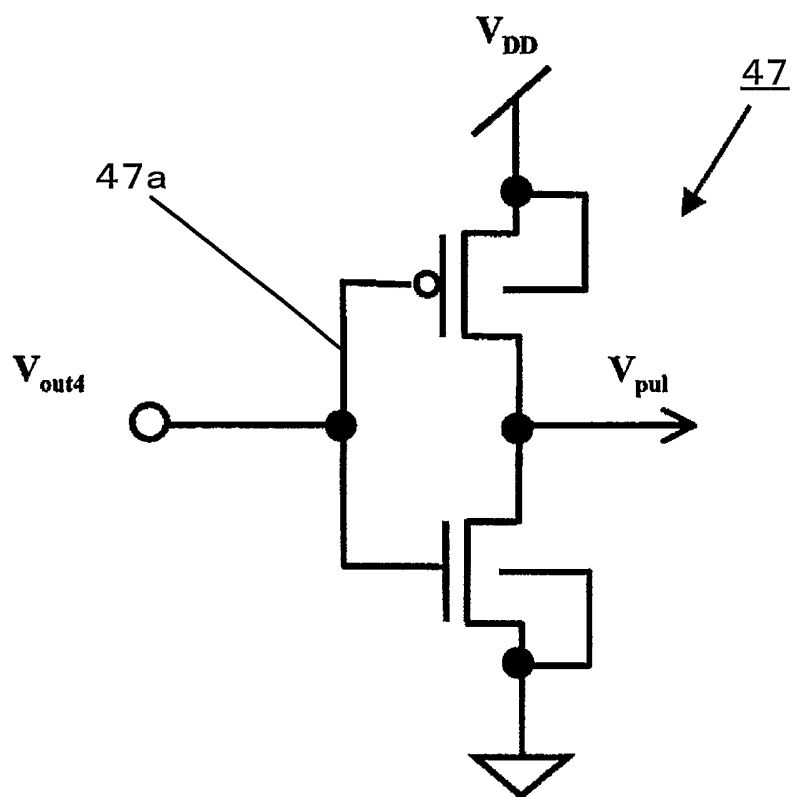
第 16 図



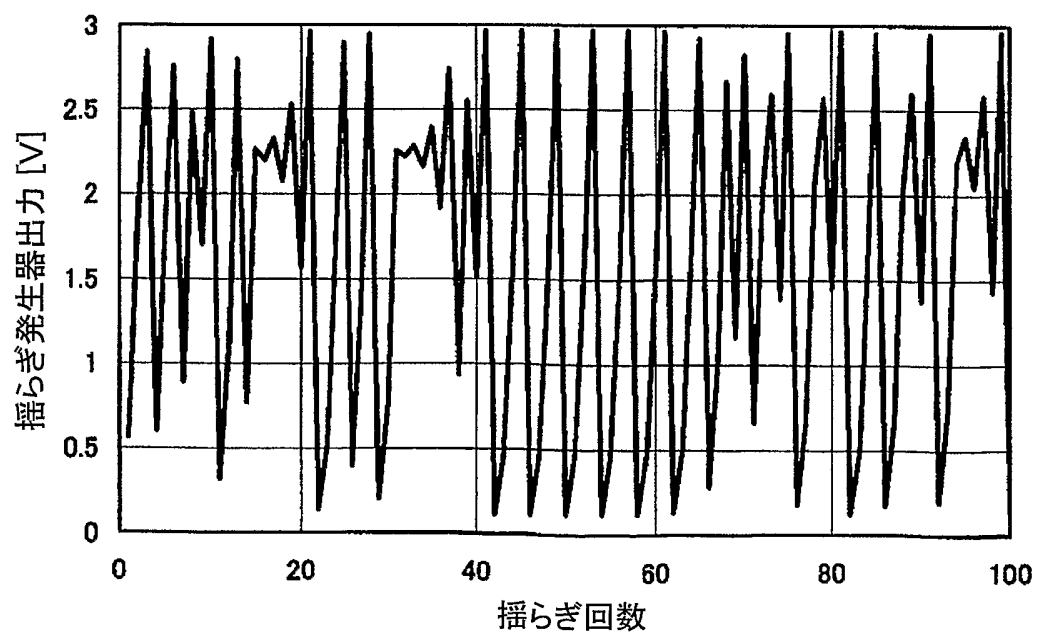
第 17 図



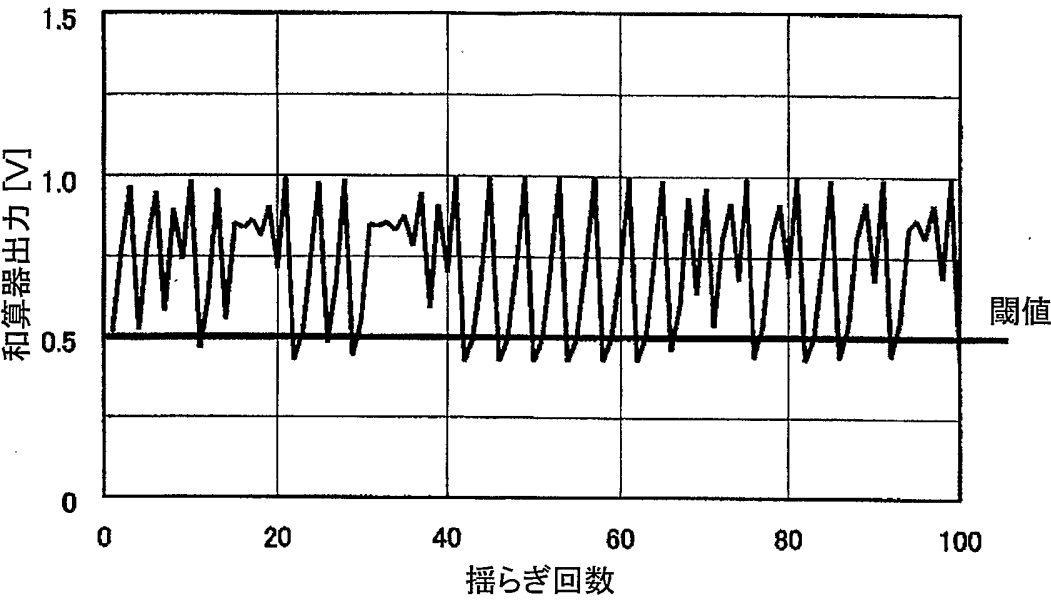
第 18 図



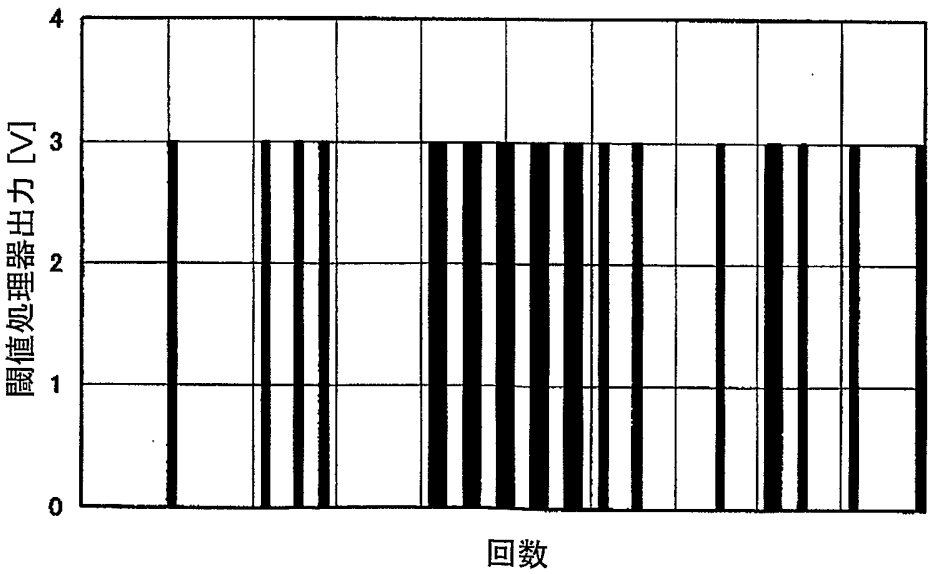
第 19 図



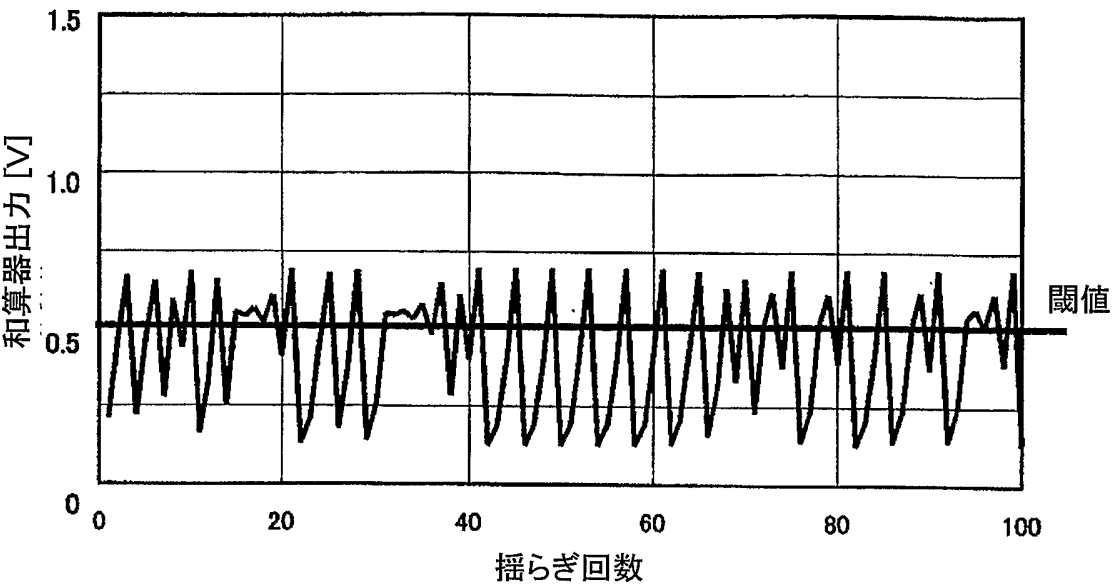
第 20 図



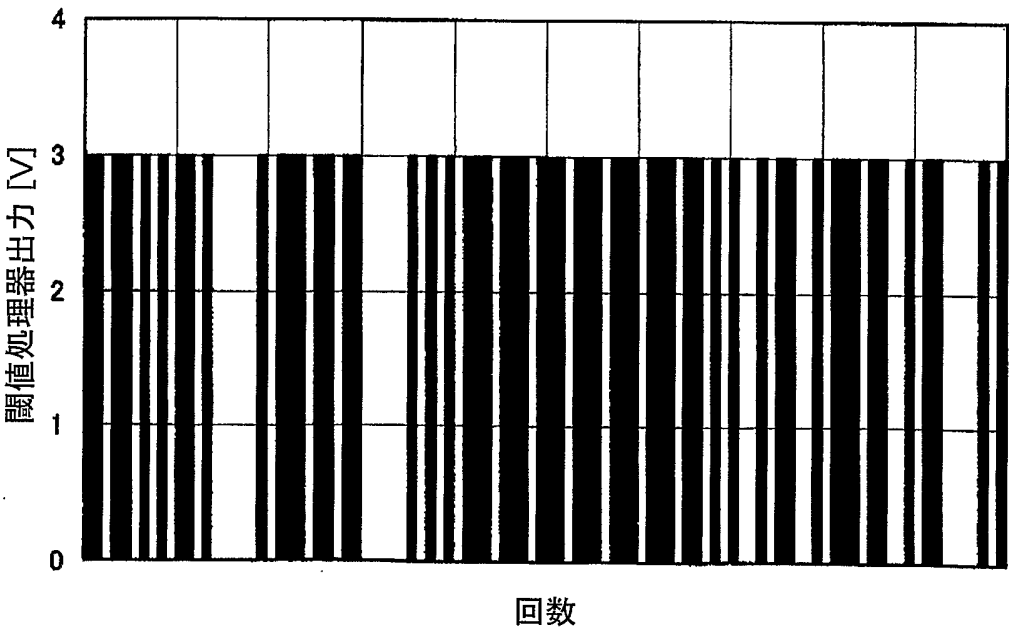
第 21 図



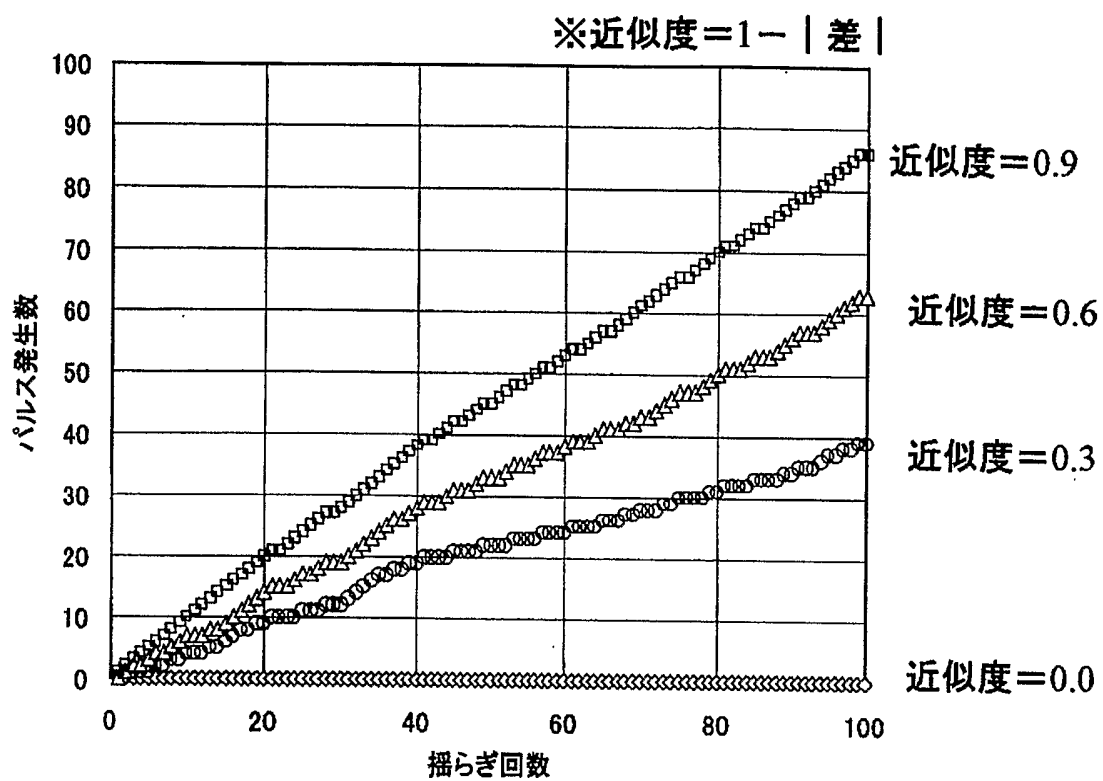
第 2 2 図



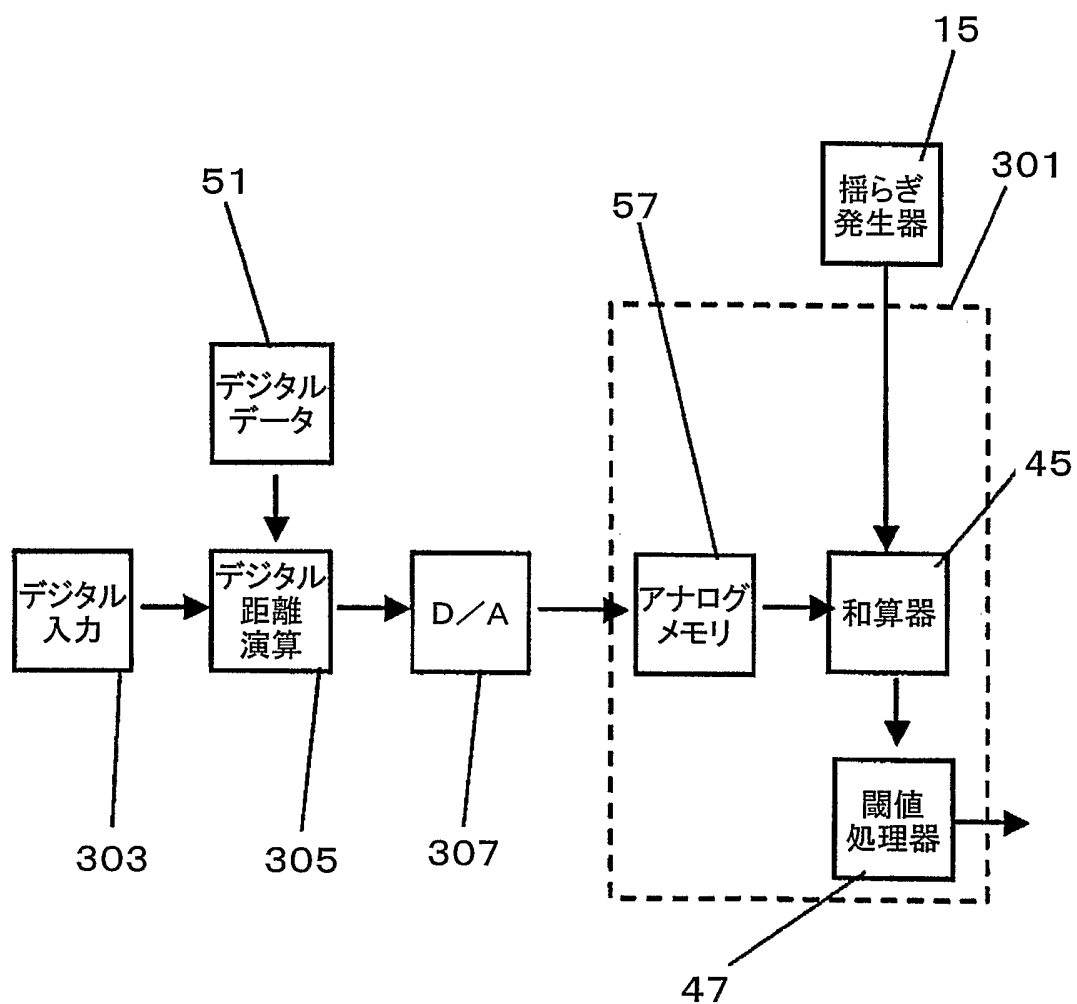
第 2 3 図



第 24 図

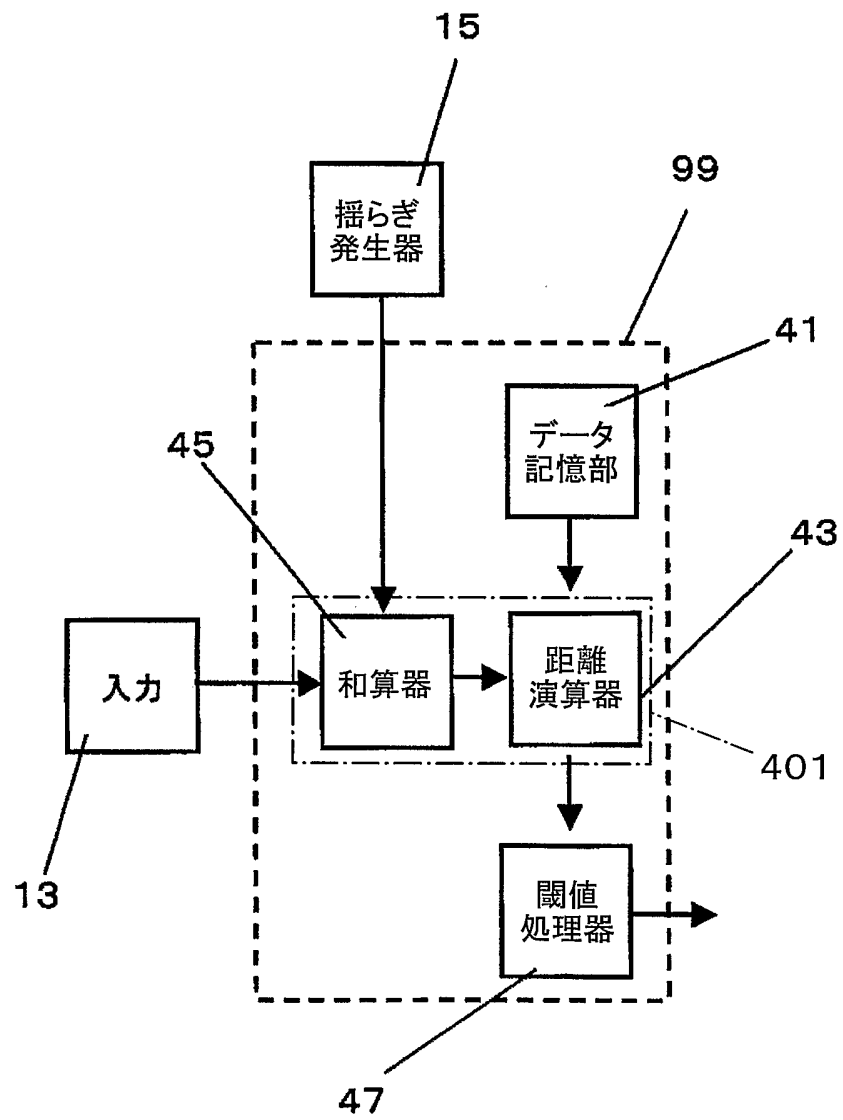


第 25 図

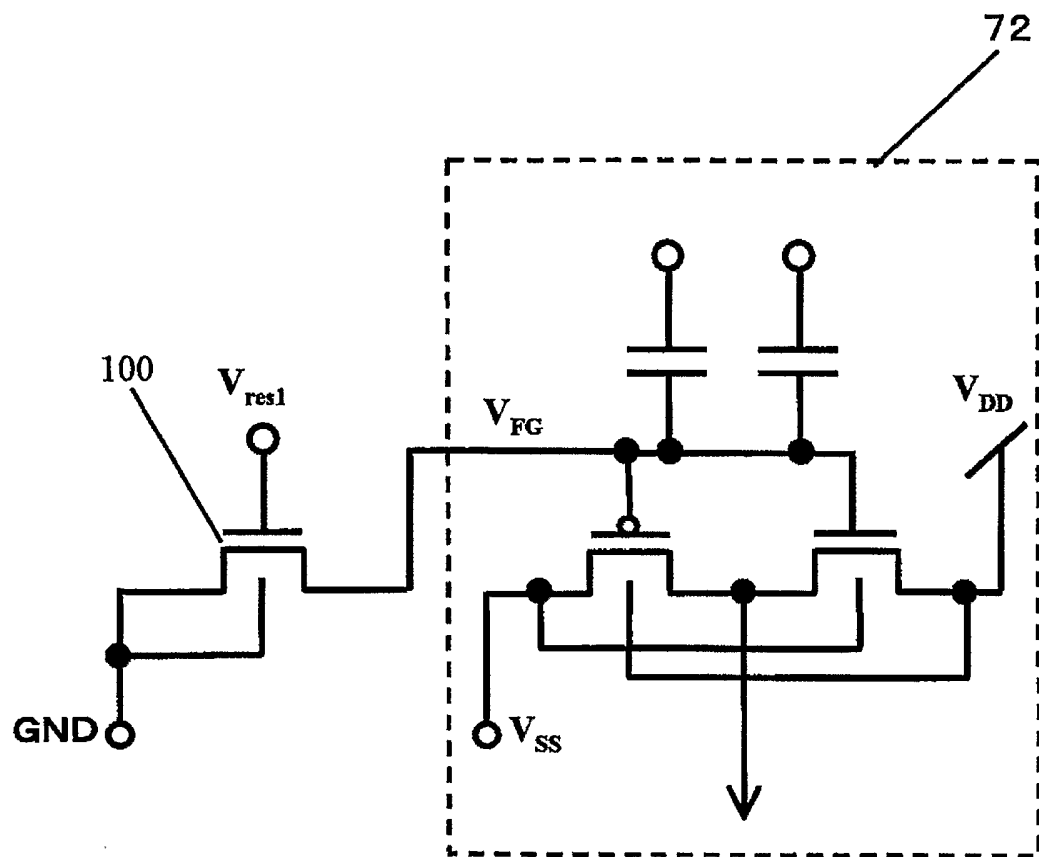


19/35

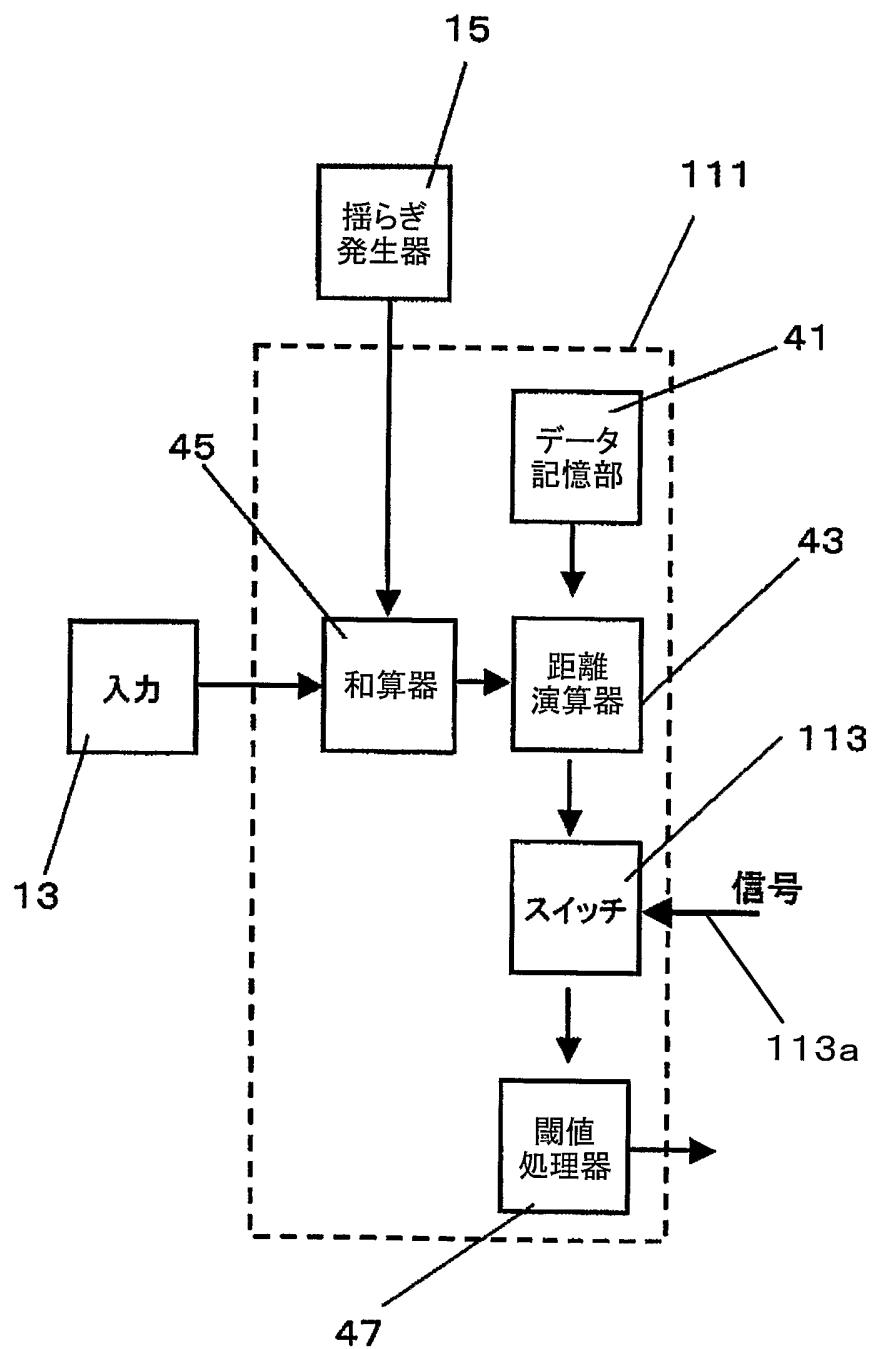
第 26 図



第 27 図

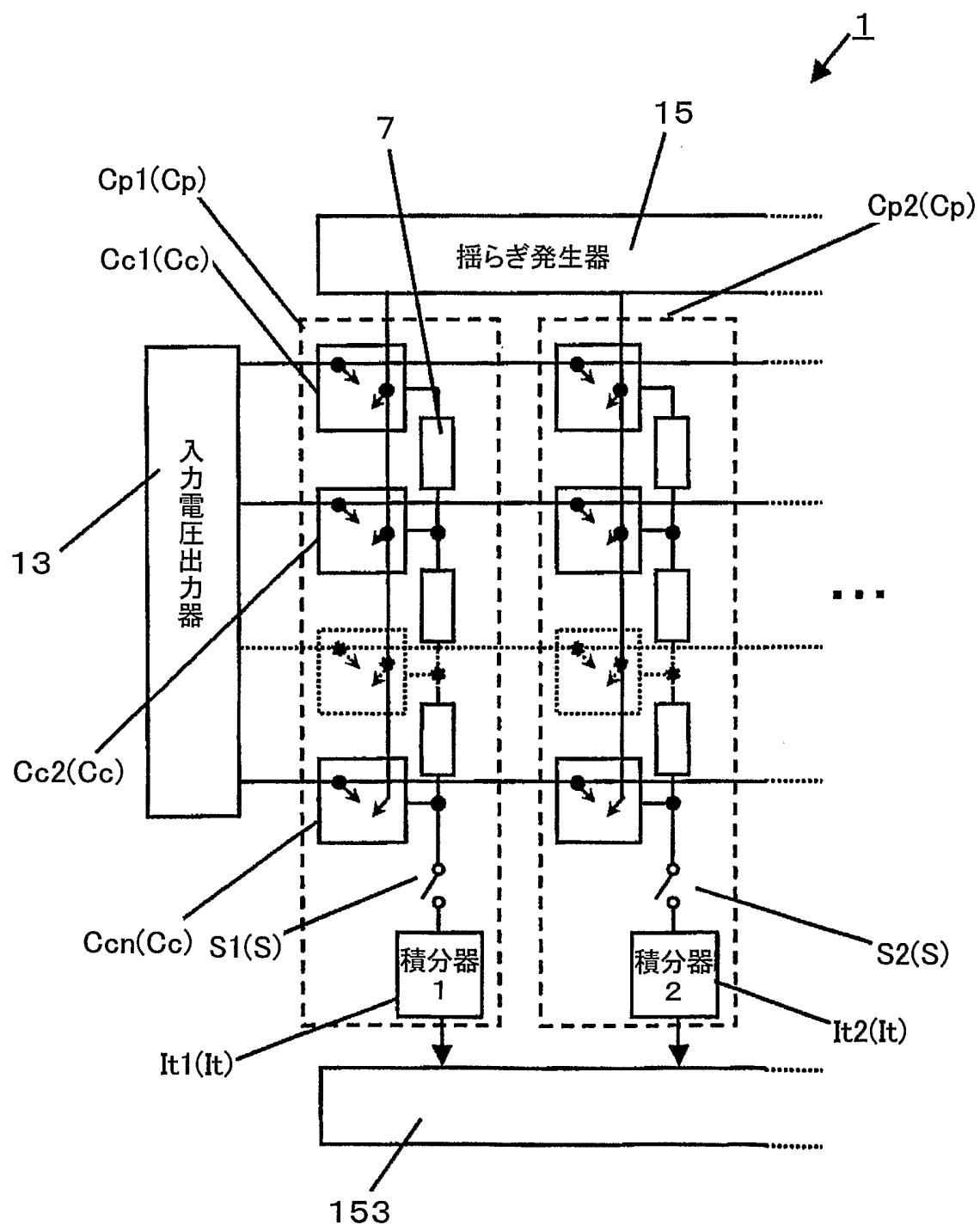


第 28 図

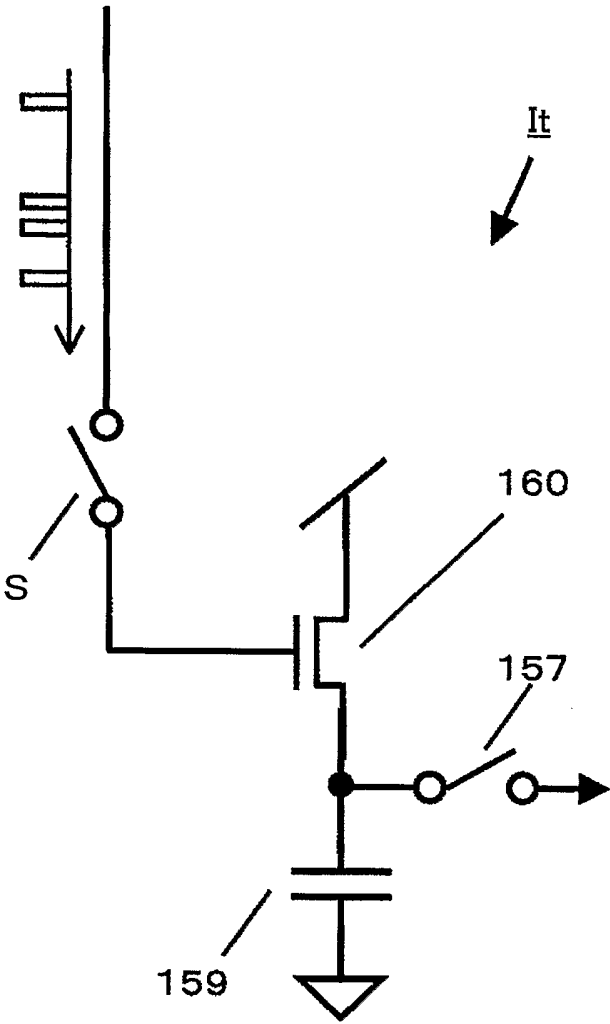


22/35

第29図

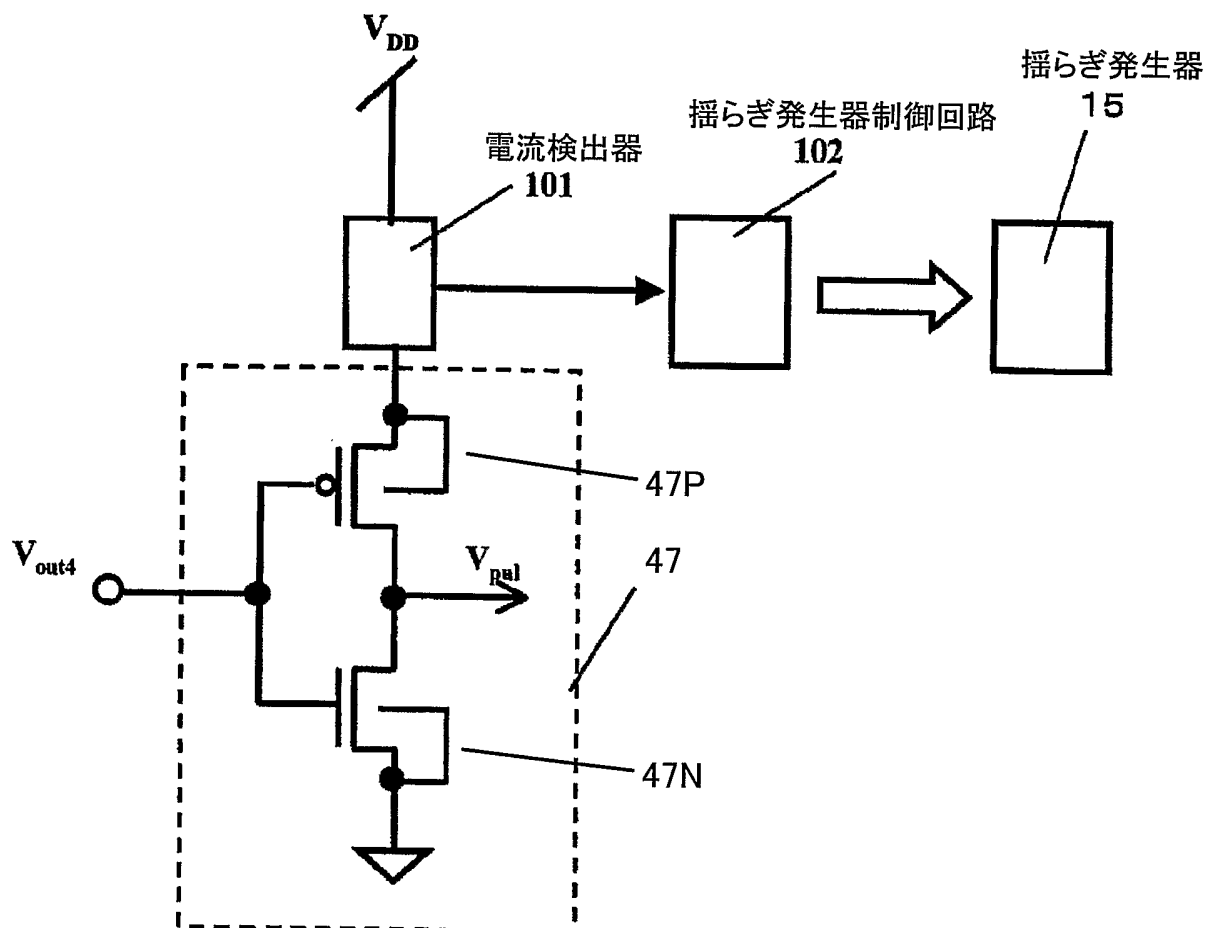


第 30 図



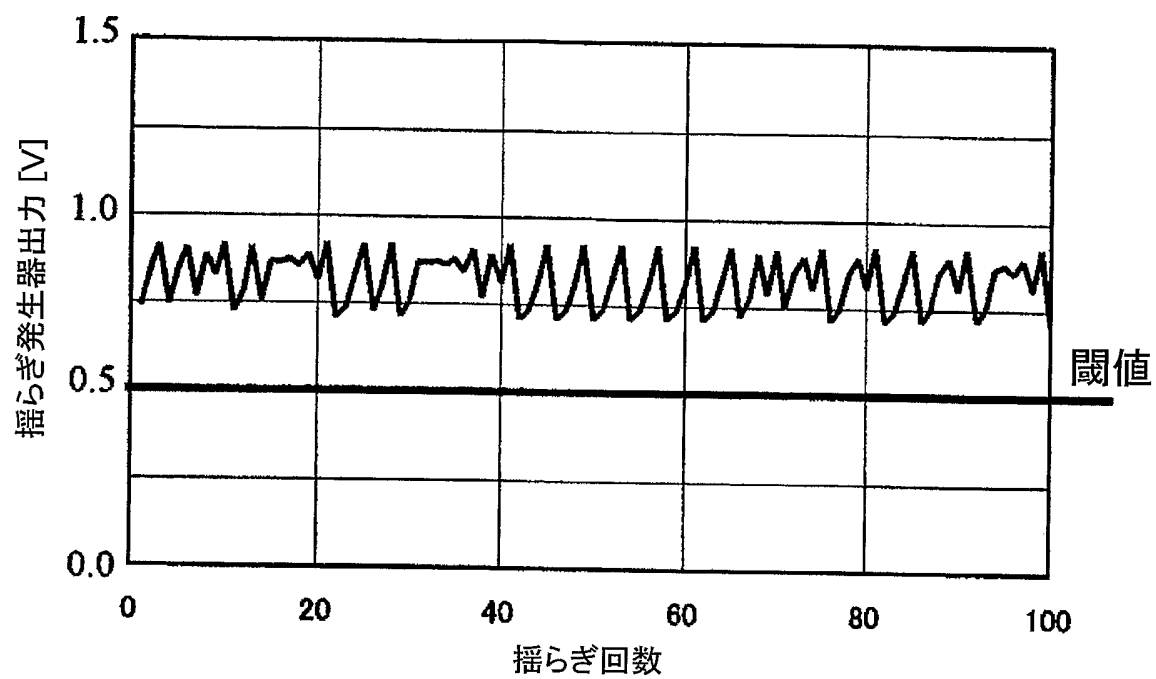
24/35

第 31 図



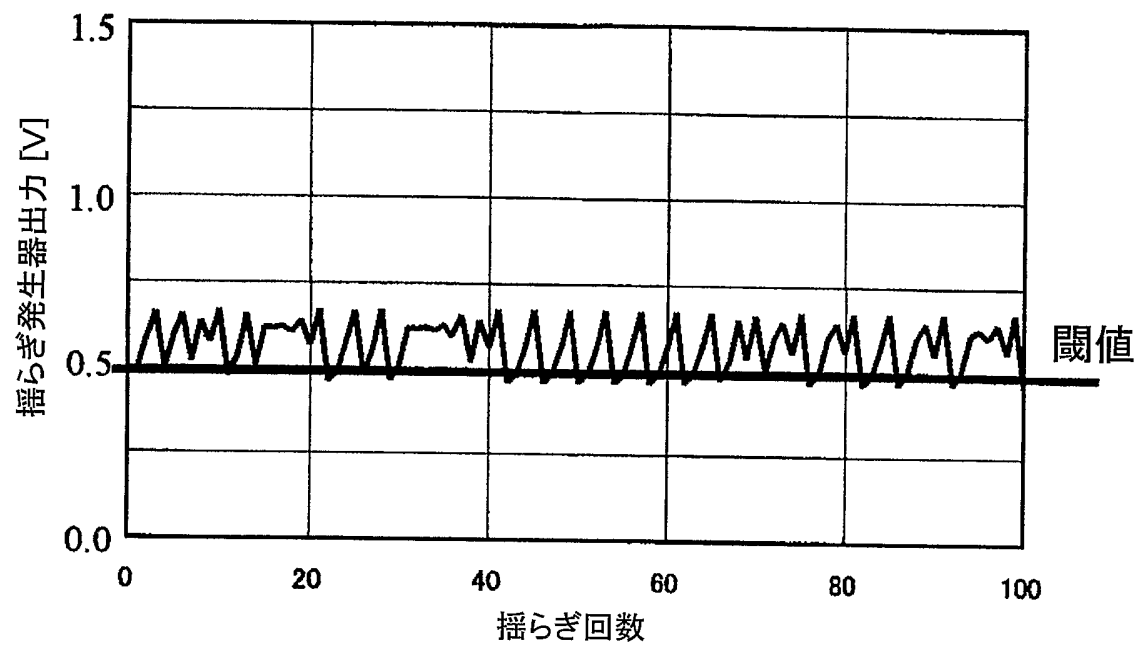
25/35

第 3 2 図

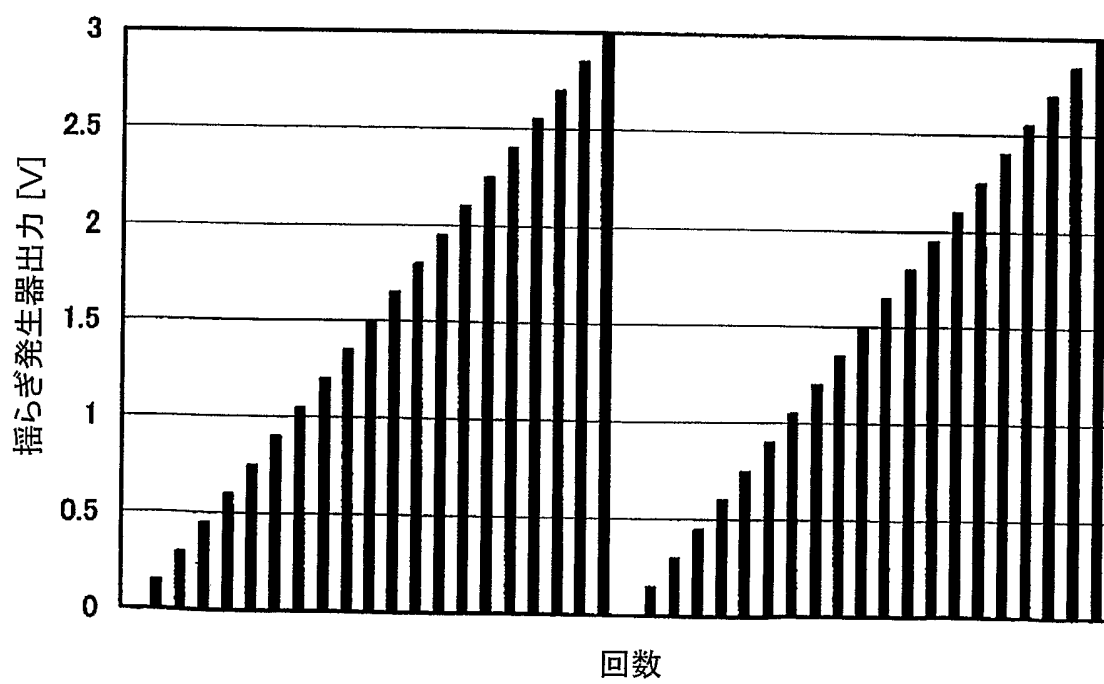


26/35

第 3 3 図

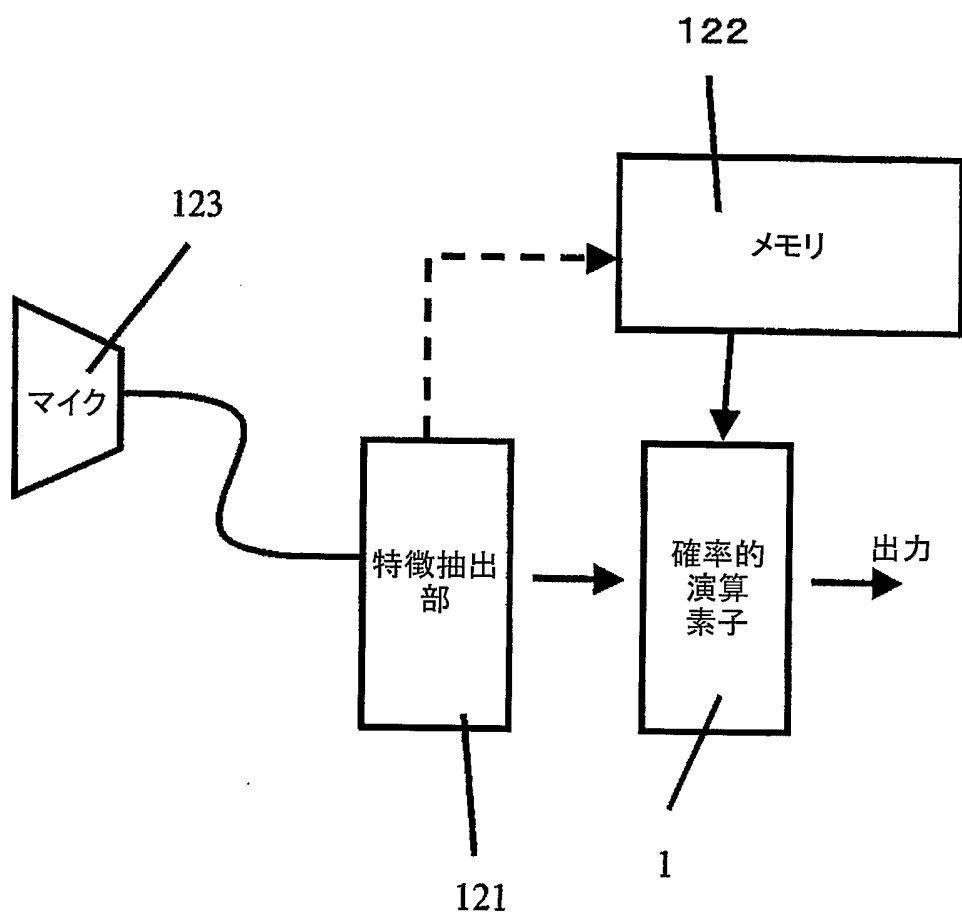


第 3 4 図

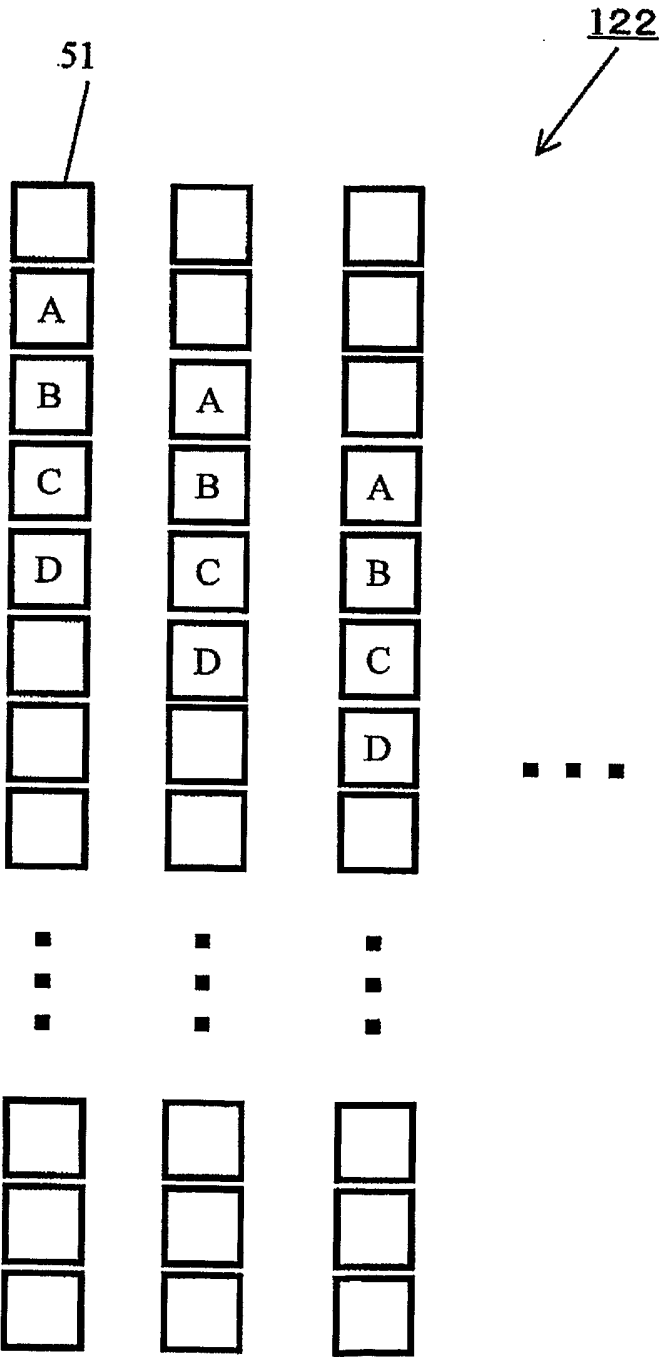


27/35

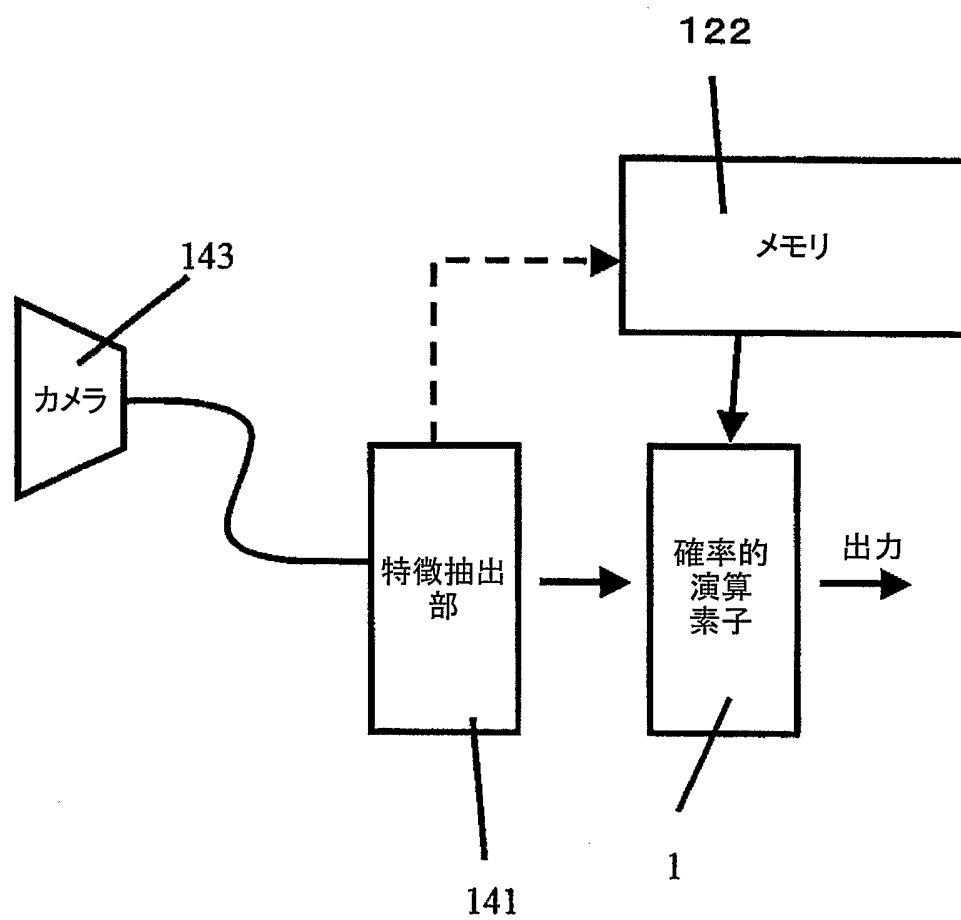
第 35 図



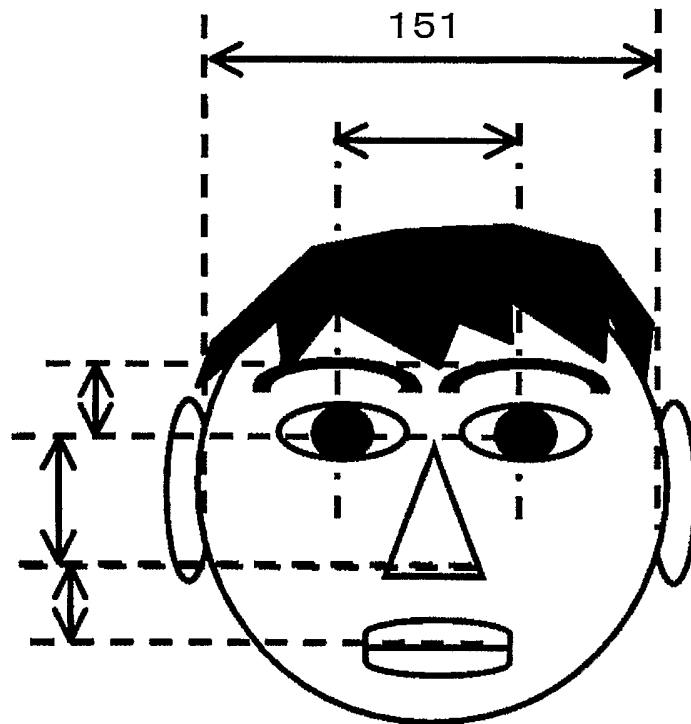
第 36 図



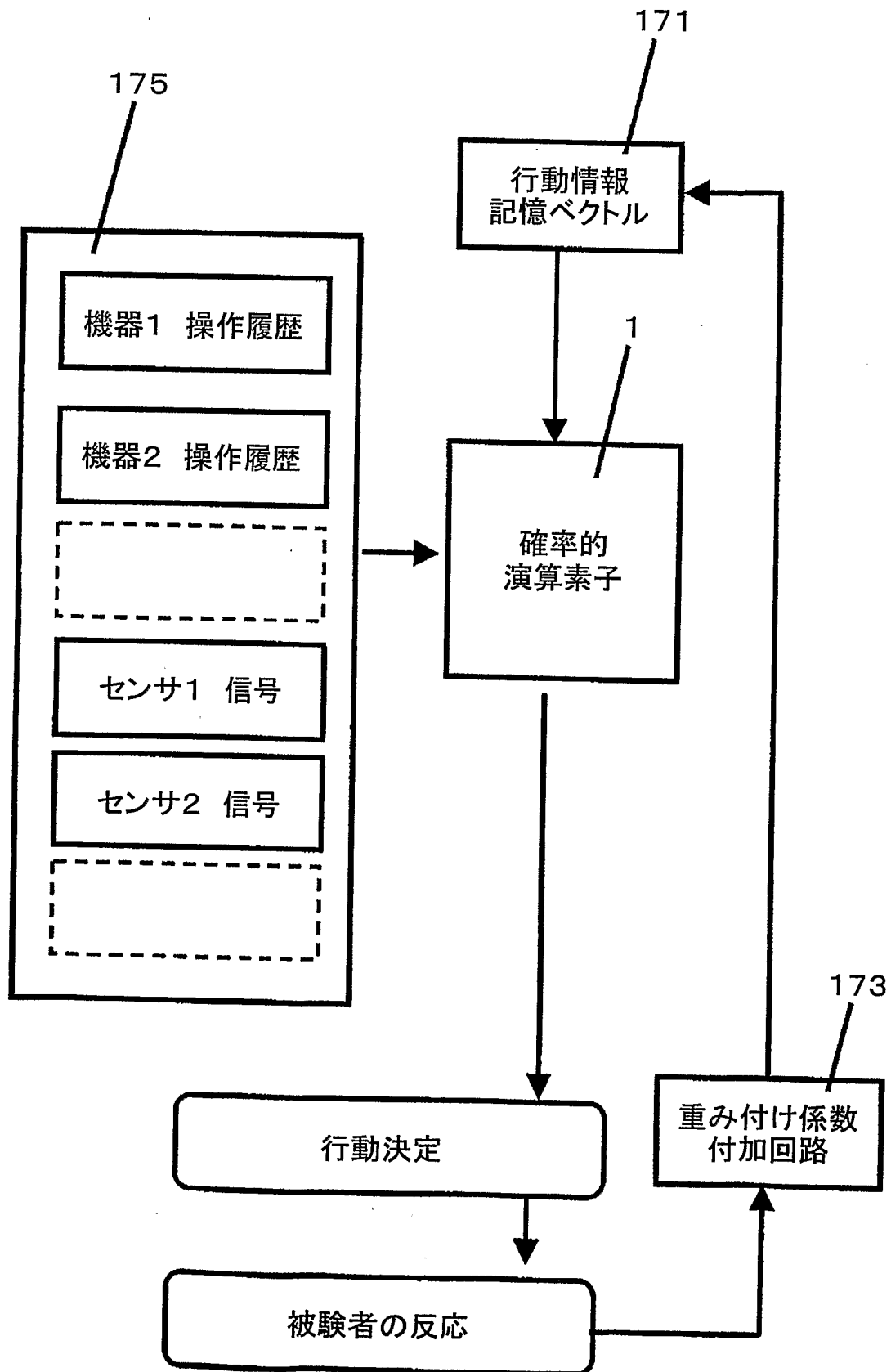
第 37 図



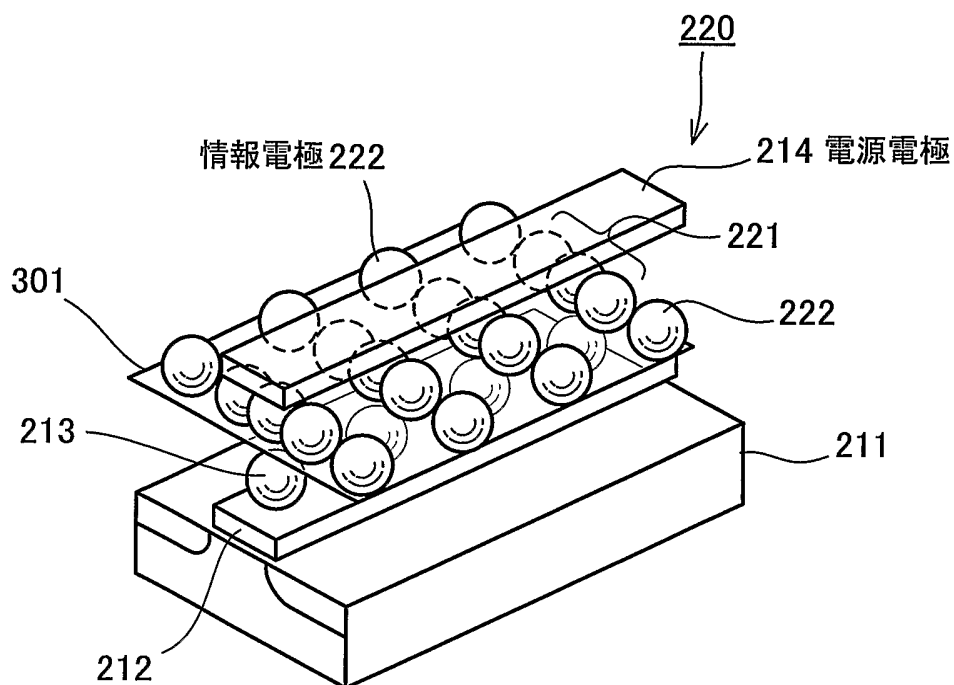
第 38 図



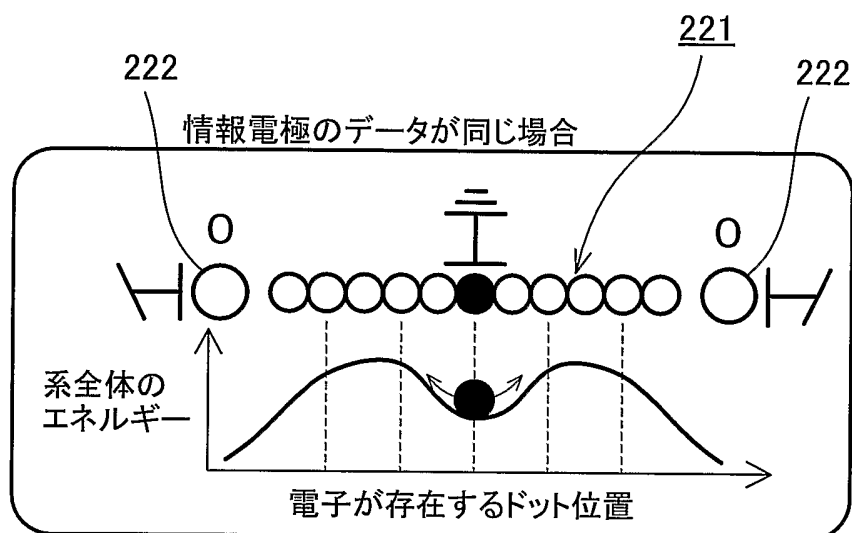
第 39 図



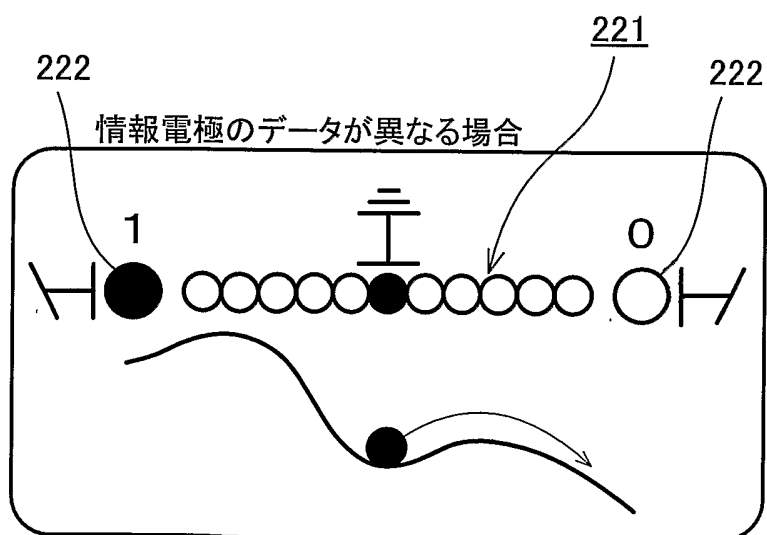
## 第 40 図



## 第 4 1 図



(a)



(b)

## 参照符号一覧表 ( 1 )

- 1 確率的演算素子
- 7 遅延回路
- 1 3 入力電圧出力器
- 1 5 揺らぎ発生器
- 1 7 フラグ検出器
- 1 9 カウント数取得器
- 2 1 演算器
- 2 3 遅延回路
- 2 5 Dフリップフロップ
- 4 1 データ記憶部
- 4 3 距離演算器
- 4 5 和算器
- 4 7 閾値処理器
- 4 7 a ゲート電極
- 4 7 P P M I S
- 4 7 N N M I S
- 5 1 デジタルデータ
- 5 3 演算・D/A変換器
- 5 5 スイッチ
- 5 7 アナログメモリ
- 6 1 アナログメモリ
- 6 3 ソースフォロワ回路
- 6 3 a, 9 3 a フローティングゲート電極
- 6 5 強誘電体キャパシタ
- 7 1 アナログメモリ
- 7 2 減算素子
- 7 3 常誘電体キャパシタ
- 7 3 P P M I S
- 7 3 N N M I S
- 7 5 第 1 のキャパシタ
- 7 7 第 2 のキャパシタ
- 7 8 減算素子
- 8 1 減算器
- 8 3 和算器
- 8 3 a C M I S
- 9 1 和算器
- 9 3 ソースフォロワー回路
- 9 5 第 1 のキャパシタ

## 参照符号一覧表 (2)

|                    |             |
|--------------------|-------------|
| 9 7                | 第 2 のキャパシタ  |
| 9 9                | 確率的演算回路     |
| 1 0 0              | スイッチ        |
| 1 0 1              | 電流検出器       |
| 1 0 2              | 揺らぎ発生器制御回路  |
| 1 1 1              | 確率的演算回路     |
| 1 1 3              | スイッチ        |
| 1 1 3 a            | 信号          |
| 1 2 1              | 特徴抽出演算部     |
| 1 2 3              | マイクロフォン     |
| 1 3 1              | メモリ         |
| 1 4 1              | 特徴抽出部       |
| 1 4 3              | カメラ         |
| 1 5 1              | 画像の特徴量      |
| 1 7 1              | 行動情報記憶ベクトル  |
| 1 7 3              | 重み付け係数付加回路  |
| 1 7 5              | 行動情報入力ベクトル  |
| 2 1 1              | M I S F E T |
| 2 1 2              | ゲート電極       |
| 2 1 3              | 量子ドット       |
| 3 0 1              | 仮想平面        |
| 4 0 1              | 揺らぎ差分演算手段   |
| C p, C p 1 ~ C p m | ベクトル列比較回路   |
| C c, C c 1 ~ C c n | 確率的演算回路     |
| C t, C t 1 ~ C t m | カウンタ        |
| I t                | 積分器         |
| S, S 1 ~ S m       | スイッチ        |

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09150

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03K19/20

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03K19/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1926-1996 | Toroku Jitsuyo Shinan Koho | 1994-2003 |
| Kokai Jitsuyo Shinan Koho | 1971-2003 | Jitsuyo Shinan Toroku Koho | 1996-2003 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                           | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2001-313386 A (Japan Science and Technology Corp.),<br>09 November, 2001 (09.11.01),<br>Abstract<br>& EP 1198008 A1       | 1-37                  |
| A         | JP 2000-237167 A (Oki Electric Industry Co., Ltd.),<br>05 September, 2000 (05.09.00),<br>Fig. 1; column 16<br>(Family: none) | 1-37                  |
| A         | JP 2002-123833 A (Victor Company Of Japan, Ltd.),<br>26 April, 2002 (26.04.02),<br>Fig. 1; abstract<br>(Family: none)        | 1-37                  |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| "E" earlier document but published on or after the international filing date                                                                                            | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family                                                                                                                                                                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

Date of the actual completion of the international search  
12 August, 2003 (12.08.03)

Date of mailing of the international search report  
26 August, 2003 (26.08.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09150

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                 | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 6-252744 A (Tadashi SHIBATA),<br>09 September, 1994 (09.09.94),<br>Fig. 1; abstract<br>& US 5661421 A                           | 1-37                  |
| A         | JP 11-514163 A (Siemens AG.),<br>30 November, 1999 (30.11.99),<br>Fig. 1; abstract<br>& US 5990709 A                               | 1-37                  |
| P,A       | JP 2003-163332 A (Matsushita Electric Industrial<br>Co., Ltd.),<br>06 June, 2003 (06.06.03),<br>Fig. 5; abstract<br>(Family: none) | 1-37                  |
| P,A       | JP 2003-179485 A (Nippon Telegraph And Telephone<br>Corp.),<br>27 June, 2003 (27.06.03),<br>Fig.8, column 52<br>(Family: none)     | 1-37                  |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H03K 19/20

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H03K 19/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                              | 関連する<br>請求の範囲の番号 |
|-----------------|----------------------------------------------------------------|------------------|
| A               | JP 2001-313386 A (科学技術振興事業団) 2001. 11. 09, 要約欄 & EP 1198008 A1 | 1-37             |
| A               | JP 2000-237167 A (沖電気工業株式会社) 2000. 09. 05, 図1、本文第16欄 (ファミリーなし) | 1-37             |
| A               | JP 2002-123833 A (日本ビクター株式会社) 2002. 04. 26, 図1、本文要約欄 (ファミリーなし) | 1-37             |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

12. 08. 03

国際調査報告の発送日

26.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

彦田 克文

5X 9182

電話番号 03-3581-1101 内線 3556

| C (続き) . 関連すると認められる文献 |                                                                               |                  |
|-----------------------|-------------------------------------------------------------------------------|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                             | 関連する<br>請求の範囲の番号 |
| A                     | J P 6-252744 A (柴田 直) 1994. 09. 09、図1、本文要約欄 &<br>US 5661421 A                 | 1-37             |
| A                     | J P 11-514163 A (シーメンス アクチエンゲゼルシャフト) 1999. 1<br>1. 30、図1、本文要約欄 & US 5990709 A | 1-37             |
| P, A                  | J P 2003-163332 A (松下電器産業株式会社) 2003. 06. 06、図<br>5、本文要約欄 (ファミリーなし)            | 1-37             |
| P, A                  | J P 2003-179485 A (日本電信電話株式会社) 2003. 06. 27、図<br>8、本文第52欄 (ファミリーなし)           | 1-37             |