



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0076302
(43) 공개일자 2020년06월29일

(51) 국제특허분류(Int. Cl.)
G02F 1/1333 (2006.01) H01L 27/32 (2006.01)
H01L 51/50 (2006.01)
(52) CPC특허분류
G02F 1/1333 (2013.01)
H01L 27/32 (2013.01)
(21) 출원번호 10-2018-0165270
(22) 출원일자 2018년12월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정인상
경기도 파주시 월롱면 엘지로 245
오금미
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인(유한)유일하이스트

전체 청구항 수 : 총 15 항

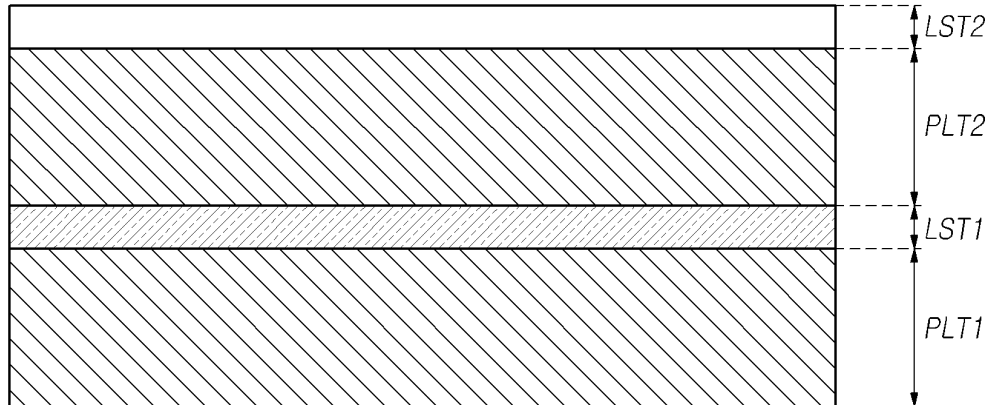
(54) 발명의 명칭 표시 패널 및 표시 장치

(57) 요약

본 발명의 실시예들은 표시 패널 및 표시 장치에 관한 것으로서, 더욱 상세하게는, 제1 플레이트와, 제1 플레이트 상에 위치하는 제2 플레이트와, 제1 플레이트와 제2 플레이트 사이에 위치하며 제1 트랜지스터가 배치된 제1 레이어 스택과, 제2 플레이트 상에 위치하며 제2 트랜지스터가 배치되는 제2 레이어 스택을 포함하고, 제1 트랜지스터는 영상 표시 영역에 해당하는 액티브 영역과 중첩되게 위치함으로써, 베젤 프리 구조를 제공할 수 있다.

대표도 - 도2

110



(52) CPC특허분류

H01L 51/50 (2013.01)

명세서

청구범위

청구항 1

제1 플레이트;

상기 제1 플레이트 상에 위치하는 제2 플레이트;

상기 제1 플레이트와 상기 제2 플레이트 사이에 위치하며 제1 트랜지스터가 배치된 제1 레이어 스택; 및

상기 제2 플레이트 상에 위치하며 제2 트랜지스터가 배치되는 제2 레이어 스택을 포함하고,

상기 제1 트랜지스터는 영상 표시 영역에 해당하는 액티브 영역과 중첩되게 위치하는 표시 패널.

청구항 2

제1항에 있어서,

상기 제2 트랜지스터는 상기 액티브 영역에 배열되는 다수의 서브픽셀을 구성하는 트랜지스터이고,

상기 제1 트랜지스터는 상기 다수의 서브픽셀 중 하나 이상의 서브픽셀의 영역과 중첩되게 배치되는 표시 패널.

청구항 3

제2항에 있어서,

상기 제1 트랜지스터는,

상기 표시 패널에 내장되는 게이트 구동 회로에 포함되고, 상기 다수의 서브픽셀 중 외곽에 배치된 하나 이상의 서브픽셀의 영역과 중첩되게 배치되는 표시 패널.

청구항 4

제1항에 있어서,

상기 제1 레이어 스택에 위치하는 제1 금속과 상기 제2 레이어 스택에 위치하는 제2 금속을 전기적으로 연결해주는 사이드 라우팅 배선이 상기 제2 플레이트의 측면을 따라 배치되는 표시 패널.

청구항 5

제4항에 있어서,

상기 제1 금속은,

상기 제1 트랜지스터의 소스 전극 또는 드레인 전극이거나, 상기 제1 트랜지스터의 소스 전극 또는 드레인 전극과 전기적으로 연결된 패턴에 해당하고,

상기 제2 금속은,

상기 제2 트랜지스터의 게이트 전극과 전기적으로 연결된 게이트 라인이거나, 상기 게이트 라인에 전기적으로 연결된 패턴에 해당하는 표시 패널.

청구항 6

제1항에 있어서,
상기 제1 레이어 스택은 하나 이상의 무기 절연막을 포함하는 표시 패널.

청구항 7

제1항에 있어서,
상기 제1 트랜지스터는 상기 표시 패널에 내장되는 게이트 구동 회로에 포함되고,
상기 제1 트랜지스터의 하부에는 하부 쉘드 금속이 배치되고,
상기 하부 쉘드 금속은,
플로팅 되어 있거나, 상기 제1 트랜지스터의 소스 전극, 드레인 전극 및 게이트 전극 중 하나와 전기적으로 연결되는 표시 패널.

청구항 8

제1항에 있어서,
상기 제1 트랜지스터 및 상기 제2 트랜지스터는 다른 종류의 트랜지스터를 포함하는 표시 패널.

청구항 9

제8항에 있어서,
상기 제1 트랜지스터는 저온폴리실리콘 트랜지스터를 포함하고,
상기 제2 트랜지스터는 상기 산화물 트랜지스터를 포함하고,
상기 제2 플레이트는 폴리이미드 기판을 포함하는 표시 패널.

청구항 10

제1항에 있어서,
상기 제1 트랜지스터 및 상기 제2 트랜지스터는 동일한 종류의 트랜지스터를 포함하는 표시 패널.

청구항 11

제10항에 있어서,
상기 제1 트랜지스터 및 상기 제2 트랜지스터는 폴리실리콘 트랜지스터를 포함하고,
상기 제2 플레이트는 유기 절연막 또는 폴리이미드 기판을 포함하는 표시 패널.

청구항 12

하나 이상의 표시 패널을 포함하는 표시부와,
상기 하나 이상의 표시 패널에 배치된 데이터 라인들을 구동하기 위한 데이터 구동 회로를 포함하고,
상기 하나 이상의 표시 패널 각각은,

제1 플레이트;

상기 제1 플레이트 상에 위치하는 제2 플레이트;

상기 제1 플레이트와 상기 제2 플레이트 사이에 위치하며 제1 트랜지스터가 배치된 제1 레이어 스택; 및

상기 제2 플레이트 상에 위치하며 제2 트랜지스터가 배치되는 제2 레이어 스택을 포함하고,

상기 제1 트랜지스터는 영상 표시 영역에 해당하는 액티브 영역과 중첩되게 위치하는 표시 장치.

청구항 13

제12항에 있어서,

상기 제2 트랜지스터는 상기 액티브 영역에 배열되는 다수의 서브픽셀을 구성하는 트랜지스터이고,

상기 제1 트랜지스터는 상기 다수의 서브픽셀 중 하나 이상의 서브픽셀의 영역과 중첩되게 배치되는 표시 장치.

청구항 14

제12항에 있어서,

상기 제1 트랜지스터는,

상기 다수의 표시 패널 각각에 내장되는 게이트 구동 회로에 포함되고, 상기 다수의 서브픽셀 중 외곽에 배치된 하나 이상의 서브픽셀의 영역과 중첩되게 배치되는 표시 장치.

청구항 15

제12항에 있어서,

상기 표시부는 둘 이상의 표시 패널을 포함하고, 원통 형상을 갖고,

상기 제1 플레이트 및 상기 제2 플레이트는 플렉서블 플레이트인 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들에 따른 표시 패널 및 표시 장치에 관한 것이다.

배경 기술

[0002] 종래의 표시 장치는 다수의 데이터 라인 및 다수의 게이트 라인이 배치되는 표시 패널과, 표시 패널을 구동하기 위한 구동 회로를 포함할 수 있다. 구동 회로는 다수의 데이터 라인을 구동하기 위한 데이터 드라이버와, 다수의 게이트 라인을 구동하기 위한 게이트 드라이버를 포함할 수 있다.

[0003] 종래의 표시 패널은 영상이 표시되는 액티브 영역과, 액티브 영역의 바깥 영역인 베젤 영역을 포함한다. 이러한 표시 패널의 베젤 영역에는 데이터 드라이버가 실장 되거나 전기적으로 연결된다. 또한, 표시 패널의 베젤 영역에는 게이트 드라이버가 전기적으로 연결되거나 게이트 드라이버가 내장될 수도 있다.

[0004] 따라서, 종래의 표시 패널은, 액티브 영역과 구동 회로를 연결해주기 위하여, 큰 베젤 영역을 갖고 있어야만 하거나, 아무리 줄더라도 어느 정도의 베젤 영역을 필요로 한다. 이러한 표시 패널에서의 베젤의 존재와 그 크기는 표시 장치의 디자인 설계에 대한 큰 제약 사항이 되고 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 실시예들의 목적은, 베젤 프리 구조를 갖는 표시 패널 및 표시 장치를 제공하는 데 있다.
- [0006] 또한, 본 발명의 실시예들의 다른 목적은, 산화물 트랜지스터와 저온폴리실리콘 트랜지스터를 포함하는 경우, 산화물 트랜지스터의 소자 특성을 향상시켜줄 수 있는 구조를 갖는 표시 패널 및 표시 장치를 제공하는 데 있다.
- [0007] 또한, 본 발명의 실시예들의 또 다른 목적은, 수소에 취약한 트랜지스터를 보호해줄 수 있는 구조를 갖는 표시 패널 및 표시 장치를 제공하는 데 있다.
- [0008] 또한, 본 발명의 실시예들의 또 다른 목적은, 베젤 프리 구조를 갖는 표시 패널들을 포함하는 멀티 디스플레이를 제공하는 데 있다.

과제의 해결 수단

- [0009] 일 측면에서, 본 발명의 실시예들은, 제1 플레이트와, 제1 플레이트 상에 위치하는 제2 플레이트와, 제1 플레이트와 제2 플레이트 사이에 위치하며 제1 트랜지스터가 배치된 제1 레이어 스택과, 제2 플레이트 상에 위치하며 제2 트랜지스터가 배치되는 제2 레이어 스택을 포함하는 표시 패널을 제공할 수 있다.
- [0010] 제2 트랜지스터는 영상 표시 영역에 해당하는 액티브 영역에 배열되는 다수의 서브픽셀을 구성하는 트랜지스터일 수 있다.
- [0011] 제1 트랜지스터는 영상 표시 영역에 해당하는 액티브 영역과 중첩되게 위치할 수 있다.
- [0012] 제1 트랜지스터는 다수의 서브픽셀 중 하나 이상의 서브픽셀의 영역과 중첩되게 배치될 수 있다.
- [0013] 제1 트랜지스터는, 표시 패널에 내장되는 게이트 구동 회로에 포함되고, 다수의 서브픽셀 중 외곽에 배치된 하나 이상의 서브픽셀의 영역과 중첩되게 배치될 수 있다.
- [0014] 제1 레이어 스택에 위치하는 제1 금속과 제2 레이어 스택에 위치하는 제2 금속을 전기적으로 연결해주는 사이드 라우팅 배선이 제2 플레이트의 측면을 따라 배치될 수 있다.
- [0015] 제1 금속은, 제1 트랜지스터의 소스 전극 또는 드레인 전극이거나, 제1 트랜지스터의 소스 전극 또는 드레인 전극과 전기적으로 연결된 패턴에 해당할 수 있다.
- [0016] 제2 금속은, 제2 트랜지스터의 게이트 전극과 전기적으로 연결된 게이트 라인이거나, 게이트 라인에 전기적으로 연결된 패턴에 해당할 수 있다.
- [0017] 제1 플레이트 및 제2 플레이트 각각은 폴리이미드 기판일 수 있다.
- [0018] 제1 플레이트는 폴리이미드 기판이고, 제2 플레이트는 유기 절연막일 수 있다.
- [0019] 제1 레이어 스택은 하나 이상의 무기 절연막을 포함할 수 있다.
- [0020] 제1 트랜지스터의 하부에는 하부 쉴드 금속이 배치될 수 있다.
- [0021] 하부 쉴드 금속은 플로팅 되어 있을 수 있다.
- [0022] 하부 쉴드 금속은 제1 트랜지스터의 소스 전극 또는 드레인 전극과 전기적으로 연결되거나 제1 트랜지스터의 게이트 전극과 전기적으로 연결될 수 있다.
- [0023] 제1 트랜지스터 및 제2 트랜지스터는 다른 종류의 트랜지스터를 포함할 수 있다.
- [0024] 일 예로, 제1 트랜지스터는 저온폴리실리콘 트랜지스터를 포함할 수 있고, 제2 트랜지스터는 저온폴리실리콘 트랜지스터와 다른 종류의 트랜지스터를 포함할 수 있다.
- [0025] 다른 예로, 제2 트랜지스터는 산화물 트랜지스터를 포함할 수 있고, 제1 트랜지스터는 산화물 트랜지스터와 다른 종류의 트랜지스터를 포함할 수도 있다.
- [0026] 또 다른 예로, 제1 트랜지스터는 저온폴리실리콘 트랜지스터를 포함할 수 있고, 제2 트랜지스터는 산화물 트랜지스터를 포함할 수 있다. 이 경우, 제2 플레이트는 수소 차단 플레이트 또는 수소 포집 플레이트 등일 수 있다. 일 예로, 제2 플레이트는 폴리이미드 기판일 수 있다.

- [0027] 제1 트랜지스터 및 제2 트랜지스터는 동일한 종류의 트랜지스터를 포함할 수 있다.
- [0028] 일 예로, 제1 트랜지스터 및 제2 트랜지스터는 폴리실리콘 트랜지스터를 포함할 수 있다. 이 경우, 제2 플레이트는 폴리이미드 기판 또는 유기 절연막 동일 수 있다.
- [0029] 다른 예로, 제1 트랜지스터 및 제2 트랜지스터는 산화물 트랜지스터를 포함할 수 있다. 이 경우, 제2 플레이트는 폴리이미드 기판 또는 유기 절연막 동일 수 있다.
- [0030] 다른 측면에서, 본 발명의 실시예들은, 하나 이상의 표시 패널을 포함하는 표시부와, 하나 이상의 표시 패널에 배치된 데이터 라인들을 구동하기 위한 데이터 구동 회로를 포함하는 표시 장치를 제공할 수 있다.
- [0031] 하나 이상의 표시 패널 각각은, 제1 플레이트와, 제1 플레이트 상에 위치하는 제2 플레이트와, 제1 플레이트와 제2 플레이트 사이에 위치하며 제1 트랜지스터가 배치된 제1 레이어 스택과, 제2 플레이트 상에 위치하며 제2 트랜지스터가 배치되는 제2 레이어 스택을 포함할 수 있다.
- [0032] 제2 트랜지스터는 영상 표시 영역에 해당하는 액티브 영역에 배열되는 다수의 서브픽셀을 구성하는 트랜지스터일 수 있다.
- [0033] 제1 트랜지스터는 영상 표시 영역에 해당하는 액티브 영역과 중첩되게 위치할 수 있다.
- [0034] 제1 트랜지스터는 다수의 서브픽셀 중 하나 이상의 서브픽셀의 영역과 중첩되게 배치될 수 있다.
- [0035] 제1 트랜지스터는, 다수의 표시 패널 각각에 내장되는 게이트 구동 회로를 구성하고, 다수의 서브픽셀 중 외곽에 배치된 하나 이상의 서브픽셀의 영역과 중첩되게 배치될 수 있다.
- [0036] 표시부는 둘 이상의 표시 패널을 포함할 수 있다.
- [0037] 표시부는 플랫 형상 또는 원통 형상을 가질 수 있다.
- [0038] 표시부가 원통 형상으로 구현되기 위해서, 각 표시 패널에 포함되는 제1 플레이트 및 제2 플레이트는 플렉서블 플레이트일 수 있다.

발명의 효과

- [0039] 본 발명의 실시예들에 의하면, 베젤 프리 구조를 갖는 표시 패널 및 표시 장치를 제공하는 효과가 있다.
- [0040] 또한, 본 발명의 실시예들에 의하면, 산화물 트랜지스터와 저온폴리실리콘 트랜지스터를 포함하는 경우, 산화물 트랜지스터의 소자 특성을 향상시켜줄 수 있는 구조를 갖는 표시 패널 및 표시 장치를 제공하는 효과가 있다.
- [0041] 또한, 본 발명의 실시예들에 의하면, 수소에 취약한 트랜지스터를 보호해줄 수 있는 구조를 갖는 표시 패널 및 표시 장치를 제공하는 효과가 있다.
- [0042] 또한, 본 발명의 실시예들에 의하면, 베젤 프리 구조를 갖는 표시 패널들을 포함하는 멀티 디스플레이를 제공하는 효과가 있다.

도면의 간단한 설명

- [0043] 도 1은 본 발명의 실시예들에 따른 표시 장치의 시스템 구성도이다.
- 도 2 내지 도 4는 본 발명의 실시예들에 따른 표시 패널의 개략적인 단면 구조를 나타낸 도면들이다.
- 도 5는 본 발명의 실시예들에 따른 표시 패널의 액티브 영역과 게이트 구동 회로 영역을 나타낸 도면이다.
- 도 6은 본 발명의 실시예들에 따른 표시 패널에서, 제1 레이어 스택에서의 제1 금속과 제2 레이어 스택에서의 제2 금속을 전기적으로 연결해주기 위한 사이드 연결 구조를 나타낸 도면이다.
- 도 7은 본 발명의 실시예들에 따른 표시 패널의 서브픽셀 회로를 나타낸 도면이다.
- 도 8은 본 발명의 실시예들에 따른 표시 패널에 내장되는 게이트 구동 회로를 나타낸 도면이다.
- 도 9는 본 발명의 실시예들에 따른 표시 패널의 단면 구조를 나타낸 도면이다.
- 도 10 내지 도 12는 제1 레이어 스택에 포함된 제1 트랜지스터들과 제2 레이어 스택에 포함된 제2 트랜지스터들의 종류 별 단면 구조를 나타낸 도면들이다.

도 13은 본 발명의 실시예들에 따른 멀티 디스플레이를 나타낸 도면이다.

도 14는 도 13의 멀티 디스플레이의 응용 예를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0045] 또한, 본 발명의 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.
- [0046] 또한, 본 발명의 실시예들에서의 구성 요소들을 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석되어야 할 것이다.
- [0047] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성 요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0048] 또한, 본 발명의 실시예들에서의 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것일 뿐이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.
- [0049] 또한, 본 발명의 실시예들에서의 특징들(구성들)이 부분적으로 또는 전체적으로 서로 결합 또는 조합 또는 분리 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예는 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0050] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.
- [0051] 도 1은 본 발명의 실시예들에 따른 표시 장치(100)의 시스템 구성도이다.
- [0052] 본 발명의 실시예들에 따른 표시 장치(100)는 영상 표시 장치, 조명 장치, 또는 발광 장치 등일 수 있다.
- [0053] 본 발명의 실시예들에 따른 표시 장치(100)는, 영상을 표시하거나 빛을 출력하는 표시 패널(110)과, 이러한 표시 패널(110)을 구동하기 위한 구동 회로를 포함할 수 있다.
- [0054] 표시 패널(110)은, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP)이 매트릭스 타입으로 배열될 수 있다.
- [0055] 표시 패널(110)에서, 다수의 게이트 라인(GL)은 제1 방향으로 배치되고, 다수의 데이터 라인(DL)은 제1 방향과 다른 제2 방향으로 배치된다. 따라서, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)은 서로 교차하여 배치될 수 있다. 예를 들어, 다수의 게이트 라인(GL)은 행(Row) 또는 열(Column)으로 배열될 수 있고, 다수의 데이터 라인(DL)은 열(Column) 또는 행(Row)으로 배열될 수 있다. 아래에서는, 설명의 편의를 위하여, 다수의 게이트 라인(GL)은 행(Row)으로 배치되고, 다수의 데이터 라인(DL)은 열(Column)로 배치되는 것으로 가정한다.
- [0056] 표시 패널(110)에는, 서브픽셀 구조 등에 따라, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL) 이외에, 다른 종류의 신호배선들이 배치될 수 있다. 구동전압 배선, 기준전압 배선, 또는 공통전압 배선 등이 더 배치될

수 있다.

- [0057] 표시 패널(110)은 LCD (Liquid Crystal Display) 패널, OLED (Organic Light Emitting Diode) 패널 등 다양한 타입의 패널일 수 있다.
- [0058] 표시 패널(110)에 배치되는 신호배선들의 종류는, 서브픽셀 구조, 패널 타입(예: LCD 패널, OLED 패널 등) 등에 따라 달라질 수 있다. 그리고, 본 명세서에서는 신호배선은 신호가 인가되는 전극을 포함하는 개념일 수도 있다.
- [0059] 구동 회로는, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함할 수 있다.
- [0060] 데이터 드라이버(120)는 다수의 데이터 라인(DL)으로 데이터 전압을 출력함으로써 다수의 데이터 라인(DL)을 구동할 수 있다.
- [0061] 게이트 드라이버(130)는 다수의 게이트 라인(GL)으로 스캔신호를 출력함으로써 다수의 게이트 라인(GL)을 구동할 수 있다.
- [0062] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)의 구동 동작에 필요한 각종 제어신호(DCS, GCS)를 공급하여 데이터 드라이버(120) 및 게이트 드라이버(130)의 구동 동작을 제어할 수 있다. 또한, 컨트롤러(140)는 데이터 드라이버(120)로 영상 데이터(DATA)를 공급할 수 있다.
- [0063] 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터(DATA)를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0064] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등의 타이밍 신호를 외부 (예: 호스트 시스템)로부터 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.
- [0065] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0066] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0067] 컨트롤러(140)는, 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행할 수 있는 제어장치일 수 있다.
- [0068] 컨트롤러(140)는, 데이터 드라이버(120)와 별도의 부품으로 구현될 수도 있고, 데이터 드라이버(120)와 함께 통합되어 집적회로로 구현될 수 있다.
- [0069] 데이터 드라이버(120)는, 컨트롤러(140)로부터 영상 데이터(DATA)를 입력 받아 다수의 데이터 라인(DL)로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(120)는 소스 드라이버라고도 한다.
- [0070] 데이터 드라이버(120)는 다양한 인터페이스를 통해 컨트롤러(140)와 각종 신호나 데이터를 주고받을 수 있다.
- [0071] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터(DATA)를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)로 공급한다.
- [0072] 데이터 드라이버(120)는, 표시 패널(110)의 일 측(예: 상측, 하측, 좌측, 또는 우측)에 연결될 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 표시 패널(110)의 양측(예: 상측과 하측, 또는 좌측과 우측) 모두에 연결될 수도 있다.
- [0073] 데이터 드라이버(120)는 하나 이상의 소스 드라이버 집적회로(Source Driver Integrated Circuit)를 포함하여

구현될 수 있다.

- [0074] 각 소스 드라이버 집적회로는 시프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다. 데이터 드라이버(120)는, 경우에 따라서, 하나 이상의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0075] 각 소스 드라이버 집적회로는, TAB (Tape Automated Bonding) 타입 또는 COG (Chip On Glass) 타입으로 표시 패널(110)의 본딩 패드(Bonding Pad)에 연결되거나 표시 패널(110) 상에 직접 배치될 수도 있다. 경우에 따라서, 각 소스 드라이버 집적회로는 표시 패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로는 COF (Chip On Film) 타입으로 구현될 수 있다. 이 경우, 각 소스 드라이버 집적회로는 회로필름 상에 실장 되어, 회로필름을 통해 표시 패널(110)에서의 데이터 라인들(DL)과 전기적으로 연결될 수 있다.
- [0076] 게이트 드라이버(130)는, 다수의 게이트 라인(GL)로 스캔신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 스캔 드라이버라고도 한다.
- [0077] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔신호를 다수의 게이트 라인(GL)로 순차적으로 공급한다.
- [0078] 게이트 드라이버(130)는, 표시 패널(110)의 일 측(예: 상측, 하측, 좌측, 또는 우측)에 연결될 수도 있고(도 3 참조), 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 표시 패널(110)의 양측(예: 상측과 하측, 또는 좌측과 우측) 모두에 연결될 수도 있다(도 4 참조).
- [0079] 게이트 드라이버(130)는 다수의 게이트 구동 회로(Gate Driving Circuit)를 포함할 수 있다. 여기서, 다수의 게이트 구동 회로는 다수의 게이트 라인(GL)과 각각 대응될 수 있다.
- [0080] 다수의 게이트 구동 회로 각각은 시프트 레지스터(Shift Register), 레벨 시프터(Level Shifter) 등을 포함할 수 있다.
- [0081] 다수의 게이트 구동 회로는 표시 패널(110)에 직접 형성될 수 있다. 즉, 다수의 게이트 구동 회로는 표시 패널(110)에 내장될 수 있다. 다시 말해, 게이트 구동 회로는 패널 내장형 게이트 구동 회로라고 할 수 있다.
- [0082] 도 2 내지 도 4는 본 발명의 실시예들에 따른 표시 패널(110)의 개략적인 단면 구조를 나타낸 도면들이고, 도 5는 본 발명의 실시예들에 따른 표시 패널(110)의 액티브 영역(A/A)과 게이트 구동 회로 영역(G/A)을 나타낸 도면이고, 도 6은 본 발명의 실시예들에 따른 표시 패널(110)에서, 제1 레이어 스택(LST1)에서의 제1 금속(M1)과 제2 레이어 스택(LST2)에서의 제2 금속(M2)을 전기적으로 연결해주기 위한 사이드 연결 구조를 나타낸 도면이다.
- [0083] 도 2 내지 도 4를 참조하면, 본 발명의 실시예들에 따른 표시 패널(110)은, 제1 플레이트(PLT1), 제1 레이어 스택(LST1), 제2 플레이트(PLT2) 및 제2 레이어 스택(LST2) 등을 포함할 수 있다.
- [0084] 제2 플레이트(PLT2)는 제1 플레이트(PLT1) 상에 위치한다.
- [0085] 제1 레이어 스택(LST1)은 제1 플레이트(PLT1)과 제2 플레이트(PLT2) 사이에 위치하며, 다수의 레이어(Layers)를 포함할 수 있다. 다수의 레이어 각각에는 금속물질이나 절연물질이 형성될 수 있다.
- [0086] 제2 레이어 스택(LST2)은 제2 플레이트(PLT2) 상에 위치하며, 다수의 레이어(Layers)를 포함할 수 있다. 다수의 레이어 각각에는 금속물질이나 절연물질이 형성될 수 있다.
- [0087] 제1 레이어 스택(LST1)과 제2 레이어 스택(LST2)은 제2 플레이트(PLT2)에 의해 분리된다.
- [0088] 제1 레이어 스택(LST1)에는 다수의 제1 트랜지스터(TR1)가 배치된다.
- [0089] 제2 레이어 스택(LST2)에는 다수의 제2 트랜지스터(TR2)가 배치된다.
- [0090] 제1 레이어 스택(LST1)에 배치되는 다수의 제1 트랜지스터(TR1)와 제2 레이어 스택(LST2)에 배치되는 다수의 제2 트랜지스터(TR2)는 제2 플레이트(PLT2)에 의해 분리된다.
- [0091] 다수의 제1 트랜지스터(TR1)는 제1 플레이트(PLT1)와 제2 플레이트(PLT2) 사이에 위치하는 제1 레이어 스택(LST1)의 전 영역에 배치될 수도 있지만, 제1 레이어 스택(LST1)의 일부 영역(예: 외곽 영역)에 배치될 수도 있다.

- [0092] 다수의 제2 트랜지스터(TR2)는 제2 플레이트(PLT2) 상에 위치하는 제2 레이어 스택(LST2) 내 전 영역 또는 일부 영역에 배치될 수 있다.
- [0093] 도 3 내지 도 5를 참조하면, 제2 레이어 스택(LST2)에는, 영상 표시 영역에 해당하는 액티브 영역(A/A)에 배열되는 다수의 서브픽셀(SP)을 구성하는 다수의 제2 트랜지스터(TR2)가 배치될 수 있다.
- [0094] 도 3 내지 도 5를 참조하면, 제1 레이어 스택(LST1)은 게이트 구동 회로 영역(G/A)을 포함할 수 있다.
- [0095] 표시 패널(110)의 제1 레이어 스택(LST1) 내의 게이트 구동 회로 영역(G/A)에는 다수의 게이트 구동 회로(GIP)가 형성될 수 있다.
- [0096] 제1 레이어 스택(LST1)에 배치되는 다수의 제1 트랜지스터(TR1)는 다수의 게이트 구동 회로(GIP)를 구성하는 트랜지스터들일 수 있다.
- [0097] 제1 트랜지스터(TR1)는 다수의 서브픽셀(SP) 중 하나 이상의 서브픽셀(SP)의 영역과 중첩되게 배치될 수 있다. 예를 들어, 제1 트랜지스터는 다수의 서브픽셀(SP) 중 외곽에 배치된 하나 이상의 서브픽셀(SP)의 영역과 중첩되게 배치될 수 있다.
- [0098] 도 3에 도시된 바와 같이, 제1 레이어 스택(LST1)에서 다수의 게이트 구동 회로(GIP)가 형성되는 위치는, 제1 레이어 스택(LST1)의 일 측일 수 있다.
- [0099] 즉, 다수의 게이트 구동 회로(GIP)를 구성하는 다수의 제1 트랜지스터(TR1)는 제1 레이어 스택(LST1) 내 일 측의 외곽 영역에 배치될 수도 있다.
- [0100] 다시 말해, 다수의 게이트 구동 회로(GIP)를 구성하는 다수의 제1 트랜지스터(TR1)는, 액티브 영역(A/A)과 중첩되되, 액티브 영역(A/A)의 한 측 영역과 중첩될 수 있다.
- [0101] 도 4에 도시된 바와 같이, 제1 레이어 스택(LST1)에서, 다수의 게이트 구동 회로(GIP)가 형성되는 위치는 제1 레이어 스택(LST1)의 일 측과 타 측일 수 있다.
- [0102] 즉, 다수의 게이트 구동 회로(GIP)를 구성하는 다수의 제1 트랜지스터(TR1)는 제1 레이어 스택(LST1) 내 일 측의 외곽 영역과 타 측의 외곽 영역에 배치될 수도 있다.
- [0103] 다시 말해, 다수의 게이트 구동 회로(GIP)를 구성하는 다수의 제1 트랜지스터(TR1)는, 액티브 영역(A/A)과 중첩되되, 액티브 영역(A/A)의 양 측 영역과 중첩될 수 있다.
- [0104] 전술한 바와 같이, 게이트 구동 회로 영역(G/A)이 액티브 영역(A/A)과 별도로 있는 것이 아니라, 액티브 영역(A/A)의 일부분과 수직으로 중첩되어 존재하기 때문에, 표시 패널(110)은 베젤 영역이 없거나 있더라도 매우 작을 수 있다. 이에 따르면, 본 발명의 실시예들에 따른 표시 패널(110)은 베젤 프리 구조(Bezel Free Structure)를 갖는다고 한다.
- [0105] 도 3 및 도 4를 참조하면, 제1 레이어 스택(LST1)은 하나 이상의 무기 절연막(300)을 더 포함할 수 있다.
- [0106] 하나 이상의 무기 절연막(300)은 게이트 구동 회로(GIP)를 구성하는 다수의 제2 트랜지스터(TR2)를 형성하는데 필요한 절연막 역할과, 게이트 구동 회로(GIP)와 제2 플레이트(PLT2) 간의 분리 역할을 할 수 있고, 제1 플레이트(PLT1) 또는 제1 레이어 스택(LST1)이 제2 레이어 스택(LST2)에 끼치는 영향을 줄여주는 완충 역할도 할 수 있다.
- [0107] 한편, 제2 레이어 스택(LST2)에는, 다수의 서브픽셀(SP)을 구성하는 다수의 제2 트랜지스터(TR2) 이외에도, 다수의 서브픽셀(SP)의 구성요소들에 해당하는 다수의 캐패시터와 다수의 발광 소자, 그리고, 다수의 서브픽셀(SP)을 구동하기 위한 각종 신호 배선들 등이 형성될 수 있다.
- [0108] 도 3 내지 도 5를 참조하면, 다수의 서브픽셀(SP)을 구동하기 위한 각종 신호 배선들 중 게이트 라인(GL)의 양 측에는, 액티브 영역(A/A)의 밖에 위치하는 베젤 영역이 매우 작거나 없을 수 있다.
- [0109] 종래에는 액티브 영역(A/A)의 바깥 영역에 해당하는 베젤 영역에 게이트 구동 회로(GIP)가 형성되기 때문에, 즉, 게이트 구동 회로(GIP)가 형성되는 베젤 영역은 액티브 영역(A/A)과 중첩되지 않기 때문에, 베젤 영역이 반드시 존재할 수밖에 없으며, 베젤 영역의 크기 또한 꽤 클 수밖에 없었다. 이러한 베젤 크기는 표시 장치(100)의 디자인의 제약 사항으로 작용한다.
- [0110] 하지만, 도 3 내지 도 5의 단면 구조에 따르면, 게이트 구동 회로 영역(G/A)은 액티브 영역(A/A)과 수직으로 중

침되어 존재하기 때문에, 제1 방향으로 액티브 영역(A/A)의 바깥에 위치하는 베젤 영역이 게이트 구동 회로 영역의 용도로 존재할 필요가 전혀 없다.

- [0111] 도 6을 참조하면, 표시 패널(110)은 제1 레이어 스택(LST1)에 위치하는 제1 금속(M1)과 제2 레이어 스택(LST2)에 위치하는 제2 금속(M2)을 전기적으로 연결해주는 사이드 라우팅 배선(SRL)을 포함할 수 있다. 여기서, 제1 레이어 스택(LST1)과 제2 레이어 스택(LST2)은 제2 플레이트(PLT2)에 의해 분리된다.
- [0112] 사이드 라우팅 배선(SRL)은 제2 플레이트(PLT2)의 측면을 따라 배치될 수 있다.
- [0113] 도 6을 참조하면, 사이드 라우팅 배선(SRL)의 일 단과 전기적으로 연결되는 제1 금속(M1)은, 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)의 소스 전극 또는 드레인 전극이거나, 제1 트랜지스터(TR1)의 소스 전극 또는 드레인 전극과 전기적으로 연결된 패턴에 해당할 수 있다.
- [0114] 도 6을 참조하면, 사이드 라우팅 배선(SRL)의 타 단과 전기적으로 연결되는 제2 금속(M2)은, 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2)의 게이트 전극과 전기적으로 연결된 게이트 라인이거나, 이러한 게이트 라인에 전기적으로 연결된 패턴에 해당할 수 있다.
- [0115] 제1 플레이트(PLT1) 및 제2 플레이트(PLT2) 각각은 플렉서블 플레이트일 수 있다.
- [0116] 제1 플레이트(PLT1)는 제1 레이어 스택(LST1)이 형성되는 기관 역할을 할 수 있으며, 일 예로, 폴리이미드(PI: Polyimide) 기관일 수 있다.
- [0117] 제2 플레이트(PLT2)는 제2 레이어 스택(LST2)이 형성되는 기관 역할을 할 수 있으며, 일 예로, 폴리이미드 기관 또는 유기 절연막일 수 있다.
- [0118] 제2 플레이트(PLT2)는 기관 역할뿐만 아니라 제1 레이어 스택(LST1)에서 올라오는 수소를 차단하는 역할을 더 할 수 있다.
- [0119] 한편, 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)는 물성과 구조적 관점에서 다양한 종류의 트랜지스터로 형성될 수 있다. 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2) 또한, 물성과 구조적 관점에서 다양한 종류의 트랜지스터로 형성될 수 있다.
- [0120] 예를 들어, 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)는, 게이트 구동 회로(GIP)를 구성하는 트랜지스터로서, 높은 전자 이동도 및 고속 구동 등이 필요로 하기 때문에, 저온폴리실리콘(LTPS: Low Temperature Poly Silicon) 트랜지스터로 형성될 수 있다.
- [0121] LTPS 공정은 수소를 필요로 하는 공정이다. 따라서, 제1 레이어 스택(LST1)에는 수소가 존재할 수 있다.
- [0122] 한편, 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2)는 영상 구동을 위한 서브픽셀(SP)을 구성하기 때문에 이동도 등의 균일도가 매우 중요할 수 있기 때문에, 균일도가 우수한 산화물(Oxide) 트랜지스터로 형성될 수 있다.
- [0123] 이러한 이유로, 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2)는 산화물 트랜지스터를 포함할 수 있다. 하지만, 이 경우, 제2 레이어 스택(LST2)에 배치되는 산화물 반도체가 수소에 노출되면, 산화물 반도체의 성능이 저하될 수 있다.
- [0124] 따라서, 제1 레이어 스택(LST1)에 수소가 존재하고, 제2 레이어 스택(LST2)에 배치된 제2 트랜지스터(TR2)가 수소에 취약하더라도, 제1 레이어 스택(LST1)과 제2 레이어 스택(LST2) 사이에 위치하는 제2 플레이트(PLT2)를 수소 차단이 가능한 층으로 형성하면, 제2 플레이트(PLT2)의 수소 차단 역할에 의해, 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2)가 수소에 노출되는 것을 방지해줄 수 있다.
- [0125] 한편, 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2)는 서로 다른 종류의 트랜지스터(예: 산화물 트랜지스터, LTPS 트랜지스터 등)를 포함할 수도 있다. 또한, 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)는 서로 다른 종류의 트랜지스터(예: 산화물 트랜지스터, LTPS 트랜지스터 등)를 포함할 수도 있다.
- [0126] 제1 플레이트(PLT1)의 두께와 제2 플레이트(PLT2)의 두께는 동일할 수 있다.
- [0127] 이와 다르게, 제1 플레이트(PLT1)의 두께와 제2 플레이트(PLT2)의 두께는 서로 다를 수 있다. 일 예로, 제1 플레이트(PLT1)의 두께는 제2 플레이트(PLT2)의 두께보다 더 두꺼울 수 있다.
- [0128] 도 7은 본 발명의 실시예들에 따른 표시 패널(110)의 서브픽셀 회로를 나타낸 도면이다.

- [0129] 도 7을 참조하면, 표시 패널(110)이 OLED 패널인 경우, 다수의 서브픽셀(SP) 각각은, 유기발광다이오드(OLED), 구동 트랜지스터(DRT), 스위칭 트랜지스터(SWT) 및 스토리지 캐패시터(Cst) 등을 포함할 수 있다.
- [0130] 유기발광다이오드(OLED)는 애노드 전극, 유기발광층 및 캐소드 전극 등을 포함할 수 있다.
- [0131] 도 7의 예시에 따르면, 유기발광다이오드(OLED)의 애노드 전극은 픽셀 전극에 해당하고, 유기발광다이오드(OLED)의 캐소드 전극(공통전극이라고도 함)에는 공통 전압에 해당하는 기저 전압(EVSS)이 인가될 수 있다.
- [0132] 여기서, 기저 전압(EVSS)은, 일 예로, 그라운드 전압이거나 그라운드 전압보다 높거나 낮은 전압일 수 있다. 또한, 기저 전압(EVSS)은 구동상태에 따라 가변 될 수 있다. 예를 들어, 영상 구동 시 기저 전압(EVSS)과 센싱 구동 시 기저 전압(EVSS)은 서로 다르게 설정될 수 있다.
- [0133] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동전류를 공급하여 유기발광다이오드(OLED)를 구동한다.
- [0134] 구동 트랜지스터(DRT)의 게이트 노드는 제1 노드(N1)에 전기적으로 연결된다.
- [0135] 구동 트랜지스터(DRT)의 소스 노드 (또는 드레인 노드)는 제2 노드(N2)에 전기적으로 연결될 수 있다. 여기서, 제2 노드(N2)에는 유기발광다이오드(OLED)의 애노드 전극이 연결될 수 있다.
- [0136] 구동 트랜지스터(DRT)의 드레인 노드 (또는 소스 노드)는 제3 노드(N3)에 전기적으로 연결될 수 있다. 여기서, 제3 노드(N3)는 구동 전압 라인(DVL)이 전기적으로 연결된 노드로서 구동 전압(EVDD)이 인가될 수 있다.
- [0137] 스위칭 트랜지스터(SWT)는 제1 노드(N1)와 해당 데이터 라인(DL) 사이에 연결될 수 있다.
- [0138] 스위칭 트랜지스터(SWT)의 게이트 노드는 스캔 신호(SCAN)를 공급하는 게이트 라인(GL)에 전기적으로 연결될 수 있다. 스위칭 트랜지스터(SWT)의 드레인 노드(또는 소스 노드)는 데이터 라인(DL)과 전기적으로 연결될 수 있다. 스위칭 트랜지스터(SWT)의 소스 노드(또는 드레인 노드)는 제1 노드(N1)에 전기적으로 연결될 수 있다.
- [0139] 스위칭 트랜지스터(SWT)는 게이트 라인(GL)을 통해 게이트 노드에 인가되는 스캔신호(SCAN)에 의해 온-오프가 제어될 수 있다.
- [0140] 스위칭 트랜지스터(SWT)는 스캔신호(SCAN)에 의해 턴-온 되는 경우, 해당 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 게이트 노드로 전달해줄 수 있다.
- [0141] 스토리지 캐패시터(Cst)는 일정 시간(예: 한 프레임 시간) 동안 일정 전압을 유지해주는 역할을 한다.
- [0142] 스토리지 캐패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결되거나 제1 노드(N1)와 제3 노드(N3) 사이에 전기적으로 연결될 수 있다.
- [0143] 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 소스/드레인/게이트 노드 간에 존재하는 내부 캐패시터 (Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계된 외부 캐패시터(External Capacitor)일 수 있다.
- [0144] 구동 트랜지스터(DRT) 및 스위칭 트랜지스터(SWT) 각각은 n 타입 트랜지스터이거나 p 타입 트랜지스터일 수 있다.
- [0145] 도 7에 예시된 각 서브픽셀 구조는 2T(Transistor) 1C (Capacitor) 구조로서, 설명을 위한 예시일 뿐, 1개 이상의 트랜지스터를 더 포함하거나, 경우에 따라서는, 1개 이상의 캐패시터를 더 포함할 수도 있다. 또는, 다수의 서브픽셀(SP) 각각이 동일한 구조로 되어 있을 수도 있고, 다수의 서브픽셀(SP) 중 일부는 다른 구조로 되어 있을 수도 있다.
- [0146] 도 8은 본 발명의 실시예들에 따른 게이트 구동 회로(GIP)를 나타낸 도면이다.
- [0147] 도 8을 참조하면, 게이트 구동 회로(GIP)는 풀-업 트랜지스터(Tup), 풀-다운 트랜지스터(Tdown) 및 제어 스위치 회로(CSC) 등을 포함할 수 있다.
- [0148] 제어 스위치 회로(CSC)는 풀-업 트랜지스터(Tup)의 게이트 노드에 해당하는 Q 노드의 전압과, 풀-다운 트랜지스터(Tdown)의 게이트 노드에 해당하는 QB 노드의 전압을 제어하는 회로로서, 여러 개의 스위치(트랜지스터)를 포함할 수 있다.
- [0149] 풀-업 트랜지스터(Tup)는 출력 노드(Nout)를 통해 게이트 라인(GL)으로 턴-온 레벨 전압(예: 하이 레벨 전압(VGH))에 해당하는 스캔 신호(SCAN)를 공급하는 트랜지스터이다.

- [0150] 풀-다운 트랜지스터(Tdown)는 출력 노드(Nout)를 통해 게이트 라인(GL)으로 턴-오프 레벨 전압(예: 로우 레벨 전압(VGL))에 해당하는 스캔 신호(SCAN)를 공급하는 트랜지스터이다.
- [0151] 풀-업 트랜지스터(Tup)와 풀-다운 트랜지스터(Tdown)는 서로 다른 타이밍에 턴-온 될 수 있다.
- [0152] 풀-업 트랜지스터(Tup)는, 클럭신호(CLK)가 인가되는 클럭신호 인가 노드(Nclk)와 게이트 라인(GL)에 전기적으로 연결된 출력 노드(Nout) 사이에 전기적으로 연결되고, Q 노드의 전압에 의해 턴 온 또는 턴 오프 된다.
- [0153] 풀-업 트랜지스터(Tup)의 게이트 노드는 Q 노드에 전기적으로 연결된다. 풀-업 트랜지스터(Tup)의 드레인 노드 또는 소스 노드는 클럭신호 인가 노드(Nclk)에 전기적으로 연결된다. 풀-업 트랜지스터(Tup)의 소스 노드 또는 드레인 노드는 스캔 신호(SCAN)가 출력되는 출력 노드(Nout)에 전기적으로 연결된다.
- [0154] 풀-업 트랜지스터(Tup)는, Q 노드의 전압에 의해 턴 온 되어, 클럭신호(CLK)의 하이 레벨 구간에서의 하이 레벨 전압(VGH)을 갖는 스캔 신호(SCAN)를 출력 노드(Nout)로 출력한다.
- [0155] 출력 노드(Nout)에 출력된 하이 레벨 전압(VGH)의 스캔 신호(SCAN)는 해당 게이트 라인(GL)에 공급된다.
- [0156] 풀-다운 트랜지스터(Tdown)는, 출력 노드(Nout)와 기저 전압 노드(Nvss) 사이에 전기적으로 연결되고, QB 노드의 전압에 의해 턴 온 또는 턴 오프 된다.
- [0157] 풀-다운 트랜지스터(Tdown)의 게이트 노드는, QB 노드에 전기적으로 연결된다. 풀-다운 트랜지스터(Tdown)의 드레인 노드 또는 소스 노드는 기저 전압 노드(Nvss)에 전기적으로 연결되어 정 전압에 해당하는 기저 전압(VSS)을 인가받는다. 풀-다운 트랜지스터(Tdown)의 소스 노드 또는 드레인 노드는, 스캔 신호(SCAN)가 출력되는 출력 노드(Nout)에 전기적으로 연결된다.
- [0158] 풀-다운 트랜지스터(Tdown)는, QB 노드의 전압에 의해 턴 온 되어, 로우 레벨 전압(VGL)의 스캔 신호(SCAN)를 출력 노드(Nout)로 출력한다. 이에 따라, 로우 레벨 전압(VGL)의 스캔 신호(SCAN)는 출력 노드(Nout)를 통해 해당 게이트 라인(GL)으로 공급될 수 있다. 여기서, 로우 레벨 전압(VGL)의 스캔 신호(SCAN)는, 일 예로, 기저 전압(VSS)일 수 있다.
- [0159] 한편, 제어 스위치 회로(CSC)는, 둘 이상의 트랜지스터 등으로 구성될 수 있으며, Q 노드, QB 노드, 세트 노드(S, 스타트 노드라고도 함), 리셋 노드(R) 등의 주요 노드가 있다. 경우에 따라서, 제어 스위치 회로(CSC)는 구동전압(VDD) 등의 각종 전압이 입력되는 입력 노드 등이 더 있을 수 있다.
- [0160] 제어 스위치 회로(CSC)에서, Q 노드는 풀-업 트랜지스터(Tup)의 게이트 노드와 전기적으로 연결되고, 충전과 방전이 반복된다.
- [0161] 제어 스위치 회로(CSC)에서, QB 노드는 풀-다운 트랜지스터(Tdown)의 게이트 노드와 전기적으로 연결되고, 충전과 방전이 반복된다.
- [0162] 제어 스위치 회로(CSC)에서, 세트 노드(S)는 해당 게이트 구동 회로(GIP)의 게이트 구동의 시작을 지시하기 위한 세트 신호(SET)를 인가 받는다.
- [0163] 여기서, 세트 노드(S)에 인가되는 세트 신호(SET)는 게이트 드라이버(GDR)의 외부에서 입력되는 스타트 신호(VST)일 수도 있고, 현재의 게이트 구동회로(GD)보다 앞선 이전 스테이지(stage)의 게이트 구동 회로(GIP)에서 출력된 스캔 신호(SCAN)가 피드백 된 신호(캐리 신호)일 수도 있다.
- [0164] 제어 스위치 회로(CSC)에서 리셋 노드(R)에 인가되는 리셋 신호(RST)는 모든 스테이지의 게이트 구동 회로(GIP)을 동시에 초기화하기 위한 리셋 신호일 수도 있고, 다른 스테이지(이전 또는 이후 스테이지)로부터 입력된 캐리 신호일 수 있다.
- [0165] 제어 스위치 회로(CSC)는 세트 신호(SET)에 응답하여 Q 노드를 충전하고, 리셋 신호(RST)에 응답하여 Q 노드를 방전한다. 제어 스위치 회로(CSC)는 Q 노드와 QB 노드 각각을 서로 다른 타이밍에 충전 또는 방전시키기 위하여 인버터 회로를 포함할 수 있다.
- [0166] 도 9는 본 발명의 실시예들에 따른 표시 패널(110)의 단면 구조를 나타낸 도면이다.
- [0167] 도 9 내지 도 12의 예시에서는, 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)가 도 8의 풀업 트랜지스터(Tup)이고, 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2)가 도 7의 구동 트랜지스터(DRT)와 스위칭 트랜지스터(SWT)인 것을 예로 든다.

- [0168] 도 9를 참조하면, 본 발명의 실시예들에 따른 표시 패널(110)의 단면 구조에 따르면, 제1 플레이트(PLT1) 상에 제1 레이어 스택(LST1)이 배치되고, 제1 레이어 스택(LST1) 상에 제2 플레이트(PLT2)가 위치하고, 제2 플레이트(PLT2) 상에 제2 레이어 스택(LST2)이 배치될 수 있다.
- [0169] 제1 레이어 스택(LST1)은 액티브 영역(A/A)과 수직으로 중첩되는 게이트 구동 회로 영역(G/A)을 포함할 수 있고, 게이트 구동 회로 영역(G/A)에는 제1 트랜지스터(TR1)를 포함하는 게이트 구동 회로(GIP)가 형성될 수 있다.
- [0170] 제1 트랜지스터(TR1)는 제1 액티브층(ACT1), 제1 게이트 전극(G1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 포함할 수 있다.
- [0171] 아래에서, 제1 트랜지스터(TR1)의 구조를 더욱 상세하게 설명한다.
- [0172] 제1 플레이트(PLT1) 상에 하단 버퍼층(BUF0)이 배치될 수 있다.
- [0173] 하단 버퍼층(BUF0) 상에 하부 쉴드 금속(BSM: Bottom Shield Metal)이 배치될 수 있다.
- [0174] 하단 버퍼층(BUF0) 상의 하부 쉴드 금속(BSM)을 덮으면서, 하단 버퍼층(BUF0) 상에 제1 버퍼층(BUF1)이 배치될 수 있다.
- [0175] 제1 버퍼층(BUF1) 상에 제1 액티브층(ACT1)이 배치된다.
- [0176] 제1 액티브층(ACT1) 상에 제1 게이트 절연막(GI1)이 배치된다.
- [0177] 제1 게이트 절연막(GI1) 상에 제1 게이트 전극(G1)이 배치될 수 있다. 제1 게이트 전극(G1)은 제1 액티브층(ACT1)의 일부와 중첩될 수 있다.
- [0178] 제1 소스 전극(S1) 및 제1 드레인 전극(D1)은 제1 게이트 절연막(GI1) 상에 위치할 수 있다. 경우에 따라서, 제1 소스 전극(S1) 및 제1 드레인 전극(D1)은 제1 게이트 절연막(GI1) 상의 다른 절연막(예: 층간 절연막) 상에 위치할 수도 있다.
- [0179] 제1 소스 전극(S1)은, 제1 게이트 절연막(GI1)의 홀을 통해, 제1 액티브층(ACT1)의 일부와 직접 접촉하거나 연결패턴을 통해 접촉할 수 있다.
- [0180] 제1 드레인 전극(D1)은, 제1 게이트 절연막(GI1)의 다른 홀을 통해, 제1 액티브층(ACT1)의 다른 일부와 직접 접촉하거나 연결패턴을 통해 접촉할 수 있다.
- [0181] 제1 액티브층(ACT1)에서, 제1 게이트 전극(G1)과 중첩되는 영역은 채널이 형성되는 영역이고, 나머지 영역은 도체화된 영역일 수 있다.
- [0182] 제1 게이트 절연막(GI1) 상에 위치하는 제1 게이트 전극(G1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 덮으면서, 제1 게이트 절연막(GI1) 상에 제1 층간 절연막(ILD1)이 배치될 수 있다.
- [0183] 여기서, 제1 층간 절연막(ILD1), 제1 게이트 절연막(GI1), 제1 버퍼층(BUF1), 하부 버퍼층(BUF0)은 무기 절연막(300)에 해당할 수 있다.
- [0184] 제1 층간 절연막(ILD1) 상에 제2 플레이트(PLT2)가 위치할 수 있다.
- [0185] 제2 플레이트(PLT2) 상에 제2 레이어 스택(LST2)이 배치될 수 있으며, 제2 레이어 스택(LST2)에는 제2 트랜지스터(TR2)가 형성된다.
- [0186] 제2 트랜지스터(TR2)는 제2 액티브층(ACT2), 제2 게이트 전극(G2), 제2 소스 전극(S2) 및 제2 드레인 전극(D2)을 포함할 수 있다.
- [0187] 아래에서, 제2 트랜지스터(TR2)의 구조를 더욱 상세하게 설명한다.
- [0188] 제2 버퍼층(BUF2) 상에 제2 액티브층(ACT2)이 배치된다.
- [0189] 제2 액티브층(ACT2) 상에 제2 게이트 절연막(GI2)이 배치된다.
- [0190] 제2 게이트 절연막(GI2) 상에 제2 게이트 전극(G2)이 배치될 수 있다. 제2 게이트 전극(G2)은 제2 액티브층(ACT2)의 일부와 중첩될 수 있다.
- [0191] 제2 게이트 절연막(GI2) 상의 제2 게이트 전극(G2)을 덮으면서 제2 게이트 절연막(GI2) 상에 제2 층간 절연막

(ILD2)이 배치될 수 있다.

- [0192] 제2 소스 전극(S2) 및 제2 드레인 전극(D2)은 제2 층간 절연막(ILD2) 상에 위치할 수 있다.
- [0193] 제2 소스 전극(S2)은, 제2 층간 절연막(ILD2)과 제2 게이트 절연막(GI2)의 홀을 통해, 제2 액티브층(ACT2)의 일부와 직접 접촉하거나 연결패턴을 통해 접촉할 수 있다.
- [0194] 제2 드레인 전극(D2)은, 제2 층간 절연막(ILD2)과 제2 게이트 절연막(GI2)의 다른 홀을 통해, 제2 액티브층(ACT2)의 다른 일부와 직접 접촉하거나 연결패턴을 통해 접촉할 수 있다.
- [0195] 제2 액티브층(ACT2)에서, 제2 게이트 전극(G2)과 중첩되는 영역은 채널이 형성되는 영역이고, 나머지 영역은 도체화된 영역일 수 있다.
- [0196] 여기서, 제2 층간 절연막(ILD2), 제2 게이트 절연막(GI2), 제2 버퍼층(BUF2)은 무기 절연막에 해당할 수 있다.
- [0197] 제2 층간 절연막(ILD2) 상에 유기발광다이오드(OLED)가 형성되는 발광소자 스택(ELS)이 배치될 수 있다. 이러한 발광소자 스택(ELS)에는 각 서브픽셀 영역 마다 애노드 전극과 발광층이 형성되고, 전면에 캐소드 전극이 형성될 수 있다.
- [0198] 또한, 발광소자 스택(ELS) 상에 봉지층이 형성될 수 있다.
- [0199] 봉지층은, 일 예로, 하나 이상의 무기물 층과 하나 이상의 유기물 층을 포함할 수 있다. 가령, 봉지층은 무기물 층, 유기물 층, 무기물 층의 순서대로 포함할 수 있다.
- [0200] 봉지층은, 다른 예로, 박막 형태의 메탈 층일 수도 있다.
- [0201] 한편, 도 9와 함께, 도 7의 서브픽셀 구조와 도 8의 게이트 구동 회로(GIP)를 더 참조하면, 게이트 구동 회로(GIP)에 포함되는 풀업 트랜지스터(Tup)에 해당하는 제1 트랜지스터(TR1)의 제1 소스 전극(S1)은, 서브픽셀(SP)에 포함되는 스위칭 트랜지스터(SWT)에 해당하는 제2 트랜지스터(TR2)의 제2 게이트 전극(G2)에 연결된 게이트 라인(GL)과 전기적으로 연결되어야 한다. 이와 다르게, 트랜지스터 타입 등이 변경되는 경우, 게이트 구동 회로(GIP)에 포함되는 풀업 트랜지스터(Tup)에 해당하는 제1 트랜지스터(TR1)의 제1 드레인 전극(D1)이 서브픽셀(SP)에 포함되는 스위칭 트랜지스터(SWT)에 해당하는 제2 트랜지스터(TR2)의 제2 게이트 전극(G2)에 연결된 게이트 라인(GL)과 전기적으로 연결될 수도 있다.
- [0202] 이러한 연결 구조로서, 사이드 라우팅 배선(SRL)이 제2 플레이트(PLT2)의 측면에 위치할 수 있다. 사이드 라우팅 배선(SRL)은 제1 레이어 스택(LST1) 중 상부 층의 측면에도 위치하고, 제2 레이어 스택(LST2) 중 하부 층의 측면에도 위치할 수 있다.
- [0203] 사이드 라우팅 배선(SRL)은, 제1 레이어 스택(LST1)에 형성된 제1 금속(M1)에 해당하는 제1 트랜지스터(TR1)의 제1 소스 전극(S1)과, 제2 레이어 스택(LST2)에 형성된 제2 금속(M2)에 해당하는 게이트 라인(GL)을 전기적으로 연결해준다. 여기서, 일 예로, 사이드 라우팅 배선(SRL)과 연결되는 제1 레이어 스택(LST1)에서의 제1 금속(M1)은, 게이트 구동 회로(GIP) 내 풀-업 트랜지스터(Tup)의 소스 전극 또는 드레인 전극일 수도 있고, 풀-다운 트랜지스터(Tdown)의 소스 전극 또는 드레인 전극일 수도 있다.
- [0204] 도 9와 함께, 도 7의 서브픽셀 구조를 참조하면, 제2 레이어 스택(LST2)에서, 서브픽셀(SP) 내 스위칭 트랜지스터(SWT)에 해당하는 제2 트랜지스터(TR2)의 제2 소스 전극(S2) 또는 제2 드레인 전극(D2)은, 서브픽셀(SP) 내 구동 트랜지스터(DRT)에 해당하는 제2 트랜지스터(TR2)의 제2 게이트 전극(G2)과 전기적으로 연결될 수 있다.
- [0205] 한편, 제1 트랜지스터(TR1)의 하부에 배치되는 하부 쉴드 금속(BSM)은 플로팅 되어 있을 수 있다. 이 경우, 하부 쉴드 금속(BSM)에는 어떠한 전원(전압, 전류)이 인가되지 않는다.
- [0206] 하부 쉴드 금속(BSM)은 아래에서 올라오는 빛을 차단하는 역할을 할 수 있다.
- [0207] 또한, 제1 트랜지스터(TR1)의 하부에 배치되는 하부 쉴드 금속(BSM)은 제1 트랜지스터(TR1)의 제1 소스 전극(S1) 또는 제1 드레인 전극(D1)과 전기적으로 연결될 수 있다.
- [0208] 이 경우, 하부 쉴드 금속(BSM)은 아래에서 올라오는 빛을 차단하는 역할 뿐만 아니라, 제1 트랜지스터(TR1)의 바디 역할을 하여, 제1 트랜지스터(TR1)의 안정적이고 신뢰성 있는 동작을 가능하게 하여 성능을 향상시켜줄 수 있다.
- [0209] 또한, 제1 트랜지스터(TR1)의 하부에 배치되는 하부 쉴드 금속(BSM)은, 제1 트랜지스터(TR1)의 제1 소스 전극

(S1) 또는 제1 드레인 전극(D1)과 연결되지 않고, 제1 게이트 전극(G1) 과 전기적으로 연결될 수도 있다.

- [0210] 이 경우, 하부 섀드 금속(BSM)과 제1 게이트 전극(G1)은 제1 트랜지스터(TR1)의 멀티-게이트 전극으로 동작하여, 제1 트랜지스터(TR1)의 온-오프 특성을 향상시켜줄 수 있다.
- [0211] 한편, 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)와 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2)는 다른 종류의 트랜지스터를 포함할 수 있다. 예를 들어, 제2 트랜지스터(TR2)는 산화물(Oxide) 트랜지스터를 포함하고, 제1 트랜지스터(TR1)는 산화물(Oxide) 트랜지스터와 다른 종류의 트랜지스터(예: 비정질 실리콘 트랜지스터, LTPS 트랜지스터 등)를 포함할 수도 있다. 다른 예를 들어, 제1 트랜지스터(TR1)는 LTPS 트랜지스터를 포함하고, 제2 트랜지스터(TR2)는 산화물 트랜지스터를 포함할 수 있다.
- [0212] 한편, 제1 레이어 스택(LST1)이 LTPS 트랜지스터를 포함하고, 제2 레이어 스택(LST2)이 산화물 트랜지스터를 포함하는 경우, 제2 플레이트(PLT2)는 폴리이미드(PI) 기판일 수 있다. 이에 따라, 제2 플레이트(PLT2)는 제1 레이어 스택(LST1)에서의 수소 등이 제2 레이어 스택(LST2)에 포함된 산화물 트랜지스터에 끼치는 나쁜 영향을 차단해줄 수 있다.
- [0213] 한편, 제1 레이어 스택(LST1)이 LTPS 트랜지스터를 포함하지 않는 경우, 또는 제2 레이어 스택(LST2)이 산화물 트랜지스터를 포함하지 않는 경우에는, 제2 플레이트(PLT2)는 폴리이미드 기판 또는 폴리이미드 기판과 다른 절연막일 수도 있다.
- [0214] 한편, 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)와 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2)는 동일한 종류의 트랜지스터일 수도 있다. 예를 들어, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 LTPS 트랜지스터 또는 산화물 트랜지스터일 수 있다.
- [0215] 도 10 내지 도 12는 제1 레이어 스택(LST1)에 포함된 제1 트랜지스터(TR1)와 제2 레이어 스택(LST2)에 포함된 제2 트랜지스터(TR2)의 종류 별 단면 구조를 나타낸 도면들이다.
- [0216] 도 10의 예시에 따르면, 제1 레이어 스택(LST1)은 LTPS 반도체 물질을 포함하는 LTPS 스택(LTPS Stack)이고, 제2 레이어 스택(LST2)은 산화물 반도체 물질을 포함하는 옥사이드 스택(Oxide Stack)일 수 있다.
- [0217] 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)는 제1 액티브층(ACT1)이 LTPS 반도체인 LTPS 트랜지스터이고, 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2)는 제2 액티브층(ACT2)이 산화물 반도체인 산화물(Oxide) 트랜지스터일 수 있다.
- [0218] 여기서, LTPS 트랜지스터는 높은 이동도를 갖는다. 산화물 반도체는 높은 균일도를 갖는다.
- [0219] 도 11의 예시에 따르면, 제1 레이어 스택(LST1) 및 제2 레이어 스택(LST2) 모두는 LTPS 반도체 물질을 포함하는 LTPS 스택(LTPS Stack)일 수 있다.
- [0220] 도 11을 참조하면, 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)는 제1 액티브층(ACT1)이 LTPS 반도체인 LTPS 트랜지스터이다. 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터(TR2) 또한, 제2 액티브층(ACT2)이 LTPS 반도체인 LTPS 트랜지스터일 수 있다.
- [0221] 도 12의 예시에 따르면, 제1 레이어 스택(LST1)은 LTPS 반도체 물질을 포함하는 LTPS 스택(LTPS Stack)이고, 제2 레이어 스택(LST2)은 산화물 반도체 물질과 LTPS 반도체 물질이 모두 포함되는 LTPS 및 옥사이드 스택(LTPS & Oxide Stack)일 수 있다.
- [0222] 도 12를 참조하면, 제1 레이어 스택(LST1)에 배치되는 제1 트랜지스터(TR1)는 제1 액티브층(ACT1)이 LTPS 반도체인 LTPS 트랜지스터이다.
- [0223] 도 12를 참조하면, 제2 레이어 스택(LST2)에 배치되는 제2 트랜지스터들(TR2) 중에서 일부는 제2 액티브층(ACT2)이 산화물 반도체인 산화물(Oxide) 트랜지스터이고, 다른 일부는 제2 액티브층(ACT2)이 LTPS 반도체인 LTPS 트랜지스터일 수 있다.
- [0224] 예를 들어, 고속 구동이 필요한 스위치 트랜지스터(SWT)는 LTPS 트랜지스터로 구현하고, 고속 구동이 필요하지 않지만 균일도가 중요한 구동 트랜지스터(DRT)는 산화물 트랜지스터로 구현할 수 있다.
- [0225] 위에서 언급한 산화물 트랜지스터는 N형 또는 P형 트랜지스터일 수 있다. 즉, 산화물 반도체는 N형 산화물 반도체 또는 P형 산화물 반도체일 수 있다.
- [0226] 예를 들어, N형 산화물 반도체는 IZO (Indium Zinc Oxide), IGZO (Indium Gallium Zinc Oxide), ITZO (Indium

Tin Zinc Oxide) 등 중 하나 이상을 포함할 수 있다. P형 산화물 반도체는 CuOx, SnOx, NiOx 등 중 하나 이상을 포함할 수 있다.

- [0227] 한편, 이상에서 설명한 본 발명의 실시예들에 따른 표시 패널(110)을 활용하여 멀티 디스플레이(Multi-Display)를 구현할 수 있다.
- [0228] 도 13은 본 발명의 실시예들에 따른 멀티 디스플레이(1300)를 나타낸 도면이다. 도 14는 도 13의 멀티 디스플레이(1300)의 응용 예를 나타낸 도면이다.
- [0229] 도 13을 참조하면, 본 발명의 실시예들에 따른 멀티 디스플레이(1300)는 다수의 표시 패널(110)을 포함하는 표시 장치(100)의 응용이다.
- [0230] 멀티 디스플레이(1300)는 다수의 표시 패널(110) 각각에서 독립적인 디스플레이뿐만 아니라, 마치 하나의 표시 패널에서 디스플레이 하는 것처럼 다수의 표시 패널(110)을 연계시켜 디스플레이 할 수 있다.
- [0231] 이를 위해, 멀티 디스플레이(1300)에 포함된 다수의 표시 패널(110) 각각은 베젤 영역이 최소화 되어야 한다.
- [0232] 도 1 내지 도 12를 참조하여 전술한 표시 패널(110)은 베젤 영역이 최소화 되거나 제거될 수 있는 구조를 가지므로, 멀티 디스플레이(1300)를 구현하는데 상당한 도움을 줄 수 있다.
- [0233] 도 13을 참조하면, 본 발명의 실시예들에 따른 멀티 디스플레이(1300)는 둘 이상의 표시 패널(110)을 포함하는 표시부(1310)와, 둘 이상의 표시 패널(110)에 배치된 데이터 라인들을 구동하기 위한 데이터 구동 회로(1320)와, 데이터 구동 회로(1320) 등을 제어하는 제어 회로(1340) 등을 포함할 수 있다.
- [0234] 표시부(1310)에 포함된 둘 이상의 표시 패널(110) 각각은 도 1 내지 도 12를 참조한 바와 동일하므로, 아래에서는, 간단하게만 설명한다.
- [0235] 표시부(1310)에 포함된 다수의 표시 패널(110) 각각은, 제1 플레이트(PLT1), 제1 레이어 스택(LST1), 제2 플레이트(PLT2) 및 제2 레이어 스택(LST2) 등을 포함할 수 있다.
- [0236] 제2 플레이트(PLT2)는 제1 플레이트(PLT1) 상에 위치한다.
- [0237] 제1 레이어 스택(LST1)은 제1 플레이트(PLT1)과 제2 플레이트(PLT2) 사이에 위치하며, 다수의 레이어(Layer)를 포함할 수 있다. 다수의 레이어 각각에는 금속물질이나 절연물질이 형성될 수 있다.
- [0238] 제2 레이어 스택(LST2)은 제2 플레이트(PLT2) 상에 위치하며, 다수의 레이어(Layer)를 포함할 수 있다. 다수의 레이어 각각에는 금속물질이나 절연물질이 형성될 수 있다.
- [0239] 제1 레이어 스택(LST1)과 제2 레이어 스택(LST2)은 제2 플레이트(PLT2)에 의해 분리된다.
- [0240] 제1 레이어 스택(LST1)에는 다수의 제1 트랜지스터(TR1)가 배치된다.
- [0241] 제2 레이어 스택(LST2)에는 다수의 제2 트랜지스터(TR2)가 배치된다.
- [0242] 제1 레이어 스택(LST1)에 배치되는 다수의 제1 트랜지스터(TR1)와 제2 레이어 스택(LST2)에 배치되는 다수의 제2 트랜지스터(TR2)는 제2 플레이트(PLT2)에 의해 분리된다.
- [0243] 다수의 제1 트랜지스터(TR1)는 제1 플레이트(PLT1)와 제2 플레이트(PLT2) 사이에 위치하는 제1 레이어 스택(LST1)의 전 영역에 배치될 수도 있지만, 제1 레이어 스택(LST1)의 일부 영역(예: 외곽 영역)에 배치될 수도 있다.
- [0244] 다수의 제2 트랜지스터(TR2)는 제2 플레이트(PLT2) 상에 위치하는 제2 레이어 스택(LST2) 내 전 영역 또는 일부 영역에 배치될 수 있다.
- [0245] 제2 레이어 스택(LST2)에는, 영상 표시 영역에 해당하는 액티브 영역(A/A)에 배열되는 다수의 서브픽셀(SP)을 구성하는 다수의 제2 트랜지스터(TR2)가 배치될 수 있다.
- [0246] 다수의 표시 패널(110) 각각에는 게이트 드라이버(130)가 내장될 수 있다.
- [0247] 이와 관련하여, 제1 레이어 스택(LST1)에는 게이트 드라이버(130)를 구성하는 다수의 게이트 구동 회로(GIP)가 형성될 수 있다.
- [0248] 제1 레이어 스택(LST1)에 배치되는 다수의 제1 트랜지스터(TR1)는 다수의 게이트 구동 회로(GIP)에 포함되는 트

랜지스터들일 수 있다.

- [0249] 제1 트랜지스터(TR1)는 다수의 서브픽셀(SP) 중 하나 이상의 서브픽셀(SP)의 영역과 중첩되게 배치될 수 있다. 예를 들어, 제1 트랜지스터는 다수의 서브픽셀(SP) 중 외곽에 배치된 하나 이상의 서브픽셀(SP)의 영역과 중첩되게 배치될 수 있다.
- [0250] 데이터 구동 회로(1320)는 다수의 표시 패널(110)에 배치된 모든 데이터 라인들을 구동할 수 있다. 데이터 구동 회로(1320)는 다수의 표시 패널(110) 각각에 대응된 데이터 드라이버(120)를 모두 포함하는 개념이다.
- [0251] 또한, 전술한 바와 같이, 다수의 표시 패널(110) 각각에는 게이트 드라이버(130)가 내장되어 있다.
- [0252] 제어 회로(1340)는, 데이터 구동 회로(1320)와 다수의 표시 패널(110) 각각에 내장된 게이트 드라이버(130)를 제어할 수 있다.
- [0253] 이를 통해, 다수의 표시 패널(110)은 독립적으로 디스플레이 되거나, 다수의 표시 패널(110) 중 일부만이 디스플레이 될 수도 있다.
- [0254] 또한, 하나의 화면이 여러 개로 분할되어 분할된 작은 화면들이 다수의 표시 패널(110)에서 나누어 디스플레이 될 수 있다.
- [0255] 전술한 멀티 디스플레이(1300)는 공공장소나 상업공간에 설치되는 디스플레이인 사이니지로도 활용될 수 있다.
- [0256] 멀티 디스플레이(1300)가 사이니지로 활용되는 경우, 다수의 표시 패널(110)을 포함하는 표시부(1310)는 플랫폼 대형 스크린으로 활용될 수도 있다. 예를 들어, 멀티 디스플레이(1300)는 대형 광고판을 이용되거나, 경기장, 전시장, 공연장 등에 설치되어 대형 스크린으로 활용될 수 있다.
- [0257] 또는, 멀티 디스플레이(1300)가 사이니지로 활용되는 경우, 다수의 표시 패널(110)을 포함하는 표시부(1310)는 도 14에 도시된 바와 같이, 원통 형상의 구조물(1400)에 설치되는 원통 형상을 갖는 대형 스크린으로 활용될 수도 있다. 예를 들어, 원통형 멀티 디스플레이(1300)는 대형 광고판을 이용되거나, 경기장, 전시장, 공연장 등에 설치되어 대형 스크린으로 활용될 수 있다.
- [0258] 이 경우, 다수의 표시 패널(110) 각각에서, 제1 플레이트(PLT1) 및 제2 플레이트(PLT2)는 플렉서블 플레이트일 수 있다.
- [0259] 이상에서 전술한 본 발명의 실시예들에 의하면, 베젤 프리 구조(Bezel Free Structure)를 갖는 표시 패널(110) 및 표시 장치(100)를 제공하는 효과가 있다.
- [0260] 또한, 본 발명의 실시예들에 의하면, 산화물(Oxide) 트랜지스터와 저온폴리실리콘(LTSP) 트랜지스터를 포함하는 경우, 산화물(Oxide) 트랜지스터의 소자 특성을 향상시켜줄 수 있는 구조를 갖는 표시 패널(110) 및 표시 장치(100)를 제공하는 효과가 있다.
- [0261] 또한, 본 발명의 실시예들에 의하면, 수소에 취약한 트랜지스터를 보호해줄 수 있는 구조를 갖는 표시 패널(110) 및 표시 장치(100)를 제공하는 효과가 있다.
- [0262] 또한, 본 발명의 실시예들에 의하면, 베젤 프리 구조를 갖는 표시 패널들(110)을 포함하는 멀티 디스플레이(1300)를 제공하는 효과가 있다.
- [0263] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

- [0264] 100: 표시 장치
- 110: 표시 패널
- 120: 데이터 드라이버

130: 게이트 드라이버

140: 컨트롤러

PLT1, PLT2: 제1 플레이트, 제2 플레이트

LST1, LST2: 제1 레이어 스택, 제2 레이어 스택

TR1, TR2: 제1 트랜지스터, 제2 트랜지스터

GIP: 게이트 구동 회로

SRL: 사이드 라우팅 배선

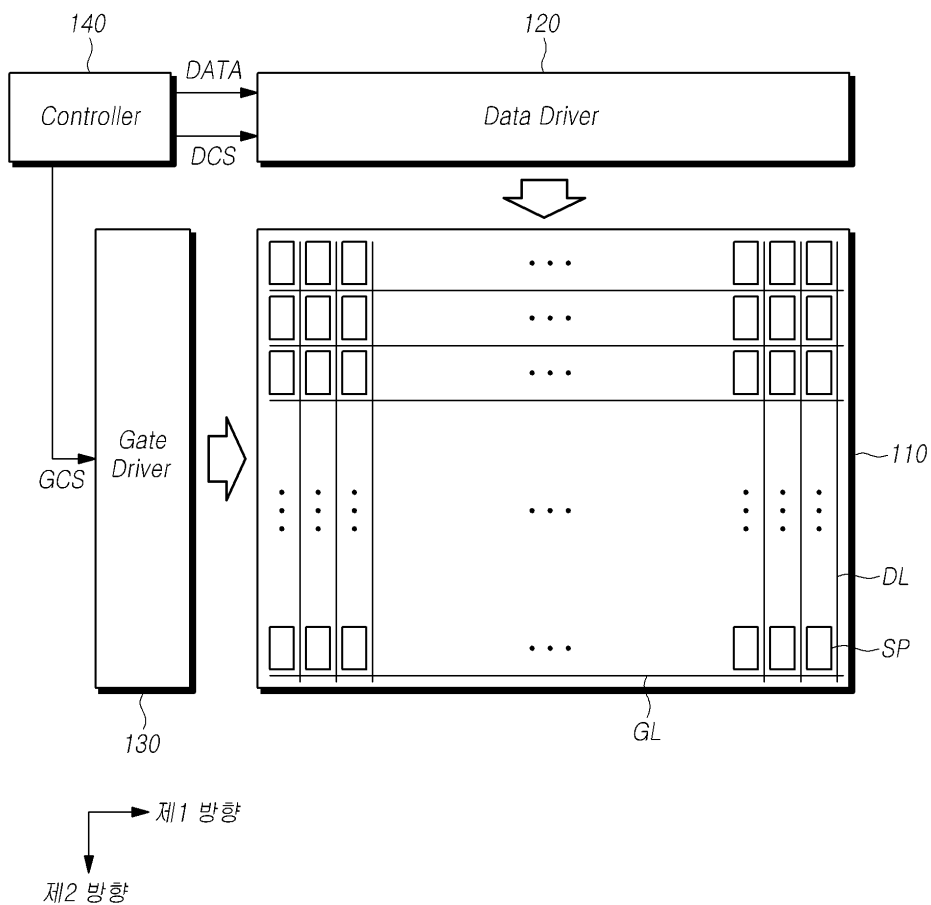
M1, M2: 제1 금속, 제2 금속

BSM: 하부 쉴드 금속

도면

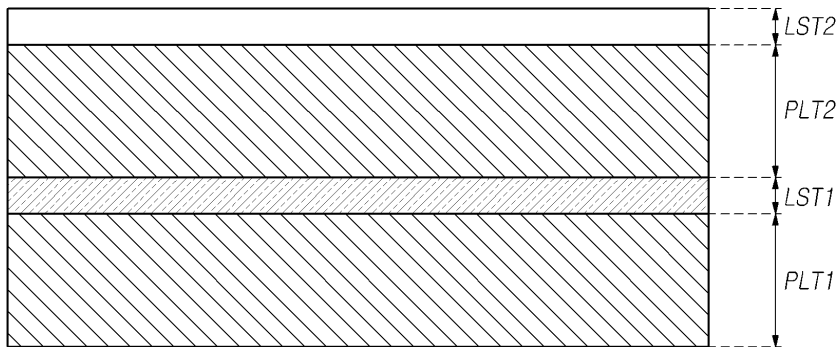
도면1

100



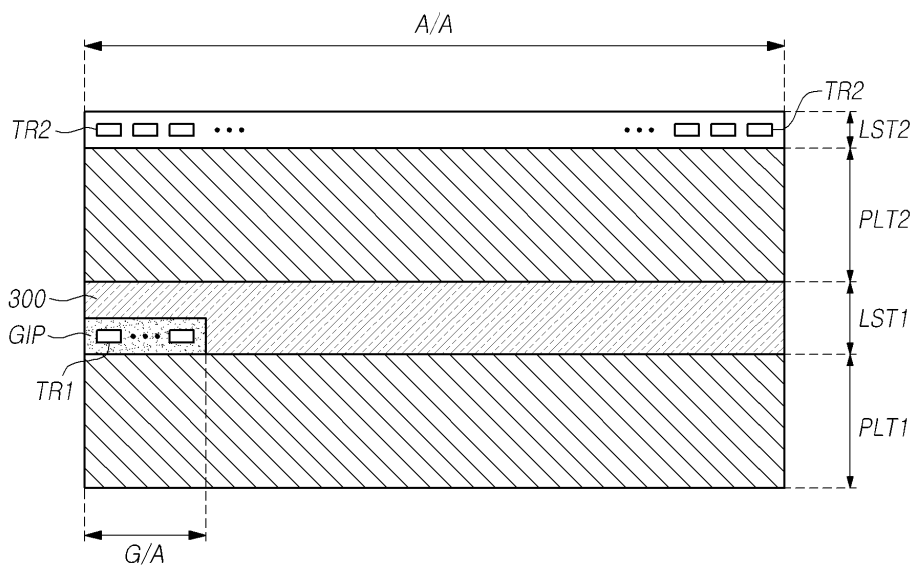
도면2

110

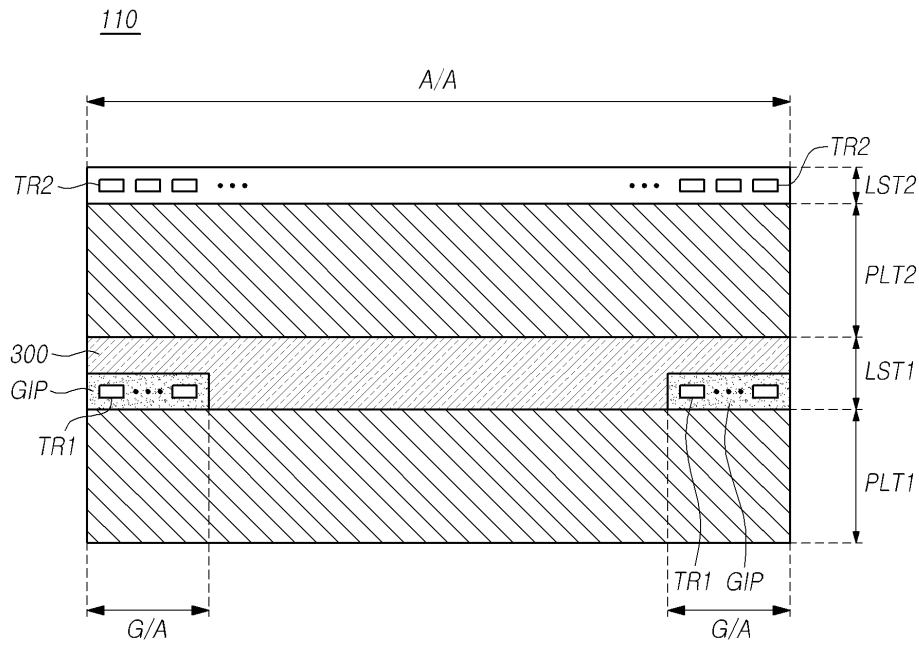


도면3

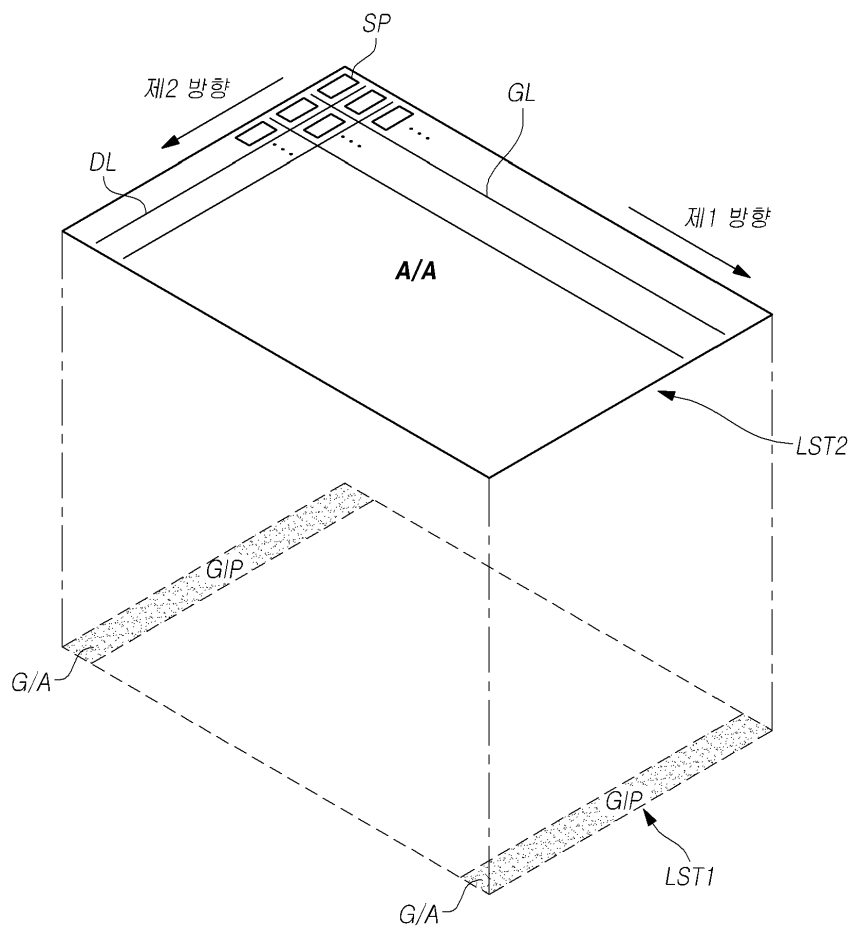
110



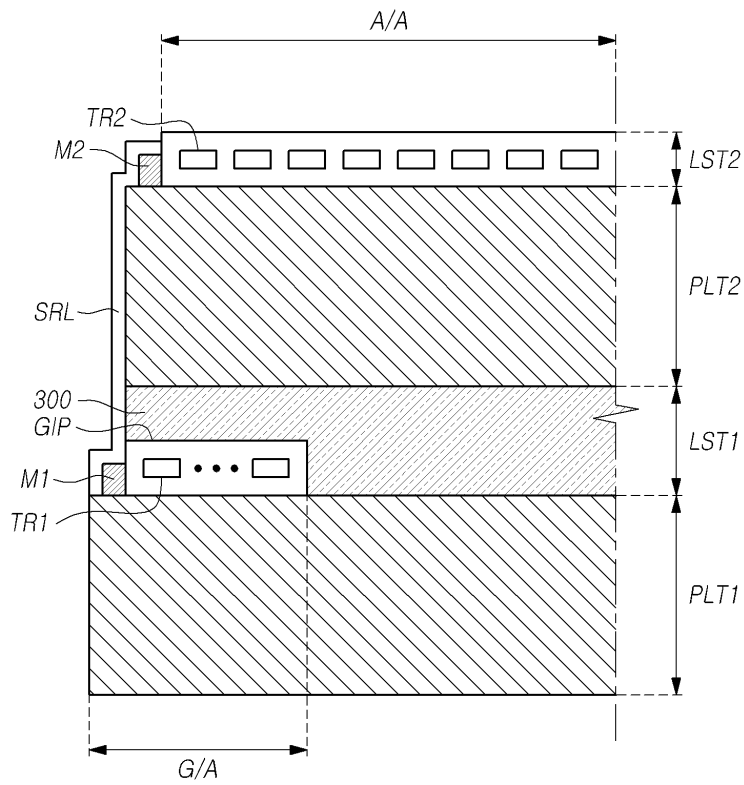
도면4



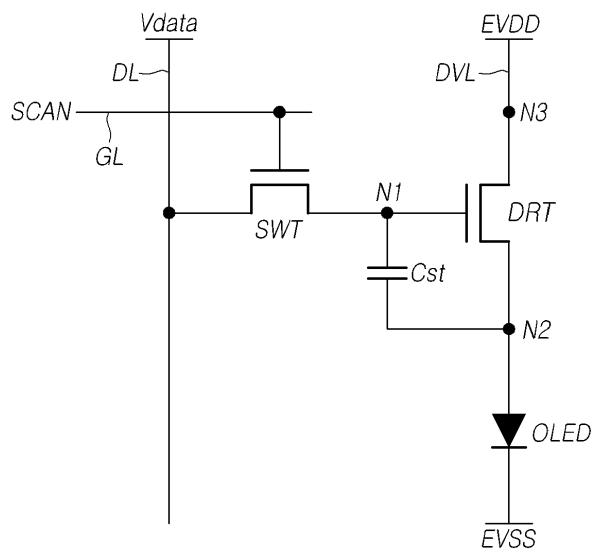
도면5



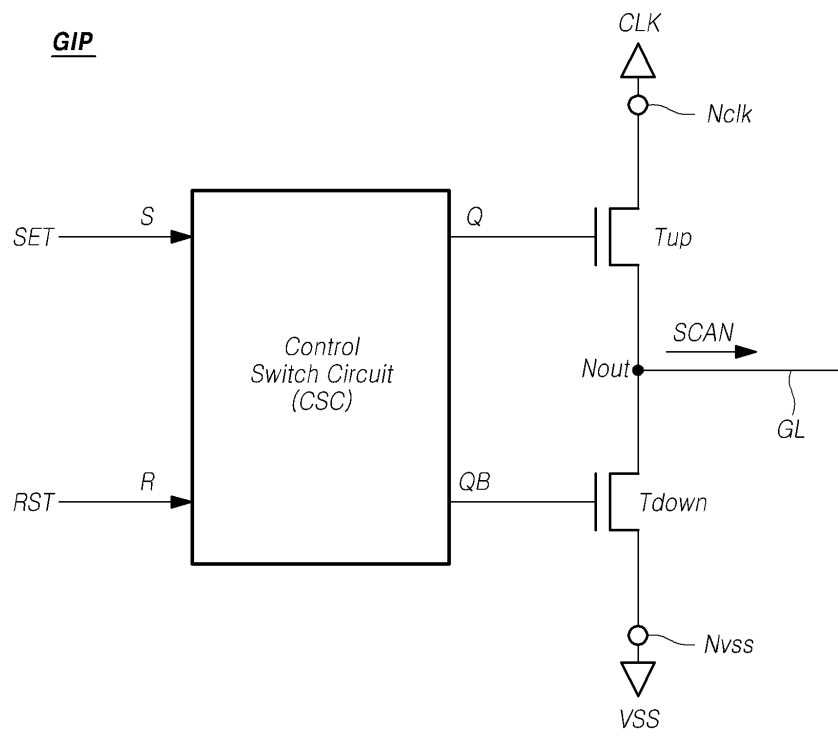
도면6



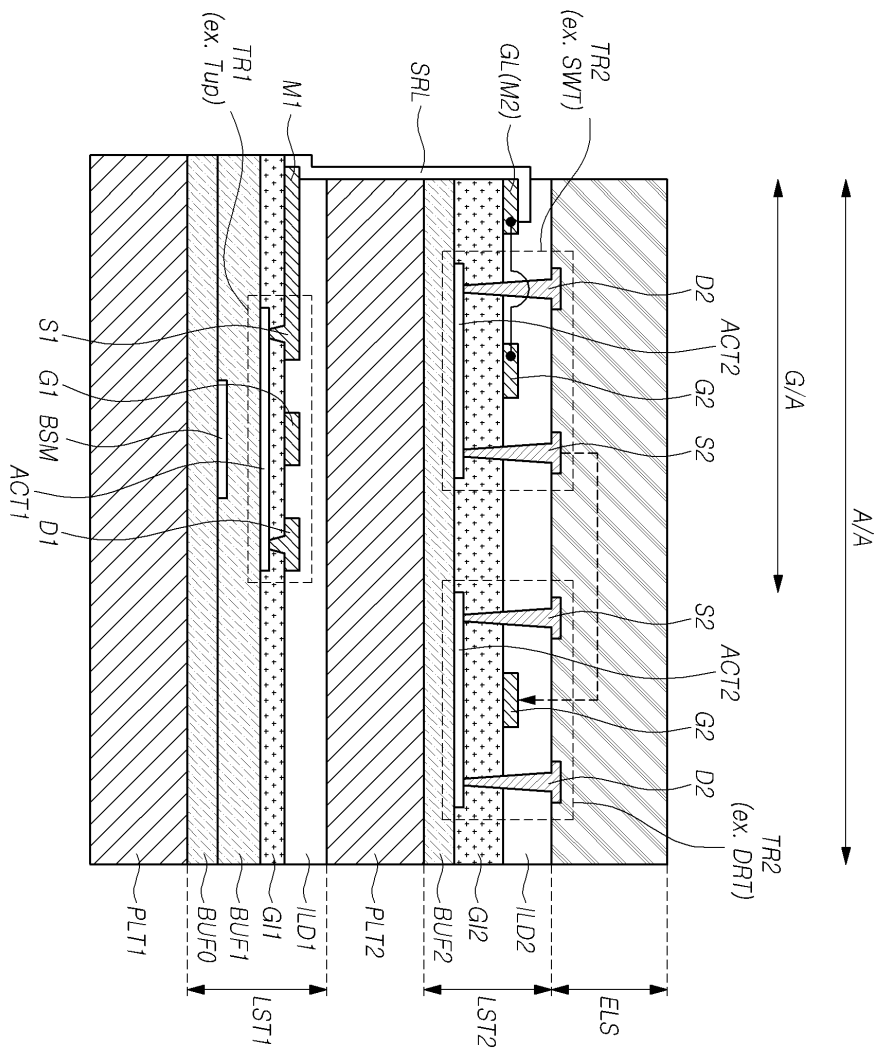
도면7



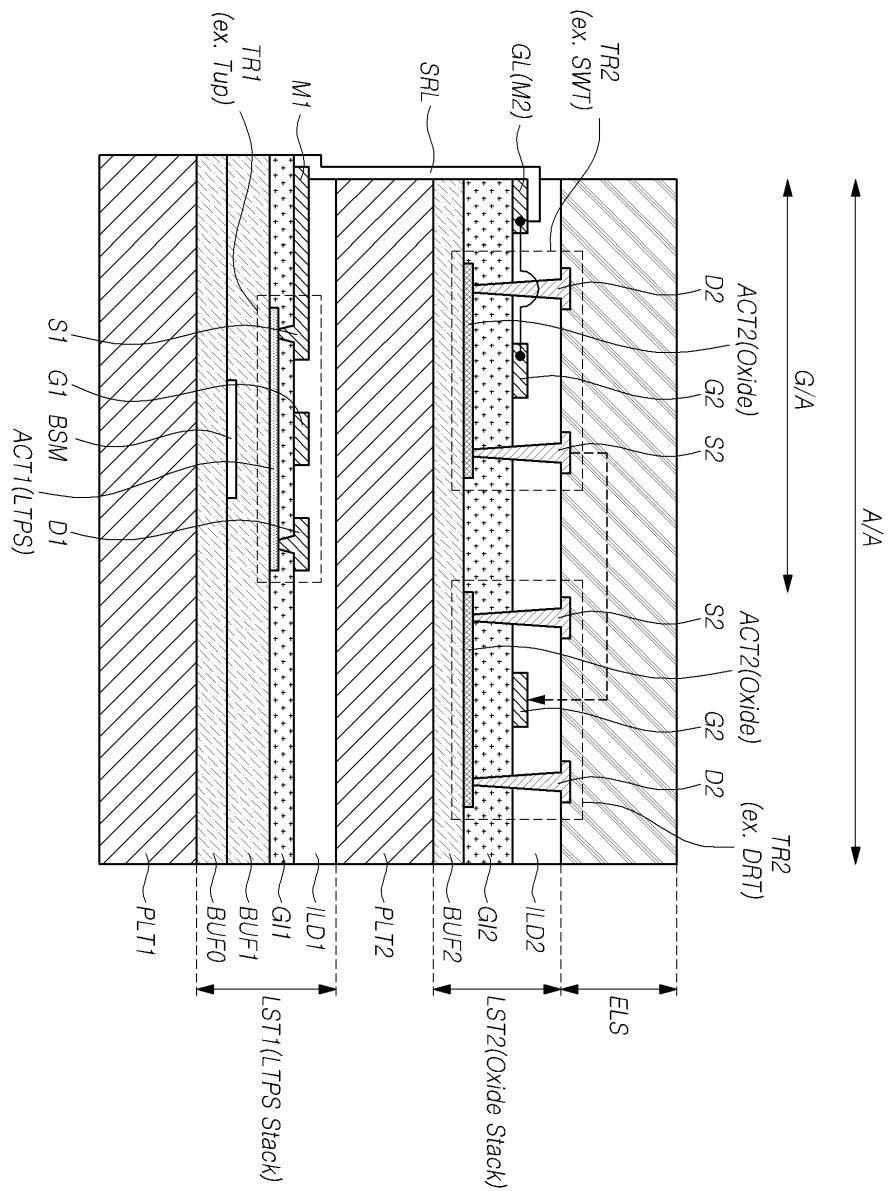
도면8



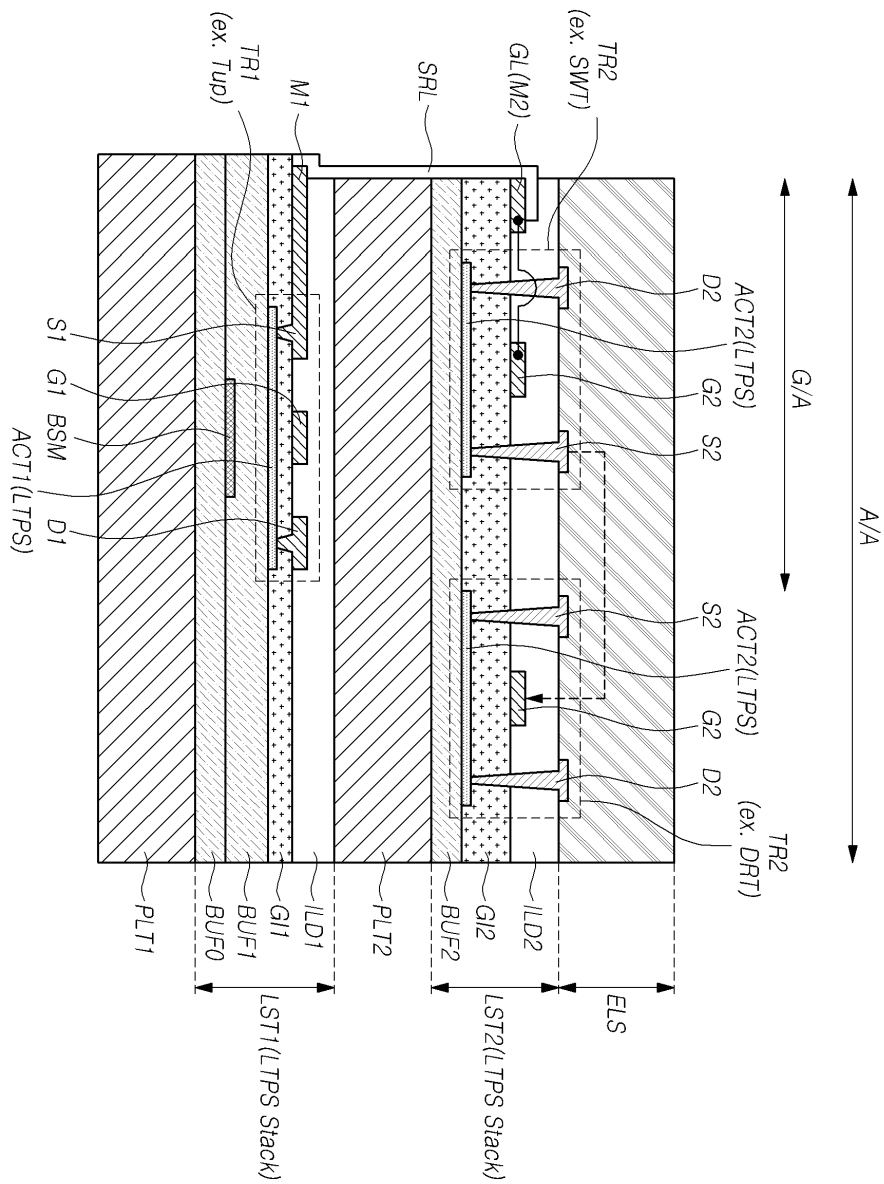
도면9



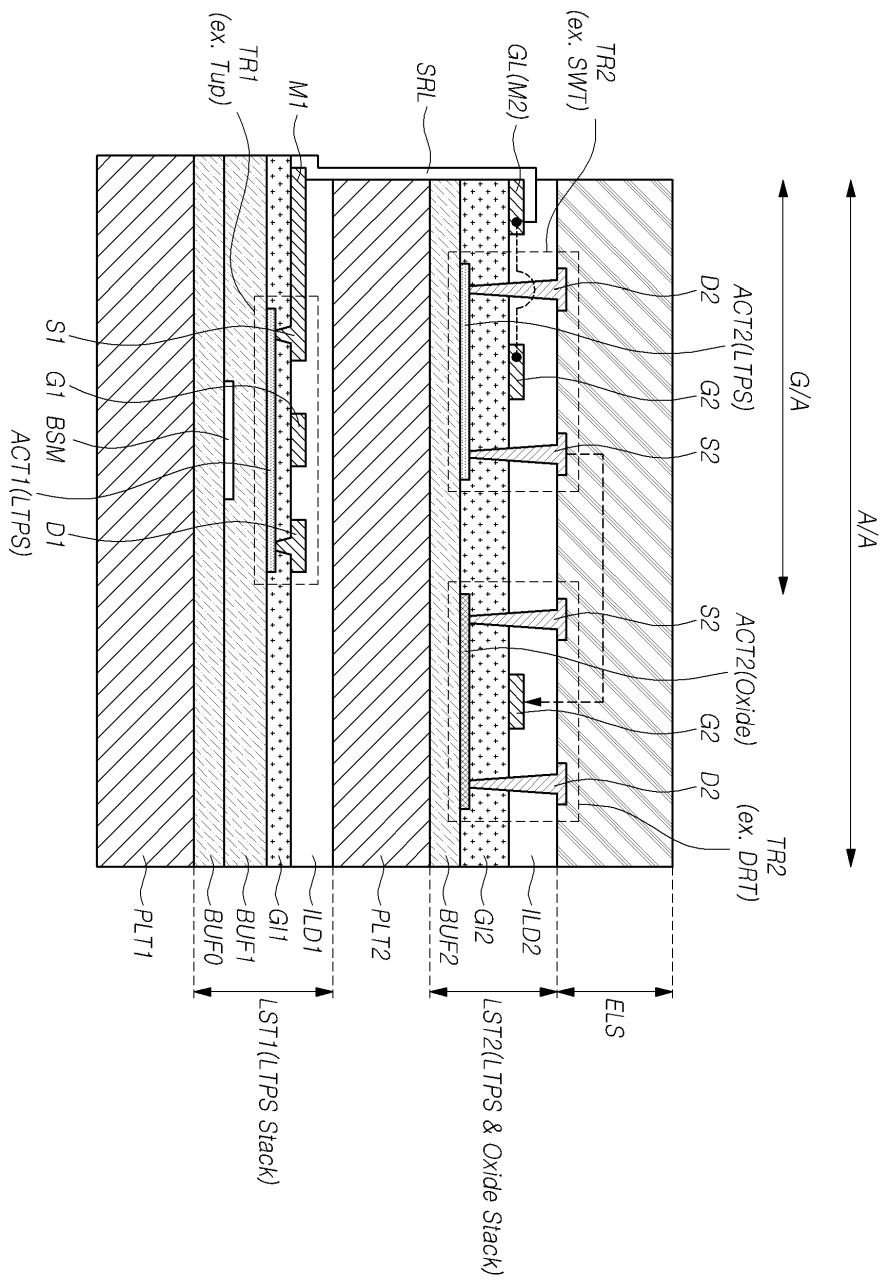
도면 10



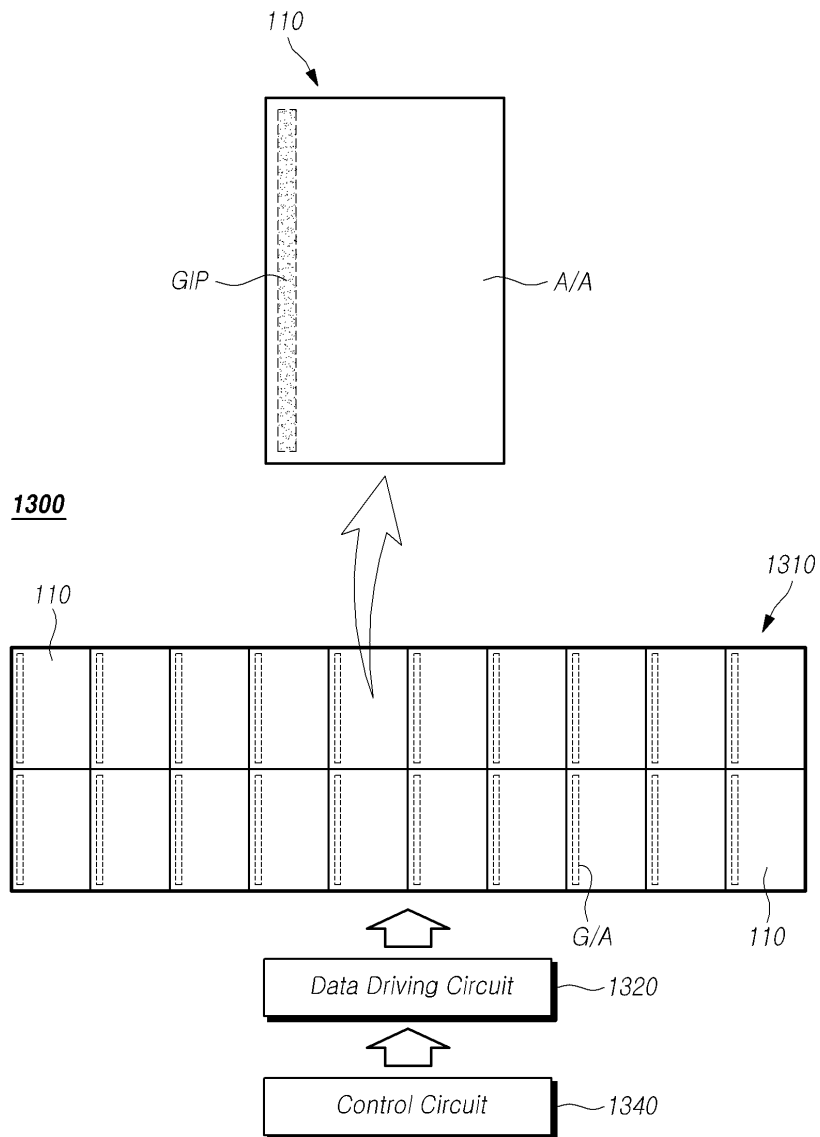
도면11



도면12



도면13



도면14

