

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3907897号  
(P3907897)

(45) 発行日 平成19年4月18日(2007.4.18)

(24) 登録日 平成19年1月26日(2007.1.26)

(51) Int.C1.

F 1

A 63 F 7/02 (2006.01)

A 63 F 7/02 304 Z

請求項の数 2 (全 35 頁)

(21) 出願番号 特願平11-350896  
 (22) 出願日 平成11年12月9日(1999.12.9)  
 (65) 公開番号 特開2001-161909(P2001-161909A)  
 (43) 公開日 平成13年6月19日(2001.6.19)  
 審査請求日 平成14年6月28日(2002.6.28)

(73) 特許権者 000144153  
 株式会社三共  
 群馬県桐生市境野町6丁目460番地  
 (74) 代理人 100103090  
 弁理士 岩壁 冬樹  
 (74) 代理人 100124501  
 弁理士 塩川 誠人  
 (74) 代理人 100134692  
 弁理士 川村 武  
 (74) 代理人 100135161  
 弁理士 真野 修二  
 (72) 発明者 鶴川 詔八  
 群馬県桐生市相生町1丁目164番地の5

最終頁に続く

(54) 【発明の名称】遊技機

## (57) 【特許請求の範囲】

## 【請求項1】

遊技球を用いて所定の遊技を行うことが可能な遊技機であって、電力供給が停止しても所定期間記憶内容を保持可能なRAMを備え、遊技機に設けられる電気部品を制御するための処理を行う電気部品制御マイクロコンピュータと、

遊技機で使用される所定電位電源を監視し検出条件が成立したことにより前記電気部品制御マイクロコンピュータに検出信号を出力する電源監視手段と、

交流電流を整流する整流手段と、

前記整流手段によって整流された後の電圧を降圧し、前記電気部品制御マイクロコンピュータおよび前記電気部品が使用する電圧を生成する降圧電圧生成手段とを備え、

前記電気部品制御マイクロコンピュータは、前記電源監視手段からの検出信号により電源断フлагの設定およびRAMアクセス禁止処理を含む所定の電力供給停止時処理を行

、  
前記電源監視手段は、監視する所定電位電源として、前記整流手段によって整流された後、前記降圧電圧生成手段によって降圧される前の電圧であって遊技球を検出するためのスイッチに供給される電圧よりも高い電圧の電源を監視し、

前記電気部品制御マイクロコンピュータは、前記降圧電圧生成手段が降圧することによって生成した電圧であって遊技球を検出するためのスイッチに供給される電圧よりも低い電圧の電源により動作し、

前記電気部品制御マイクロコンピュータは、遊技媒体の払出制御を行う払出制御用マイ

クロコンピュータを含み、電力供給開始時に前記電源断フラグが設定されていることを条件に前記RAMのバックアップ領域のデータチェックを行い、チェック結果が正常のときは、前記電源断フラグのみクリアし、チェック結果が正常でないときは、初期化処理で前記電源断フラグが設定されている領域を含むRAMの領域をクリアする処理を行い、

少なくとも払出個数に関わる情報は前記払出制御用マイクロコンピュータの前記RAMのバックアップ領域に記憶され、

前記払出制御用マイクロコンピュータは、電力供給開始時の初期化処理で、少なくとも前記RAMのバックアップされていない領域をクリアする処理を行う

ことを特徴とする遊技機。

【請求項2】

10

払出制御用マイクロコンピュータは、電力供給開始時の初期化処理で、バックアップ領域に払出個数に関わる情報が記憶されていた場合には、RAMの少なくともバックアップされていない領域をクリアする処理を行うとともに前記情報にもとづいて払出制御を行い、バックアップ領域に賞球個数に関わる情報が記憶されていない場合にはRAMの全領域を初期化する

請求項1記載の遊技機。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、遊技者の操作に応じて遊技が行われるパチンコ遊技機、コイン遊技機、スロット機等の遊技機に関し、特に、遊技盤における遊技領域において遊技者の操作に応じて遊技が行われる遊技機に関する。

【0002】

【従来の技術】

遊技機として、遊技球などの遊技媒体を発射装置によって遊技領域に発射し、遊技領域に設けられている入賞口などの入賞領域に遊技媒体が入賞すると、所定個の賞球が遊技者に払い出されるものがある。さらに、表示状態が変化可能な可変表示部が設けられ、可変表示部の表示結果があらかじめ定められた特定の表示態様となった場合に所定の遊技価値を遊技者に与えるように構成されたものがある。

【0003】

30

なお、遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打球が入賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態となるための権利を発生させたりすることや、景品遊技媒体払出の条件が成立しやすくなる状態になることである。

【0004】

パチンコ遊技機では、特別図柄を表示する可変表示部の表示結果があらかじめ定められた特定の表示態様の組合せとなることを、通常、「大当たり」という。大当たりが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当たり遊技状態に移行する。そして、各開放期間において、所定個（例えば10個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば16ラウンド）に固定されている。なお、各開放について開放時間（例えば29.5秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。また、大入賞口が閉成した時点で所定の条件（例えば、大入賞口内に設けられているVゾーンへの入賞）が成立していない場合には、大当たり遊技状態は終了する。

40

【0005】

また、「大当たり」の組合せ以外の表示態様の組合せのうち、複数の可変表示部の表示結果のうちの一部が未だに導出表示されていない段階において、既に表示結果が導出表示されている可変表示部の表示態様が特定の表示態様の組合せとなる表示条件を満たしている状態を「リーチ」という。そして、可変表示部に可変表示される識別情報の表示結果が「リーチ」となる条件を満たさない場合には「はずれ」となり、可変表示状態は終了する。遊

50

技者は、大当たりをいかにして発生させるかを楽しみつつ遊技を行う。

#### 【0006】

遊技機における遊技進行はマイクロコンピュータ等による遊技制御手段によって制御される。可変表示装置に表示される識別情報、キャラクタ画像および背景画像は、遊技制御手段からの表示制御コマンドデータに従って動作する表示制御手段によって制御される。可変表示装置に表示される識別情報、キャラクタ画像および背景画像は、一般に、表示制御用のマイクロコンピュータとマイクロコンピュータの指示に応じて画像データを生成して可変表示装置側に転送するビデオディスプレイプロセッサ(VDP)とによって制御されるが、表示制御用のマイクロコンピュータのプログラム容量は大きい。

#### 【0007】

従って、プログラム容量に制限のある遊技制御手段のマイクロコンピュータで可変表示装置に表示される識別情報等を制御することはできず、遊技制御手段のマイクロコンピュータとは別の表示制御用のマイクロコンピュータ(表示制御手段)が用いられる。よって、遊技の進行を制御する遊技制御手段は、表示制御手段に対して表示制御のためのコマンドを送信する必要がある。

10

#### 【0008】

また、そのような遊技機では、遊技盤にスピーカが設けられ、遊技効果を増進するために遊技の進行に伴ってスピーカから種々の効果音が発せられる。また、遊技盤にランプやLED等の発光体が設けられ、遊技効果を増進するために遊技の進行に伴ってそれらの発光体が点灯されたり消灯されたりする。一般に、効果音を発生する音声制御やランプ点灯／滅灯のタイミング制御は、遊技の進行を制御する遊技制御手段によって行われる。よって、遊技制御手段は、実際に音発生やランプ・LED駆動を行う音声制御手段やランプ制御手段に対してコマンドを送信する必要がある。

20

#### 【0009】

遊技の進行は主基板に搭載された遊技制御手段によって制御されるので、入賞にもとづく賞球個数は、遊技制御手段によって決定され、賞球制御基板に送信される。一方、遊技媒体の貸し出しは、遊技の進行とは無関係であるから、一般に、遊技制御手段を介さず賞球制御手段によって制御される。

#### 【0010】

以上のように、遊技機には、遊技制御手段の他に種々の制御手段が搭載されている。そして、遊技の進行を制御する遊技制御手段は、遊技状況に応じて動作指示を示す各コマンドを、各制御基板に搭載された各制御手段に送信する。

30

#### 【0011】

##### 【発明が解決しようとする課題】

一般に、各制御手段はマイクロコンピュータで構成される。すなわち、ROM等にプログラムが格納され、制御上一時的に発生するデータや制御進行に伴って変化するデータがRAMに格納される。すると、遊技機に停電等による電源断状態が発生すると、RAM内のデータは失われてしまう。よって、停電等からの復旧時には、最初の状態(例えば、遊技店においてその日最初に遊技機に電源投入されたときの状態)に戻さざるを得ないので、遊技者に不利益がもたらされる可能性がある。例えば、大当たり遊技中において電源断が発生し遊技機が最初の状態に戻ってしまうのでは、遊技者は大当たりの発生にもとづく利益を享受することができなくなってしまう。

40

#### 【0012】

そこで、本発明は、電源断が発生しても、遊技者に不利益がもたらされることを極力防止することができる遊技機を提供することを目的とする。

#### 【0013】

##### 【課題を解決するための手段】

本発明による遊技機は、遊技球を用いて所定の遊技を行うことが可能な遊技機であって、電力供給が停止しても所定期間記憶内容を保持可能なRAMを備え、遊技機に設けられる電気部品を制御するための処理を行う電気部品制御マイクロコンピュータと、遊技機で

50

使用される所定電位電源を監視し検出条件が成立したことにより電気部品制御マイクロコンピュータに検出信号を出力する電源監視手段と、交流電流を整流する整流手段と、整流手段によって整流された後の電圧を降圧し、電気部品制御マイクロコンピュータおよび電気部品が使用する電圧を生成する降圧電圧生成手段とを備え、電気部品制御マイクロコンピュータが、電源監視手段からの検出信号により電源断フラグの設定およびR A Mアクセス禁止処理を含む所定の電力供給停止時処理を行い、電源監視手段は、監視する所定電位電源として、整流手段によって整流された後、降圧電圧生成手段によって降圧される前の電圧であって遊技球を検出するためのスイッチに供給される電圧よりも高い電圧の電源を監視し、電気部品制御マイクロコンピュータは、降圧電圧生成手段が降圧することによって生成した電圧であって遊技球を検出するためのスイッチに供給される電圧よりも低い電圧の電源により動作し、電気部品制御マイクロコンピュータは、遊技媒体の払出制御を行う払出制御用マイクロコンピュータを含み、電力供給開始時に電源断フラグが設定されていることを条件にR A Mのバックアップ領域のデータチェックを行い、チェック結果が正常のときは、電源断フラグのみクリアし、チェック結果が正常でないときは、初期化処理で電源断フラグが設定されている領域を含むR A Mの領域をクリアする処理を行い、少なくとも払出個数に関わる情報は払出制御用マイクロコンピュータのR A Mのバックアップ領域に記憶され、払出制御用マイクロコンピュータは、電力供給開始時の初期化処理で、少なくともR A Mのバックアップされていない領域をクリアする処理を行うことを特徴とする。

## 【0021】

払出制御用マイクロコンピュータは、電力供給開始時の初期化処理で、バックアップ領域に払出個数に関わる情報が記憶されていた場合には、R A Mの少なくともバックアップされていない領域をクリアする処理を行うとともに前記情報にもとづいて払出制御を行い、バックアップ領域に賞球個数に関わる情報が記憶されていない場合にはR A Mの全領域を初期化するように構成されていてもよい。

## 【0022】

## 【発明の実施の形態】

以下、本発明の一実施形態を図面を参照して説明する。

まず、遊技機の一例であるパチンコ遊技機の全体の構成について説明する。図1はパチンコ遊技機1を正面からみた正面図、図2はパチンコ遊技機1の内部構造を示す全体背面図、図3はパチンコ遊技機1の機構盤を背面からみた背面図である。なお、以下の実施の形態では、パチンコ遊技機を例に説明を行うが、本発明による遊技機はパチンコ遊技機に限られず、例えばコイン遊技機等であってもよい。また、画像式の遊技機やスロット機に適用することもできる。

## 【0023】

図1に示すように、パチンコ遊技機1は、額縁状に形成されたガラス扉枠2を有する。ガラス扉枠2の下部表面には打球供給皿3がある。打球供給皿3の下部には、打球供給皿3からあふれた景品玉を貯留する余剰玉受皿4と打球を発射する打球操作ハンドル（操作ノブ）5が設けられている。ガラス扉枠2の後方には、遊技盤6が着脱可能に取り付けられている。また、遊技盤6の前面には遊技領域7が設けられている。

## 【0024】

遊技領域7の中央付近には、複数種類の図柄を可変表示するための可変表示部9と7セグメントL E Dによる可変表示器10とを含む可変表示装置8が設けられている。この実施の形態では、可変表示部9には、「左」、「中」、「右」の3つの図柄表示エリアがある。可変表示装置8の側部には、打球を導く通過ゲート11が設けられている。通過ゲート11を通過した打球は、玉出口13を経て始動入賞口14の方に導かれる。通過ゲート11と玉出口13との間の通路には、通過ゲート11を通過した打球を検出するゲートスイッチ12がある。また、始動入賞口14に入った入賞球は、遊技盤6の背面に導かれ、始動口スイッチ17によって検出される。また、始動入賞口14の下部には開閉動作を行う可変入賞球装置15が設けられている。可変入賞球装置15は、ソレノイド16によって

10

20

30

40

50

開状態とされる。

【0025】

可変入賞球装置15の下部には、特定遊技状態（大当たり状態）においてソレノイド21によって開状態とされる開閉板20が設けられている。この実施の形態では、開閉板20が大入賞口を開閉する手段となる。開閉板20から遊技盤6の背面に導かれた入賞球のうち一方（Vゾーン）に入った入賞球はVカウントスイッチ22で検出される。また、開閉板20からの入賞球はカウントスイッチ23で検出される。可変表示装置8の下部には、始動入賞口14に入った入賞球数を表示する4個の表示部を有する始動入賞記憶表示器18が設けられている。この例では、4個を上限として、始動入賞がある毎に、始動入賞記憶表示器18は点灯している表示部を1つずつ増やす。そして、可変表示部9の可変表示が開始される毎に、点灯している表示部を1つ減らす。10

【0026】

遊技盤6には、複数の入賞口19, 24が設けられ、遊技球の入賞口19, 24への入賞は入賞口スイッチ19a, 24aによって検出される。遊技領域7の左右周辺には、遊技中に点滅表示される装飾ランプ25が設けられ、下部には、入賞しなかった打球を吸収するアウトロ26がある。また、遊技領域7の外側の左右上部には、効果音を発する2つのスピーカ27が設けられている。遊技領域7の外周には、遊技効果LED28aおよび遊技効果ランプ28b, 28cが設けられている。

【0027】

そして、この例では、一方のスピーカ27の近傍に、賞球残数があるときに点灯する賞球ランプ51が設けられ、他方のスピーカ27の近傍に、補給玉が切れたときに点灯する球切れランプ52が設けられている。さらに、図1には、パチンコ遊技台1に隣接して設置され、プリペイドカードが挿入されることによって球貸しを可能にするカードユニット50も示されている。20

【0028】

カードユニット50には、使用可能状態であるか否かを示す使用可表示ランプ151、カード内に記録された残額情報に端数（100円未満の数）が存在する場合にその端数を打球供給皿3の近傍に設けられる度数表示LEDに表示させるための端数表示スイッチ152、カードユニット50がいずれの側のパチンコ遊技機1に対応しているのかを示す連結台方向表示器153、カードユニット50内にカードが投入されていることを示すカード投入表示ランプ154、記録媒体としてのカードが挿入されるカード挿入口155、およびカード挿入口155の裏面に設けられているカードリーダライタの機構を点検する場合にカードユニット50を解放するためのカードユニット錠156が設けられている。30

【0029】

打球発射装置から発射された打球は、打球レールを通って遊技領域7に入り、その後、遊技領域7を下りてくる。打球が通過ゲート11を通ってゲートスイッチ12で検出されると、可変表示器10の表示数字が連続的に変化する状態になる。また、打球が始動入賞口14に入り始動口スイッチ17で検出されると、図柄の変動を開始できる状態であれば、可変表示部9内の図柄が回転を始める。図柄の変動を開始できる状態でなければ、始動入賞記憶を1増やす。40

【0030】

可変表示部9内の画像の回転は、一定時間が経過したときに停止する。停止時の画像の組み合わせが大当たり図柄の組み合わせであると、大当たり遊技状態に移行する。すなわち、開閉板20が、一定時間経過するまで、または、所定個数（例えば10個）の打球が入賞するまで開放する。そして、開閉板20の開放中に打球が特定入賞領域に入賞しVカウントスイッチ22で検出されると、継続権が発生し開閉板20の開放が再度行われる。継続権の発生は、所定回数（例えば15ラウンド）許容される。

【0031】

停止時の可変表示部9内の画像の組み合わせが確率変動を伴う大当たり図柄の組み合わせである場合には、次に大当たりとなる確率が高くなる。すなわち、高確率状態という遊技者に50

とってさらに有利な状態となる。また、可変表示器 10 における停止図柄が所定の図柄（当り図柄）である場合に、可変入賞球装置 15 が所定時間だけ開状態になる。さらに、高確率状態では、可変表示器 10 における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置 15 の開放時間と開放回数が高められる。

#### 【0032】

次に、パチンコ遊技機 1 の裏面の構造について図 2 を参照して説明する。

可変表示装置 8 の背面では、図 2 に示すように、機構板 36 の上部に景品玉タンク 38 が設けられ、パチンコ遊技機 1 が遊技機設置島に設置された状態でその上方から景品玉が景品玉タンク 38 に供給される。景品玉タンク 38 内の景品玉は、誘導樋 39 を通って玉払出装置に至る。

10

#### 【0033】

機構板 36 には、中継基板 30 を介して可変表示部 9 を制御する可変表示制御ユニット 29、基板ケース 32 に覆われ遊技制御用マイクロコンピュータ等が搭載された遊技制御基板（主基板）31、可変表示制御ユニット 29 と遊技制御基板 31 との間の信号を中継するための中継基板 33、および景品玉の払出制御を行う賞球制御用マイクロコンピュータ等が搭載された賞球制御基板 37 が設置されている。さらに、機構板 36 の下部には、モータの回転力を利用して打球を遊技領域 7 に発射する打球発射装置 34 と、遊技効果ランプ・LED 28a, 28b, 28c、賞球ランプ 51 および球切れランプ 52 に信号を送るためのランプ制御基板 35 が設置されている。

#### 【0034】

また、図 3 はパチンコ遊技機 1 の機構板を背面からみた背面図である。誘導樋 39 を通った玉は、図 3 に示されるように、球切れ検出器 187a, 187b を通過して玉供給樋 186a, 186b を経て玉払出装置 97 に至る。玉払出装置 97 から払い出された景品玉は、連絡口 45 を通ってパチンコ遊技機 1 の前面に設けられている打球供給皿 3 に供給される。連絡口 45 の側方には、パチンコ遊技機 1 の前面に設けられている余剰玉受皿 4 に連通する余剰玉通路 46 が形成されている。入賞にもとづく景品玉が多数払い出されて打球供給皿 3 が満杯になり、ついには景品玉が連絡口 45 に到達した後さらに景品玉が払い出されると景品玉は、余剰玉通路 46 を経て余剰玉受皿 4 に導かれる。さらに景品玉が払い出されると、感知レバー 47 が満タンスイッチ 48 を押圧して満タンスイッチ 48 がオンする。その状態では、玉払出装置 97 内のステッピングモータの回転が停止して玉払出装置 97 の動作が停止するとともに、必要に応じて打球発射装置 34 の駆動も停止する。

20

#### 【0035】

賞球払出制御を行うために、入賞口スイッチ 19a, 24a、始動口スイッチ 17 および V カウントスイッチ 22 からの信号が、主基板 31 に送られる。主基板 31 の CPU 56 は、始動口スイッチ 17 がオンすると 6 個の賞球払出に対応した入賞が発生したことを知る。また、カウントスイッチ 23 がオンすると 15 個の賞球払出に対応した入賞が発生したことを知る。そして、入賞口スイッチがオンすると 10 個の賞球払出に対応した入賞が発生したことを知る。なお、この実施の形態では、例えば、入賞口 24 に入賞した遊技球は、入賞口 24 からの入賞球流路に設けられている入賞口スイッチ 24a で検出され、入賞口 19 に入賞した遊技球は、入賞口 19 からの入賞球流路に設けられている入賞口スイッチ 19a で検出される。

30

#### 【0036】

図 4 は、主基板 31 における回路構成の一例を示すブロック図である。なお、図 4 には、賞球制御基板 37、ランプ制御基板 35、音制御基板 70、発射制御基板 91 および表示制御基板 80 も示されている。主基板 31 には、プログラムに従ってパチンコ遊技機 1 を制御する基本回路 53 と、ゲートスイッチ 12、始動口スイッチ 17、V カウントスイッチ 22、カウントスイッチ 23 および入賞口スイッチ 19a, 24a からの信号を基本回路 53 に与えるスイッチ回路 58 と、可変入賞球装置 15 を開閉するソレノイド 16 および開閉板 20 を開閉するソレノイド 21 を基本回路 53 からの指令に従って駆動するソレノイド回路 59 と、始動記憶表示器 18 の点灯および滅灯を行うとともに 7 セグメント L

40

50

EDによる可変表示器10と装飾ランプ25とを駆動するランプ・LED回路60とが搭載されている。

#### 【0037】

また、基本回路53から与えられるデータに従って、大当たりの発生を示す大当たり情報、可変表示部9の画像表示開始に利用された始動入賞球の個数を示す有効始動情報、確率変動が生じたことを示す確変情報等をホール管理コンピュータ等のホストコンピュータに対して出力する情報出力回路64を含む。

#### 【0038】

基本回路53は、ゲーム制御用のプログラム等を記憶するROM54、ワークメモリとして使用される記憶手段の一例であるRAM55、制御用のプログラムに従って制御動作を行うCPU56およびI/Oポート部57を含む。この実施の形態では、ROM54、RAM55はCPU56に内蔵されている。すなわち、CPU56は、1チップマイクロコンピュータである。なお、1チップマイクロコンピュータは、少なくともRAM55が内蔵されればよく、ROM54およびI/Oポート部57は外付けであっても内蔵されていてもよい。また、I/Oポート部57は、マイクロコンピュータにおける情報入出力可能な端子である。

#### 【0039】

さらに、主基板31には、電源投入時に基本回路53をリセットするための初期リセット回路65と、基本回路53から与えられるアドレス信号をデコードしてI/Oポート部57のうちのいずれかのI/Oポートを選択するための信号を出力するアドレスデコード回路67とが設けられている。

なお、玉払装置97から主基板31に入力されるスイッチ情報もあるが、図4ではそれらは省略されている。

#### 【0040】

遊技球を打撃して発射する打球発射装置は発射制御基板91上の回路によって制御される駆動モータ94で駆動される。そして、駆動モータ94の駆動力は、操作ノブ5の操作量に従って調整される。すなわち、発射制御基板91上の回路によって、操作ノブ5の操作量に応じた速度で打球が発射されるように制御される。

#### 【0041】

図5は、表示制御基板80内の回路構成を、可変表示部9の一実現例であるCRT82および主基板31の出力ポート(ポートA,B)571,572および出力バッファ回路63とともに示すブロック図である。出力ポート571からは8ビットのデータが出力され、出力ポート572からは1ビットのストローブ信号(INT信号)が出力される。

#### 【0042】

表示制御用CPU101は、制御データROM102に格納されたプログラムに従って動作し、主基板31からノイズフィルタ107および入力バッファ回路105を介してストローブ信号が入力されると、入力バッファ回路105を介して表示制御コマンドを受信する。入力バッファ回路105として、例えば汎用ICである74HC244を使用することができる。なお、表示制御用CPU101がI/Oポートを内蔵していない場合には、入力バッファ回路105と表示制御用CPU101との間に、I/Oポートが設けられる。

#### 【0043】

そして、表示制御用CPU101は、受信した表示制御コマンドに従って、CRT82に表示される画面の表示制御を行う。具体的には、表示制御コマンドに応じた指令をVDP103に与える。VDP103は、キャラクタROM86から必要なデータを読み出す。VDP103は、入力したデータに従ってCRT82に表示するための画像データを生成し、その画像データをVRAM87に格納する。そして、VRAM87内の画像データは、R,G,B信号に変換され、D-A変換回路104でアナログ信号に変換されてCRT82に出力される。この例では、可変表示装置としてCRTを例示するが、可変表示部は、他の装置、例えば液晶表示装置で実現されていてもよい。

**【0044】**

なお、図5には、VDP103をリセットするためのリセット回路83、VDP103に動作クロックを与えるための発振回路85、および使用頻度の高い画像データを格納するキャラクタROM86も示されている。キャラクタROM86に格納される使用頻度の高い画像データとは、例えば、CRT82に表示される人物、動物、または、文字、図形もしくは記号等からなる画像などである。この実施の形態では、表示制御用CPU101は、1チップマイクロコンピュータであり、少なくともRAMが内蔵されている。

**【0045】**

図6は、賞球制御基板37および玉払装置97の構成要素などの賞球に関連する構成要素を示すブロック図である。図6に示すように、満タンスイッチ48からの検出信号は、中継基板71を介して主基板31のI/Oポート57に入力される。満タンスイッチ48は、余剰玉受皿4の満タンを検出するスイッチである。10

**【0046】**

球切れスイッチ187(187a, 187b)からの検出信号は、中継基板72および中継基板71を介して主基板31のI/Oポート57に入力される。球切れスイッチ187は、景品玉通路内の景品玉の有無を検出するスイッチである。

**【0047】**

主基板31のCPU56は、球切れスイッチ187からの検出信号が球切れ状態を示しているか、または、満タンスイッチ48からの検出信号が満タン状態を示していると、球貸し禁止を指示する賞球制御コマンドを送出する。球貸し禁止を指示する賞球制御コマンドを受信すると、賞球制御基板37の賞球制御用CPU371は、球貸し処理を停止する。20

**【0048】**

さらに、賞球カウントスイッチ301Aからの検出信号も、中継基板72および中継基板71を介して主基板31のI/Oポート57に入力される。また、主基板31のI/Oポート57から入賞球排出ソレノイド127への駆動信号は、中継基板71を介して入賞球排出ソレノイド127に供給される。なお、賞球カウントスイッチ301Aは、玉払装置97の賞球機構部分に設けられ、実際に払い出された賞球を検出する。

**【0049】**

入賞があると、賞球制御基板37には、主基板31の出力ポート(ポートG, H)577, 578から賞球個数を示す賞球制御コマンドが入力される。出力ポート577は8ビットのデータを出力し、出力ポート578は1ビットのストローブ信号(INT信号)を出力する。賞球個数を示す賞球制御コマンドは、入力バッファ回路373を介してI/Oポート372aに入力される。賞球制御用CPU371は、I/Oポート372aを介して賞球制御コマンドを入力し、賞球制御コマンドに応じて玉払装置97を駆動して賞球払いを行う。なお、この実施の形態では、賞球制御用CPU371は、1チップマイクロコンピュータであり、少なくともRAMが内蔵されている。30

**【0050】**

また、賞球制御用CPU371は、出力ポート372gを介して、貸し玉数を示す球貸し個数信号をターミナル基板160に出力し、ブザー駆動信号をブザー基板75に出力する。ブザー基板75にはブザーが搭載されている。さらに、出力ポート372eを介して、エラー表示用LED374にエラー信号を出力する。40

**【0051】**

さらに、賞球制御基板37の入力ポート372bには、中継基板72を介して、賞球カウントスイッチ301Aの検出信号および球貸しカウントスイッチ301Bの検出信号が入力される。球貸しカウントスイッチ301Bは、実際に貸し出された遊技球を検出する。賞球制御基板37からの払出モータ289への駆動信号は、出力ポート372cおよび中継基板72を介して玉払装置97の賞球機構部分における払出モータ289に伝えられる。

**【0052】**

カードユニット50には、カードユニット制御用マイクロコンピュータが搭載されている50

。また、カードユニット 50 には、端数表示スイッチ 152、連結台方向表示器 153、カード投入表示ランプ 154 およびカード挿入口 155 が設けられている（図 1 参照）。残高表示基板 74 には、打球供給皿 3 の近傍に設けられている度数表示 LED、球貸しスイッチおよび返却スイッチが接続される。

#### 【0053】

残高表示基板 74 からカードユニット 50 には、遊技者の操作に応じて、球貸しスイッチ信号および返却スイッチ信号が賞球制御基板 37 を介して与えられる。また、カードユニット 50 から残高表示基板 74 には、プリペイドカードの残高を示すカード残高表示信号および球貸し可表示信号が賞球制御基板 37 を介して与えられる。カードユニット 50 と賞球制御基板 37 の間では、ユニット操作信号（BRDY 信号）、球貸し要求信号（BRQ 信号）、球貸し完了信号（EXS 信号）およびパチンコ機動作信号（PRDY 信号）が I/O ポート 372f を介してやりとりされる。10

#### 【0054】

パチンコ遊技機 1 の電源が投入されると、賞球制御基板 37 の賞球制御用 CPU371 は、カードユニット 50 に PRDY 信号を出力する。カードユニット 50 においてカードが受け付けられ、球貸しスイッチが操作され球貸しスイッチ信号が入力されると、カードユニット制御用マイクロコンピュータは、賞球制御基板 37 に BRDY 信号を出力する。この時点から所定の遅延時間が経過すると、カードユニット制御用マイクロコンピュータは、賞球制御基板 37 に BRQ 信号を出力する。そして、賞球制御基板 37 の賞球制御用 CPU371 は、払出モータ 289 を駆動し、所定個の貸し玉を遊技者に払い出す。そして、払出が完了したら、賞球制御用 CPU371 は、カードユニット 50 に EXS 信号を出力する。20

#### 【0055】

以上のように、カードユニット 50 からの信号は全て賞球制御基板 37 に入力される構成になっている。従って、球貸し制御に関して、カードユニット 50 から主基板 31 に信号が入力されることなく、主基板 31 の基本回路 53 にカードユニット 50 の側から不正に信号が入力される余地はない。なお、主基板 31 および賞球制御基板 37 には、ソレノイドおよびモータやランプを駆動するためのドライバ回路が搭載されているが、図 6 では、それらの回路は省略されている。

#### 【0056】

この実施の形態では、少なくとも主基板 31 および賞球制御基板 37 において、CPU が内蔵する RAM の一部が電源バックアップされている。すなわち、遊技機に対する電力供給が停止しても、バックアップ RAM 領域のデータは保存される。また、表示制御用 CPU101、音声制御用 CPU701、ランプ制御用 CPU351 においても、RAM の一部が電源バックアップされるように構成されていてもよい。30

#### 【0057】

図 7 は、電源監視および電源バックアップのための CPU56 周りの一構成例を示すブロック図である。図 7 に示すように、第 1 の電源監視回路（第 1 の電源監視手段）からの電圧低下信号が、バッファ回路 900 を介して CPU56 のマスク不能割込端子（NMI 端子）に接続されている。第 1 の電源監視回路は、遊技機が使用する各種直流電源のうちのいずれかの電源の電圧を監視して電源電圧低下を検出する回路である。この実施の形態では、VSL の電源電圧を監視して電圧値が所定値以下になるとローレベルの電圧低下信号を発生する。VSL は、遊技機で使用される直流電圧のうちで最も高い電圧であり、この例では +30V である。従って、CPU56 は、割込処理によって電源断の発生を確認することができる。なお、この実施の形態では、第 1 の電源監視回路は、後述する電源基板に搭載されている。40

#### 【0058】

電気部品制御基板には、初期リセット回路 65 も示されているが、この実施の形態では、初期リセット回路 65 は、第 2 の電源監視回路（第 2 の電源監視手段）も兼ねている。すなわち、リセット IC651 は、電源投入時に、外付けのコンデンサに容量で決まる所定50

時間だけ出力をローレベルとし、所定時間が経過すると出力をハイレベルにする。また、リセットIC 651は、第1の電源監視回路が監視する電源電圧と等しい電源電圧であるVSLの電源電圧を電圧低下監視用端子に導入し、その端子の電圧を監視して電圧値が所定値以下になるとローレベルの電圧低下信号を発生する。なお、図7に示すように、この電圧低下信号はリセット信号と同じ出力信号である。

#### 【0059】

図7に示すように、リセットIC 651からのリセット信号は、NAND回路947に入力されるとともに、反転回路(NOT回路)944を介してカウンタIC 941のクリア端子に入力される。カウンタIC 941は、クリア端子への入力がローレベルになると、発振器943からのクロック信号をカウントする。そして、カウンタIC 941のQ5出力がNOT回路945, 946を介してNAND回路947に入力される。また、カウンタIC 941のQ6出力は、フリップフロップ(FF)942のクロック端子に入力される。フリップフロップ942のD入力はハイレベルに固定され、Q出力は論理和回路(OR回路)949に入力される。OR回路949の他方の入力には、NAND回路947の出力がNOT回路948を介して導入される。そして、OR回路949の出力がCPU56のリセット端子に接続されている。

10

#### 【0060】

そして、例えば、第1の電源監視回路の検出電圧(電圧低下信号を出力することになる電圧)を+22Vとし、第2の電源監視回路の検出電圧を+9Vとする。そのように構成した場合には、第1の電源監視回路と第2の電源監視回路とは、同一の電源VSLの電圧を監視するので、第1の電圧監視回路が電圧低下信号を出力するタイミングと第2の電圧監視回路が電圧低下信号を出力するタイミングの差を所望の所定期間に確實に設定することができる。所望の所定期間とは、第1の電源監視回路からの電圧低下信号に応じて電力供給停止時処理を開始してから電力供給停止時処理が確実に完了するまでの期間である。

20

#### 【0061】

この例では、第1の電源監視手段が検出信号を出力することになる第1検出条件は+30V電源電圧が+22Vにまで低下したことであり、第2の電源監視手段が検出信号を出力することになる第2検出条件は+30V電源電圧が+9Vにまで低下したことになる。ただし、ここで用いられている電圧値は一例であって、他の値を用いてもよい。

#### 【0062】

30

ただし、監視範囲が狭まるが、第1の電圧監視回路および第2の電圧監視回路の監視電圧として+5V電源電圧を用いることも可能である。その場合にも、第1の電圧監視回路の検出電位は、第2の電圧監視回路の検出電位よりも高く設定される。

#### 【0063】

CPU56等の駆動電源である+5V電源から電力が供給されていない間、RAMの少なくとも一部は、電源基板から供給されるバックアップ電源によってバックアップされ、遊技機に対する電源が断しても内容は保存される。そして、+5V電源が復旧すると、初期リセット回路65からリセット信号が発せられるので、CPU56は、通常の動作状態に復帰する。そのとき、必要なデータがバックアップされているので、停電等からの復旧時には停電発生時の遊技状態に復帰することができる。

40

#### 【0064】

図8は、遊技機の電源基板910の一構成例を示すブロック図である。電源基板910は、主基板31、表示制御基板80、音声制御基板70、ランプ制御基板35および賞球制御基板37等の電気部品制御基板と独立して設置され、遊技機内の各電気部品制御基板および機構部品が使用する電圧を生成する。この例では、AC24V、VSL(DC+30V)、DC+21V、DC+12VおよびDC+5Vを生成する。また、バックアップ電源となるコンデンサ916は、DC+5Vすなわち各基板上のIC等を駆動する電源のラインから充電される。

#### 【0065】

トランス911は、交流電源からの交流電圧を24Vに変換する。AC24V電圧は、コ

50

ネクタ 915 に出力される。また、整流回路 912 は、AC 24V から +30V の直流電圧を生成し、DC - DC コンバータ 913 およびコネクタ 915 に出力する。DC - DC コンバータ 913 は、+21V、+12V および +5V を生成してコネクタ 915 に出力する。コネクタ 915 は例えば中継基板に接続され、中継基板から各電気部品制御基板および機構部品に必要な電圧の電力が供給される。なお、トランス 911 の入力側には、遊技機に対する電源供給を停止したり開始させたりするための電源スイッチ 918 が設置されている。

#### 【0066】

DC - DC コンバータ 913 からの +5V ラインは分岐してバックアップ +5V ラインを形成する。バックアップ +5V ラインとグラウンドレベルとの間には大容量のコンデンサ 916 が接続されている。コンデンサ 916 は、遊技機に対する電力供給が遮断されたときの電気部品制御基板のバックアップ RAM ( 電源バックアップされている RAM すなわち記憶内容保持状態となりうる記憶手段 ) に対して記憶状態を保持できるように電力を供給するバックアップ電源となる。また、+5V ラインとバックアップ +5V ラインとの間に、逆流防止用のダイオード 917 が挿入される。

#### 【0067】

なお、バックアップ電源として、+5V 電源から充電可能な電池を用いてもよい。電池を用いる場合には、+5V 電源から電力供給されない状態が所定時間継続すると容量がなくなるような充電池が用いられる。

#### 【0068】

また、電源基板 910 には、上述した第 1 の電源回路を構成する電源監視用 IC 902 が搭載されている。電源監視用 IC 902 は、VSL 電源電圧を導入し、VSL 電源電圧を監視することによって電源断の発生を検出する。具体的には、VSL 電源電圧が所定値 ( この例では +22V ) 以下になつたら、電源断が発生することを知らせるために電圧低下信号を出力する。なお、監視対象の電源電圧は、各電気部品制御基板に搭載されている回路素子の電源電圧 ( この例では +5V ) よりも高い電圧であることが好ましい。この例では、交流から直流に変換された直後の電圧である VSL が用いられている。電源監視用 IC 902 からの電圧低下信号は、主基板 31 や賞球制御基板 37 等に供給される。

#### 【0069】

電源監視用 IC 902 が電源断を検知するための所定値は、通常時の電圧より低いが、各電気部品制御基板上の CPU が暫くの間動作しうる程度の電圧である。また、電源監視用 IC 902 が、CPU 等の回路素子を駆動するための電圧 ( この例では +5V ) よりも高く、また、交流から直流に変換された直後の電圧を監視するように構成されているので、CPU が必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。さらに、監視電圧として VSL (+30V) を用いる場合には、遊技機の各種スイッチに供給される電圧が +12V であることから、電源瞬断時のスイッチオン誤検出の防止も期待できる。すなわち、+30V 電源の電圧を監視すると、+30V 作成の以降に作られる +12V が落ち始める以前の段階でその低下を検出できる。よって、+12V 電源の電圧が低下するとスイッチ出力がオン状態を呈するようになるが、+12V より早く低下する +30V 電源電圧を監視して電源断を認識すれば、スイッチ出力がオン状態を呈する前に電源復旧待ちの状態に入ってスイッチ出力を検出しない状態となることができる。

#### 【0070】

また、電源監視用 IC 902 は、電気部品制御基板とは別個の電源基板 910 に搭載されているので、第 1 の電源監視回路から複数の電気部品制御基板に電圧低下信号を供給することができる。電圧低下信号を必要とする電気部品制御基板が幾つあっても第 1 の電源監視手段は 1 つ設けられていればよいので、各電気部品制御基板における各電気部品制御手段が後述する復帰制御を行っても、遊技機のコストはさほど上昇しない。

#### 【0071】

なお、図 8 に示された構成では、電源監視用 IC 902 の検出出力 ( 電圧低下信号 ) は、

10

20

30

40

50

バッファ回路 918, 919 を介してそれぞれの電気部品制御基板（例えば主基板 31 と賞球制御基板 37）に伝達されるが、例えば、1つの検出出力を中継基板に伝達し、中継基板から各電気部品制御基板に同じ信号を分配する構成でもよい。また、電圧低下信号を必要とする基板数に応じたバッファ回路を設けてもよい。

#### 【0072】

図9は、図7に示された初期リセット回路65のリセットIC651とその周辺のICの出力信号の様子を示すタイミング図である。図9に示すように、リセットIC651の出力は、+5V電源電圧のレベルが所定値を越えるとハイレベルになる。リセットIC651の出力がハイレベルになると、カウンタIC941のクリア状態が解除されるので、カウンタIC941は発振器943の出力クロック信号のカウントを開始する。発振器943の発振周波数は例えば11.776MHzである。なお、発振器943の出力クロック信号は、CPU901の外部クロック端子にも供給されている。

10

#### 【0073】

カウンタIC941が16クロックをカウントするとQ5出力が立ち上がる。また、32クロックをカウントするとQ6出力がハイレベルに立ち上がる。カウンタIC941のQ6出力が立ち上がると、FF942の出力がハイレベルになる。IC947は、カウンタIC941のQ6出力とリセットIC651の出力との論理積を反転して、図9に示すような信号を出力する。OR回路949は、IC947の出力を反転するIC948の出力とFF942の出力との論理和をとって、図9に示すような信号を出力する。

20

従って、遊技機の電源オン時には、CPU901のリセット端子に対して、一旦リセット解除状態（ハイレベル）になってから、再度リセット状態（ローレベル）になるような信号が供給される。すなわち、電源オン時には、CPU901をリセット状態とするようなローレベル信号が2回発生することになる。また、リセット解除を示すハイレベルが2回発生しているということもできる。その結果、CPU901は、最初のリセット解除を示すローレベルからハイレベルへの変化によって起動しなかったとしても、2回目のローレベルからハイレベルへの変化によって確実に起動することができる。よって、遊技機の電源投入時に、確実に遊技制御が開始される。

#### 【0074】

なお、IC949が出力するハイレベルパルス（リセット解除状態に相当）およびローレベルパルス（リセット状態に相当）の幅は、カウンタIC941の出力端子を変更するによって任意に設定することができる。ただし、IC949が出力するハイレベルパルスの幅は、CPU901にも供給されている発振器943の出力クロックの数クロック分（例えば4クロック）以上であることが好ましいが、この例では、16クロック分となっている。また、IC949が出力するローレベルパルスの幅は、発振器943の出力クロックの数クロック分（例えば4クロック）以上であることが好ましいが、この例では、16クロック分となっている。

30

#### 【0075】

CPU901は、リセット状態が解除されて動作を開始すると、本来の制御処理を開始する前に、セキュリティチェックなどの所定の起動時処理を行うように構成されている場合がある。すると、IC949が出力するハイレベルパルスの終了時点（立ち下がり時点）は、所定の起動時処理の完了前（本来の制御処理開始前）であることが望ましい。さもなくとも、IC949の出力が立ち上がって所定の起動時処理が行われ、さらに本来の制御処理が開始されてからIC949の出力がローレベルになることになり、本来の処理開始後に、再度CPU901がリセットされる状況になるからである。IC949が出力するハイレベルパルスの終了時点（立ち下がり時点）は、例えば立ち上がり時点から100ms以内であることが好ましいが、図7に示された回路構成では、100ms以内になっている。

40

#### 【0076】

また、電源断時には、リセットIC651に入力されているVSL（この例では+30V電

50

源電圧)の電位が所定値(この例では+9V)を下回ると、リセットIC651の出力がローレベルになる。すると、FF942のクリア端子(CLR)にローレベルが入力されFF942のQ出力はローレベルになる。よって、OR回路949の出力はローレベルになり、CPU901のリセット端子にリセット状態を示すレベルが供給される。すなわち、図7に示された回路構成では、リセットIC651の出力がローレベルになると、直ちにCPU901のリセット端子の入力状態がローレベルに固定される。換言すれば、電源断時には、2回のリセットパルスがCPU901に与えられるようなことはない。

#### 【0078】

なお、この実施の形態では、図9の最下段に示されたような信号状態を作成するために図7に示されたような回路構成を用いたが、そのような信号状態を作成するために他の回路構成を用いてもよい。10

#### 【0079】

また、リセット状態を示すレベルを2回与えなくても確実に起動することが補償されているCPU56を用いる場合には、図7における符号941～949で示されている回路要素は不要であり、リセットIC651の出力をそのままCPU56のリセット端子に供給すればよい。また、この実施の形態では、第2の電源監視手段は初期リセット手段と兼用されているが、それらを別々の回路要素で実現してもよい。

#### 【0080】

図10は、遊技機の電源断時の電源低下やNMI信号(=電源断信号：第1の電圧低下信号)の様子を示すタイミング図である。遊技機に対する電力供給が断たれると、最も高い直流電源電圧であるVSLの電圧値は徐々に低下する。そして、この例では、+22Vにまで低下すると、電源基板910に搭載される電源監視用IC902から電源断信号(電圧低下信号)が出力される(ローレベルになる)。20

#### 【0081】

電源断信号は、電気部品制御基板(この実施の形態では主基板31および賞球制御基板37)に導入され、CPU56および賞球制御用CPU371のNMI端子に入力される。CPU56および賞球制御用CPU371は、後述するNMI処理によって、所定の電力供給停止時処理を実行する。

#### 【0082】

VSLの電圧値がさらに低下して所定値(この例では+9V)にまで低下すると、主基板31や賞球制御基板37に搭載されているリセットIC651の出力がローレベルになり、CPU56および賞球制御用CPU371がシステムリセット状態になる。なお、CPU56および賞球制御用CPU371は、システムリセット状態とされる前に、電力供給停止時処理を完了している。30

#### 【0083】

VSLの電圧値がさらに低下してVcc(各種回路を駆動するための+5V)を生成することが可能な電圧を下回ると、各基板において各回路が動作できない状態となる。しかし、少なくとも主基板31や賞球制御基板37では、電力供給停止時処理が実行され、CPU56および賞球制御用CPU371がシステムリセット状態とされている。

#### 【0084】

以上のように、この実施の形態では、第1の電源監視回路は、遊技機で使用される直流電圧のうちで最も高い電源VSLの電圧を監視して、その電源の電圧が所定値を下回ったら電圧低下信号(電源断検出信号)を発生する。図10に示すように、電源断検出信号が出力されるタイミングでは、I C駆動電圧は、まだ各種回路素子を十分駆動できる電圧値になっている。従って、I C駆動電圧で動作する主基板31のCPU56が所定の電力供給停止時処理を行うための動作時間が確保されている。40

#### 【0085】

なお、ここでは、第1の電源監視回路は、遊技機で使用される直流電圧のうちで最も高い電源VSLの電圧を監視したが、電源断検出信号を発生するタイミングが、I C駆動電圧で動作する電気部品制御手段が所定の電力供給停止時処理を行うための動作時間が確保され50

るようなタイミングであれば、監視対象電圧は、最も高い電源 V<sub>SL</sub> の電圧でなくてもよい。すなわち、少なくとも I<sub>C</sub> 駆動電圧よりも高い電圧を監視すれば、電気部品制御手段が所定の電力供給停止時処理を行うための動作時間が確保されるようなタイミングで電源断検出信号を発生することができる。

#### 【0086】

その場合、上述したように、監視対象電圧は、遊技機の各種スイッチに供給される電圧が +12V であることから、電源断時のスイッチオン誤検出の防止も期待できる電圧であることが好ましい。すなわち、スイッチに供給される電圧（スイッチ電圧）である +12V 電源電圧が落ち始める以前の段階で、電圧低下を検出できることが好ましい。よって、少なくともスイッチ電圧よりも高い電圧を監視することが好ましい。

10

#### 【0087】

以下、遊技機の制御動作について説明する。

図 11 は、主基板 31 における C P U 56 が実行するメイン処理を示すフローチャートである。遊技機に対する電源が投入されると、メイン処理において、C P U 56 は、まず、停電からの復旧時であったか否か確認する（ステップ S1）。停電からの復旧時であったか否かは、例えば、電源断時にバックアップ R A M 領域に設定される電源断フラグによって確認される。

20

#### 【0088】

停電からの復旧時であった場合には、バックアップ R A M 領域のデータチェック（この例ではパリティチェック）を行う（ステップ S3）。不測の電源断が生じた後に復旧した場合には、バックアップ R A M 領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常でない場合には、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理を実行する（ステップ S4, S2）。

#### 【0089】

チェック結果が正常であれば、C P U 56 は、内部状態を電源断時の状態に戻すための遊技状態復旧処理を行うとともに（ステップ S5）、電源断フラグをクリアする（ステップ S6）。

#### 【0090】

停電からの復旧時でない場合には、C P U 56 は、通常の初期化処理を実行する（ステップ S1, S2）。その後、メイン処理では、タイマ割込フラグの監視（ステップ S6）の確認が行われるループ処理に移行する。なお、ループ内では、表示用乱数更新処理（ステップ S7）も実行される。

30

#### 【0091】

なお、ここでは、ステップ S1 で停電からの復旧か否かを確認し、停電からの復旧時であればパリティチェックを行ったが、最初に、パリティチェックを実行し、チェック結果が正常でなければ停電からの復旧ではないと判断してステップ S2 の初期化処理を実行し、チェック結果が正常であれば遊技状態復帰処理を行ってよい。すなわち、パリティチェックの結果をもって停電からの復旧であるか否かを判断してもよい。

#### 【0092】

40

また、停電復旧処理を実行するか否か判断する場合に、すなわち、遊技状態を復旧するか否か判断する際に、保存されていた R A M データにおける特別プロセスフラグ等や始動入賞記憶数データによって、遊技機が遊技待機状態（図柄変動中でなく、大当たり遊技中でなく、確変中でなく、また、始動入賞記憶がない状態）であることが確認されたら、遊技状態復旧処理を行わずに初期化処理を実行するようにしてもよい。

#### 【0093】

通常の初期化処理では、図 12 に示すように、レジスタおよび R A M のクリア処理（ステップ S2a）と、必要な初期値設定処理（ステップ S2b）が行われた後に、2ms 毎に定期的にタイマ割込がかかるように C P U 56 に設けられているタイマレジスタの初期設定（タイムアウトが 2ms であることと繰り返しタイマが動作する設定）が行われる（ス

50

ステップ S 2 c )。すなわち、ステップ S 2 c で、タイマ割込を能動化する処理と、タイマ割込インターバルを設定する処理とが実行される。

#### 【0094】

従って、この実施の形態では、C P U 5 6 の内部タイマが繰り返しタイマ割込を発生するように設定される。この実施の形態では、繰り返し周期は 2 m s に設定される。そして、図 1 3 に示すように、タイマ割込が発生すると、C P U 5 6 は、タイマ割込フラグをセットする（ステップ S 1 1 ）。

#### 【0095】

C P U 5 6 は、ステップ S 8 において、タイマ割込フラグがセットされたことを検出すると、タイマ割込フラグをリセットするとともに（ステップ S 9 ）、遊技制御処理を実行する（ステップ S 1 0 ）。以上の制御によって、この実施の形態では、遊技制御処理は 2 m s 毎に起動されることになる。なお、この実施の形態では、タイマ割込処理ではフラグセツトのみがなされ、遊技制御処理はメイン処理において実行されるが、タイマ割込処理で遊技制御処理を実行してもよい。

10

#### 【0096】

図 1 4 は、ステップ S 1 0 の遊技制御処理を示すフローチャートである。遊技制御処理において、C P U 5 6 は、まず、表示制御基板 8 0 に送出される表示制御コマンドを R A M 5 5 の所定の領域に設定する処理を行った後に（表示制御データ設定処理：ステップ S 2 1 ）、表示制御コマンドを出力する処理を行う（表示制御データ出力処理：ステップ S 2 2 ）。

20

#### 【0097】

次いで、各種出力データの格納領域の内容を各出力ポートに出力する処理を行う（データ出力処理：ステップ S 2 3 ）。また、ホール管理用コンピュータに出力される大当たり情報、始動情報、確率変動情報などの出力データを格納領域に設定する出力データ設定処理を行う（ステップ S 2 4 ）。さらに、パチンコ遊技機 1 の内部に備えられている自己診断機能によって種々の異常診断処理が行われ、その結果に応じて必要ならば警報が発せられる（エラー処理：ステップ S 2 5 ）。

#### 【0098】

次に、遊技制御に用いられる大当たり判定用の乱数等の各判定用乱数を示す各カウンタを更新する処理を行う（ステップ S 2 6 ）。

30

#### 【0099】

さらに、C P U 5 6 は、特別図柄プロセス処理を行う（ステップ S 2 7 ）。特別図柄プロセス制御では、遊技状態に応じてパチンコ遊技機 1 を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う（ステップ S 2 8 ）。普通図柄プロセス処理では、7 セグメント L E D による可変表示器 1 0 を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

#### 【0100】

40

さらに、C P U 5 6 は、スイッチ回路 5 8 を介して、ゲートセンサ 1 2 、始動口センサ 1 7 、カウントセンサ 2 3 および入賞口スイッチ 1 9 a , 2 4 a の状態を入力し、各入賞口や入賞装置に対する入賞があったか否か判定する（スイッチ処理：ステップ S 2 9 ）。C P U 5 6 は、さらに、停止図柄の種類を決定する乱数等の表示用乱数を更新する処理を行う（ステップ S 3 0 ）。

#### 【0101】

また、C P U 5 6 は、賞球制御基板 3 7 との間の信号処理を行う（ステップ S 3 1 ）。すなわち、所定の条件が成立すると賞球制御基板 3 7 に賞球制御コマンドを出力する。賞球制御基板 3 7 に搭載されている賞球制御用 C P U は、賞球制御コマンドに応じて玉払装置 9 7 を駆動する。

50

**【0102】**

以上のように、メイン処理には遊技制御処理に移行すべきか否かを判定する処理が含まれ、C P U 5 6 の内部タイマが定期的に発生するタイマ割込にもとづくタイマ割込処理で遊技制御処理に移行すべきか否かを判定するためのフラグがセットされるので、遊技制御処理の全てが確実に実行される。つまり、遊技制御処理の全てが実行されるまでは、次回の遊技制御処理に移行すべきか否かの判定が行われないので、遊技制御処理中の全ての各処理が実行完了することは保証されている。

**【0103】**

従来の一般的な遊技制御処理は、定期的に発生する外部割込によって、強制的に最初の状態に戻されていた。図14に示された例に則して説明すると、例えば、ステップS 3 1 の処理中であっても、強制的にステップS 2 1 の処理に戻されていた。つまり、遊技制御処理中の全ての各処理が実行完了する前に、次回の遊技制御処理が開始されてしまう可能性があった。

**【0104】**

なお、ここでは、主基板3 1 のC P U 5 6 が実行する遊技制御処理は、C P U 5 6 の内部タイマが定期的に発生するタイマ割込にもとづくタイマ割込処理でセットされるフラグに応じて実行されたが、定期的に（例えば2 m s毎）信号を発生するハードウェア回路を設け、その回路からの信号をC P U 5 6 の外部割込端子に導入し、割込信号によって遊技制御処理に移行すべきか否かを判定するためのフラグをセットするようにしてもよい。

**【0105】**

そのように構成した場合にも、遊技制御処理の全てが実行されるまでは、フラグの判定が行われないので、遊技制御処理中の全ての各処理が実行完了することが保証される。

**【0106】**

図15は、電源基板9 1 0 の第1の電源監視回路からの電圧低下信号にもとづくN M Iに応じて実行される停電発生N M I処理の一例を示すフローチャートである。停電発生N M I処理において、C P U 5 6 は、まず、割込禁止に設定する（ステップS 4 1）。停電発生N M I処理ではR A M 内容の保存を確実にするためにチェックサムの生成処理を行う。その処理中に他の割込処理が行われたのではチェックサムの生成処理が完了しないうちにC P U が動作し得ない電圧にまで低下してしまうことがことも考えられるので、まず、他の割込が生じないような設定がなされる。停電発生N M I処理におけるステップS 4 4～S 5 0 は、電力供給停止時処理の一例である。

**【0107】**

なお、割込処理中では他の割込がかからないような仕様のC P U を用いている場合には、ステップS 4 1 の処理は不要である。

**【0108】**

次いで、C P U 5 6 は、電源断フラグが既にセットされているか否か確認する（ステップS 4 2）。電源断フラグが既にセットされていれば、以後の処理を行わない。電源断フラグがセットされていなければ、以下の電力供給停止時処理を実行する。すなわち、ステップS 4 4 からステップS 5 0 の処理を実行する。

**【0109】**

まず、C P U 5 6 は、必要ならば各レジスタの内容をバックアップR A M 領域に格納する（ステップS 4 4）。さらに、バックアップR A M 領域のバックアップチェックデータ領域に適当な初期値を設定し（ステップS 4 5）、初期値およびバックアップR A M 領域のデータについて順次排他的論理和をとって（ステップS 4 6）、最終的な演算値をバックアップパリティデータ領域に設定する（ステップS 4 7）。その後、電源断フラグをセットする（ステップS 4 8）。また、R A M アクセス禁止状態にする（ステップS 4 9）。そして、全ての出力ポートをオフ状態にする（ステップS 5 0）。電源電圧が低下していくときには、各種信号線のレベルが不安定になってR A M 内容が化ける可能性があるが、このようにR A M アクセス禁止状態にしておけば、バックアップR A M 内のデータが化けることはない。

10

20

30

40

50

**【0110】**

次いで、C P U 5 6 は、ループ処理にはいる。すなわち、何らの処理もしない状態になる。従って、図7に示されたリセットI C 6 5 1からのリセット信号によって外部から動作禁止状態にされる前に、内部的に動作停止状態になる。よって、電源断時に確実にC P U 5 6 は動作停止する。その結果、上述したR A Mアクセス禁止の制御および動作停止制御によって、電源電圧が低下していくことに伴って生ずる可能性がある異常動作に起因するR A Mの内容破壊等を確実に防止することができる。

**【0111】**

なお、この実施の形態では、停電発生N M I処理では最終部でプログラムをループ状態にしたが、ホールト(H A L T)命令を発行するように構成してもよい。

10

**【0112】**

また、R A Mアクセス禁止にする前にセットされる電源断フラグは、上述したように、電源投入時において停電からの復旧か否かを判断する際に使用される。また、ステップS 4 1からS 5 0の処理は、第2の電源監視手段が電圧低下信号を発生する前に完了する。換言すれば、第2の電源監視手段が電圧低下信号を発生する前に完了するように、第1の電圧監視手段および第2の電圧監視手段の検出電圧の設定が行われている。

**【0113】**

この実施の形態では、電力供給停止時処理開始時に、電源断フラグの確認が行われる。そして、電源断フラグが既にセットされている場合には電力供給停止時処理を実行しない。上述したように、電源断フラグは、電力供給停止時処理が完了したことを示すフラグである。従って、例えば、リセット待ちのループ状態で何らかの原因で再度N M Iが発生したとしても、電力供給停止時処理が重複して実行されてしまうようなことはない。

20

**【0114】**

ただし、割込処理中では他の割込がかからないような仕様のC P Uを用いている場合には、ステップS 4 2の判断は不要である。

**【0115】**

図16は、バックアップパリティデータ作成方法を説明するための説明図である。ただし、図16に示す例では、簡単のために、バックアップデータR A M領域のデータのサイズを3バイトとする。電源電圧低下にもとづく停電発生処理において、図16(A)に示すように、バックアップチェックデータ領域に、初期データ(この例では0 0 H)が設定される。次に、「0 0 H」と「F 0 H」の排他的論理和がとられ、その結果と「1 6 H」の排他的論理和がとられる。さらに、その結果と「D F H」の排他的論理和がとられる。そして、その結果(この例では「3 9 H」)がバックアップパリティデータ領域に設定される。

30

**【0116】**

電源が再投入されたときには、停電復旧処理においてパリティ診断が行われるが、図16(B)はパリティ診断の例を示す説明図である。バックアップ領域の全データがそのまま保存されていれば、電源再投入時に、図16(A)に示すようなデータがバックアップ領域に設定されている。

**【0117】**

40

ステップS 5 1の処理において、C P U 5 6 は、バックアップR A M領域のバックアップパリティデータ領域に設定されていたデータ(この例では「3 9 H」)を初期データとして、バックアップデータ領域の各データについて順次排他的論理和をとる処理を行う。バックアップ領域の全データがそのまま保存されていれば、最終的な演算結果は、「0 0 H」、すなわちバックアップチェックデータ領域に設定されているデータと一致する。バックアップR A M領域内のデータにビット誤りが生じていた場合には、最終的な演算結果は「0 0 H」にならない。

**【0118】**

よって、C P U 5 6 は、最終的な演算結果とバックアップチェックデータ領域に設定されているデータとを比較して、一致すればパリティ診断正常とする。一致しなければ、パリ

50

ティ診断異常とする。

**【0119】**

以上のように、この実施の形態では、遊技制御手段には、遊技機の電源が断しても、所定期間電源バックアップされる記憶手段（この例ではバックアップRAM）が設けられ、電源投入時に、CPU56（具体的にはCPU56が実行するプログラム）は、記憶手段がバックアップ状態にあればバックアップデータにもとづいて遊技状態を回復させる遊技状態復旧処理（ステップS5）を行うように構成される。

**【0120】**

この実施の形態では、図8に示されたように電源基板910に第1の電源監視手段が搭載され、図7に示されたように主基板31に第2の電源監視手段が搭載されている。そして、電源電圧が低下していくときに、第2の電源監視手段（この例ではリセットIC651）が電圧低下信号を発生する時期は、第1の電源監視手段（この例では電源監視用IC902）が電圧低下信号を発生する時期よりも遅くなるように設定されている。さらに、第2の電源監視手段からの電圧低下信号は、CPU56のリセット端子に入力されている。10

**【0121】**

すると、CPU56は、第1の電源監視手段（電源監視用IC902）からの電圧低下信号にもとづいて停電発生処理（電力供給停止時処理）を実行した後にループ状態に入るのであるが、ループ状態において、リセット状態に入ることになる。すなわち、CPU56の動作が完全に停止する。ループ状態においては+5V電源電圧値が徐々に低下するので入出力状態が不定になるが、CPU56はリセット状態になるので、不定データにもとづいて異常動作してしまうことは防止される。20

**【0122】**

このように、この実施の形態では、CPU56が、第1の電源監視手段からの検出出力の入力に応じてループ状態に入るとともに、第2の電源監視手段からの検出出力の入力に応じてシステムリセットされるように構成したので、電源断時に確実なデータ保存を行うことができ、遊技者に不利益がもたらされることを防止することができる。

**【0123】**

なお、この実施の形態では、第1の電源監視手段と第2の電源監視手段とは、同一の電源電圧を監視しているが、異なる電源電圧を監視してもよい。例えば、電源基板910の第1の電源監視回路が+30V電源電圧を監視し、主基板31の第2の電源監視回路が+12V電源電圧を監視してもよい。そして、第2の電源監視回路がローレベルの電圧低下信号を発生するタイミングは第1の電源監視回路が電圧低下信号を発生するタイミングに対して遅くなるように、主基板31の第2の電源監視手段のしきい値レベル（電圧低下信号を発生する電圧レベル）が設定される。30

**【0124】**

また、上記の実施の形態では、CPU56は、マスク不能割込端子（NMI端子）を介して電源基板からの第1の電圧低下信号（第1の電源監視手段からの電圧低下信号）を検知したが、第1の電圧低下信号をマスク可能割込端子（IRQ端子）に導入してもよい。その場合には、割込処理（IRQ処理）で電力供給停止時処理が実行される。また、入力ポートを介して電源基板からの第1の電圧低下信号を検知してもよい。その場合には、メイン処理において入力ポートの監視が行われる。40

**【0125】**

また、IRQ端子を介して電源基板からの第1の電圧低下信号を検知する場合に、メイン処理のステップS10の遊技制御処理の開始時にIRQ割込マスクをセットし、遊技制御処理の終了時にIRQ割込マスクを解除するようにしてもよい。そのようにすれば、遊技制御処理の開始前および終了後に割込がかかることになって、遊技制御処理が中途で中断されることはない。従って、賞球制御コマンドを賞球制御基板37に送出しているときなどにコマンド送出が中断されてしまうようなことはない。よって、停電が発生するようなときでも、賞球制御コマンド等は確実に送出完了する。

**【0126】**

以下、遊技制御手段以外の制御手段の一例としての賞球制御手段について説明する。この例では、遊技機の電源が遮断しても、賞球制御用CPU371の内蔵RAMの一部が、電源基板56のコンデンサ916から電源供給を受ける。例えば、賞球制御用CPU371のバックアップ端子(VBB)にコンデンサ916の出力が接続される。

#### 【0127】

図17は、主基板31から賞球制御基板37に送信される賞球制御コマンドのビット構成の一例を示す説明図である。図17に示すように、1バイト中の上位4ビットが制御指定部として使用され、下位4ビットが賞球数を示す領域として用いられる。

#### 【0128】

図18に示すように、制御指定部において、ビット7, 6, 5, 4が「0, 1, 0, 0」であれば払出個数指定コマンドであることを示し、「0, 1, 0, 1」であれば払出指定コマンドであることを示す。払出個数指定コマンドは、主基板31のCPU56が入賞を検出すると直ちに賞球制御基板37に送出される。

#### 【0129】

ビット7, 6, 5, 4が「1, 0, 0, 0」である払出停止指定コマンドは、補給玉がなくなったことが検出されたとき、または余剰玉受皿4が満タンが検出されたときに主基板31から送信される。また、ビット7, 6, 5, 4が「1, 0, 1, 0」である払出停止解除指定コマンドは、補給玉が存在し余剰玉受皿4の満タンが解除されているときに主基板31から送信される。

#### 【0130】

賞球制御コマンドは、主基板31から賞球制御基板37に、1バイト(8ビット：賞球制御コマンドD7～D0)のデータとして出力される。また、賞球制御コマンドD7～D0が出力されたときには、賞球制御INT信号が出力される。

#### 【0131】

図6に示されたように、賞球制御コマンドは、出力ポート577を介して送信される。そして、この実施の形態では、図19に示すように、主基板31から賞球制御コマンドD7～D0が出力されるときに、賞球制御INT信号が5μs以上ローレベルになる。賞球制御INT信号は、賞球制御基板37において、賞球制御用CPU371の割込端子に接続されている。よって、賞球制御用CPU371は、割り込みがあると、賞球制御コマンドD7～D0が主基板31から送出されたことを認識でき、割込処理において賞球制御コマンド受信処理を行う。

#### 【0132】

なお、図17に示されたコマンド構成は一例であって、他の構成にしてもよい。例えば、1バイト中の上位下位を、図17に示された構成とは逆にしてもよい。

#### 【0133】

図20は、電源監視および電源バックアップのための賞球制御用CPU371周りの一構成例を示すブロック図である。図20に示すように、第1の電源監視回路(第1の電源監視手段)からの電圧低下信号が、バッファ回路960を介して賞球制御用CPU371のマスク不能割込端子(NMI端子)に接続されている。第1の電源監視回路は、遊技機が使用する各種直流電源のうちのいずれかの電源の電圧を監視して電源電圧低下を検出する回路である。この実施の形態では、VSLの電源電圧を監視して電圧値が所定値以下になるとローレベルの電圧低下信号を発生する。VSLは、遊技機で使用される直流電圧のうちで最大のものであり、この例では+30Vである。従って、賞球制御用CPU371は、割込処理によって電源断の発生を確認することができる

#### 【0134】

賞球制御基板37には、初期リセット回路975も搭載されているが、この実施の形態では、初期リセット回路975は、第2の電源監視回路(第2の電源監視手段)も兼ねている。すなわち、リセットIC976は、電源投入時に、外付けのコンデンサに容量で決まる所定時間だけ出力をローレベルとし、所定時間が経過すると出力をハイレベルにする。また、リセットIC976は、電源基板910に搭載されている第1の電源監視回路が監

10

20

30

40

50

視する電源電圧と等しい電源電圧であるVSLの電源電圧を監視して電圧値が所定値（例えば+9V）以下になるとローレベルの電圧低下信号を発生する。従って、電源断時には、リセットIC976からの電圧低下信号がローレベルになることによって賞球制御用CPU371がシステムリセットされる。なお、図20に示すように、電圧低下信号はリセット信号と同じ出力信号である。

#### 【0135】

リセットIC976が電源断を検知するための所定値は、通常時の電圧より低いが、賞球制御用CPU371が暫くの間動作しうる程度の電圧である。また、リセットIC976が、賞球制御用CPU371が必要とする電圧（この例では+5V）よりも高い電圧を監視するように構成されているので、賞球制御用CPU371が必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。

10

#### 【0136】

+5V電源から電力が供給されていない間、賞球制御用CPU371の内蔵RAMの少なくとも一部は、電源基板から供給されるバックアップ電源がバックアップ端子に接続されることによってバックアップされ、遊技機に対する電源が断しても内容は保存される。そして、+5V電源が復旧すると、初期リセット回路975からリセット信号が発せられるので、賞球制御用CPU371は、通常の動作状態に復帰する。そのとき、必要なデータがバックアップされているので、停電等からの復旧時には停電発生時の遊技状態に復帰することができる。

#### 【0137】

以上のように、この実施の形態では、電源基板910に搭載されている第1の電源監視回路が、遊技機で使用される直流電圧のうちで最も高い電源VSLの電圧を監視して、その電圧が所定値を下回ったら電圧低下信号（電源断検出信号）を発生する。図10に示すように、電源断検出信号が出力されるタイミングでは、IC駆動電圧は、まだ各種回路素子を十分駆動できる電圧値になっている。従って、IC駆動電圧で動作する賞球制御基板37の賞球制御用CPU371が所定の電力供給停止時処理を行うための動作時間が確保されている。

20

#### 【0138】

なお、ここでも、第1の電源監視回路は、遊技機で使用される直流電圧のうちで最も高い電源VSLの電圧を監視することになるが、電源断検出信号を発生するタイミングが、IC駆動電圧で動作する電気部品制御手段が所定の電力供給停止時処理を行うための動作時間が確保されるようなタイミングであれば、監視対象電圧は、最も高い電源VSLの電圧でなくてもよい。すなわち、少なくともIC駆動電圧よりも高い電圧を監視すれば、電気部品制御手段が所定の電力供給停止時処理を行うための動作時間が確保されるようなタイミングで電源断検出信号を発生することができる。

30

#### 【0139】

その場合、上述したように、監視対象電圧は、賞球カウントスイッチ301A等の遊技機の各種スイッチに供給される電圧が+12Vであることから、電源断時のスイッチオン誤検出の防止も期待できる電圧であることが好ましい。すなわち、スイッチに供給される電圧（スイッチ電圧）である+12V電源電圧が落ち始める以前の段階で、電圧低下を検出できることが好ましい。よって、少なくともスイッチ電圧よりも高い電圧を監視することが好ましい。

40

#### 【0140】

なお、図20に示された構成では、初期リセット回路975は、電源投入時に、コンデンサの容量で決まる期間のローレベルを出力し、その後ハイレベルを出力する。すなわち、リセット解除タイミングは1回だけである。しかし、図7に示された主基板31の場合と同様に、複数回のリセット解除タイミングが発生するような回路構成を用いてもよい。

#### 【0141】

図21は、賞球制御用CPU371のメイン処理を示すフローチャートである。メイン処理では、賞球制御用CPU371は、まず、RAM領域をクリアする等の初期値設定処理

50

を行う（ステップS701）。なお、内蔵RAMの電源バックアップされたRAM領域（バックアップ領域）にデータが設定されている場合には、それらの領域のクリア処理はなされない。その後、この実施の形態では、賞球制御用CPU371は、所定期間（例えば2ms）毎に発生するタイマ割込による割込処理で賞球払出制御を行う（ステップS702）。タイマ割込処理では、図22に示すように、賞球制御用CPU371は、賞球払出制御処理を実行する（ステップS711）。

#### 【0142】

図23は、賞球制御用CPU371が内蔵するRAMの使用例を示す説明図である。この例では、バックアップRAM領域に総合個数記憶が（例えば2バイト）が形成されている。総合個数記憶は、主基板31の側から指示された払出個数の総数を記憶するものである。

10

#### 【0143】

図24～図30は、賞球制御用CPU371が実行する賞球払出制御処理を示すフローチャートである。なお、この実施の形態では、賞球払出制御処理はタイマ割込処理で実行されるように構成されているが、そのような構成ではなく、通常の処理（割込処理ではない）によって実行されるように構成してもよい。

#### 【0144】

賞球払出制御処理において、賞球制御用CPU371は、賞球制御コマンドが受信されているか否か確認する（ステップS480）。受信されていれば、ステップS511に移行する。受信されていなければ、現在エラー状態中であるか否か確認する（ステップS481）。エラー状態中であればエラー処理を行う。エラー状態中でない場合には、賞球中（または補正払出中）であるか否か確認する（ステップS482）。賞球中でない場合には、玉貸し処理中であるか否か確認する（ステップS483）。玉貸し中であれば、玉貸し中の処理に移行する。

20

#### 【0145】

玉貸し中でもなければ、総合個数記憶および補正個数カウンタの値が0であるか否か確認する（ステップS484）。それらが0であれば、すなわち、賞球払出を行う必要がない場合には、遊技機の外部機器としてのカードユニット50からの玉貸し要求信号であるBRQ信号がオンになっているかどうか確認する（ステップS491）。なお、補正個数カウンタとは、払出個数不足が検出されたときに不足分を補正個数として払い出すように構成された場合に、補正個数が設定されるカウンタである。そのような補正制御を行わない場合には使用されない。

30

#### 【0146】

BRQ信号がオンになっていれば、玉貸し開始のための処理を行って（ステップS492）、玉貸し中の処理に移行する。なお、玉貸し制御のためのカウンタも、バックアップRAM領域に形成されていることが好ましい。

#### 【0147】

ステップS484において、総合個数記憶および補正個数カウンタの値が全て0になつていなければ、ステップS500の処理を行う。

#### 【0148】

ステップS500において、補正払出フラグがオンしていれば、すなわち、補正払出をすべきことに決定されていた場合には、ステップS507に移行する。補正払出フラグがオンしていなければ、賞球制御用CPU371は、賞球処理中フラグをオンし（ステップS503）、払出モータ289をオンする（ステップS507）。そして、賞球払出中処理に移行する。

40

#### 【0149】

賞球制御コマンド（払出個数指示コマンド）を受信した場合には、ステップS511の処理が開始される。ステップS511において、賞球制御用CPU371は、払出個数指示コマンドで指示された個数を総合個数記憶に加算する（ステップS512）。

#### 【0150】

50

以上のように、賞球制御基板 37 に搭載された賞球制御用 CPU371 は、主基板 31 の CPU56 から送られた払出個数指示コマンドに含まれる賞球数をバックアップ RAM 領域（総合個数記憶）に記憶する。

#### 【0151】

なお、賞球制御コマンドには払出個数指示コマンド以外のコマンドもあるが、図 26 では、それらのコマンドの受信処理は省略されている。

#### 【0152】

図 27 に示すステップ S532 以降の処理は賞球払出中の処理である。賞球払出中の処理において、まず、状態チェックが行われる（ステップ S532）。賞球制御用 CPU371 は、払出モータ位置センサおよび賞球カウントスイッチ 301A を監視することによって賞球払出が正常に行われているか否かチェックする。状態チェックとは、現在、払出モータ位置センサのオンを監視している状態にあるのか、払出モータ位置センサのオフを監視している状態にあるのかを判定する処理である。

#### 【0153】

この実施の形態では、払出モータ位置センサおよび賞球カウントスイッチ 301A の監視のために、以下のタイマを用いる。

- (1) タイマ T11：払出モータ位置センサのオン監視用
- (2) タイマ T12：払出モータ位置センサのオフ監視用
- (3) タイマ T13：賞球カウントスイッチ 301A のオン監視用
- (4) タイマ T14：賞球カウントスイッチ 301A のオフ監視用

#### 【0154】

また、払出モータ位置センサによって払出個数が確認されてから、賞球カウントスイッチ 301A が実際の払出球を検出するまでに遊技球数個分の流下に要する遅れ時間があり、その時間を待つために以下のタイマを用いる。

(5) タイマ T15：最後の払出球が払出モータ位置センサによって確認されてから、その球が賞球カウントスイッチ 301A を通過するまでの時間待ち用

#### 【0155】

ここでは、それらのタイマが動作中であることを確認することによって状態チェックを行う。ステップ S532 では、タイマ T11 が動作中であるときには、払出モータ位置センサのオン待ち処理（ステップ S534）に移行し、タイマ T12 が動作中であるときには、払出モータ位置センサのオフ待ち処理（ステップ S542）に移行する。タイマ T15 が動作中であるときには、タイマ T15 のタイムアウト待ち（ステップ S573）に移行する。いずれのタイマも動作中でないときには、タイマ T11 をスタートさせる（ステップ S533）。

#### 【0156】

ステップ S534 において、賞球制御用 CPU371 は、払出モータ位置センサがオンするのを待つ。オンする前にタイマ T11 がタイムアウトするとエラー処理に移行する（ステップ S535, S536）。払出モータ位置センサがオンすると、タイマ T11 を停止して（ステップ S537）、タイマ T12 を起動する（ステップ S541）。その後、賞球制御用 CPU371 は、払出モータ位置センサがオフするのを待つ（ステップ S542）。オフする前にタイマ T12 がタイムアウトするとエラー処理に移行する（ステップ S543, S545）。なお、タイマ T11, T12 がタイムアウトしていない間、賞球カウントスイッチチェックサブルーチンを実行する（ステップ S547）。

#### 【0157】

払出モータ位置センサがオフすると、タイマ T12 を停止して（ステップ S546）、補正払出中でなければ（ステップ S549）、払出カウンタを +1 するとともに（ステップ S550）、総合個数記憶を -1 する（ステップ S551）。そして、総合個数記憶の値が 0 になったら（ステップ S552）、ステップ S571 に移行する。補正払出中であれば、補正個数カウンタの値を -1 し（ステップ S560）、補正個数カウンタの値が 0 になつたら（ステップ S561）、ステップ S571 に移行する。ステップ S571 では、

10

20

30

40

50

払出モータ289の駆動が停止される。また、タイマT15が起動される（ステップS572）。

#### 【0158】

その後、タイマT15のタイムアウトを待つ（ステップS573）。タイムアウトしていない間、賞球カウントスイッチチェックサブルーチンを実行する（ステップS576）。

#### 【0159】

タイマT15がタイムアウトすると、補正払出中でなければ（ステップS574）、払出カウンタの値と賞球数カウンタの値を比較する（ステップS575）。

#### 【0160】

なお、賞球数カウンタは、賞球カウントスイッチチェックサブルーチンで、払出モータ位置センサの下部に位置する賞球カウントスイッチ301Aの1回のオンが検出される度にカウントアップされる。タイマT15がタイムアウトしたとき、玉払出が正常に行われていれば、賞球数カウンタの値は、払出モータ位置センサのオン回数に一致する。例えば、n個賞球が行われていたときには、払出モータ位置センサのオン回数がnになると、ステップS552で総合個数記憶の値が0になり、その後、T15の時間だけ経過すると賞球数カウンタの値がnになるはずである。10

#### 【0161】

ステップS575の判断結果が不一致の場合には、賞球不足数（賞球予定数 - 賞球数カウンタ値）を払出個数カウンタに設定し（ステップS583）、払出モータ289をオンし（ステップS584）、補正払出中フラグをオンする（ステップS585）。その後に、20  
補正払出を開始した旨を示す報知（例えばブザー報知）を例えれば20秒間行う（ステップS586）。この報知は、遊技店員に賞球装置の異常があるかもしれないことを知らせる目的で行われるとともに、賞球カウントスイッチ301Aの故障または引き抜き（不正）の可能性を示唆するために行われる。なお、賞球不足数は補正予定数として記憶される。

#### 【0162】

補正払出が行われていた場合には、賞球数カウンタの値が補正予定数と一致しているか否か確認し（ステップS581）、一致していなければ、ステップS586に移行する。一致していれば、補正払出中フラグをリセットして（ステップS582）、この回の処理を終了する。

#### 【0163】

ステップS575の判断結果が一致であった場合には、賞球処理中フラグをリセットして（ステップS587）、処理を終了する。30

#### 【0164】

以上のように、賞球制御用CPU371は、総合記憶個数の値によって、賞球が完了したか否か認識し、完了したら、所定時間経過後に賞球カウントスイッチ301Aによる検出回数を確認し、賞球カウントスイッチ301Aを通過した遊技球数が予定払出手に満たないことを検出した場合には補正払出処理を開始する。

#### 【0165】

なお、総合記憶個数はバックアップRAM領域に形成されているので、停電等による電源断が生じても保存される。よって、停電等からの復旧時に、賞球制御用CPU371は、40  
保存されているデータにもとづいて賞球払出手制御を継続することができる。例えば、停電からの復旧時に、総合記憶個数が設定されていることを検知して、賞球制御用CPU371は、賞球払出手処理を再開することができる。

#### 【0166】

さらに、補正個数カウンタ等もバックアップRAM領域に形成すれば、補正払出手処理中に停電等が生じても、停電等からの復旧時に、賞球制御用CPU371は、保存されているデータにもとづいて補正払出手制御を継続することができる。

#### 【0167】

図30は、賞球カウントスイッチチェックサブルーチンを示すフローチャートである。賞球カウントスイッチチェックにおいて、まず、状態チェックが行われる（ステップS5150

1)。ステップS511において、タイマT13が動作中であるときには、賞球カウントスイッチ301Aのオン待ち処理(ステップS513)に移行し、タイマT14が動作中であるときには、賞球カウントスイッチ301Aのオフ待ち処理(ステップS518)に移行する。いずれのタイマも動作中でないときには、タイマT13をスタートさせる(ステップS512)。

#### 【0168】

そして、賞球カウントスイッチ301Aがオンするのを待つ(ステップS513)。賞球カウントスイッチ301Aの出力がオンする前にタイマT13がタイムアウトするとエラー処理に移行する(ステップS514, S515)。

#### 【0169】

賞球カウントスイッチ301Aの出力がオン状態になると、タイマT13を停止して(ステップS516)、タイマT14を起動する(ステップS517)。そして、賞球カウントスイッチ301Aがオフするのを待つ(ステップS518)。賞球カウントスイッチ301Aがオフする前にタイマT14がタイムアウトするとエラー処理に移行する(ステップS519, S520)。タイマT14がタイムアウトする前に賞球カウントスイッチ301Aがオフした場合には、タイマT14を停止する(ステップS521)。そして、賞球数カウンタの値を+1する(ステップS522)。

#### 【0170】

なお、この実施の形態では、遊技制御手段から賞球指示を受けると、総合個数記憶に賞球数を加算して、総合個数記憶の値を用いて払出制御を行ったが、遊技制御手段からの賞球指示に対して、賞球対応に設けられた個数カウンタに賞球回数を記憶するようにしてもよい。

10

#### 【0171】

図31は、賞球制御用CPU371が第1の電源監視手段からの割込に応じて実行される停電発生割込処理を示すフローチャートである。電源基板910の電源監視用IC902が電源電圧の低下を検出すると電圧低下信号が電圧低下を示す状態となり、停電発生割込処理が開始される。停電発生割込処理において、賞球制御用CPU371は、割込禁止に設定し(ステップS801)、RAMアクセス禁止状態に設定して(ステップS802)、ループ処理に入る。すなわち、何らの処理もしない状態になる。

#### 【0172】

20

従って、図20に示されたリセットIC976からのリセット信号によって外部から動作禁止状態(システムリセット)にされる前に、内部的に動作停止状態になる。よって、電源断時に確実に賞球制御用CPU371は動作停止する。その結果、電源電圧が低下していくことに伴って生ずる可能性がある異常動作に起因するRAMの内容破壊等を確実に防止することができる。

#### 【0173】

なお、図31に示された処理は電力供給停止時処理の一例である。また、この実施の形態では、停電発生NMI処理では最終部でプログラムをループ状態にしたが、ホールト(HALT)命令を発行するように構成してもよい。また、割込処理中には他の割込がかからないような仕様のCPUを用いた場合にはステップS801の処理は不要である。

40

#### 【0174】

図32は、賞球制御用CPU371が電源投入時に実行する初期化処理(ステップS701)の一部を示すフローチャートである。電源が投入され、または、電源が復旧したときには、賞球制御用CPU371は、まず、バックアップRAM領域に形成されている総合個数記憶または貸し玉個数記憶の値が0でないかどうか確認する(ステップS901)。0である場合には、前回の電源オフ時に未払出賞球はなかたことになるので、通常の初期設定処理を行う。すなわち、レジスタおよび全RAM領域をクリアして(ステップS903)、スタックポインタの初期設定を行う(ステップS904)。なお、貸し玉個数記憶とは、貸し玉個数についてもバックアップRAMに保存するように構成した場合に、バックアップRAMに形成される記憶領域である。また、上述した補正払出制御を行う場合

50

には、ステップ S 901において、バックアップ RAM に形成されている補正個数カウンタの値を確認するようにしてもよい。

#### 【0175】

総合個数記憶または貸し玉個数記憶の値が 0 でない場合には、アドレスを指定してレジスタと非バックアップ RAM 領域をクリアする（ステップ S 905）。そして、賞球再開のための設定を行う。例えば、賞球中処理中フラグのセット等を行う（ステップ S 906）。なお、バックアップ RAM 領域であっても、賞球個数に関わらない領域であるならば、それらのアドレスを指定してクリアするようにしてもよい。

#### 【0176】

このように、賞球制御用 CPU371 は、電源投入時に、バックアップ RAM 領域のデータを確認するだけで、通常の初期設定処理を行うのか賞球中の状態を復元するのか決定できる。すなわち、簡単な判断によって、未払賞球について賞球処理再開を行うことができる。

#### 【0177】

図 32 に示された処理では、賞球制御用 CPU371 は、電源投入時に、バックアップ RAM 領域のデータを確認したが、そのような判断を行わなくてもよい。すなわち、図 33 に示すように、電源投入時に、電源バックアップされていない RAM 領域のみをアドレスを指定してクリアする（ステップ S 910）。なお、ここで、レジスタのクリア処理も行う。

#### 【0178】

そして、上記の初期化処理を行うように構成されている場合、電源断時に、レジスタの退避は行われない。

#### 【0179】

なお、賞球制御用 CPU371 も、主基板 31 の CPU56 と同様に、電源断フラグによって初期化処理を行うか否か決定してもよい。また、主基板 31 の CPU56 と同様に、パリティチェックコードによって記憶内容保存の確実化を図ってもよい。

#### 【0180】

また、この実施の形態では、賞球制御用 CPU371 は、マスク不能外部割込端子（NMI 端子）を介して電源基板からの第 1 の電圧低下信号（第 1 の電源監視手段からの電圧低下信号）を検知したが、第 1 の電圧低下信号をマスク可能割込端子（IRQ 端子）に導入してもよい。その場合には、IRQ 処理によって図 27 に示された停電発生割込処理が実行される。また、入力ポートを介して第 1 の電圧低下信号を検知してもよい。その場合には、賞球制御用 CPU371 が実行するメイン処理において、入力ポートの監視が行われる。

#### 【0181】

なお、上記の各実施の形態では、主基板 31 の CPU56 および賞球制御基板 37 の賞球制御用 CPU371 について割込による電力供給停止時処理を説明したが、他の各基板（表示制御基板 80、音声制御基板 70 およびランプ制御基板 35）に搭載されている CPU も、割込による電力供給停止時処理を行ってもよい。その際、電圧低下を示す信号は、マスク可能な外部割込端子に接続されていてもよいし、NMI 端子に接続されていてもよい。

#### 【0182】

また、遊技制御手段および賞球制御手段における RAM と同様に、音声制御手段、ランプ制御手段および表示制御手段における RAM も、電源バックアップされる部分があるようにしてよい。

#### 【0183】

また、上記の実施の形態では、第 1 の電源監視手段は電源基板 910 に設けられ、第 2 の電源監視手段は電気部品制御基板に設けられたが、第 1 の電源監視手段および第 2 の電源監視手段がともに電気部品制御基板に設けられていてもよい。

#### 【0184】

10

20

30

40

50

### 【発明の効果】

以上のように、本発明によれば、遊技機を、遊技機に設けられる電気部品を制御するための処理を行う電気部品制御マイクロコンピュータと、遊技機で使用される所定電位電源を監視し検出条件が成立したことにより検出信号を電気部品制御マイクロコンピュータに出力する電源監視手段と、交流電流を整流する整流手段と、整流手段によって整流された後の電圧を降圧し、電気部品制御マイクロコンピュータおよび電気部品が使用する電圧を生成する降圧電圧生成手段とを備え、電気部品制御マイクロコンピュータが、電源監視手段からの検出信号により電源断フラグの設定およびRAMアクセス禁止処理を含む所定の電力供給停止時処理を行い、電源監視手段は、監視する所定電位電源として、整流手段によって整流された後、降圧電圧生成手段によって降圧される前の電圧の電源を監視し、電気部品制御マイクロコンピュータは降圧電圧生成手段が降圧することによって生成した電圧であって遊技球を検出するためのスイッチに供給される電圧よりも低い電圧の電源により動作し、電気部品制御マイクロコンピュータは、遊技媒体の払出制御を行う払出制御用マイクロコンピュータを含み、電力供給開始時に電源断フラグが設定されていることを条件にRAMのバックアップ領域のデータチェックを行い、チェック結果が正常のときは、電源断フラグのみクリアし、チェック結果が正常でないときは、初期化処理で電源断フラグが設定されている領域を含むRAMの領域をクリアする処理を行い、少なくとも払出個数に関わる情報は払出制御用マイクロコンピュータのRAMのバックアップ領域に記憶され、払出制御用マイクロコンピュータは、電力供給開始時の初期化処理で、少なくともRAMのバックアップされていない領域をクリアする処理を行うように構成したので、停電等による不測の電源断が発生しても、そのことを確実に検出できる効果がある。特に、所定電位電源が整流手段によって整流された後、降圧電圧生成手段によって降圧される前の電圧であって遊技球を検出するためのスイッチに供給される電圧よりも高い電圧の電源であることから、電圧監視範囲を広げることができ、電気部品制御マイクロコンピュータが所定の電力供給停止時処理を確実に完了できるようなタイミングで電源監視手段から検出信号が発生される。また、初期化処理が簡単でよいという効果もある。

### 【0193】

払出制御用マイクロコンピュータが、電力供給開始時の初期化処理で、バックアップ領域に払出個数に関わる情報が記憶されていた場合には、RAMの少なくともバックアップされていない領域をクリアする処理を行うとともに前記情報にもとづいて払出制御を行い、バックアップ領域に賞球個数に関わる情報が記憶されていない場合にはRAMの全領域を初期化するように構成されている場合には、バックアップ記憶手段領域のデータを確認するだけで、通常の初期設定処理を行うのか払出制御中の状態を復元するのか決定できるので、簡単な判断によって未払出個数について払出処理再開を行うことができる状態になる。

### 【図面の簡単な説明】

- 【図1】 パチンコ遊技機を正面からみた正面図である。
- 【図2】 パチンコ遊技機の遊技盤を正面からみた正面図である。
- 【図3】 パチンコ遊技機を背面からみた背面図である。
- 【図4】 遊技制御基板（主基板）の回路構成例を示すブロック図である。
- 【図5】 表示制御基板の回路構成例を示すブロック図である。
- 【図6】 賞球制御基板の回路構成例を示すブロック図である。
- 【図7】 電源監視および電源バックアップのためのCPU周りの一構成例を示すブロック図である。
- 【図8】 電源基板の一構成例を示すブロック図である。
- 【図9】 電源投入時のリセット信号の様子を示すタイミング図である。
- 【図10】 遊技機の電源断時の電源低下やNMI信号の様子を示すタイミング図である。
- 【図11】 主基板におけるメイン動作を示すフローチャートである。
- 【図12】 主基板のCPUが実行する初期化処理を示すフローチャートである。

10

20

30

40

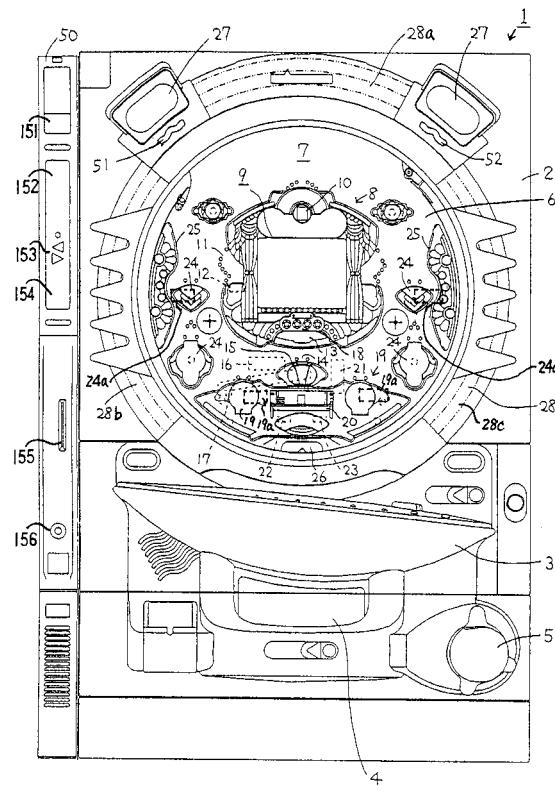
50

- 【図 1 3】 2 ms タイマ割込処理を示すフローチャートである。
- 【図 1 4】 遊技制御処理を示すフローチャートである。
- 【図 1 5】 電源断時の割込処理を示すフローチャートである。
- 【図 1 6】 バックアップパリティデータ作成方法を説明するための説明図である。
- 【図 1 7】 賞球制御コマンドの構成例を示す説明図である。
- 【図 1 8】 賞球制御コマンドのビット構成を示す説明図である。
- 【図 1 9】 賞球制御コマンドデータの出力の様子を示すタイミング図である。
- 【図 2 0】 電源監視および電源バックアップのための賞球制御用 CPU 周りの一構成例を示すブロック図である。
- 【図 2 1】 賞球制御用 CPU が実行するメイン処理を示すフローチャートである。 10
- 【図 2 2】 賞球制御用 CPU の 2 ms タイマ割込処理を示すフローチャートである。
- 【図 2 3】 賞球制御手段における RAM の一構成例を示す説明図である。
- 【図 2 4】 賞球制御用 CPU の賞球制御処理を示すフローチャートである。
- 【図 2 5】 賞球制御用 CPU の賞球制御処理を示すフローチャートである。
- 【図 2 6】 賞球制御用 CPU の賞球制御処理を示すフローチャートである。
- 【図 2 7】 賞球制御用 CPU の賞球制御処理を示すフローチャートである。
- 【図 2 8】 賞球制御用 CPU の賞球制御処理を示すフローチャートである。
- 【図 2 9】 賞球制御用 CPU の賞球制御処理を示すフローチャートである。
- 【図 3 0】 賞球制御用 CPU の賞球制御処理を示すフローチャートである。
- 【図 3 1】 賞球制御用の NMI 割込処理を示すフローチャートである。 20
- 【図 3 2】 賞球制御用 CPU が実行する初期化処理処理を示すフローチャートである。
- 【図 3 3】 賞球制御用 CPU が実行する初期化処理処理の他の例を示すフローチャートである。

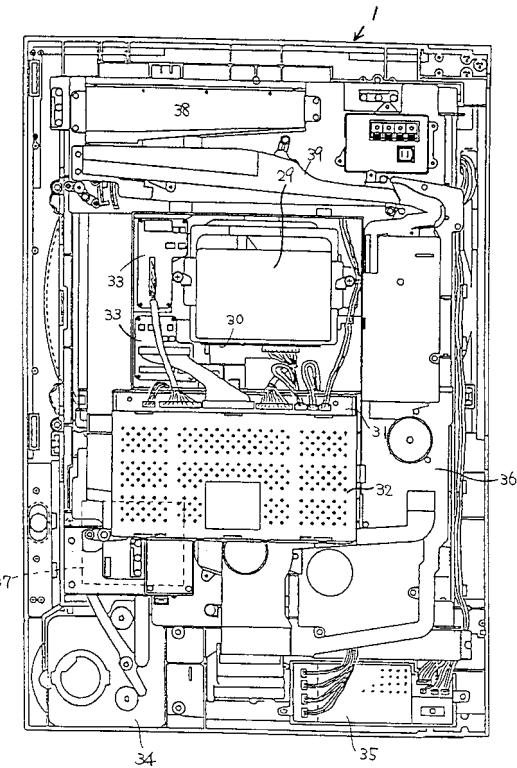
## 【符号の説明】

- |       |           |    |
|-------|-----------|----|
| 1     | パチンコ遊技機   |    |
| 3 1   | 主基板       |    |
| 3 7   | 賞球制御基板    |    |
| 5 3   | 基本回路      |    |
| 5 6   | CPU       |    |
| 6 5   | 初期リセット回路  | 30 |
| 6 5 1 | リセット I C  |    |
| 9 0 2 | 電源監視用 I C |    |
| 9 1 0 | 電源基板      |    |
| 9 1 6 | コンデンサ     |    |

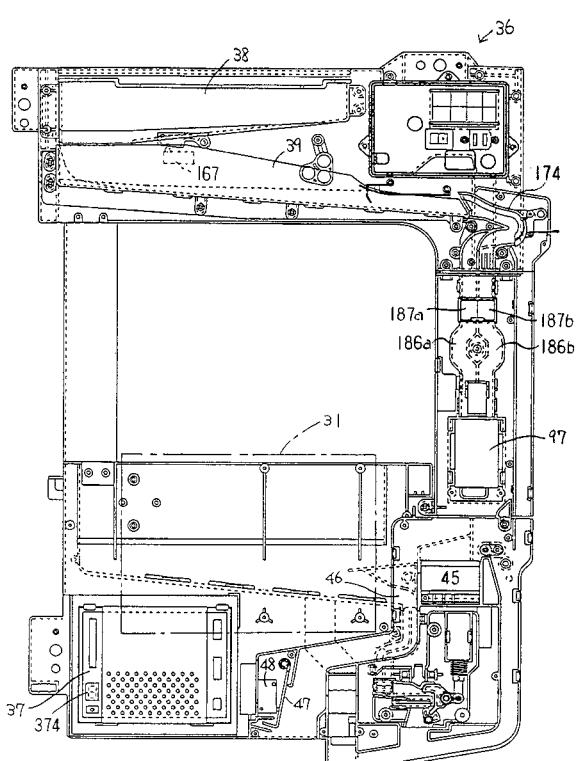
【 図 1 】



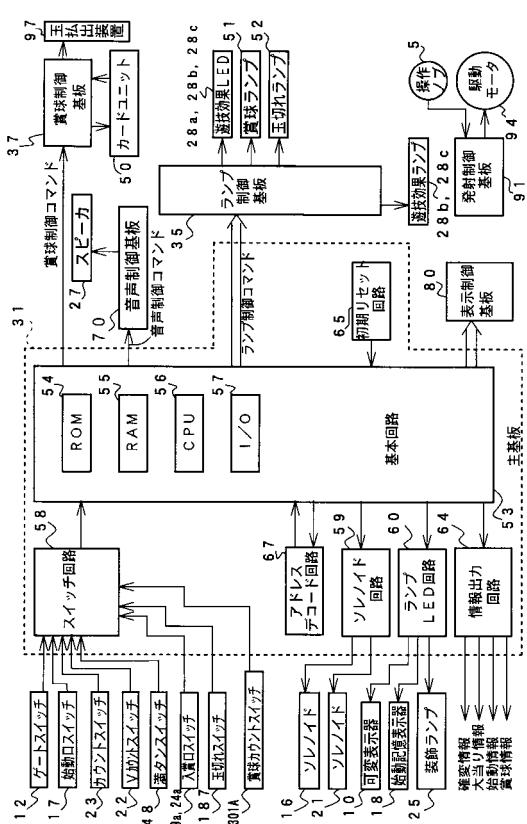
【 図 2 】



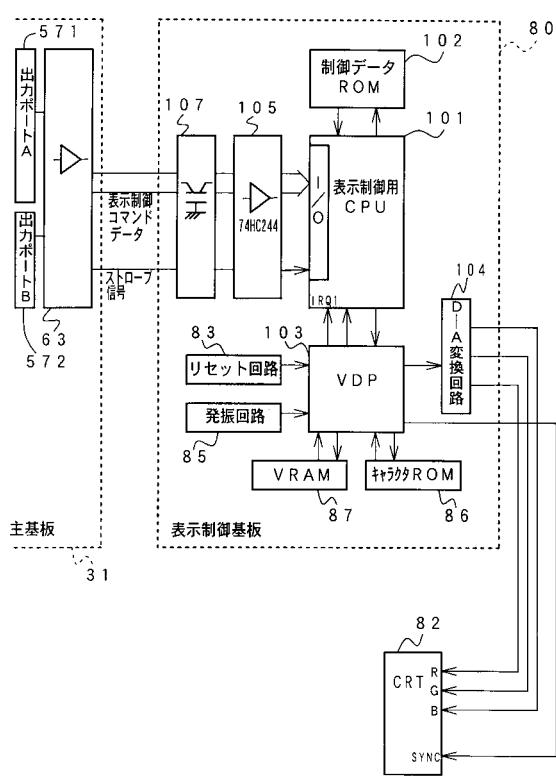
【 図 3 】



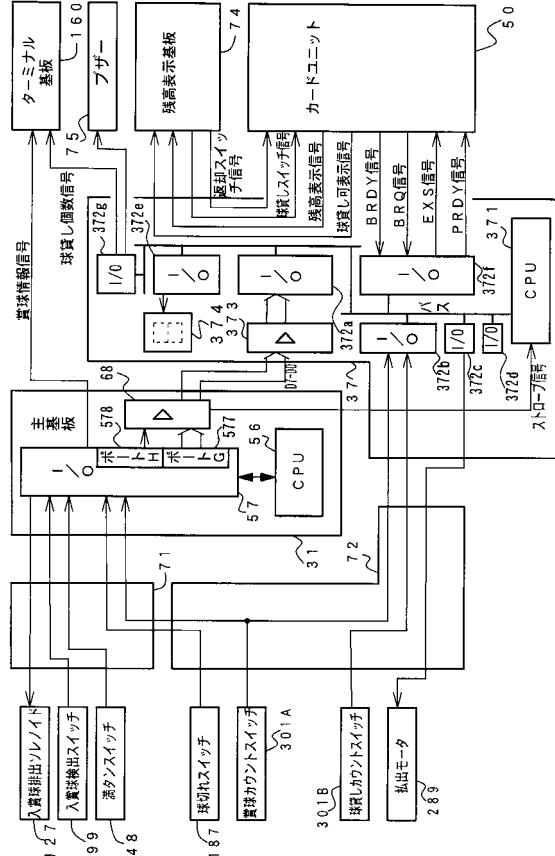
【 図 4 】



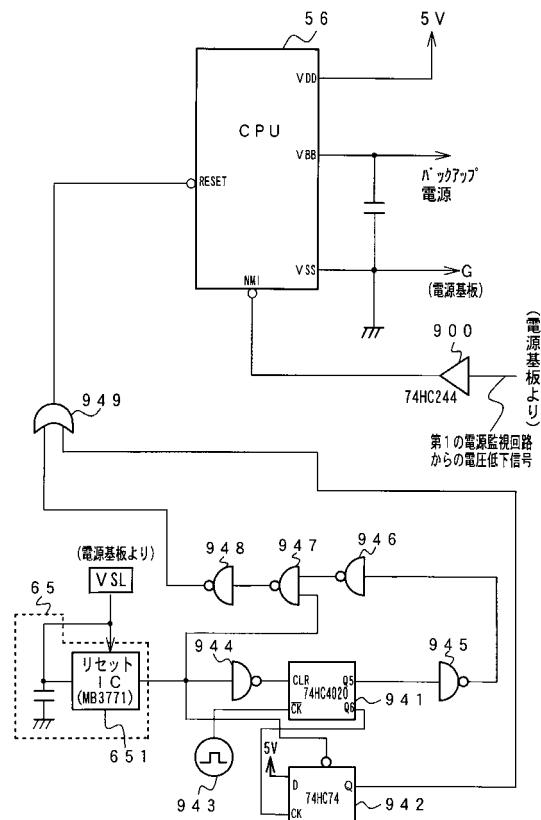
【図5】



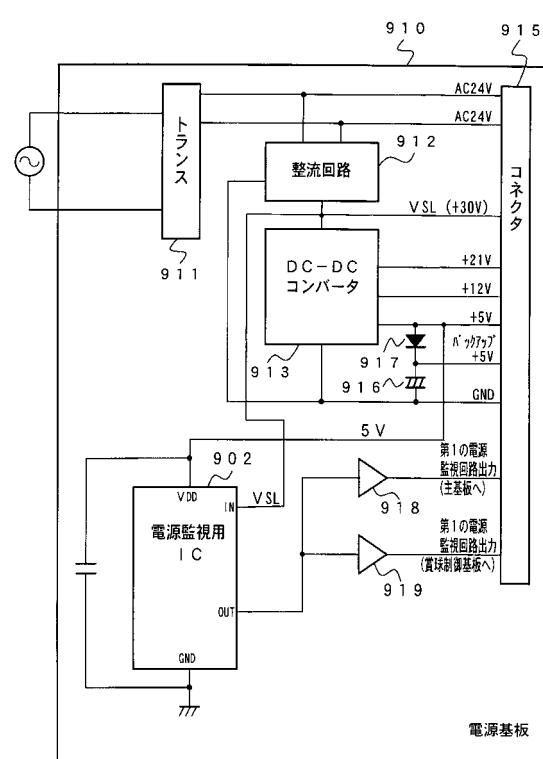
【図6】



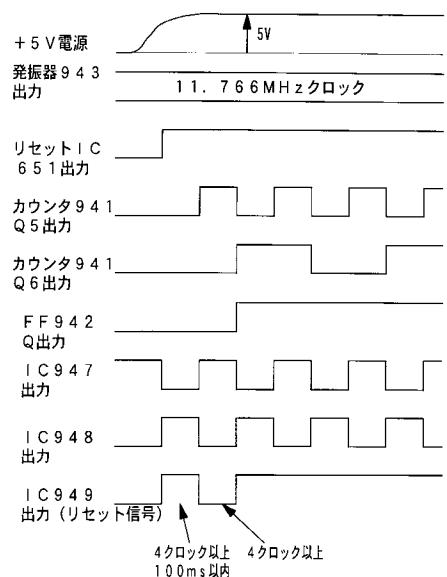
【図7】



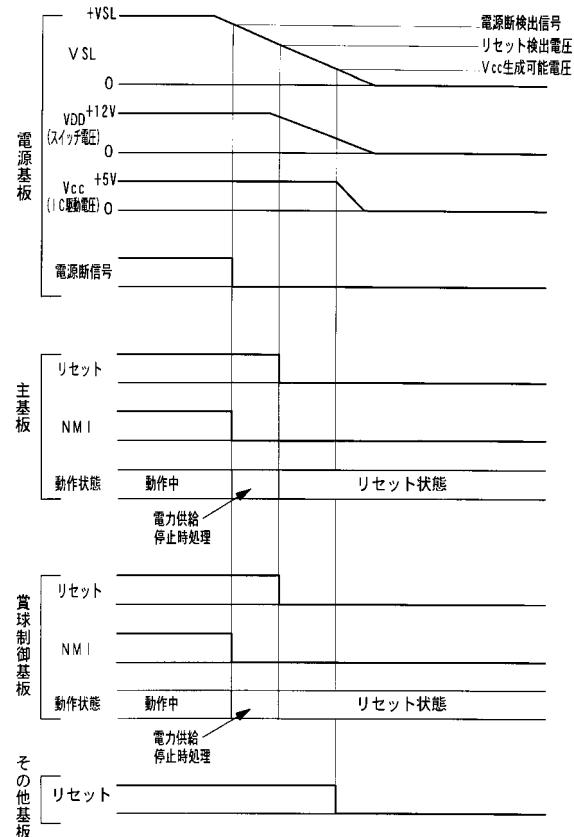
【図8】



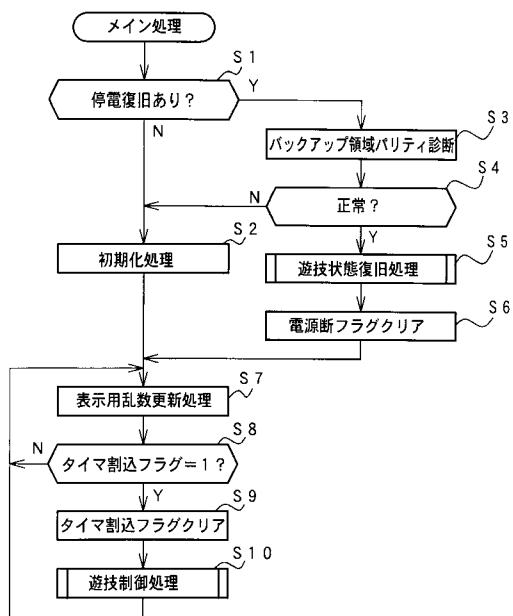
【図9】



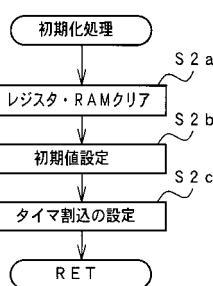
【図10】



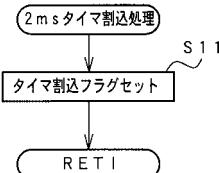
【図11】



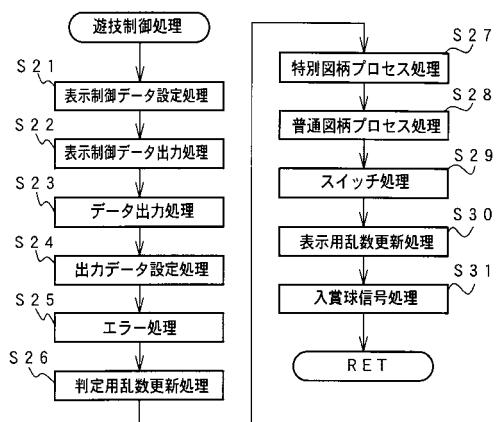
【図12】



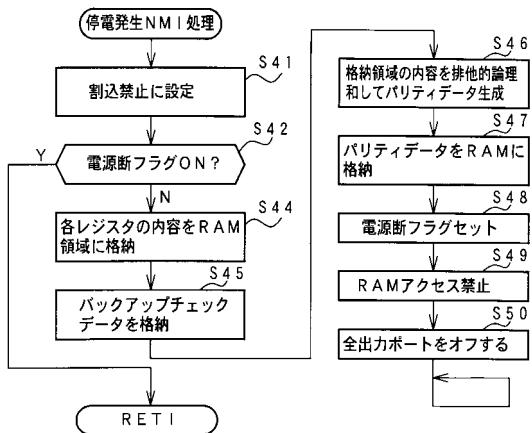
【図13】



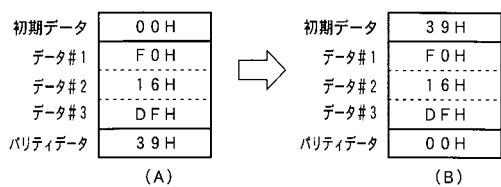
【図14】



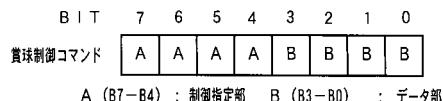
【図15】



【図16】



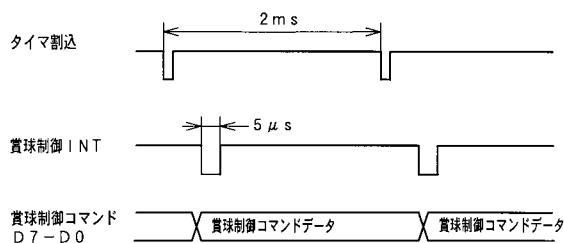
【図17】



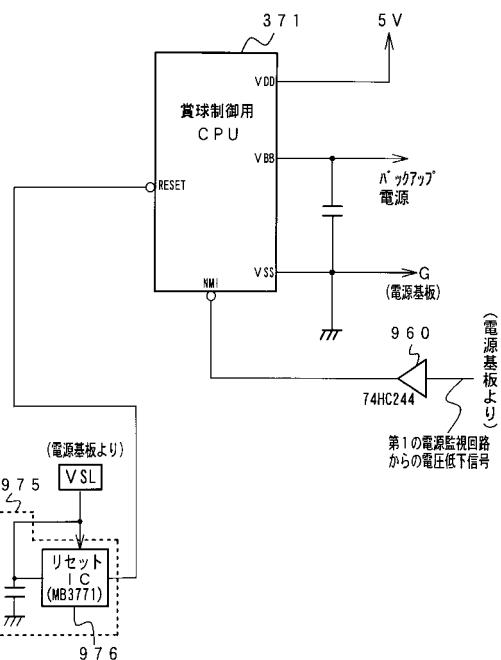
【図18】

制御指定	ビット			
	7	6	5	4
払出個数指定	0	1	0	0
払出停止指定	1	0	0	0
払出停止解除指定	1	0	1	0

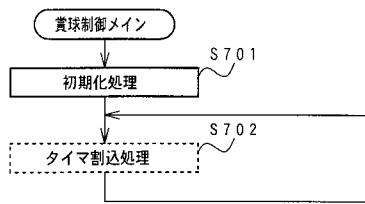
【図19】



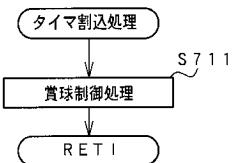
【図20】



【図21】



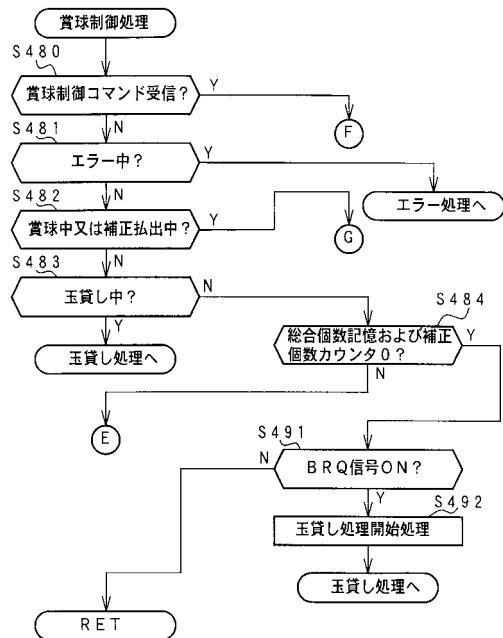
【図22】



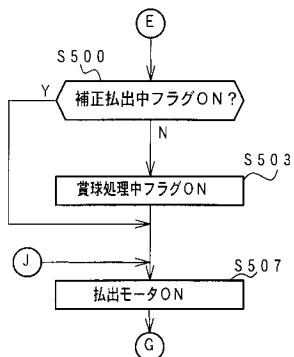
【図23】



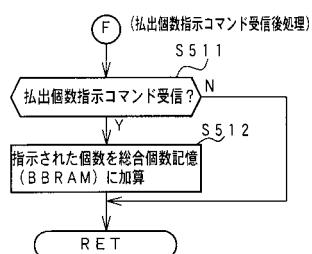
【図24】



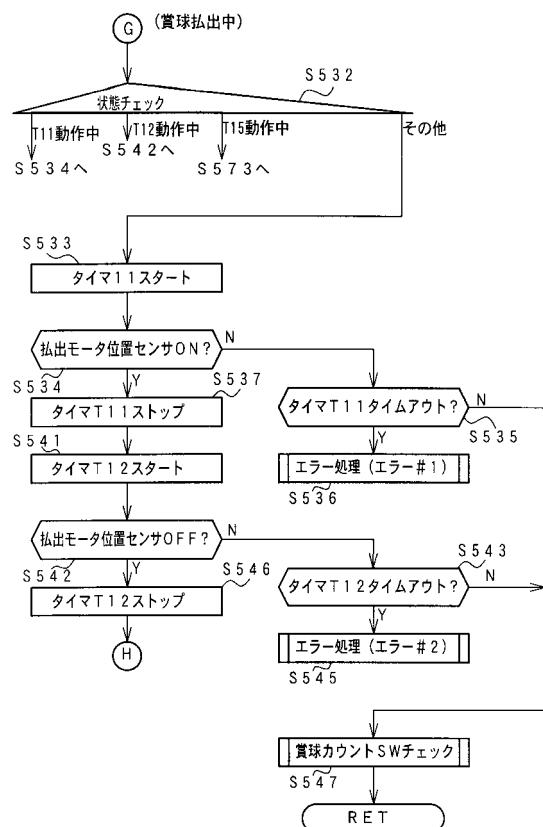
【図25】



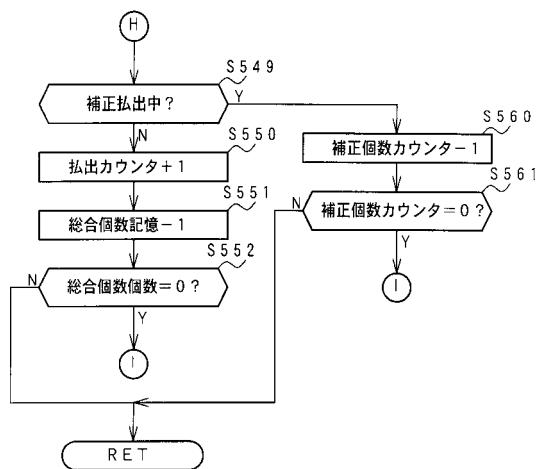
【図26】



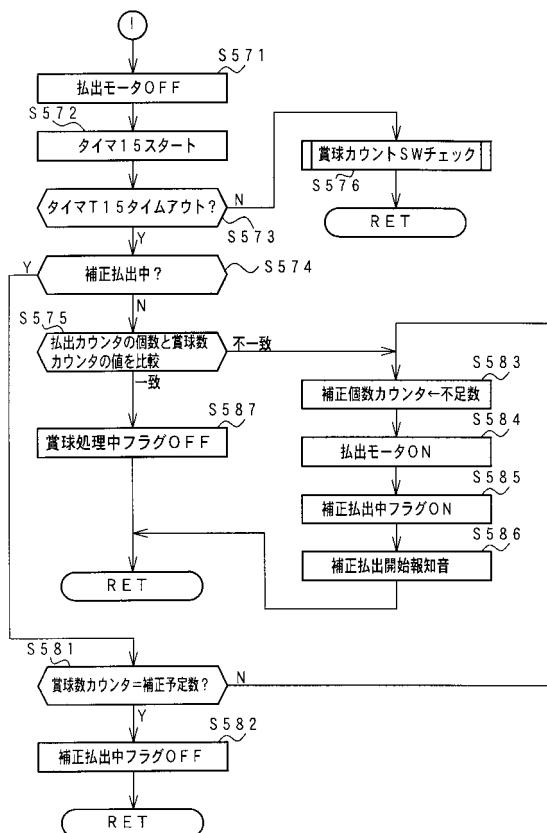
【図27】



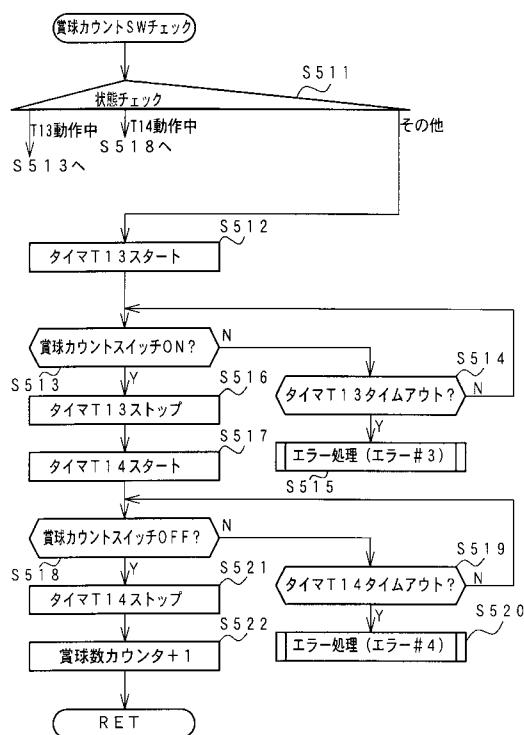
【図28】



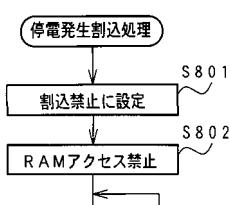
【図29】



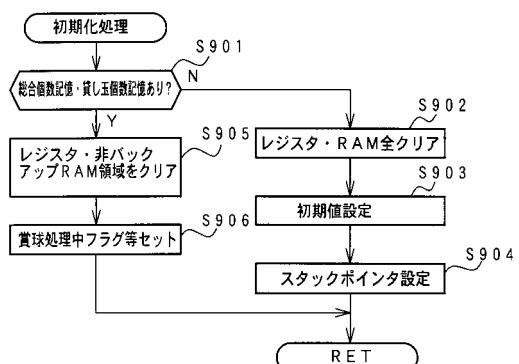
【図30】



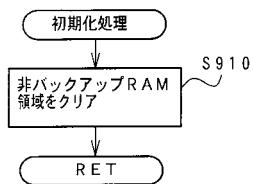
【図31】



【図32】



【図 3 3】



---

フロントページの続き

(72)発明者 福田 隆  
群馬県桐生市境野町6丁目460番地 株式会社三共内

(72)発明者 關根 史高  
群馬県桐生市境野町6丁目460番地 株式会社三共内

審査官 井海田 隆

(56)参考文献 特開平06-233867(JP,A)

特開平08-038714(JP,A)

特開平08-229224(JP,A)

特開平10-003331(JP,A)

特許第2582489(JP,B2)

特開平09-285619(JP,A)

(58)調査した分野(Int.Cl., DB名)

A63F 7/02