



(12) 发明专利

(10) 授权公告号 CN 101075474 B

(45) 授权公告日 2012. 02. 22

(21) 申请号 200710103315. 9

US 5848022 A, 1998. 12. 08, 全文.

(22) 申请日 2007. 05. 18

US 6233183 B1, 2001. 05. 15, 全文.

CN 1159058 A, 1997. 09. 10, 全文.

(30) 优先权数据

2006-138839 2006. 05. 18 JP

审查员 尹剑峰

(73) 专利权人 富士通半导体股份有限公司

地址 日本神奈川县横浜市

(72) 发明人 池田仁史

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 张龙哺

(51) Int. Cl.

G11C 7/10(2006. 01)

G11C 11/406(2006. 01)

(56) 对比文件

CN 1152176 A, 1997. 06. 18, 全文.

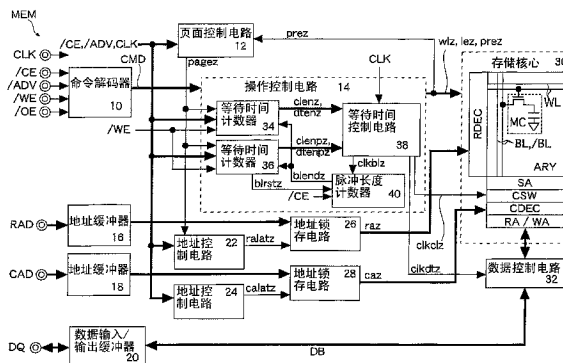
权利要求书 3 页 说明书 12 页 附图 14 页

(54) 发明名称

半导体存储器及其操作方法

(57) 摘要

本发明提供一种半导体存储器及其操作方法。该半导体存储器中的操作控制电路，在芯片使能信号激活期间，根据第一存取命令的接收执行第一存取操作，并在芯片使能信号激活期间，根据下一个存取命令的接收，在比第一存取操作更短的时间内执行对存储核心进行存取的第二存取操作。因此，通过在相同的存取端子处接收相同的存取命令，就能够执行存取时间不同的两种类型的存取操作。无需在对半导体存储器进行存取的控制器等器件中形成专用端子，以在两种类型的操作之间进行区分。第一与第二存取操作的选择性使用提高了半导体存储器的操作效率。因此，能够提高半导体存储器的操作效率而无需增加整合半导体存储器的系统的成本。



1. 一种半导体存储器,包括:

存储核心,具有多个存储单元以及与所述存储单元连接的字线和位线;

使能端子,接收允许对所述存储核心进行存取的芯片使能信号;

命令端子,接收对所述存储核心执行存取操作的存取命令;

地址端子,根据所述存取命令一次性接收地址,该地址指示要进行存取的存储单元;以

及

操作控制电路,在所述芯片使能信号激活期间,在接收到正常存取命令时执行正常存取操作,并在接收到页面存取命令时执行页面存取操作,所述页面存取操作在比所述正常存取操作更短的时间内对所述存储核心进行存取,其中所述操作控制电路具有:

第一等待时间计数器,在接收到所述正常存取命令时计数对应于第一等待时间的时钟数目,并在对应于所述第一等待时间的时钟数目的计数之后激活正常使能信号;

第二等待时间计数器,在接收到所述页面存取命令时计数对应于第二等待时间的时钟数目,并在对应于所述第二等待时间的时钟数目的计数之后激活页面使能信号;以及

等待时间控制电路,在所述正常使能信号或所述页面使能信号的激活期间输出数据控制信号。

2. 根据权利要求 1 所述的半导体存储器,还包括接收时钟的时钟端子,其中:

所述操作控制电路在所述正常存取操作中将等待时间设定为所述第一等待时间,并在所述页面存取操作中将所述等待时间设定为短于所述第一等待时间的所述第二等待时间,所述等待时间是从接收到所述存取命令直到输入/输出数据为止的时钟数目。

3. 根据权利要求 2 所述的半导体存储器,还包括数据输入/输出电路,其根据所述数据控制信号将数据从所述存储核心输入以及将数据输出至所述存储核心,其中:

所述操作控制电路在所述正常存取操作中对应于所述第一等待时间产生所述数据控制信号,而在所述页面存取操作中对应于所述第二等待时间产生所述数据控制信号。

4. 根据权利要求 1 所述的半导体存储器,还包括页面控制电路,该页面控制电路响应所述正常存取命令而激活页面信号,并响应所述芯片使能信号的解除激活而将所述页面信号解除激活,其中:

所述第一等待时间计数器在所述页面信号解除激活期间工作,而所述第二等待时间计数器在所述页面信号激活期间工作。

5. 根据权利要求 2 所述的半导体存储器,还包括多个存储体,其中每个存储体均具有所述存储核心、所述操作控制电路及数据输入/输出电路,该数据输入/输出电路根据数据控制信号将数据从所述存储核心输入以及将数据输出至所述存储核心,所述多个存储体能够彼此独立地操作,其中:

响应下一个要进行存取的存储体具有的操作控制电路的数据控制信号的输出,当前要进行存取的存储体具有的操作控制电路首先停止输出数据控制信号。

6. 根据权利要求 5 所述的半导体存储器,还包括:

预充电端子,接收自动预充电信号;以及

存储体地址端子,接收用于选择所述多个存储体其中之一的存储体地址,其中:

对应于所述存储体地址的所述操作控制电路响应在所述预充电端子处接收的所述自动预充电信号,输出用于将所述位线预充电的预充电信号。

7. 根据权利要求 2 所述的半导体存储器,其中所述第一等待时间和所述第二等待时间至少其中之一在写存取操作与读存取操作中是不同的。

8. 根据权利要求 1 所述的半导体存储器,还包括;

行地址输入电路,仅与所述正常存取命令同步地接收用于选择所述字线的行地址,并将所接收的行地址输出到所述存储核心;以及

列地址输入电路,分别与所述正常存取命令以及所述页面存取命令同步地接收用于选择所述位线的列地址,并将所接收的列地址输出到所述存储核心。

9. 根据权利要求 1 所述的半导体存储器,还包括接收自动预充电信号的预充电端子,其中:

所述操作控制电路响应在所述预充电端子处接收的所述自动预充电信号,或响应所述芯片使能信号的解除激活,而输出用于将所述位线预充电的预充电信号。

10. 根据权利要求 1 所述的半导体存储器,其中:

在所述正常存取操作中,执行行操作和列操作,所述行操作响应所述存取命令而激活所述字线以读取所述位线上的数据,所述列操作用于将在所述位线上读取的数据输出到外部;以及

在所述页面存取操作中,仅执行所述列操作。

11. 一种半导体存储器的操作方法,包括以下步骤:

接收允许对存储核心进行存取的芯片使能信号,所述存储核心具有多个存储单元以及与所述多个存储单元连接的字线和位线;

接收用以对所述存储核心进行存取操作的存取命令;

响应所述存取命令一次性接收地址,该地址指示要进行存取的存储单元;以及

在允许对所述存储核心进行存取的所述芯片使能信号激活期间,在接收到正常存取命令时执行正常存取操作,而在接收到页面存取命令时执行页面存取操作,所述页面存取操作在存取时间上短于所述正常存取操作。

12. 根据权利要求 11 所述的半导体存储器的操作方法,其中:

在所述正常存取操作中,将等待时间设定为第一等待时间,所述等待时间是从接收到所述存取命令直到输入/输出数据为止的时钟数目;以及

在所述页面存取操作中,将所述等待时间设定为短于所述第一等待时间的第二等待时间。

13. 根据权利要求 12 所述的半导体存储器的操作方法,还包括以下步骤:

根据数据控制信号将数据从所述存储核心输入以及将数据输出至所述存储核心,其中,所述半导体存储器包括多个存储体,其中每个存储体均具有所述存储核心和操作控制电路并且所述多个存储体能够彼此独立地操作;以及

响应下一个要进行存取的存储体具有的操作控制电路的数据控制信号的输出,当前要进行存取的存储体具有的操作控制电路首先停止输出数据控制信号。

14. 根据权利要求 13 所述的半导体存储器的操作方法,其中:

对应于存储体地址的所述操作控制电路响应在预充电端子处接收的自动预充电信号,输出用以预充电所述位线的预充电信号,所述存储体地址在存储体地址端子处被接收并用以选择所述多个存储体的其中之一。

15. 根据权利要求 12 所述的半导体存储器的操作方法,其中:
所述第一等待时间和所述第二等待时间至少其中之一在写存取操作与读存取操作中是不同的。
16. 根据权利要求 11 所述的半导体存储器的操作方法,还包括以下步骤:
仅与所述正常存取命令同步地接收用于选择所述字线的行地址,并将所接收的行地址输出到所述存储核心;以及
分别与所述正常存取命令和所述页面存取命令同步地接收用于选择所述位线的列地址,并将所接收的列地址输出到所述存储核心。
17. 根据权利要求 11 所述的半导体存储器的操作方法,还包括以下步骤:
响应在预充电端子处接收的自动预充电信号,或响应所述芯片使能信号的解除激活,而输出将所述位线预充电的预充电信号。
18. 根据权利要求 11 所述的半导体存储器的操作方法,其中:
在所述正常存取操作中,执行行操作和列操作,所述行操作响应所述存取命令而激活所述字线以读取所述位线上的数据,而所述列操作用于将在所述位线上读取的数据输出到外部;以及
在所述页面存取操作中,仅执行所述列操作。

半导体存储器及其操作方法

技术领域

[0001] 本发明涉及一种半导体存储器,其具有 DRAM 存储单元和 SRAM 接口。

背景技术

[0002] 近年来,开发了一种被称为伪静态随机存取存储器(Pseudo-SRAM)的半导体存储器。伪静态随机存取存储器具有 DRAM(动态存储单元)存储单元,并作为内部和自动执行存储单元刷新操作的 SRAM 工作。伪静态随机存取存储器中所使用的动态存储单元具有小面积。出于这一原因,能够开发出具有低位成本的大容量伪静态随机存取存储器。

[0003] 伪静态随机存取存储器具有 SRAM 接口。与存取命令同步,一次性接收地址并执行写存取操作和读存取操作。对伪静态随机存取存储器进行存取的控制器在每次地址改变时需要解除激活芯片使能信号。所以,伪静态随机存取存储器不能在保持一部分地址的同时连续地执行写存取操作或读存取操作。出于这一原因,特别是当使用连续地址顺序地存取存储单元时,数据传送速率将会下降。

[0004] 另一方面,提出了这样一种伪静态随机存取存储器:当使用伪静态随机存取存储器中的连续地址顺序地存取存储单元的时候,该伪静态随机存取存储器响应专用控制信号,执行所谓页面操作(例如日本未审查专利申请 No. 2004-259318)。此处,页面操作是一种在字线激活的同时通过仅改变列地址,而将数据顺序地写到存储单元的操作,或从存储单元顺序地读取数据的操作。通过执行页面操作,提高了伪静态随机存取存储器的操作效率并增大了数据传送速率。

[0005] 然而,当使用专用控制信号执行页面操作时,对伪静态随机存取存储器进行存取的控制需要输出专用控制信号。这样就不允许使用传统的控制器,而需要针对能够执行页面操作的伪静态随机存取存储器开发专用控制器。结果,包括半导体存储器的系统的成本将会增加。

发明内容

[0006] 本发明的一个目的是提高半导体存储器的操作效率而不增加系统成本。

[0007] 在本发明的一个方案中,半导体存储器接收允许对存储核心进行存取的芯片使能信号、接收用于对存储核心执行存取操作的存取命令并根据存取命令一次性接收地址,该地址指示要进行存取的存储单元。在芯片使能信号激活期间,操作控制电路接收到第一存取命令时执行第一存取操作。在芯片使能信号激活期间,操作控制电路接收到下一个存取命令时执行第二存取操作。第二存取操作在对存储核心进行存取的时间上短于第一存取操作。出于这一原因,通过在相同的存取端子处接收相同的存取命令,能够执行具有不同存取时间的两种类型的存取操作。无需在对半导体存储器进行存取的控制或类似器件中形成专用端子,以在两种类型的操作之间进行区分。也就是说,无需改变硬件,例如控制器。选择性地使用第一与第二存取操作提高了半导体存储器的操作效率。结果,能够提高半导体存储器的操作效率而不增加整合半导体存储器的系统的成本。

[0008] 在本发明的一个方案的优选实例中,每个存储体 (bank) 具有存储核心、操作控制电路、及响应数据控制信号而将数据输入 / 输出于存储核心的数据输入 / 输出电路,并且这些元件彼此独立地操作。响应下一个要进行存取的存储体具有的操作控制电路的数据控制信号的输出,当前要进行存取的存储体具有的操作控制电路首先停止输出所述数据控制信号。出于这一原因,即使当多个存储体同时操作时,也能将数据输入 / 输出而不发生冲突。而且能够提高具有多个存储体的半导体存储器的操作效率而无需形成专用端子。

[0009] 本发明的有益效果:根据本发明能够提高半导体存储器的操作效率而不增加系统成本。

附图说明

[0010] 结合附图阅读以下详细描述,本发明的本质、原理及实用性将变得更为明显,附图中相同的部分用相同的附图标号来指代,其中:

[0011] 图 1 为示出本发明第一实施例的框图;

[0012] 图 2 为示出图 1 中所示的页面控制电路和地址控制电路的细节的框图;

[0013] 图 3 为示出图 1 中所示的页面控制电路和地址控制电路的操作的时间图;

[0014] 图 4 为示出第一实施例的 FCRAM 的操作的状态转移图;

[0015] 图 5 为示出第一实施例的 FCRAM 的写存取操作的时间图;

[0016] 图 6 为示出第一实施例的 FCRAM 的读存取操作的时间图,;

[0017] 图 7 为示出本发明第二实施例的框图;

[0018] 图 8 为示出图 7 中所示的自动预充电控制电路和预充电控制电路的细节的框图;

[0019] 图 9 为示出第二实施例的 FCRAM 的写存取操作的时间图;

[0020] 图 10 为示出第二实施例的 FCRAM 的读存取操作的时间图;

[0021] 图 11 为示出本发明第三实施例的框图;

[0022] 图 12 为示出图 11 中所示的操作控制电路的细节的框图;

[0023] 图 13 为示出第三实施例的 FCRAM 的存取操作的时间图;以及

[0024] 图 14 为示出本发明第四实施例的框图。

具体实施方式

[0025] 以下利用附图来描述本发明的各实施例。附图中以粗线示出的信号线包括多条线。而且,与粗线连接的一部分方框包括多个电路。对于用以传送信号的信号线,采用与信号名称相同的符号。以“/”开始的信号表示负逻辑。以“Z”结束的信号表示正逻辑。附图中的双圆圈表示外部端子。

[0026] 图 1 示出本发明的第一实施例。半导体存储器 MEM 是时钟同步型的快速周期随机存储器 (Fast Cycle RAM,FCRAM),其例如与外部时钟 CLK 同步操作。FCRAM 是具有 DRAM 存储单元并具有 SRAM 接口的伪静态随机存取存储器。存储器 MEM 具有命令解码器 10、页面控制电路 12、操作控制电路 14、地址缓冲器 16 和 18、数据输入 / 输出缓冲器 20、地址控制电路 22 和 24、地址锁存电路 26 和 28、存储核心 30、及数据控制电路 32。FCRAM 在时钟端子处接收时钟 CLK,并经由未示于图中的时钟缓冲器将所接收的时钟 CLK 提供给每个电路块。

[0027] 虽未明确地示于图中,FCRAM 具有:刷新计时器,该刷新计时器周期性地产生刷

新请求；地址计数器，该地址计数器响应刷新请求，顺序地产生刷新地址；以及刷新控制电路，用于在存储核心 30 的非操作周期期间（芯片使能信号 /CE 的解除激活周期中）执行刷新操作。刷新控制电路也作为仲裁器工作，该仲裁器确定外部存取请求与刷新请求之间的优先级。存储单元 MC 需要在预定周期内被刷新以便保存数据。出于这一原因，按照电气规范来预设芯片使能信号 /CE 的激活周期的最大值。因为本发明与刷新操作不直接相关，所以略去刷新操作的细节。

[0028] 命令解码器 10 输出命令，该命令对应于芯片使能信号 /CE、地址有效信号 /ADV、写使能信号 /WE 及输出使能信号 /OE 的逻辑电平而被识别为对存储核心 30 执行存取操作的存取命令 CMD。存取命令 CMD 包括写存取命令、读存取命令以及类似命令。芯片使能信号 /CE 是允许对存储核心 30 进行存取的使能信号。芯片使能端子 /CE 起到用于接收使能信号的使能端子的作用。地址有效端子 /ADV、写使能端子 /WE、及输出使能端子 /OE 起到用于接收存取命令的命令端子的作用。在以下描述中，举例来说，也将芯片使能信号 /CE 称为 /CE 信号，并将写使能信号 /WE 称为 /WE 信号。

[0029] 页面控制电路 12 与 CLK 信号同步，在 /CE 信号和 /ADV 信号被激活到低电平的同时将页面信号 pagez 激活到高电平，并且与激活预充电信号 prez 同步地将页面信号 pagez 解除激活到低电平。预充电信号 prez 是响应 /CE 信号的解除激活而被激活的信号，以便将下面描述的位线 BL 和 /BL 设定到预充电电压。因此，在 /CE 信号激活期间，页面信号 pagez 响应第一存取命令而被激活为高电平，且在 /CE 信号激活期间保持在高电平处，并响应 /CE 信号的解除激活而被解除激活到低电平。使用页面信号 pagez，为的是在 /CE 信号激活期间所提供的的第一存取命令（正常存取命令）与第二及后续的存取命令（页面存取命令）之间进行区分，如下所述。

[0030] 操作控制电路 14 具有第一等待时间计数器 34 和第二等待时间计数器 36、等待时间控制电路 38、及脉冲长度 (burst length) 计数器 40。第一等待时间计数器 34 当 pagez 信号处于低电平时进行操作，并且是用于确定正常列使能信号 clen_z 和正常数据使能信号 dtenz 的激活时机（时钟周期的数目）的计数器。第二等待时间计数器 36 当 pagez 信号处于高电平时进行操作，并且是用于确定页面列使能信号 clen_{pz} 和页面数据使能信号 dtenz_{pz} 的激活时机（时钟周期的数目）的计数器。等待时间计数器 34 和 36 预设与来自脉冲长度计数器 40 的脉冲结束信号的激活同步的计数器值。clenz 信号、dtenz 信号、clenz_{pz} 信号及 dtenz_{pz} 信号与计数器值的预设同步解除激活。

[0031] 等待时间控制电路 38 在 clen_z 信号或 clen_{pz} 信号激活期间与时钟 CLK 同步地输出列时钟信号 clk_{clz}（列控制信号、数据控制信号），并在 dtenz 信号和 dtenz_{pz} 信号激活期间与时钟 CLK 同步地输出数据时钟信号 clk_{dtz}（数据控制信号）。脉冲时钟信号 clk_{blz} 与列时钟信号 clk_{clz} 同步输出。

[0032] 脉冲长度计数器 40 在 /CE 信号激活期间与来自等待时间控制电路 38 的 clk_{blz} 信号同步地执行计数操作，并且当所计时钟的数目对应于预定脉冲长度时输出 blend_z 信号（脉冲信号）。脉冲长度计数器 40 与来自等待时间计数器 36 的 blrstz 信号同步地预设计数器值。此处，脉冲长度是响应一个写存取命令在数据端子 DQ 处接收的输入数据的次数和响应一个读存取命令从数据端子 DQ 输出的输出数据的次数。通过改变图中未示的配置寄存器的设定值，例如可将脉冲长度设定成“2”、“4”、“8”其中任一个。

[0033] 地址缓冲器 16 接收行地址 RAD 并将所接收的地址 RAD 输出至地址锁存电路 26。地址缓冲器 18 接收列地址 CAD, 并将所接收的地址 CAD 输出至地址锁存电路 28。本实施例的 FCRAM 为地址非多路复用型的半导体存储器, 其在彼此不同的地址端子 RAD 及 CAD 处一次性接收行地址 RAD 和列地址 CAD。数据输入 / 输出缓冲器 20 经由数据端子 DQ 接收写数据并将所接收的数据输出到数据总线 DB。而且, 数据输入 / 输出缓冲器 20 经由数据总线 DB 从存储单元 MC 接收读数据, 并将所接收的数据输出到数据端子 DQ。

[0034] 当页面信号 pagez 解除激活而 /CE 信号和 /ADV 信号激活时, 地址控制电路 22 与 CLK 信号同步地输出行地址锁存信号 ralatz (脉冲信号)。也就是说, 在 /CE 信号激活之后, ralatz 信号是仅响应作为第一存取命令的正常存取命令而输出的。当 /CE 信号和 /ADV 信号被激活到低电平时, 地址控制电路 24 与 CLK 信号同步地输出列地址锁存信号 calatz (脉冲信号)。也就是说, calatz 信号是响应每个存取命令 (正常存取命令和页面存取命令) 而输出的。

[0035] 地址锁存电路 26 (行地址输入电路) 与 ralatz 信号同步地锁存行地址 RAD (行地址 RAD 是从地址缓冲器 16 提供的), 并将锁存的地址作为内部行地址 raz 输出到行解码器 RDEC。提供行地址 RAD 为的是选择字线 WL。地址锁存电路 28 (列地址输入电路) 与 calatz 信号同步地锁存列地址 CAD (列地址 CAD 是从地址缓冲器 18 提供的), 并将锁存的地址作为内部列地址 caz 输出到列解码器 CDEC。提供列地址 CAD 为的是选择位线 BL 和 /BL。

[0036] 存储核心 30 具有行地址解码器 RDEC、列地址解码器 CDEC、感测放大器 SA、列开关 CSW、读出放大器 RA、写入放大器 WA、及存储单元阵列 ARY。存储单元阵列 ARY 包括动态存储单元 MC 以及连接到动态存储单元 MC 的字线 WL 和位线对 BL 及 /BL。存储单元 MC 形成于字线 WL 与位线对 BL 及 /BL 之间的相交处。

[0037] 行地址解码器 RDEC 将来自地址锁存电路 26 的行地址 raz 解码, 以便选择其中任一条字线 WL。列地址解码器 CDEC 将来自地址锁存电路 28 的列地址 caz 解码, 以便以对应于数据端子 DQ 的位数的数目来选择位线对 BL 及 /BL。感测放大器 SA 将读出到位线对 BL 及 /BL 的数据信号的信号量差值进行放大。列开关 CSW 与 clkclz 信号 (脉冲信号) 同步地将对应于列地址 caz 的位线 BL 及 /BL 连接到读出放大器 RA 和写入放大器 WA。列开关 CSW 作为数据输入 / 输出电路工作, 对应于 clkclz 信号至 / 从存储核心 30 输入 / 输出数据于。

[0038] 读出放大器 RA 在读存取操作期间将经由列开关 CSW 输出的补充读数据放大。写入放大器 WA 在写存取操作期间将经由数据总线 DB 提供的补充写数据放大, 并提供至位线对 BL 及 /BL。

[0039] 数据控制电路 32 在写存取操作期间与 clkdtz 信号同步地锁存在数据端子 DQ 处顺序接收的写数据, 并将锁存的数据输出至存储核心 30。而且, 数据控制电路 32 在读存取操作期间与 clkdtz 信号同步地锁存从存储核心 30 输出的读数据, 并将锁存的数据输出到数据总线 DB。数据控制电路 32 作为数据输入 / 输出电路工作, 对应于 clkdtz 信号至 / 从存储核心 30 输入 / 输出数据。

[0040] 图 2 示出图 1 中所示的页面控制电路 12 和地址控制电路 22、24 的细节。页面控制电路 12 包括延迟电路 DLY1、触发器 FF1、CMOS 转移栅 TG1、锁存电路 LT1 及连接到这些电路的逻辑门。触发器 FF1 设定成与存取命令 (CLK = 高逻辑电平, 而 /ADV 和 /CE = 低逻辑电平) 同步, 并预设成与一信号同步, 该信号就是被延迟电路 DLY1 延迟的预充电信号 prez。

CMOS 转移栅 TG1 在时钟 CLK 的低电平周期期间将触发器 FF1 的输出传送到锁存电路 LT1。锁存电路 LT1 锁存触发器 FF1 的输出,并将锁存的逻辑电平作为 pagez 信号输出。

[0041] 地址控制电路 22 包括:脉冲发生器 PLS1,其与时钟 CLK 的上升沿同步地产生负脉冲信号;“与”门电路 AND1,其具有检测正常存取命令的三个输入;以及“或非”门,其当检测到正常存取命令时与负脉冲信号同步地输出 ralatz 信号。地址控制电路 24 包括用以替换地址控制电路 22 中的“与”门电路 AND1 的“与”门电路 AND2,其仅具有两个输入。也就是说,地址控制电路 24 是通过从地址控制电路 22 的逻辑中删去 pagez 信号的逻辑而形成的。当检测到正常存取命令和页面存取命令时,地址控制电路 24 与时钟 CLK 的上升沿同步地输出 calatz 信号。

[0042] 图 3 示出图 1 中所示的页面控制电路 12 和地址控制电路 22、24 的操作。图 3 示出写存取操作和读存取操作中中共有的操作。首先,与第一时钟 CLK 同步,激活 /CE 信号并提供第一存取命令(图 3 中的(a))。因为此时 pagez 信号被解除激活到低电平(图 3 中的(b)),所以此命令是正常存取命令。页面控制电路 12 响应正常存取命令的提供而激活 pagez 信号(图 3 中的(c))。

[0043] 因为上述正常存取命令,所以地址控制电路 22 和 24 均工作,并且 ralatz 信号和 calatz 信号激活大约半个时钟周期(图 3 中的(d)、图 3 中的(e))。图 1 中所示的地址锁存电路 26 与 ralatz 信号同步地锁存行地址 RAD(A)(图 3 中的(f))。地址锁存电路 28 与 calatz 信号同步地锁存列地址 CAD(B)(图 3 中的(g))。然后,执行正常写存取操作或正常读存取操作。

[0044] 接下来,与第五时钟 CLK 同步,提供第二存取命令(图 3 中的(h))。因为此时 pagez 信号被激活到高电平,所以这个命令是页面存取命令。因此,仅 calatz 信号被激活而 ralatz 信号不被激活。然后,与 calatz 信号同步,锁存列地址 CAD(C)(图 3 中的(i)),并且执行页面写存取操作或页面读存取操作。因为防止了行地址 RAD 响应页面存取命令的提供而被锁存,所以能够防止在页面操作期间行地址 RAD 改变以及 FCRAM 误动作。

[0045] 随后,与第六和第九时钟 CLK 同步,分别提供第三和第四存取命令(图 3 中的(j)、图 3 中的(k))。因为 pagez 信号被激活到高电平,所以这些命令是页面存取命令。通过这种方式,在 /CE 信号激活期间连续地提供的存取命令被识别为除第一存取命令之外的页面存取命令。出于这一原因,与 calatz 信号同步,仅分别激活 calatz 信号,并锁存列地址 CAD(D、E)(图 3 中的(l),图 3 中的(m))。

[0046] 接下来,在第十一时钟周期期间解除激活 /CE 信号(图 3 中的(n))。与 /CE 信号的解除激活同步,激活 prez 信号并执行预充电操作(图 3 中的(o))。图 2 中所示的页面控制电路 12 响应 prez 信号的激活而将 pagez 信号解除激活(图 3 中的(p))。然后,FCRAM 的存取周期结束。

[0047] 通过这种方式,FCRAM 在 pagez 信号解除激活期间锁存行地址 RAD 和列地址 CAD,并执行正常存取操作(第一存取操作),而在 pagez 信号激活期间,FCRAM 仅接收列地址 CAD 并执行页面存取操作(第二存取操作)。在第一存取操作中,连续地执行行操作和列操作,其中行操作响应存取命令而激活字线 WL,以便将数据从存储单元 MC 读出到位线 BL 上,而列操作则经由数据端子 DQ,将读出到位线 BL 及 /BL 的数据输出到 FCRAM 的外部。另一方面,在第二存取操作中,仅执行列操作并执行所谓页面操作。上述页面操作是这样一种操作:

在激活特定字线 WL 的同时通过仅改变列地址 CAD, 将数据连续地输入 / 输出于连接到这个字线 WL 的存储单元 MC。因为通过执行页面操作能够提高对 FCRAM 的数据传送速率, 所以 FCRAM 的操作效率得到提高。

[0048] 通过监控 pagez 信号的逻辑电平, 能够用同一个存取命令执行两个存取操作。所以, 不需要在 FCRAM 中形成专用端子来执行两个操作周期。因为能够给时钟同步型的 FCRAM 页面予操作功能而无需形成专用端子, 所以不需要在对 FCRAM 进行存取的过程中形成专用端子。因为不需要重新开发控制器, 所以能够提高 FCRAM 的操作效率而无需增加具有 FCRAM 的系统的成本。

[0049] 图 4 示出第一实施例的 FCRAM 的操作状态的转变。当 /CE 信号处于高电平 H 时, FCRAM 转变到等待状态 STBY。当 /CE 信号、/ADV 信号、及 /WE 信号在等待状态 STBY 期间变为低电平 L 时, FCRAM 将检测正常写存取命令 (正常存取命令), 并转变到正常写状态 NWRS (图 4 中的 (a))。此时, FCRAM 接收行地址 RAD 和列地址 CAD, 并执行正常写存取操作。一旦在正常写状态 NWRS 期间检测到 /CE 信号的高电平 H, FCRAM 即返回到等待状态 STBY (图 4 中的 (b))。

[0050] 当 /CE 信号、/ADV 信号及 /WE 信号在正常写状态 NWRS 期间变为低电平 L 时, FCRAM 检测页面写存取命令 (页面存取命令), 并转变到页面写状态 PWRS (图 4 中的 (c))。此时, FCRAM 仅接收列地址 CAD 并执行页面写存取操作。一旦在页面写状态 PWRS 期间再次检测到页面写存取命令, FCRAM 即仅接收列地址 CAD 并执行页面写存取操作 (图 4 中的 (d))。一旦在页面写状态 PWRS 期间检测到 /CE 信号的高电平 H, FCRAM 即返回到等待状态 STBY (图 4 中的 (e))。随后将在图 5 中描述正常写存取操作和页面写存取操作的细节。

[0051] 另一方面, 当 /CE 信号、/ADV 信号、及 /OE 信号在等待状态 STBY 期间变为低电平 L 时, FCRAM 检测正常读存取命令 (正常存取命令), 并转变为正常读状态 NRDS (图 4 中的 (f))。此时, FCRAM 接收行地址 RAD 以及列地址 CAD, 并执行正常读存取操作。一旦在正常读状态 NRDS 期间检测到 /CE 信号的高电平 H, FCRAM 即返回到等待状态 STBY (图 4 中的 (g))。

[0052] 当 /CE 信号、/ADV 信号、及 /OE 信号在正常读状态 NRDS 期间变为低电平 L 时, FCRAM 检测页面读存取命令 (页面存取命令), 并转变到页面读状态 PRDS (图 4 中的 (h))。此时, FCRAM 仅接收列地址 CAD, 并执行页面读存取操作。一旦在页面读状态 PRDS 期间再次检测到页面读存取命令, FCRAM 即仅接收列地址 CAD, 并执行页面读存取操作 (图 4 中的 (i))。一旦在页面读状态 PRDS 期间检测到 /CE 信号的高电平 H, FCRAM 即返回到等待状态 STBY (图 4 中的 (j))。随后将在图 6 中描述正常读存取操作和页面读存取操作的细节。

[0053] 如图 4 所示, 在本发明中, 即使当接收同一个存取命令时, 要转变的状态不同地对应于 FCRAM 的状态。要转变成状态 NRDS 还是状态 PRDS 以及转变成状态 NWRS 还是状态 PWRS, 根据 pagez 信号的逻辑电平确定。

[0054] 图 5 示出第一实施例的 FCRAM 的写存取操作。外部信号 /CE、/ADV、CAD、及 RAD (RAD 未示于图中) 的接收时机与上面描述的图 3 中的那些信号相同, 区别在于 /CE 信号在第十一时钟周期以及其后的时钟周期中是激活的。也就是说, 在本实例中, 正常写存取命令 NWR 是与第一时钟 CLK 同步提供的, 而页面写存取命令 PWR 是与第五、第六及第九时钟 CLK 同步提供的。

[0055] 因为响应正常写存取命令 NWR 的正常写存取操作需要字线 WL 的选择操作以及感

测放大器 SA 所作的放大操作,所以写等待时间(其为从写存取命令开始直到接收到数据 DQ 为止的时钟周期的数目)需要“三个时钟(第一等待时间)”。另一方面,因为响应页面写存取命令 PWR 的页面写存取操作只需要输入/输出锁存在感测放大器 SA 中的数据,所以等待时间为“一个时钟(第二等待时间)”。脉冲长度,即写数据 DQ 的接收次数,设定为“2”,写数据 DQ 是响应一个写存取命令而在数据端子 DQ 处被接收的。

[0056] 与第一时钟 CLK 同步提供的存取命令是正常写存取命令 NWR(图 5 中的 (a))。出于这一原因,图 1 中所示用于正常存取的等待时间计数器 34 工作,而用于页面存取的等待时间计数器 36 不工作。等待时间计数器 34 在完成前面的存取操作(写存取操作或读存取操作)时,已通过 blendz 信号被预设为“0”。等待时间计数器 34 响应正常写存取命令 NWR 的接收而开始时钟 CLK 的计数操作,并在对应于正常写等待时间 NWL 的三个时钟之后激活正常使能信号 clen_z 和 dten_z(图 5 中的 (b))。

[0057] 在 clen_z 信号和 dten_z 信号激活期间,与时钟 CLK 同步,分别输出 clkcl_z 信号和 clkdt_z 信号(图 5 中的 (c)、(d))。要产生的 clkcl_z 信号和 clkdt_z 信号的脉冲数目为“2”,其对应于脉冲长度。clkcl_z 信号和 clkdt_z 信号的波形中示出的数字“0”和“1”表示脉冲长度计数器 40 的计数器值。图中示出数据 DQ 的第一次和第二次获得。写数据 DQ 是与 clkdt_z 信号的脉冲同步获得的,并输出至存储核心 30。列开关 CSW 与 clkcl_z 信号的脉冲同步接通,并且写数据 DQ 被写入到存储单元 MC。在写存取周期中,在正常存取操作与页面存取操作两种操作中,clkcl_z 信号与 clkdt_z 信号的输出时机(时钟周期)是彼此相同的。然而,列开关 CSW 与一信号即略微延迟的 clkcl_z 信号同步工作。通过利用数据控制电路 32,将列开关 CSW 的接通时机从写数据 DQ 的锁存时机略微延迟,能够确保将写数据 DQ 写入到存储单元 MC。

[0058] 在输出第二个 clkcl_z 信号的脉冲之后,输出 blendz 信号,该信号表示接收到对应于脉冲长度的数目的数据(图 5 中的 (e))。等待时间计数器 34 与 blendz 信号同步地预设计数器值,并解除激活 clen_z 信号和 dten_z 信号(图 5(f))。因此,禁止输出 clkcl_z 信号和 clkdt_z 信号,并完成对应于正常写存取命令 NWR 的数据的写存取操作。

[0059] 与第五时钟 CLK 同步提供的存取命令是页面写存取命令 PWR(图 5 中的 (g))。因此,用于图 1 中所示的页面存取的等待时间计数器 36 工作,而用于正常存取的等待时间计数器 34 不工作。等待时间计数器 36 在正常写存取操作期间通过输出的 blendz 信号而被预设为“0”。在对应于页面写等待时间 PWL 的一个时钟之后,等待时间计数器 36 响应页面写存取命令 PWR 的接收而开始时钟 CLK 的计数操作,并激活页面使能信号 clen_{pz} 和 dten_{pz}(图 5 中的 (h))。而且,在开始页面写存取操作之前,响应页面写存取命令 PWR 的接收而激活 blrstz 信号(图 5 中的 (i)),并将脉冲长度计数器 40 的计数器值预设为“0”。

[0060] 在 clen_{pz} 信号和 dten_{pz} 信号激活期间,与时钟 CLK 同步地分别输出 clkcl_z 信号和 clkdt_z 信号,并执行页面写存取操作。然而,在本实例中,与第六时钟 CLK 同步地提供一个页面写存取命令 PWR(图 5 中的 (j))。因为 clen_{pz} 信号和 dten_{pz} 信号已经是激活的,所以等待时间计数器 36 保持 clen_{pz} 信号和 dten_{pz} 信号的激活状态,直到 blendz 信号输出为止(图 5 中的 (k))。因为 blrstz 信号是响应页面写存取命令 PWR 的接收而激活的,所以脉冲长度计数器 40 的计数器值被预设为“0”(图 5 中的 (l))。因此,一旦将写数据 DQ 写到存储核心 30 之后,即中断对应于第五时钟 CLK 的写存取操作。blendz 信号不被激活,

这是因为脉冲长度计数器 40 的计数器值不是“1”(图 5 中的 (m))。

[0061] 响应对应于第六时钟 CLK 的页面写存取命令 PWR, 两次激活 clkclz 信号和 clkdtz 信号(图 5 中的 (n)), 并将写数据 DQ 写入到存储单元 MC。随后, 类似于上述页面写存取操作执行对应于第九时钟 CLK 的页面写存取操作。

[0062] 图 6 示出第一实施例的 FCRAM 的读存取操作。外部信号 /CE、/ADV、CAD 及 RAD (RAD 未示于图中) 的接收时机与以上图 3 所描述的那些信号相同, 区别在于 /CE 信号在第十一个时钟周期以及其后的时钟周期中是激活的。也就是说, 在本实例中, 正常读存取命令 NRD 是与第一时钟 CLK 同步提供的, 而页面读存取命令 PRD 是与第五、第六及第九时钟 CLK 同步提供的。

[0063] 类似于图 5 所示的写存取操作, 在响应正常读存取命令 NRD 的正常读存取操作中, 读等待时间(即从读存取命令开始直到数据 DQ 输出为止的时钟周期的数目)需要为“四个时钟(第一等待时间)”。响应页面读存取命令 PRD 的页面读存取操作的等待时间为“两个时钟(第二等待时间)”。脉冲长度, 即读数据 DQ 的输出次数, 被设定为“2”, 读数据 DQ 是响应一个读存取命令而从数据端子 DQ 输出的。略去与图 5 相同的操作的详细描述。

[0064] 响应对应于第一时钟 CLK 的正常读存取命令 NRD, 等待时间计数器 34 在两个时钟之后激活正常使能信号 clen_z, 这比正常读等待时间 NRL (=“4”) 少“两个时钟”, 并且在三个时钟之后激活正常使能信号 dtenz, 这比正常读等待时间 NRL 少“一个时钟”(图 6 中的 (a)、(b))。也就是说, clen_z 信号和 dtenz 信号是在对应于正常读等待时间 NRL 的预定数目的时钟之后激活的。

[0065] 在 clen_z 信号激活期间, 与时钟 CLK 同步地输出 clkclz 信号(图 6 中的 (c))。与 clkclz 信号同步, 接通列开关 CSW 并将锁存在感测放大器 SA 中的读数据输出到数据控制电路 32。通过类似方式, 在 dtenz 信号激活期间, 与时钟 CLK 同步地输出 clkdtz 信号(图 6 中的 (d))。然后, 与 clkdtz 信号同步, 经由数据控制电路 32 和数据输出缓冲器 20, 从数据端子 DQ 输出读数据(图 6 中的 (e))。

[0066] 在输出第二个 clkclz 信号的脉冲之后, 输出 blendz 信号(图 6 中的 (f))。与 blendz 信号同步地解除激活 clen_z 信号(图 6 中的 (g))。在输出 blendz 信号一个时钟之后, 将 dtenz 信号解除激活(图 6 中的 (h))。因此, clen_z 信号和 dtenz 信号分别在对应于脉冲长度的两个时钟周期期间是激活的。

[0067] 响应对应于第五时钟 CLK 的页面读存取命令 PRD, 等待时间计数器 36 在“0”时钟之后激活页面使能信号 clen_{pz}, 这比页面读等待时间 PRL (=“2”) 少“两个时钟”, 并在一个时钟之后激活页面使能信号 dtenz_{pz}, 这比正常读等待时间 NRL 少“一个时钟”(图 6 中的 (i)、图 6 中的 (j))。也就是说, clen_{pz} 信号和 dtenz_{pz} 信号是在对应于页面读等待时间 PRL 的预定数目的时钟之后激活的。而且, 在开始页面读存取操作之前, 响应页面读存取命令 PRD 的接收而激活 blrstz 信号(图 6 中的 (k)), 并且脉冲长度计数器 40 的计数器值预设为“0”。

[0068] clkclz 信号和 clkdtz 信号的输出以及相关的页面读存取操作与正常读存取操作的输出及相关操作相同, 区别在于对应于第六时钟 CLK 的页面读存取命令 PRD 所作的中断。blrstz 信号响应页面读存取命令 PRD 的接收而激活, 并且脉冲长度计数器 40 的计数器值预设为“0”(图 6 中的 (l))。

[0069] 响应对应于第六时钟 CLK 的页面读存取命令 PRD, 等待时间计数器 36 保持 clenpz 信号的激活状态直到输出 blendz 信号为止, 并且从 blendz 信号的输出开始直到一个时钟之后为止保持 dtenpz 信号的激活状态 (图 6 中的 (m)、(n))。然后, 在 clenpz 信号和 dtenpz 信号激活期间, 分别输出 clkclz 信号和 clkdtz 信号两次 (图 6 中的 (o)、(p)), 并通过与上面描述的类似方式, 从数据端子 DQ 输出读数据 (图 6 中的 (q))。然后, 类似于上述页面读存取操作, 执行对应于第九时钟 CLK 的页面读存取操作。

[0070] 如图 5 和图 6 所示, 正常写等待时间 NWL (= 3) 与正常读等待时间 NRD (= 4) 彼此不同, 并且页面写等待时间 PWL (= 1) 与页面读等待时间 PRD (= 2) 彼此不同。因此, 在写存取操作中与在读存取操作中, 直到 clenpz 信号被激活为止的时钟周期的数目彼此不同。而且, 在写存取操作中与在读存取操作中, 直到 clenpz 信号被激活为止的时钟周期的数目彼此不同。此外, 在读存取操作中, 直到 clenpz 信号被激活为止的时钟周期的数目与直到 dtenz 信号被激活为止的时钟周期的数目彼此不同, 而且直到 clenpz 信号被激活为止的时钟周期的数目与直到 dtenpz 信号被激活为止的时钟周期的数目彼此不同。

[0071] 如上所述, 在第一实施例中, 使用相同的存取命令而不用专用端子, 可以选择性地执行具有较多等待时间的行操作和具有较少等待时间的列操作 (页面操作)。因为无需形成专用端子即可执行页面操作, 所以能够针对 FCRAM 提高数据的传送速率。结果, 能够提高 FCRAM 的操作效率而没有增加具有 FCRAM 的系统成本。

[0072] pagez 信号是通过页面控制电路 12 响应正常存取命令 NWR、NRD 来激活的, 而等待时间计数器 34 与等待时间计数器 36 其中之一是对应于 pagez 信号的逻辑电平而选择性地工作, 并且 clkclz 信号和 clkdtz 信号是通过等待时间控制电路 38 使用正常使能信号 clenpz、dtenz 以及从等待时间计数器 34、36 输出的页面使能信号 clenpz、dtenpz 来产生的, 因而能够通过简单电路进行第一和第二存取操作的切换。因此, 通过对已经开发出来的 FCRAM 加入微小改动, 就能实现本发明的 FCRAM 并缩短了 FCRAM 的设计周期。

[0073] 接收到 pagez 信号即进行工作的地址控制电路 22 仅响应正常存取命令 NWR、NRD 输出 ralatz 信号, 来锁存行地址 RAD。换言之, 当提供页面存取命令 PWR、PRD 时, 就不输出 ralatz 信号并且不锁存行地址 RAD。所以, 能够在页面操作期间防止行地址 RAD 改变和 FCRAM 误动作。

[0074] 图 7 示出本发明的第二实施例。对于与第一实施例中所描述的元件相同的元件, 给予相同的附图标记并略去对这些元件的详细描述。在本实施例中, 将接收来自外部的具有自动预充电的写存取命令以及读存取命令的功能添加到第一实施例的 FCRAM。出于这一原因, 该 FCRAM 具有预充电端子 /PRE。而且, 形成操作控制电路 14A 以替换第一实施例的操作控制电路 14。其它结构与第一实施例相同。

[0075] 操作控制电路 14A 是通过将自动预充电控制电路 42、列计数器 44、及预充电控制电路 46 添加到第一实施例的操作控制电路 14 中形成的。一旦接收自动预充电命令, 自动预充电控制电路 42 即在前面的存取操作完成之后激活自动预充电信号 aprez。当在预充电端子 /PRE 处与页面存取命令一起接收到低电平的自动预充电信号 /PRE 时, 即识别出自动预充电命令。在此前直接执行写存取操作的时候与此前直接执行读存取操作的时候之间, aprez 信号的激活时机不同。

[0076] 列计数器 44 针对对应于每个存取命令的脉冲长度的 clkclz 信号的脉冲数目进行

计数,并对应于最后的脉冲操作,与 $clkclz$ 信号同步地输出列结束信号 $clendz$ 。具体地说,与最后的脉冲操作的前面的 $clkclz$ 信号的下降沿同步,将 $clendz$ 信号激活一个时钟周期。当 $clendz$ 信号和 $aprez$ 信号激活时,预充电控制电路 46 与 $clkclz$ 信号同步地输出 $prez$ 信号。

[0077] 图 8 示出图 7 中所示的自动预充电控制电路 42 和预充电控制电路 46 的细节。自动预充电控制电路 42 包括延迟电路 DLY3、触发器 FF2 和计数器 COUNT、以及连接到这些电路的逻辑门。触发器 FF2 被设定为与自动预充电命令 ($CLK =$ 高逻辑电平,并且 $/PRE$ 、 $/ADV$ 、 $/CE =$ 低逻辑电平) 同步,并预设与一信号同步,该信号就是被延迟电路 DLY2 延迟的预充电信号 $prez$ 。计数器 COUNT 响应触发器 FF2 的设定而对时钟的预定数目进行计数,并在计数之后输出用于激活 $aprez$ 信号的信号。在此前直接执行写存取操作的时候与此前直接执行读存取操作的时候之间,时钟的预定数目不同。因此,计数器 COUNT 通过写存取操作与读存取操作之间的 $/WE$ 信号进行区分,并确定要进行计数的时钟的数目。

[0078] 预充电控制电路 46 包括:脉冲发生器 PLS2,其与 $/CE$ 信号的上升沿同步地产生负脉冲信号;“与非”门 NA1,其检测 $clendz$ 信号、 $aprez$ 信号、及 $clkclz$ 信号的激活;以及“与非”门 NA2(负逻辑中的“或”门),其操作脉冲发生器 PLS2 的输出的“或”逻辑以及“与非”门 NA1 的输出。 $prez$ 信号与 $/CE$ 信号的上升沿或与自动预充电命令同步地输出。

[0079] 图 9 示出第二实施例的 FCRAM 的写存取操作。在本实施例中,正常写存取命令 NWR 是与第一时钟 CLK 同步提供的,而页面写存取命令 PWR 是与第五时钟 CLK 同步提供的,并且包括自动预充电命令 $APRE$ 的页面写存取命令 PWR 是与第七时钟 CLK 同步提供的,而且正常写存取命令 NWR 与第十二时钟 CLK 同步地再次被提供。FCRAM 的基本操作与第一实施例相同。也就是说,脉冲长度为“2”,而正常写等待时间 NWL 和页面写等待时间 PWL 分别为“三个时钟”和“一个时钟”。略去与图 5 所描述的操作相同的操作的详细描述。

[0080] 当与第七时钟 CLK 同步地提供自动预充电命令 $APRE$ 时,在存储核心 30 的对应于第五时钟 CLK 的页面写存取操作完成之后,激活 $aprez$ 信号(图 9 中的 (a))。此处,存储核心 30 的页面写存取操作是在第七时钟周期中完成的,在该时钟周期中激活第二个 $clkclz$ 信号。因此, $aprez$ 信号是与第八时钟 CLK 同步激活的。然后,与最后的 $clkclz$ 信号同步地激活 $prez$ 信号(图 9 中的 (b)),并执行预充电操作。与激活 $prez$ 信号同步地将 $pagez$ 信号解除激活,并完成页面写存取操作(图 9 中的 (c))。与第十二时钟 CLK 同步地提供写存取命令,此命令被识别为正常写存取命令 NWR ,这是因为 $pagez$ 信号处于低电平(图 9 中的 (d))。在没有自动预充电功能的情况下,需要与第十一时钟 CLK 同步地将 $/CE$ 信号解除激活一次,如 $/CE$ 信号波形中的短划线所示(图 9 中的 (e))。

[0081] 通过这种方式,在本实施例中,通过使用自动预充电命令 $APRE$ 无需解除激活 $/CE$ 信号即能够执行预充电操作。在没有自动预充电功能的情况下,需要与第十时钟 CLK 同步地将 $/CE$ 信号解除激活一次,如图中的 $/CE$ 信号波形中的短划线所示。在此情况下,预充电操作延迟,导致对下一个存取命令的提供延迟。

[0082] 图 10 示出第二实施例的 FCRAM 的读存取操作。在本实施例中,正常读存取命令 NRD 是与第一时钟 CLK 同步提供的,而页面读存取命令 PRD 是与第五时钟 CLK 同步提供的,且与第七时钟 CLK 同步地提供包括自动预充电命令 $APRE$ 的页面读存取命令 PRD ,而与第十二时钟 CLK 同步地再次提供正常读存取命令 NRD 。此 FCRAM 的基本操作与第一实施例的基本操

作相同。也就是说,脉冲长度为“2”,而正常读等待时间 NRL 和页面读等待时间 PRL 分别为“四个时钟”和“两个时钟”。略去与图 6 和图 9 的上述操作相同的操作的详细描述。

[0083] 在读存取操作中,当接收到自动预充电命令 APRE 时,存储核心 30 的对应于前面的页面读存取命令 PRD 的页面读存取操作已经完成。具体地说,存储核心 30 的页面读存取操作是在第六时钟周期完成的,在该时钟周期中激活第二个 clkclz 信号。因此,aprez 信号是与响应自动预充电命令 APRE 的时钟 CLK 同步激活的(图 10 中的(a))。然后,与图 9 相同,与最后的 clkclz 信号同步地激活 prez 信号(图 10 中的(b)),并执行预充电操作。同样在读存取操作中,通过使用自动预充电命令 APRE 而无需解除激活 /CE 信号即能够执行预充电操作。与图 9 相同,在没有自动预充电功能的情况下,需要与第十一时钟 CLK 同步地将 /CE 信号解除激活一次,如 /CE 信号波形中的短划线所示(图 10 中的(c))。

[0084] 如上所述,同样在第二实施例,能够获得与上述第一实施例相同的效果。此外,因为在本实施例中能够执行预充电操作而无需将 /CE 信号解除激活,所以在完成列操作之后能够立即执行预充电操作。结果,能够更早开始响应下一个存取命令的存取操作,从而能提高数据传送速率。

[0085] 图 11 示出本发明的第三实施例。对于与第一实施例中所描述的元件相同的元件,给予相同的附图标记并略去对这些元件的详细描述。在本实施例中,FCRAM 包括:存储体地址端子 BAD,其接收存储体地址 BAD;以及地址缓冲器 48,其接收存储体地址 BAD。而且,此 FCRAM 具有可彼此独立操作的两个存储体 BKa 与 BKb。其它配置与第一实施例相同。

[0086] 存储体 BKa 与 BKb 各自在第一实施例中操作控制电路 14 的位置具有操作控制电路 14B。操作控制电路 14B 在第一实施例中等待时间控制电路 38 的位置具有等待时间控制电路 38B。存储体 BKa 与 BKb 各自的其它配置与第一实施例相同。在图 11 中,在存储体 BKa 中操作控制电路 14B 的控制信号末尾标以“a”,而在存储体 BKb 中操作控制电路 14B 的控制信号末尾标以“b”。

[0087] 图 12 示出图 11 中所示的操作控制电路 14B 的细节。存储体 BKa 的等待时间控制电路 38B 接收从存储体 BKb 的操作控制电路 14B 输出的 clenzb 信号、dtenzb 信号、clecpzb 信号、及 dtenpzb 信号,并且当存储体 BKb 输入或输出数据 DQ 时禁止 clenza 信号和 dtenza 信号的输出。通过类似方式,存储体 BKb 的等待时间控制电路 38B 接收从存储体 BKa 的操作控制电路 14A 输出的 clenza 信号、dtenza 信号、clecpza 信号及 dtenpza 信号,并且当存储体 BKa 输入或输出数据 DQ 时禁止 clenzb 信号和 dtenzb 信号的输出。因此,即使当存储体 BKa 与 BKb 同时操作时,也能防止数据 DQ 彼此冲突。也就是说,图 12 中所示的电路配置能够实现所谓的存储体交错(interleaving)操作。

[0088] 图 13 示出第三实施例的 FCRAM 的存取操作。此 FCRAM 的基本操作与第一实施例相同。也就是说,脉冲长度为“2”,而正常写等待时间 NWL 和页面写等待时间 PWL 分别为“三个时钟”和“一个时钟”。正常读等待时间 NRL 和页面读等待时间 PRL 分别为“四个时钟”和“两个时钟”。略去与第一实施例相同的操作的详细描述。

[0089] 在本实施例中,FCRAM 响应存储体地址 BAD 以及正常存取命令 NWD(或 NRD)和页面存取命令 PWD(或 PRD)而操作。当与第五和第六时钟 CLK 同步地连续提供具有彼此不同的列地址 CAD 的页面存取命令时(图 13(a)),在图 12 中所示的等待时间控制电路 38B 的控制下优先输入(或输出)对应于较晚提供的页面存取命令的数据 DQ。换言之,要较早进行

存取的存储体 BKa 的操作控制电路 14B, 响应要较晚进行存取的存储体 BKb 的操作控制电路 14B 对于 clenzb 信号和 dtenzb 信号 (数据控制信号) 的输出, 停止 clenza 信号和 dtenza 信号 (数据控制信号) 的输出。出于这一原因, 在脉冲操作中, 虽然输入 (或输出) 了存储体 BKa 的第一数据 DQ (图 13 中的 (b)、图 13 中的 (c)), 但却不输入 (或输出) 第二数据 DQ。替代第二数据 DQ, 对应于较晚提供的页面存取命令的数据 DQ 被输入 (或输出) (图 13 中的 (d)、(e))。

[0090] 如上所述, 在第三实施例中, 也能够获得与上述第一实施例相同的效果。此外在本实施例中, 即使当多个存储体 BKa 与 BKb 同时操作时, 也能经由数据端子 DQ 来输入 / 输出数据而不发生冲突。因此能够提高操作效率而无需还在具有多个存储体 BKa 与 BKb 的 FCRAM 中形成专用端子。

[0091] 图 14 示出本发明的第四实施例。对于与以上实施例中所描述的元件相同的元件, 给予相同的附图标记并略去对这些元件的详细描述。在本实施例中, 与第二实施例中相同, 存储体 BKa 与 BKb 各自的操作控制电路 14C 具有自动预充电控制电路 42、列计数器 44 及预充电控制电路 46。FCRAM 具有预充电端子 /PRE, 用以接收自动预充电信号 /PRE (自动预充电命令 APRE)。其它配置与第一实施例相同。

[0092] 在本实施例中, 提供自动预充电命令 APRE 以及存储体地址 BAD。因此, 仅有由存储体地址 BAD 选择的存储体 BKa 与 BKb 其中任一个的操作控制电路 14C 响应自动预充电命令, 来激活预充电信号 prez。也就是说, 预充电操作是存储体 BKa 与 BKb 各自独立地执行的。相反, 当通过 /CE 信号的解除激活来执行预充电操作时, 预充电操作将在所有的存储体 BKa 与 BKb 中同时执行。

[0093] 如上所述, 在第四实施例中, 也能够获得与上述第一与第三实施例相同的效果。此外, 在本实施例中, 借助自动预充电信号 /PRE 和存储体地址 BAD, 在对存储体 BKa 与 BKb 中的一个执行存取操作的同时, 能够仅对存储体 BKa 与 BKb 中的另一个执行预充电操作。因为在存储体 BKa 与 BKb 中能够独立地执行预充电操作, 所以能有效地执行存取操作, 并且能提高数据传送速率。也就是说, 能够提高 FCRAM 的存取操作效率。

[0094] 此外, 以上实施例描述了将本发明应用于 FCRAM 的实例。本发明不限于这类实施例。例如, 可将本发明应用于时钟同步型的伪静态随机存取存储器。

[0095] 在上述第二实施例中, 描述了提供自动预充电命令 APRE 以及页面存取命令 PWR、PRD 的实例。本发明不限于这类实施例。例如, 可以提供自动预充电命令 APRE 以及正常存取命令 NWR、NRD, 并且预充电操作可在正常存取操作之后自动执行。

[0096] 在上述第三和第四实施例中, 描述了将本发明应用于具有两个存储体 BKa 与 BKb 的 FCRAM 的实例。本发明不限于这类实施例。例如, 可将本发明应用于具有四个或更多个存储体的 FCRAM。

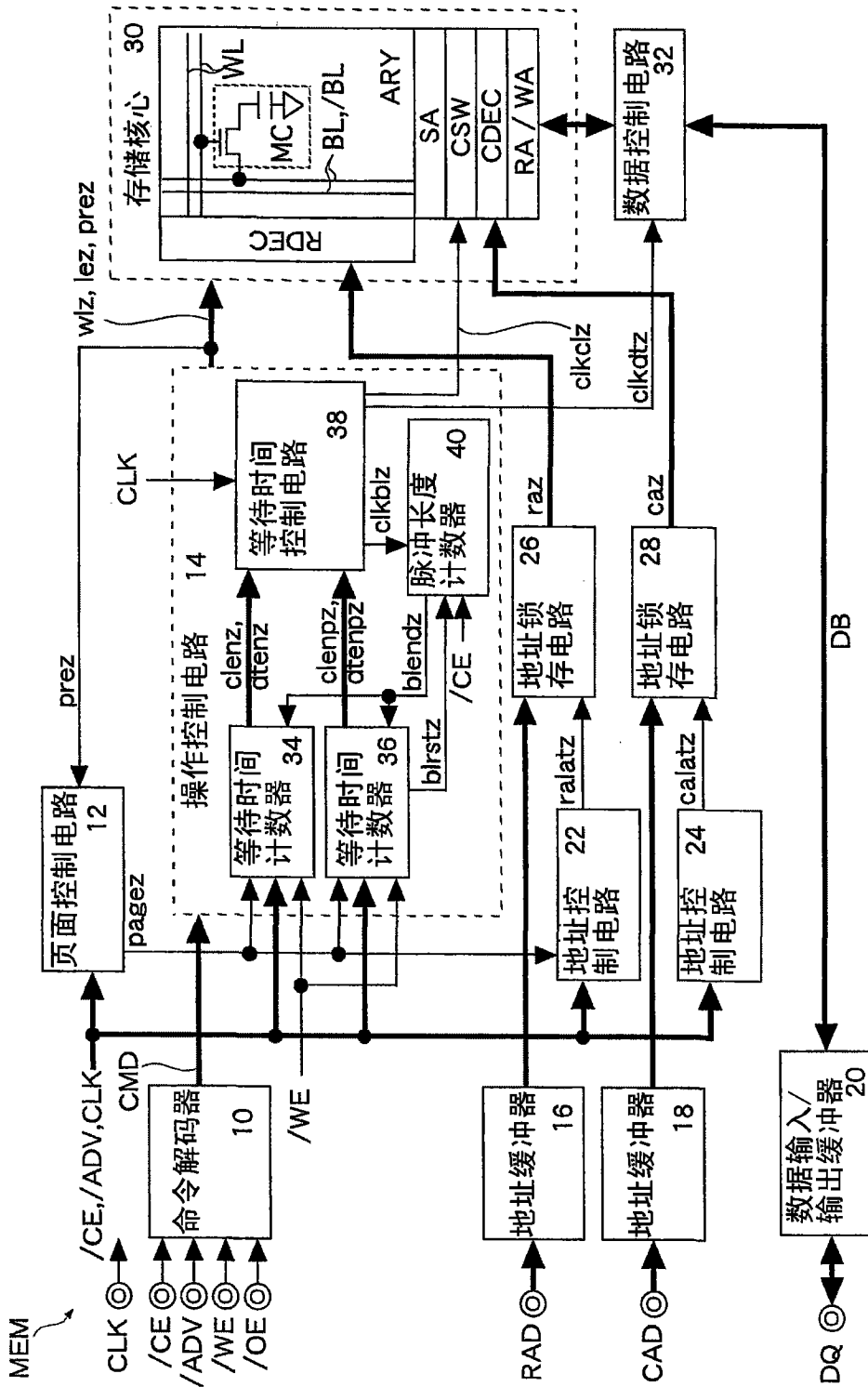


图1

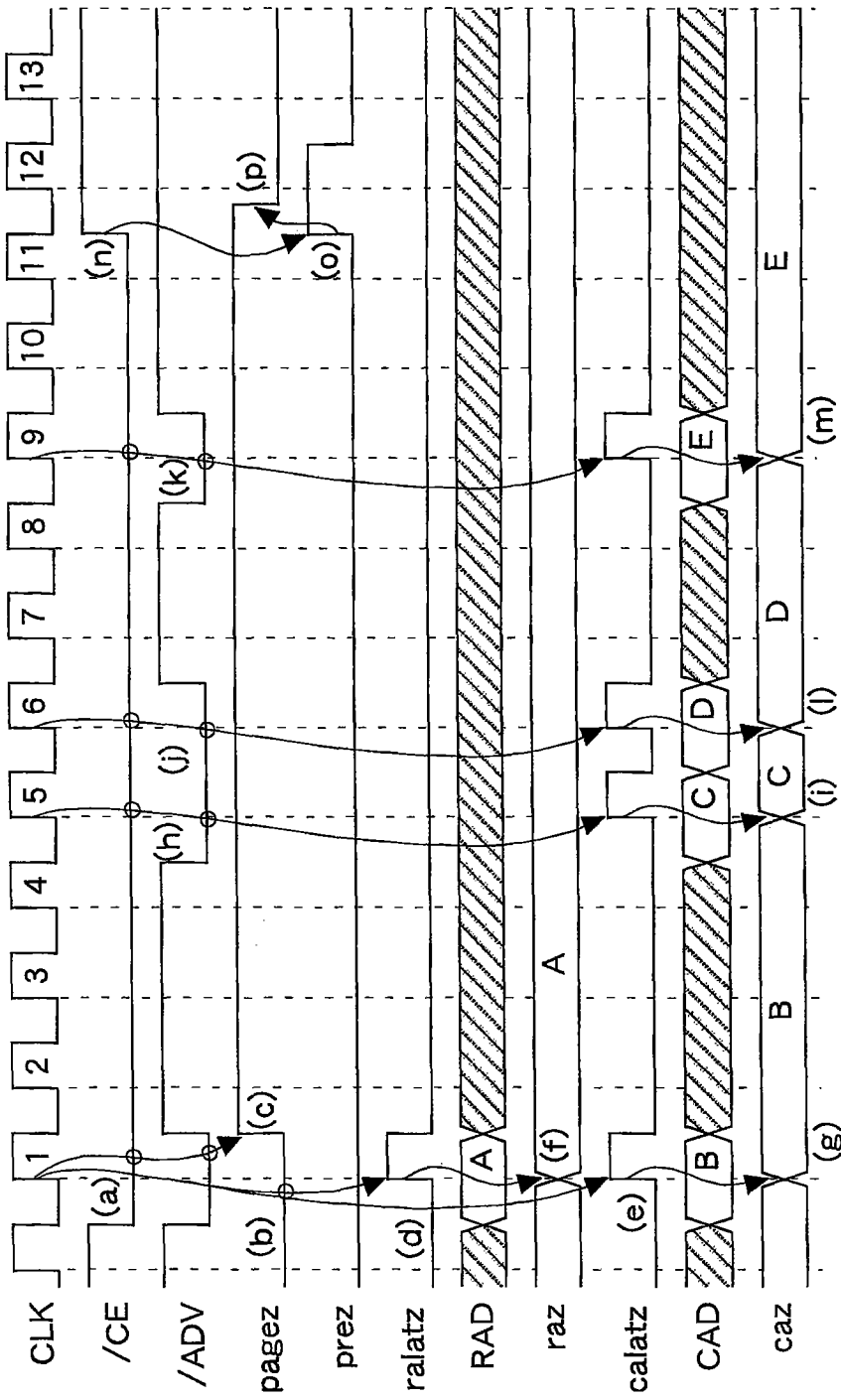


图3

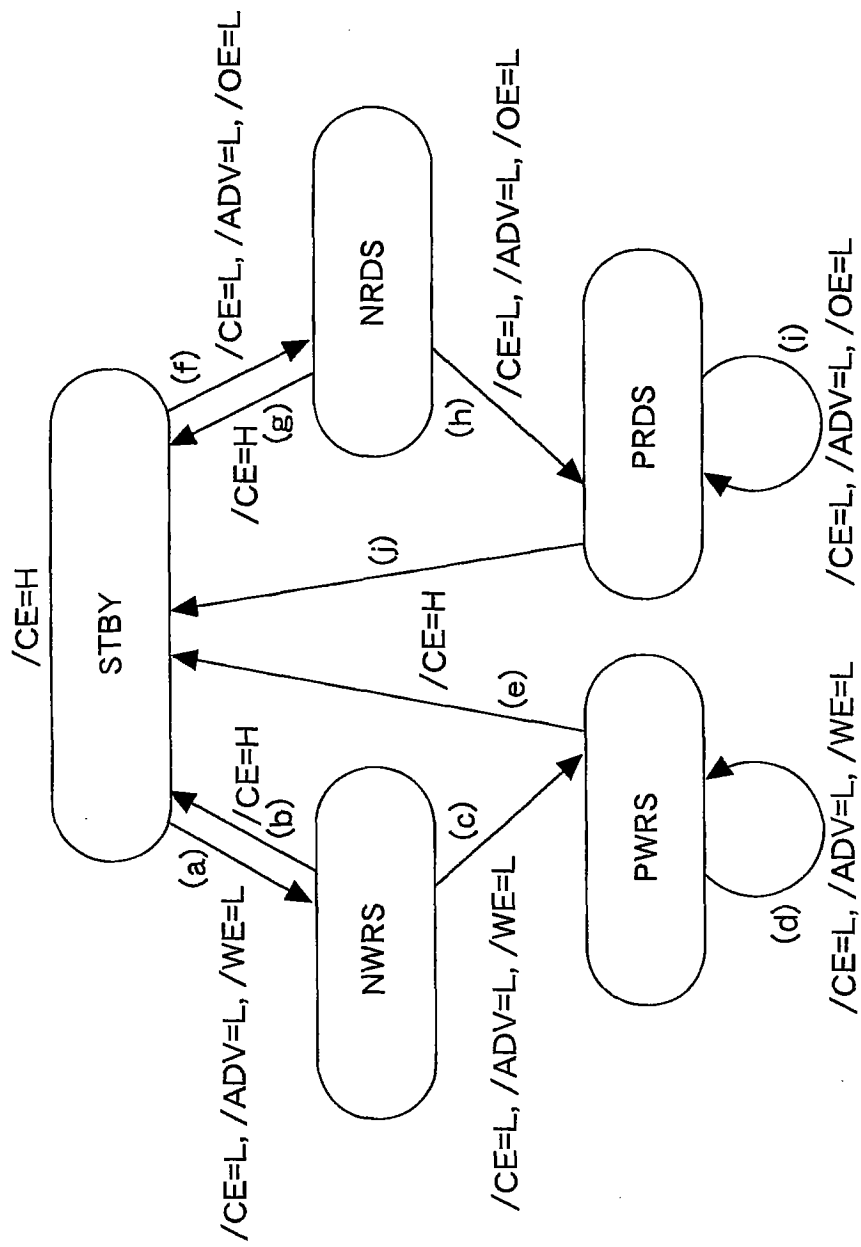


图4

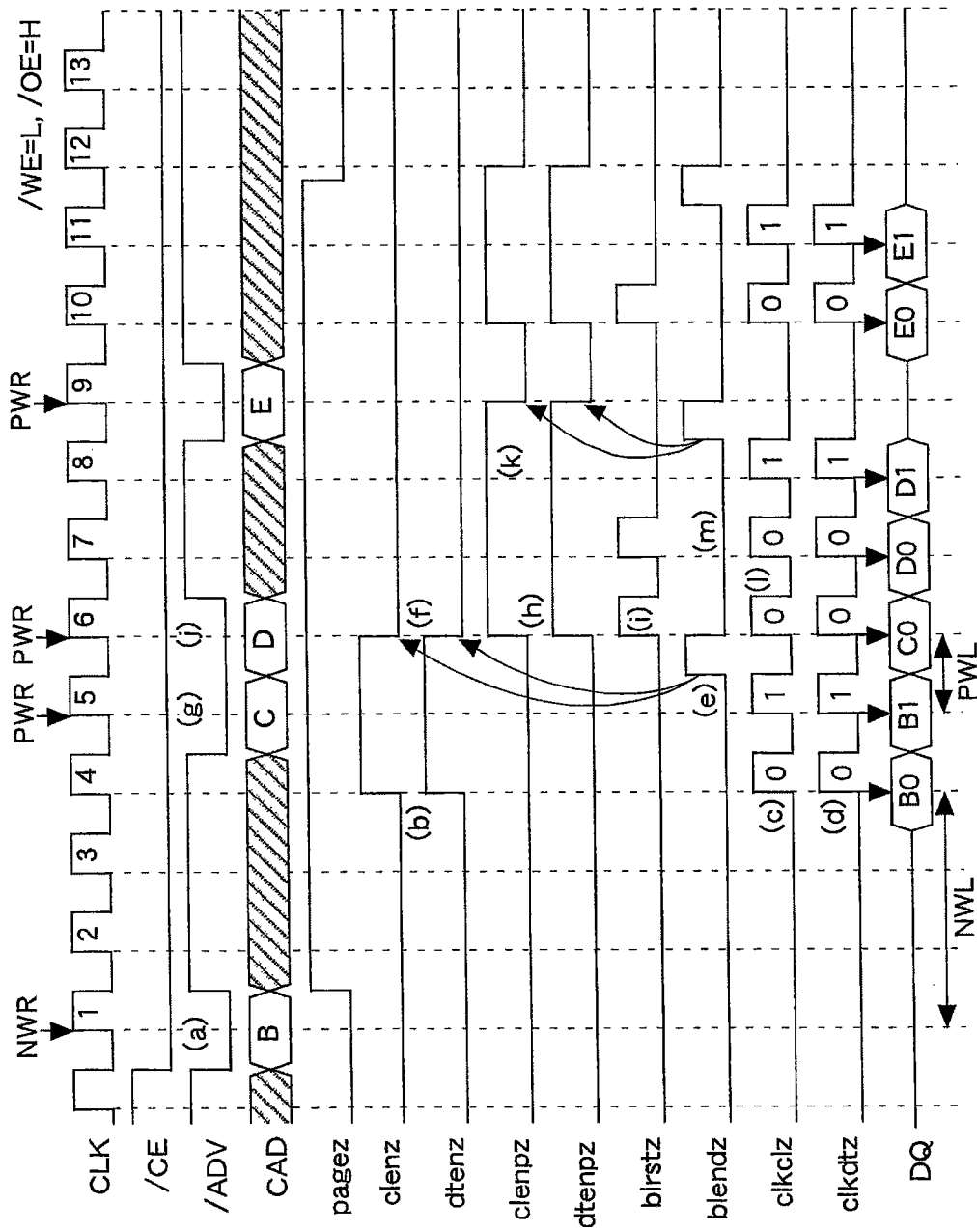


图 5

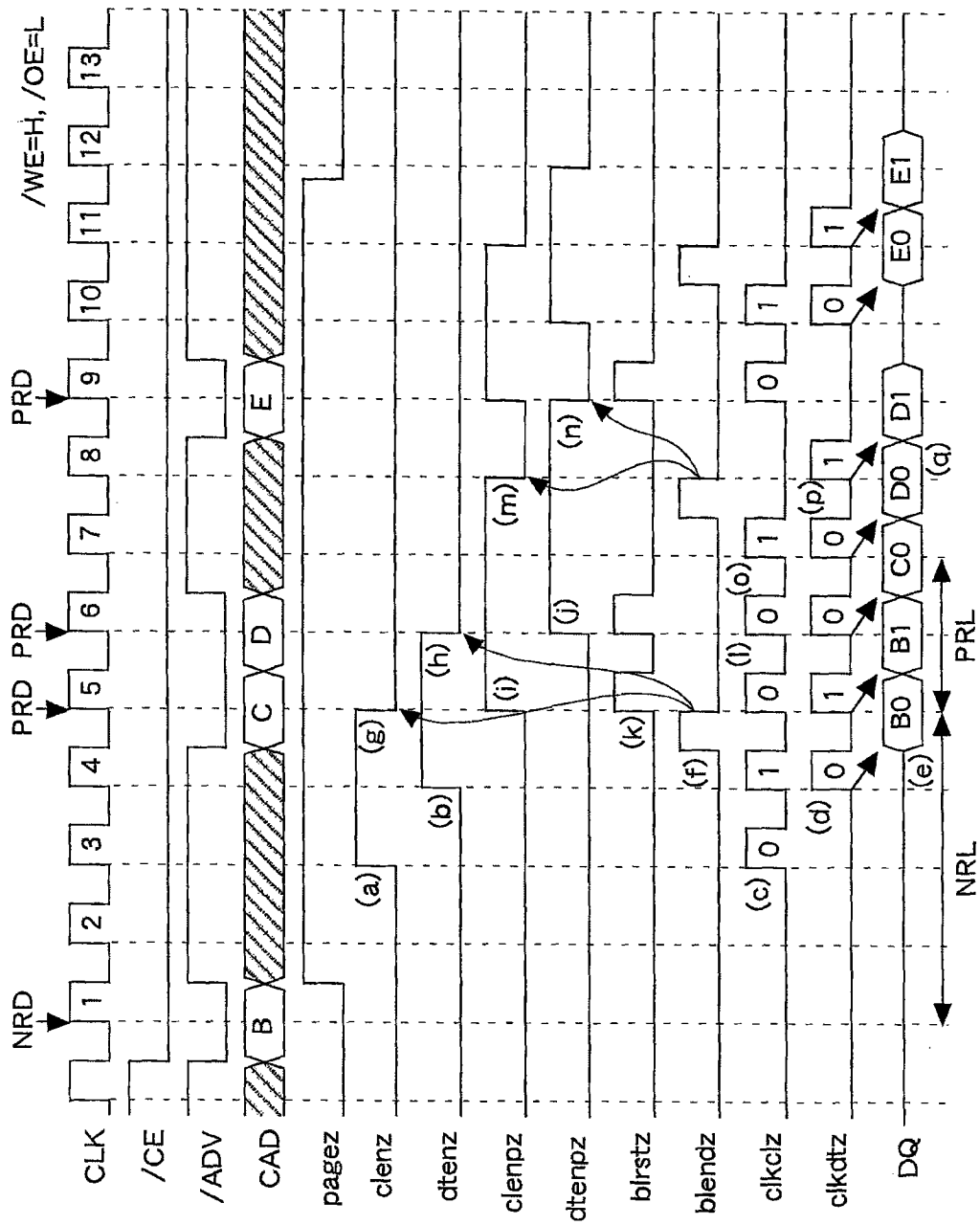


图6

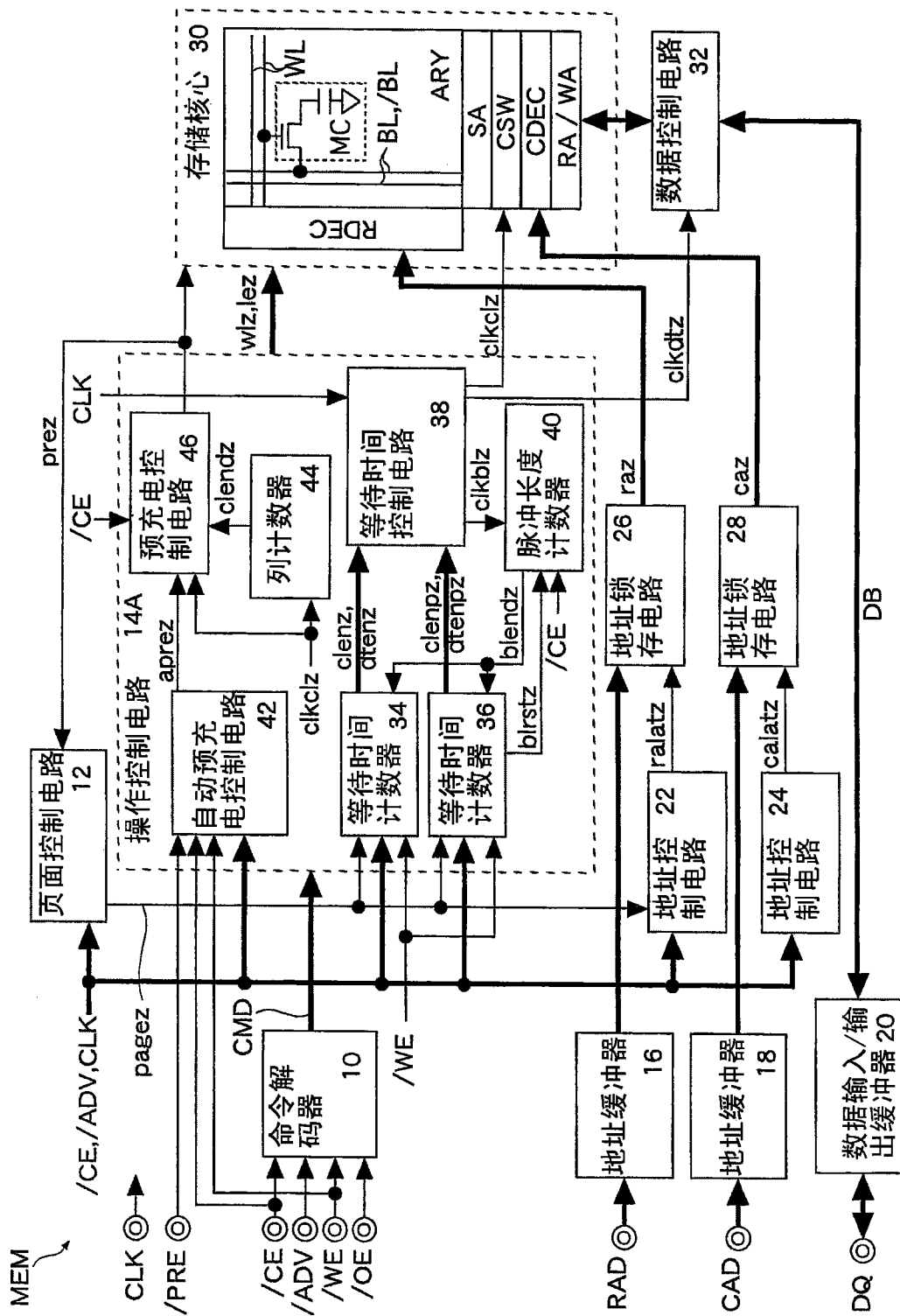


图7

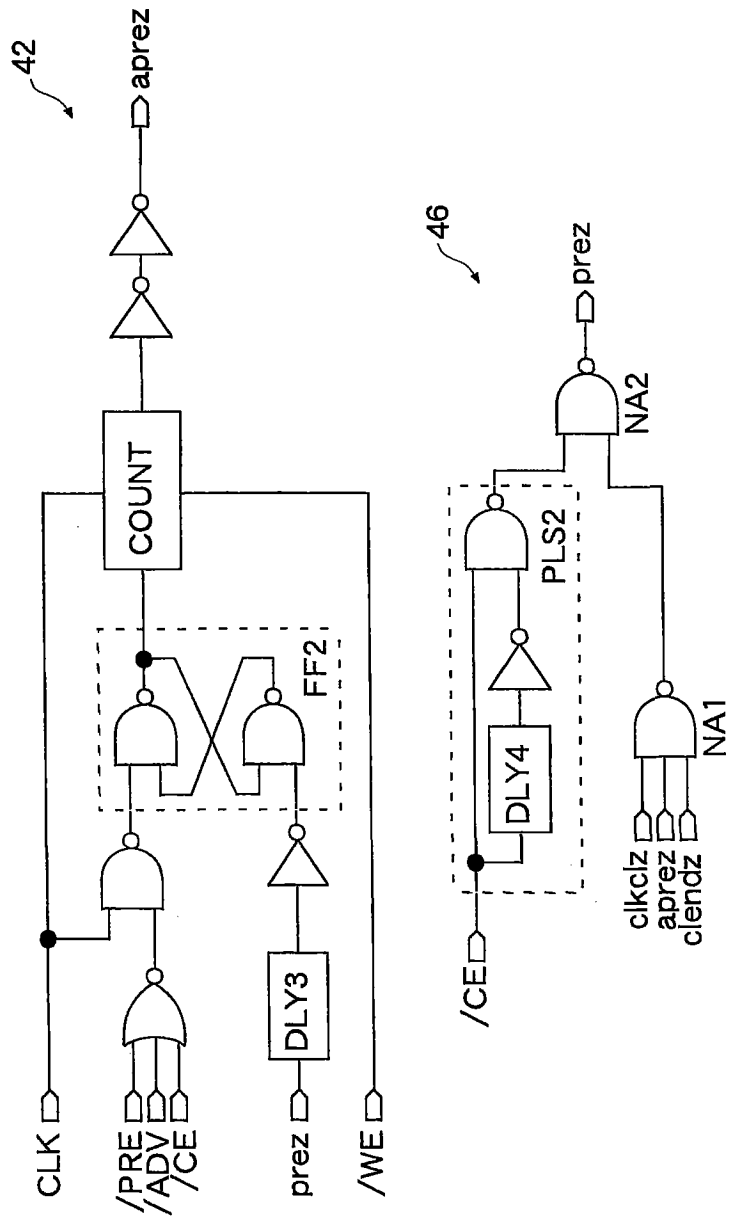


图 8

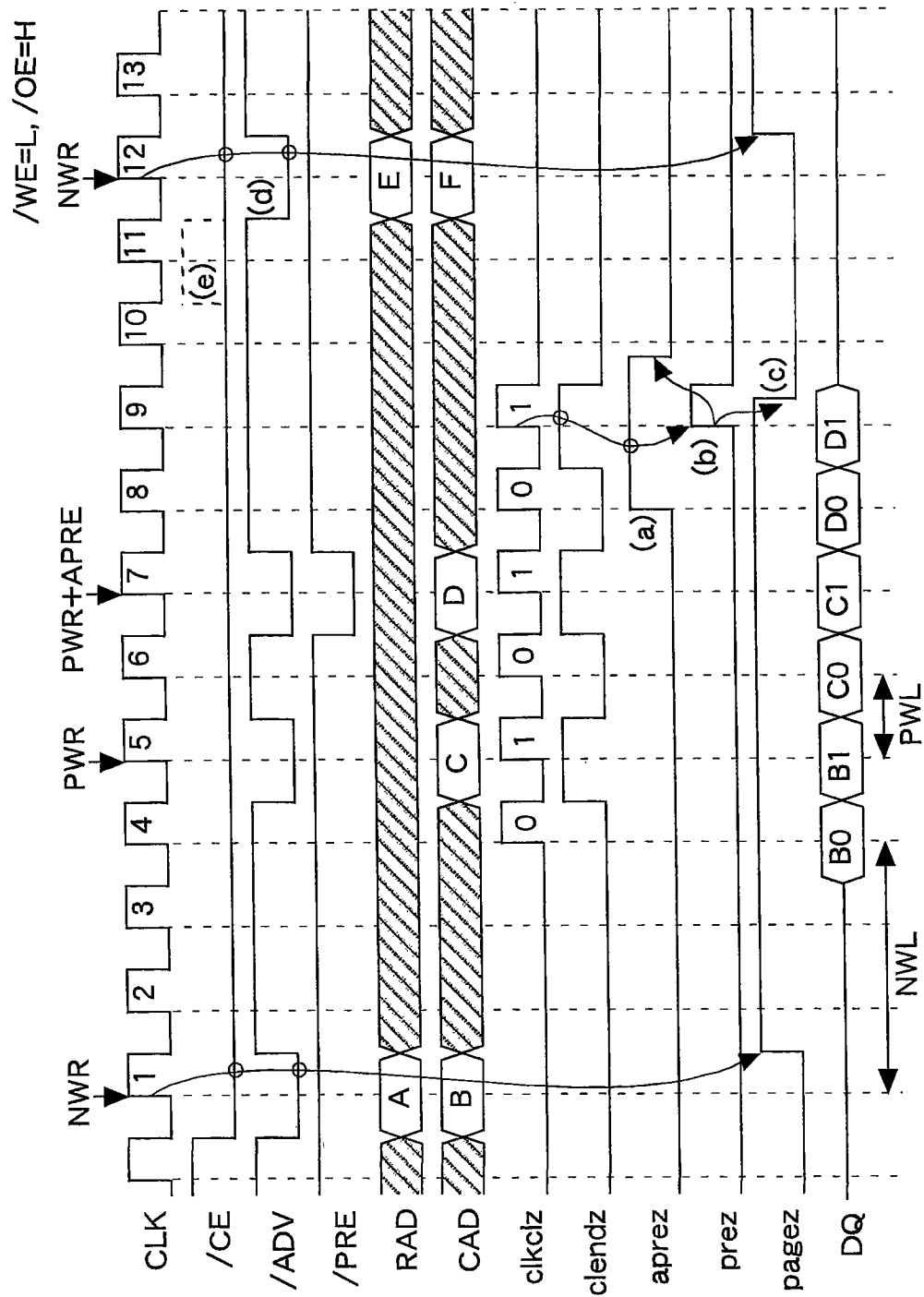


图 9

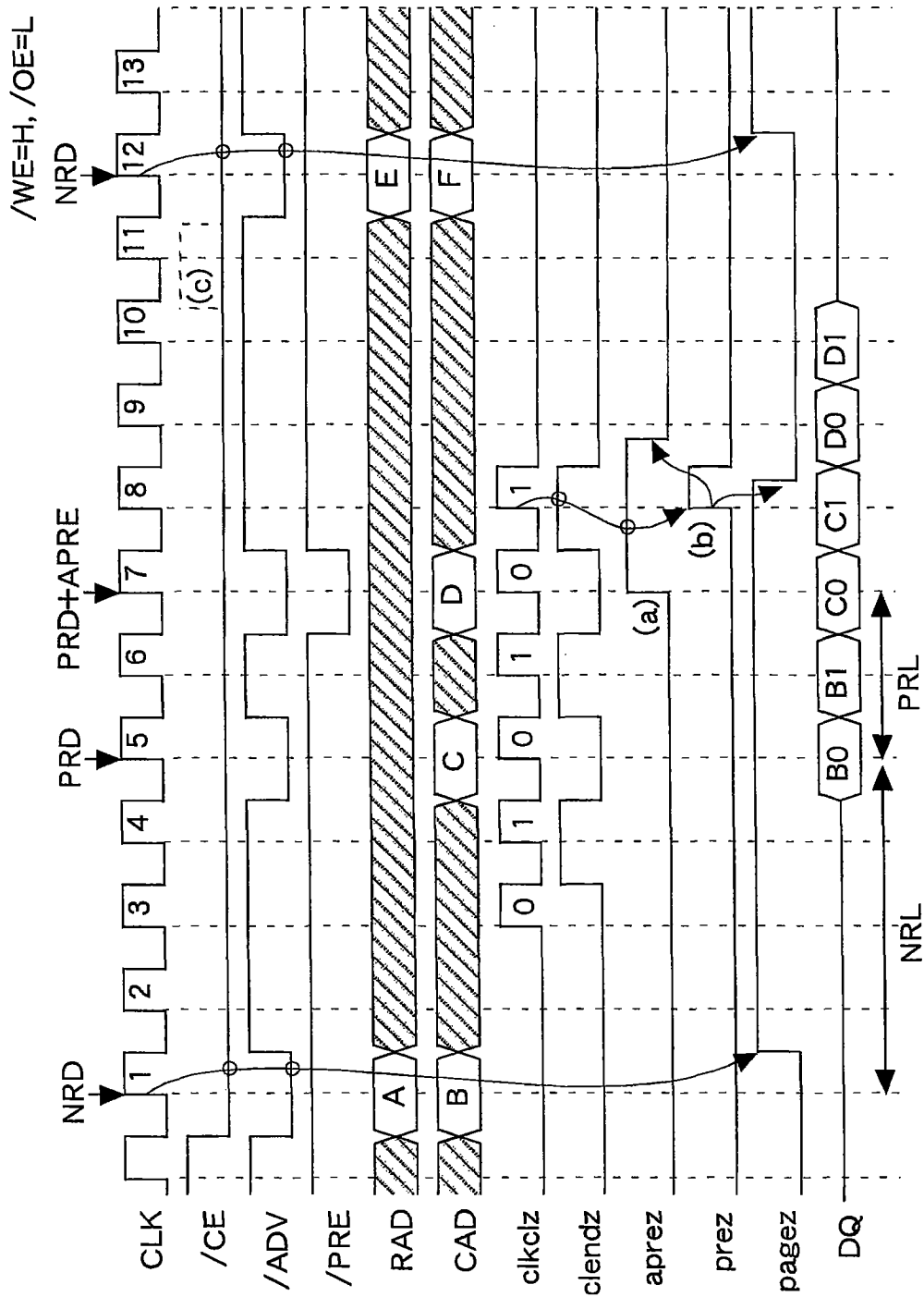


图 10

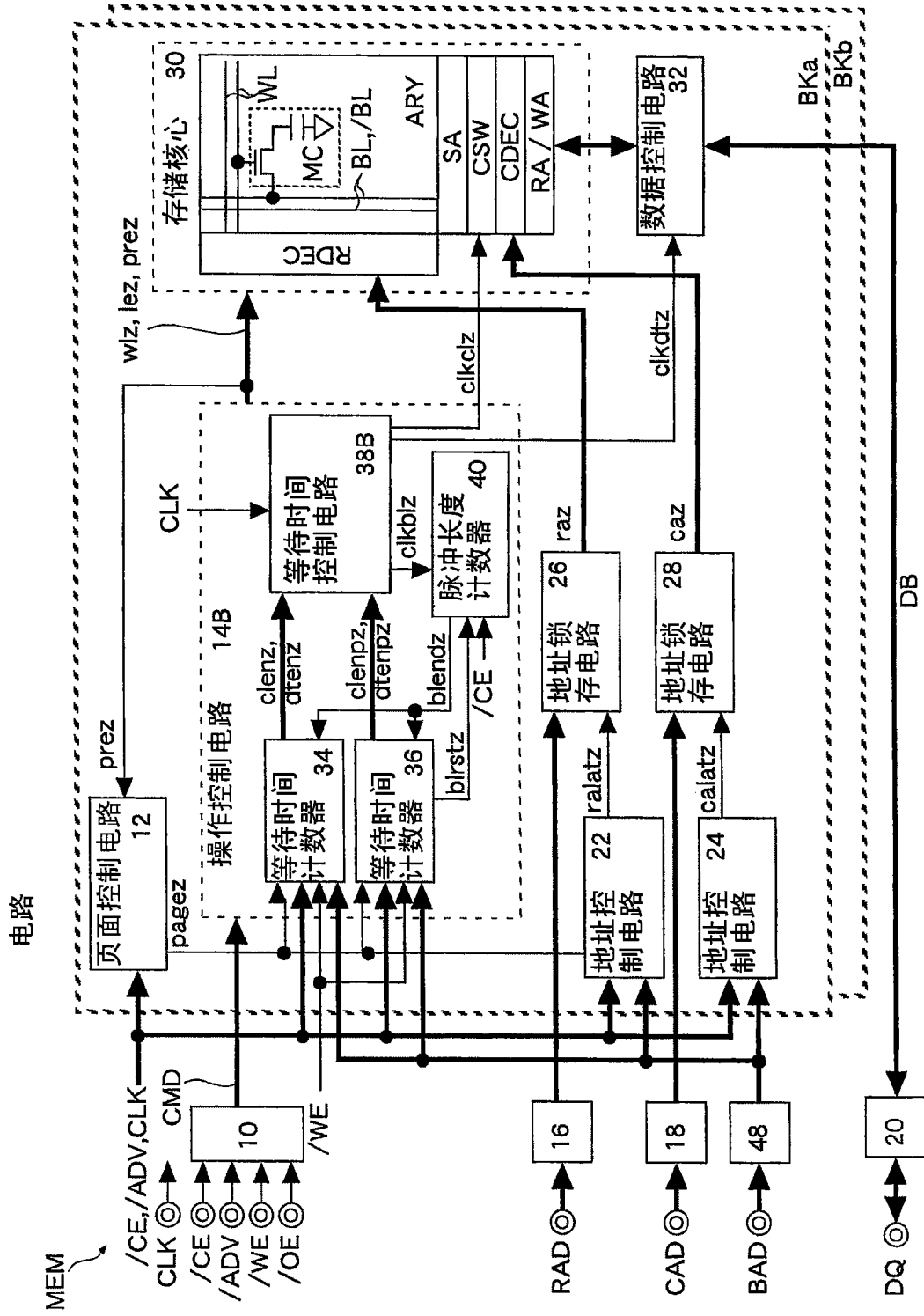


图11

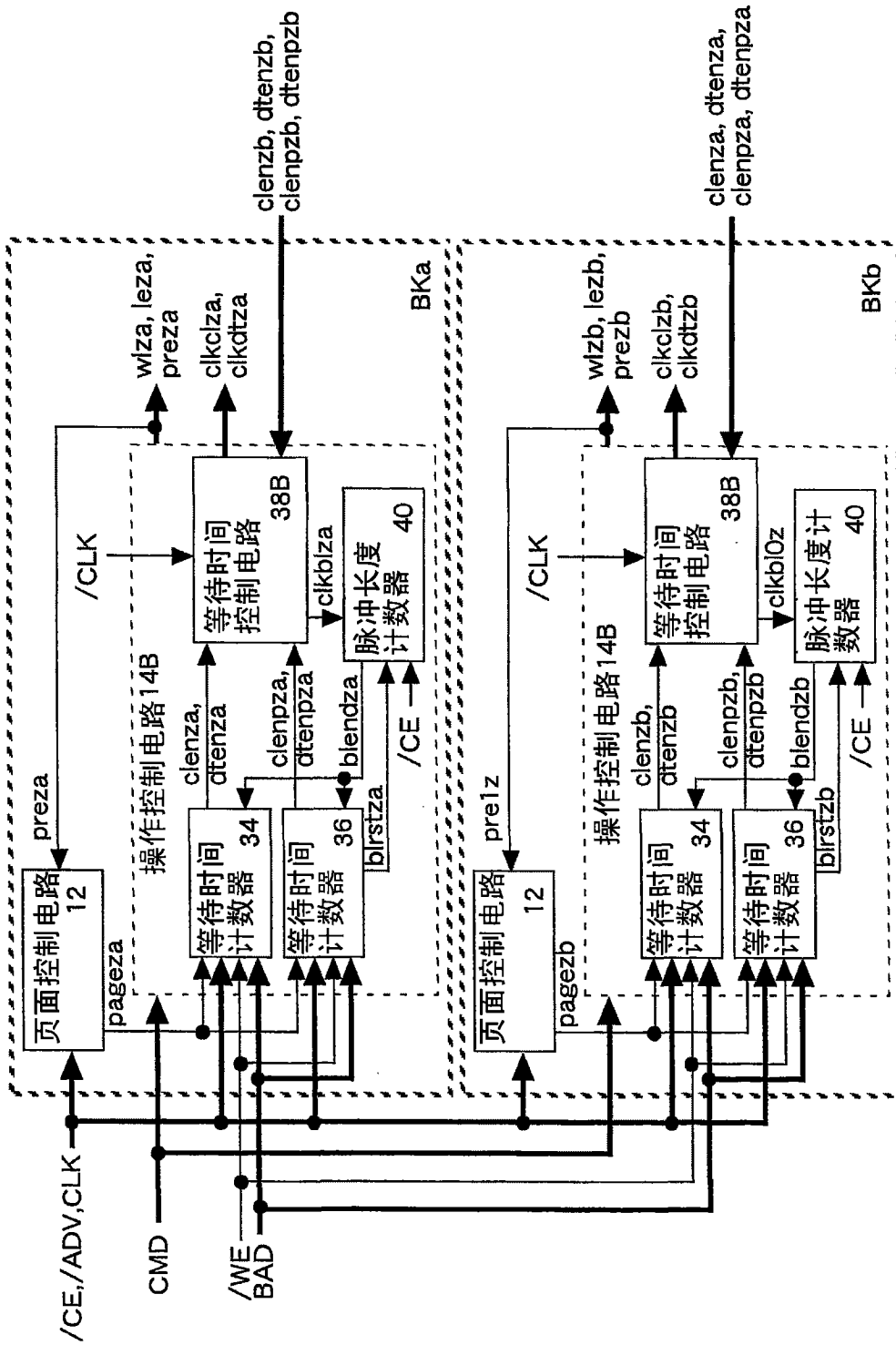


图12

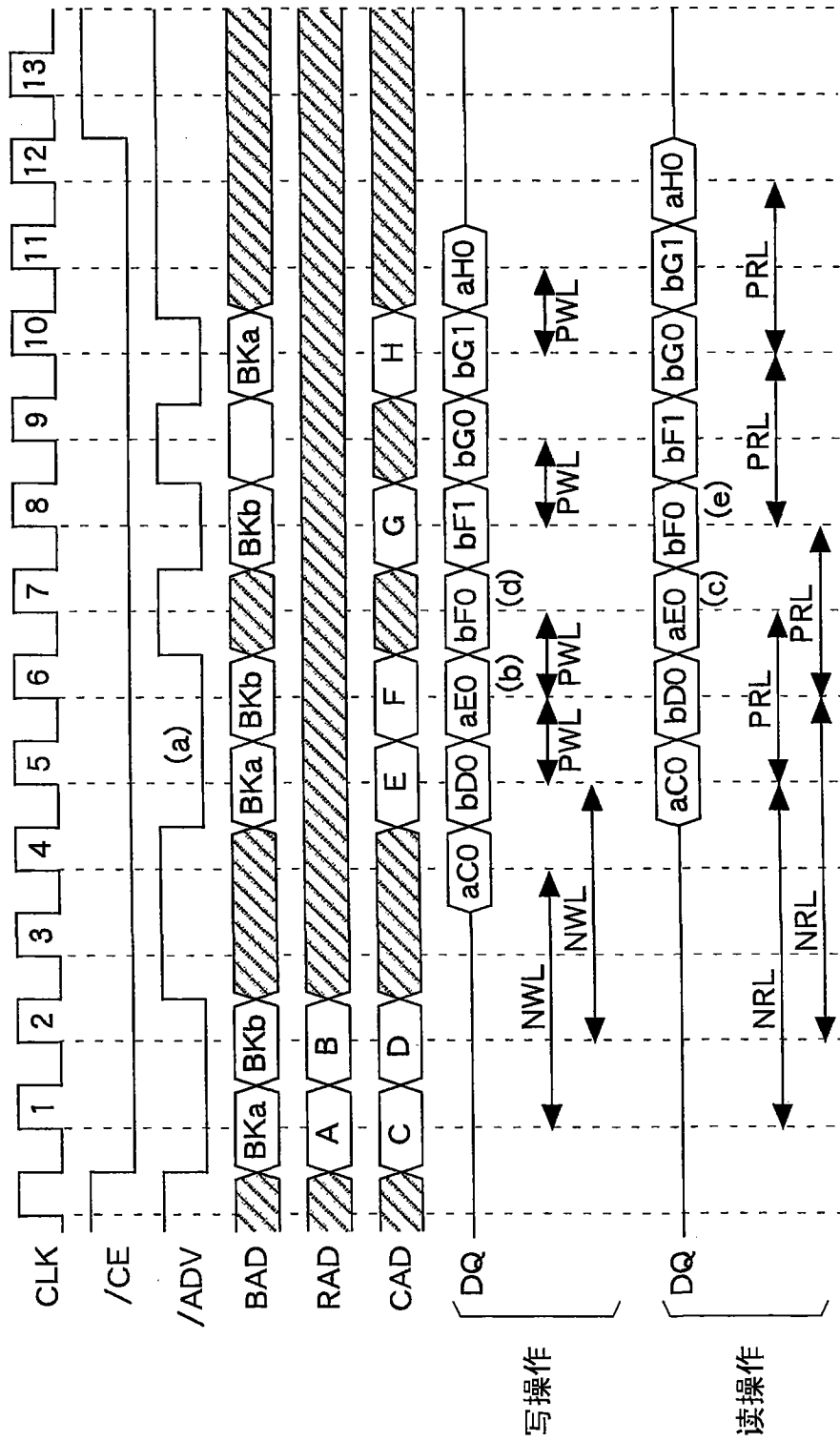


图13

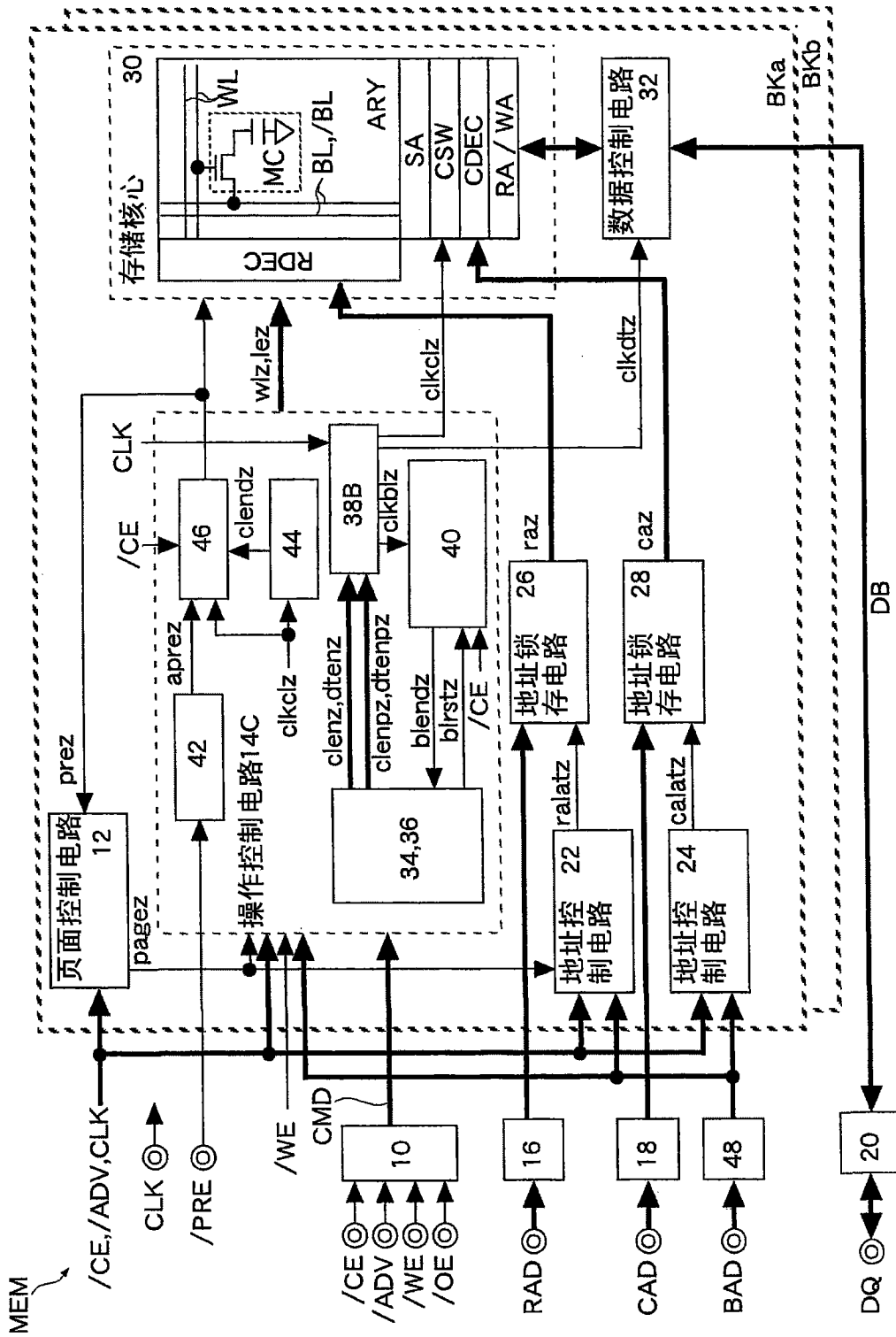


图14