



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년05월04일

(11) 등록번호 10-1854828

(24) 등록일자 2018년04월27일

- (51) 국제특허분류(Int. Cl.)
H01J 37/317 (2006.01) **H01L 21/027** (2006.01)
B82Y 10/00 (2017.01) **B82Y 40/00** (2017.01)
- (52) CPC특허분류
H01J 37/3177 (2013.01)
H01L 21/0274 (2013.01)
- (21) 출원번호 10-2017-7018911(분할)
- (22) 출원일자(국제) 2010년05월19일
 심사청구일자 2017년07월07일
- (85) 번역문제출일자 2017년07월07일
- (65) 공개번호 10-2017-0084348
- (43) 공개일자 2017년07월19일
- (62) 원출원 특허 10-2016-7017461
 원출원일자(국제) 2010년05월19일
 심사청구일자 2016년06월29일
- (86) 국제출원번호 PCT/IB2010/052217
- (87) 국제공개번호 WO 2010/134026
 국제공개일자 2010년11월25일
- (30) 우선권주장
 61/179,762 2009년05월20일 미국(US)
- (56) 선행기술조사문헌
 US06941006 B1
 US20030082466 A1
 W02001035165 A1
 US20050072941 A1

- (73) 특허권자
 마퍼 리쓰그라피 아이피 비.브이.
 네덜란드 엔엘-2628 엑스케이 델프트 컴퓨터라안 15
- (72) 발명자
 반 데 포이트, 토이니스
 네덜란드 엔엘-3831제이디 로이스텐 갈리시 14
 빌란트, 마르코 얀-자코
 네덜란드 엔엘-2612지디 델프트 비뢰슈트라아트 23
- (74) 대리인
 특허법인 남앤드남

전체 청구항 수 : 총 23 항

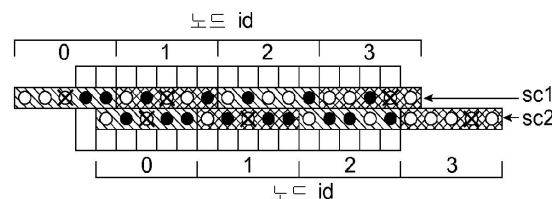
심사관 : 김주승

(54) 발명의 명칭 듀얼 패스 스캐닝

(57) 요약

복수의 하전 입자 빔렛들을 사용하여 웨이퍼를 노출하기 위한 방법. 방법은 빔렛들 사이에서 비-기능 빔렛들을 식별하는 단계, 웨이퍼의 제 1 부분을 노출하기 위해 빔렛들의 제 1 서브세트를 할당하는 단계 - 제 1 서브세트는 식별된 비-기능 빔렛들을 제외함-, 빔렛들의 제 1 서브세트를 사용하는 웨이퍼의 제 1 부분을 노출하기 위한 제 1 스캔을 수행하는 단계, 웨이퍼의 제 2 부분을 노출하기 위한 빔렛들의 제 2 서브세트를 할당하는 단계 - 제 2 서브세트는 또한 식별된 비-기능 빔렛들을 제외함-, 및 빔렛들의 제 2 서브세트를 사용하여 웨이퍼의 제 2 부분을 노출하기 위한 제 2 스캔을 수행하는 단계를 포함하고, 웨이퍼의 제 1 및 제 2 부분들은 겹치지 않고, 함께 노출될 웨이퍼의 완전한 영역을 포함한다.

대표도 - 도15



(52) CPC특허분류

B82Y 10/00 (2013.01)

B82Y 40/00 (2013.01)

명세서

청구범위

청구항 1

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템으로서,

상기 웨이퍼를 노출시키기 위해 복수의 하전 입자 빔렛들을 발생시키기 위한 하전 입자 광학 컬럼 — 상기 하전 입자 광학 컬럼은 하전 입자 소스에 의해 발생하는 하전 입자 빔으로부터 상기 하전 입자 빔렛들을 발생시키기 위한 어퍼처 어레이를 포함하고, 상기 하전 입자 광학 컬럼은 빔렛들을 블록하거나 또는 빔렛들을 통과시키는 것 중 하나에 의해 상기 빔렛들을 온 또는 오프로 스위칭하도록 함께 동작하기 위해 배치되는 빔렛 블랭커 어레이 및 빔 정지 어레이를 포함함 —;

상기 빔렛들의 스위칭을 제어하기 위해 빔렛 제어 데이터를 발생 및 전송하기 위한 데이터 경로; 및

스캔 방향으로 상기 하전 입자 광학 컬럼 아래의 상기 웨이퍼를 이동시키기 위한 웨이퍼 포지셔닝 시스템 — 상기 웨이퍼 포지셔닝 시스템은 상기 하전 입자 광학 컬럼으로부터의 상기 하전 입자 빔들과 상기 웨이퍼를 정렬하기 위해 상기 데이터 경로로부터 동기화 신호들을 제공받음 —

을 포함하고, 상기 데이터 경로는:

중간 데이터를 발생시키기 위해 상기 패턴 데이터를 오프라인 프로세싱하도록 구성된 프로세싱 유닛, 및 상기 중간 데이터를 저장하기 위한 중앙 저장 유닛;

상기 중간 데이터의 부분을 수신하도록 구성되고, 상기 빔렛 제어 데이터를 발생시키기 위해 상기 중간 데이터의 부분을 실시간 프로세싱하도록 구성된 추가 프로세싱 유닛; 및

상기 빔렛 제어 데이터가 발생된 후 즉시 상기 빔렛 제어 데이터를 상기 빔렛 블랭커 어레이로 전송하기 위한 하나 또는 그 초과 채널들

을 포함하고,

상기 오프라인 프로세싱은 상기 중간 데이터를 멀티-레벨 비트맵 포맷으로 획득하기 위해 상기 패턴 데이터에 대한 렌더링 동작을 포함하고,

상기 실시간 프로세싱은 상기 빔렛 제어 데이터를 2-레벨 비트맵 데이터 포맷으로 획득하기 위해 상기 중간 데이터에 대한 디더링 동작을 포함하는,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 2

제 1 항에 있어서,

복수의 전송 채널들을 포함하는 전송 시스템을 포함하고, 각 전송 채널은 빔렛들의 대응하는 그룹에 대한 데이터를 전송하기 위한 것인,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 3

제 1 항에 있어서,

상기 빔렛들은 복수의 그룹들에 배치되고, 각 전송 채널은 빔렛들의 그룹들 중 하나에 대한 빔렛 제어 데이터를 전송하기 위한 것인,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 4

제 1 항에 있어서,

상기 웨이퍼의 제 1 부분을 노출시키기 위해 할당된 빔렛들의 제 1 서브세트에 대한 제 1 빔렛 제어 데이터를 발생시키기 위해 상기 중간 데이터를 프로세싱 하기에 충분한 제 1 수의 추가 프로세싱 유닛들을 더 포함하는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 전송 채널들의 서브세트에 상기 추가 프로세싱 유닛을 접속하기 위한 크로스-접속 스위치를 더 포함하는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 6

제 5 항에 있어서,

상기 하전 입자 리소그래피 시스템은 상기 웨이퍼의 제 1 부분을 노출시키기 위한 빔렛들의 제 1 서브세트 및 상기 웨이퍼의 제 2 부분을 노출시키기 위한 빔렛들의 제 2 서브세트를 할당하고;

상기 크로스-접속 스위치는 상기 웨이퍼의 제 1 부분의 스캔을 위해 상기 빔렛들의 제 1 서브세트에 대응하는 상기 전송 채널들의 제 1 서브세트에 상기 추가 프로세싱 유닛을 접속시키고, 그리고 상기 웨이퍼의 제 2 부분의 스캔을 위해 상기 빔렛들의 제 2 서브세트에 대응하는 상기 전송 채널들의 제 2 서브세트에 상기 추가 프로세싱 유닛을 접속시키는,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 7

제 1 항, 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 빔렛들은 복수의 그룹들에 배치되고, 상기 추가 프로세싱 유닛은 빔렛들의 임의의 하나의 그룹에 대한 빔렛 제어 데이터를 발생시키도록 구성되고, 각 전송 채널은 상기 빔렛들의 그룹들 중 하나에 대한 빔렛 제어 데이터를 전송하기 위해 전용되는,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 8

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

제 1 수의 추가 프로세싱 유닛들은 제 1 빔렛 제어 데이터를 발생시키기 위한 상기 중간 데이터를 프로세싱하고 그리고 제 2 빔렛 제어 데이터를 발생시키기 위한 상기 중간 데이터를 프로세싱하기에 충분하지만, 상기 제 1 빔렛 제어 데이터 및 상기 제 2 빔렛 제어 데이터를 동시에 발생시키기 위해 상기 중간 데이터를 프로세싱 하기에는 충분하지 않은,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 9

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 리소그래피 시스템은 상기 웨이퍼의 제 1 부분이 상기 패턴 데이터의 제 1 부분을 따라 노출되고 이후에 상기 웨이퍼의 제 2 부분이 상기 패턴 데이터의 제 2 부분을 따라 노출되는 듀얼-패스 스캔으로 상기 웨이퍼를 노출시키기 위해 적응되고,

상기 추가 프로세싱 유닛은 메모리를 포함하고, 상기 메모리는 상기 패턴 데이터의 제 1 부분을 저장하기 위한 제 1 메모리 부분 및 상기 패턴 데이터의 제 2 부분을 저장하기 위한 제 2 메모리 부분으로 분할되고, 그리고

웨이퍼들의 현재 배치(batch)의 웨이퍼의 제 2 부분의 노출 동안 웨이퍼들의 다음 배치의 웨이퍼에 대한 상기 패턴 데이터의 다음 부분이 상기 제 1 메모리 부분으로 로딩되는,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 10

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 패턴 데이터는 벡터 패턴 데이터를 포함하고, 상기 빔렛 제어 데이터는 패턴 시스템 스트리밍 포맷인 데이터를 포함하는,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 11

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 추가 프로세싱 유닛은 상기 중간 데이터를 벡터 패턴 데이터 포맷으로부터 2-레벨 패턴 데이터 포맷으로 변환하고 그리고 상기 2-레벨 패턴 데이터 포맷인 상기 패턴 데이터를 상기 빔렛 블랭커 어레이로 스트리밍하도록 배치되는,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 12

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 추가 프로세싱 유닛은:

빔렛 포지션에서의 변경들; 기계적 포지션 에러들; 상기 데이터 경로에서의 지연 에러들; 블랭커 타이머 오프셋; 빔렛 블랭커 어레이 홀 포지션에서의 변경들; 및 디플렉션 세기에서의 변경들 중 적어도 하나에 대해 보상하기 위해 상기 빔렛 제어 데이터에 대해 정정 조정들을 하도록 배치되는,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 13

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 오프라인 프로세싱은 평탄화 동작, 근접 정정 동작, 레지스트 가열 정정 동작, 및 스마트 바운더리들의 드로잉(drawing) 동작 중 적어도 하나를 더 포함하는,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 14

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 실시간 프로세싱은 서브-픽셀 시프트 동작 및 도스(dose) 정정 동작 중 적어도 하나를 더 포함하는,

패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

청구항 15

하전 입자 리소그래피 시스템에서 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 방법으로서,

상기 웨이퍼를 노출시키기 위해 하전 입자 광학 컬럼에서 복수의 하전 입자 빔렛들을 발생시키는 단계 - 상기 하전 입자 광학 컬럼은 하전 입자 소스에 의해 발생하는 하전 입자 빔으로부터 상기 하전 입자 빔렛들을 발생시키기 위한 어퍼처 어레이를 포함하고, 상기 하전 입자 광학 컬럼은 빔렛들을 블록하거나 또는 빔렛들을 통과시키는 것 중 하나에 의해 상기 빔렛들을 온 또는 오프로 스위칭하도록 함께 동작하기 위해 배치되는 빔렛 블랭커 어레이 및 빔 정지 어레이를 포함함 -;

상기 빔렛들의 스위칭을 제어하기 위해 빔렛 제어 데이터를 발생시키고 데이터 경로에 의해 전송하는 단계; 및 스캔 방향으로 상기 하전 입자 광학 컬럼 아래의 상기 웨이퍼를 웨이퍼 포지셔닝 시스템에 의해 이동시키는 단계 - 상기 웨이퍼 포지셔닝 시스템은 상기 하전 입자 광학 컬럼으로부터의 상기 하전 입자 빔들과 상기 웨이퍼

를 정렬하기 위해 상기 데이터 경로로부터 동기화 신호들을 제공받을 -

를 포함하고, 상기 데이터 경로는:

중간 데이터를 발생시키기 위해 상기 패턴 데이터를 프로세싱 유닛에 의해 오프라인 프로세싱하고, 그리고 중앙 저장 유닛에 상기 중간 데이터를 저장하고;

상기 빔렛 제어 데이터를 발생시키기 위해 상기 중간 데이터의 부분을 추가 프로세싱 유닛에 의해 실시간 프로세싱하고; 그리고

상기 빔렛 제어 데이터가 발생된 후 즉시 상기 빔렛 제어 데이터를 상기 빔렛 블랭커 어레이로 하나 또는 그 초과 채널들에 의해 전송하는 것을

수행하고,

상기 오프라인 프로세싱은 상기 중간 데이터를 멀티-레벨 비트맵 포맷으로 획득하기 위해 상기 패턴 데이터에 대한 렌더링 동작을 포함하고,

상기 실시간 프로세싱은 상기 빔렛 제어 데이터를 2-레벨 비트맵 데이터 포맷으로 획득하기 위해 상기 중간 데이터에 대한 디더링 동작을 포함하는,

하전 입자 리소그래피 시스템에서 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 방법.

청구항 16

제 15 항에 있어서,

상기 추가 프로세싱 유닛은:

빔렛 포지션에서의 변경들; 기계적 포지션 에러들; 상기 데이터 경로에서의 지연 에러들; 블랭커 타이머 오프셋; 빔렛 블랭커 어레이 홀 포지션에서의 변경들; 및 디플렉션 세기에서의 변경들 중 적어도 하나에 대해 보상하기 위해 상기 빔렛 제어 데이터에 대해 정정 조정들을 하는,

하전 입자 리소그래피 시스템에서 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 방법.

청구항 17

하전 입자 리소그래피 기계에서 빔렛들을 온 또는 오프로 스위칭하기 위하여 빔렛 블랭커 어레이를 제어하기 위한 빔렛 제어 데이터를 생성하기 위해 컴퓨터에서 구현되는 방법으로서,

중간 데이터의 부분을 실시간 프로세싱하는 단계를 포함하고, 상기 실시간 프로세싱은 2-레벨 비트맵 데이터 포맷으로 상기 빔렛 제어 데이터를 발생시키기 위해 상기 중간 데이터의 부분을 디더링하는 것을 포함하고, 상기 중간 데이터는 상기 실시간 프로세싱 전에 패턴 데이터의 오프라인 프로세싱의 결과이고, 상기 중간 데이터는 멀티-레벨 비트맵 데이터 포맷으로 중앙 저장 유닛에 저장되고,

상기 디더링은 에러 전파 동작을 포함하고, 양자화 에러는 이웃 픽셀들로 비-제로 값으로만 전파되는,

컴퓨터에서 구현되는 방법.

청구항 18

제 17 항에 있어서,

상기 실시간 프로세싱은:

서브-픽셀 시프트 동작; 및

개별 빔렛들에 대한 디더링 임계 레벨들을 정정하기 위한 도스 정정 동작

중 하나 또는 둘 모두를 더 포함하는,

컴퓨터에서 구현되는 방법.

청구항 19

멀티-레벨 비트맵 포맷으로 중간 데이터를 생성시키기 위한 컴퓨터에서 구현되는 방법으로서,

상기 중간 데이터는 하전 입자 리소그래피 기계에서 빔렛들을 온 또는 오프로 스위칭하기 위한 빔렛 블랭커 어레이를 제어하기 위하여 2-레벨 비트맵 포맷으로 빔렛 제어 데이터를 생성하기 위하여 다음 실시간 프로세싱에 의해 사용되고, 상기 방법은,

상기 중간 데이터를 획득하기 위해 벡터 패턴 데이터를 렌더링하는 단계를 포함하고, 상기 렌더링은 픽셀 셀들의 어레이를 정의하는 것, 및 상기 벡터 패턴 데이터에 의해 정의된 특징들에 의한 상기 픽셀 셀들의 상대적 커버리지에 기반하여 상기 픽셀 셀들에 멀티-레벨 값들을 할당하는 것을 포함하는,

컴퓨터에서 구현되는 방법.

청구항 20

제 19 항에 있어서,

제 1 빔렛에 이웃한 제 2 빔렛에 의해 기록된 제 2 패턴에 대해 상기 제 1 빔렛에 의해 기록된 제 1 패턴의 시프트에 의해 야기되는 스티칭 에러들을 제거하기 위한 스티칭 관련 동작을 더 포함하는,

컴퓨터에서 구현되는 방법.

청구항 21

제 20 항에 있어서,

상기 스티칭 관련 동작은 스마트 바운더리 동작을 포함하고, 두 개의 스트라이프들 또는 필드들 사이의 바운더리에서 또는 상기 바운더리 근처의 상기 패턴 데이터에서 정의된 특징들 중 크리티컬한 부분들은 상기 중간 데이터를 발생시키기 전에 빔 또는 빔렛들의 그룹에 의해 기록될 하나의 스트라이프로 식별되어 할당되고, 스트라이프는 웨이퍼 상의 빔렛 또는 빔렛들의 그룹의 투사 영역인,

컴퓨터에서 구현되는 방법.

청구항 22

제 20 항에 있어서,

상기 스티칭 관련 동작은 상이한 빔렛들 또는 빔렛들의 그룹들에 의해 노출된 영역들 사이에서 소프트 에지를 구체화하기 위한 소프트 에지 동작을 포함하고, 상기 소프트 에지 동작은 소프트 에지 팩터와 중간 패턴 데이터에서의 데이터를 곱하는 것을 포함하고, 상기 소프트 에지 팩터는 최대 값에 도달할 때까지 에지에 대한 거리와 선형으로 증가하는,

컴퓨터에서 구현되는 방법.

청구항 23

제 19 항 내지 제 22 항 중 어느 한 항에 있어서,

근접 유효 정정(proximity effect correction) — 상기 근접 유효 정정은 도스 정정, 형상 정정 또는 도스 정정 및 형상 정정의 조합 중 하나를 포함함 —;

사용된 레지스트의 특성들의 결과로서 발생하는 효과들을 보상하기 위한 레지스트(resist) 가열 정정;

하나 또는 그 초과인 빔렛들의 포지션에서의 변경을 보상하기 위한 정정;

웨이퍼에 관하여 상기 웨이퍼의 필드의 포지셔닝에서 에러들에 대하여 보상하기 위한 정정; 및

웨이퍼의 필드의 크기에서 에러들에 대하여 보상하기 위한 정정

중 적어도 하나를 더 포함하는,

컴퓨터에서 구현되는 방법.

발명의 설명

기술분야

[0001] 본 발명은 마스크리스(maskless) 하전 입자 리소그래피 장치에 관한 것이고, 특히, 데이터 경로, 정정들을 구현하기 위한 방법 및 이러한 장치에 대한 스캐닝 방법에 관한 것이다.

배경기술

[0002] 집적 회로에 대한 설계는 전형적으로 컴퓨터-관독가능한 파일에 표시된다. GDS-II 파일 포맷(GDS는 그래픽 데이터 신호를 의미)은 집적 회로 또는 IC 레이아웃 아트워크의 데이터 교환에 대한 리소그래피 산업 표준인 데이터베이스 파일 포맷이다. 마스크들을 사용하는 리소그래피 기계들에 대하여, GDS-II 파일은 전형적으로 그 다음에 리소그래피 기계에 의해 사용되는 마스크 또는 마스크들의 세트를 제고하기 위해 사용된다. 마스크리스 리소그래피 기계들에 대하여, GDS-II 파일은 리소그래피 기계를 제어하기 위해 적합한 포맷으로 놓여지도록 전자적으로 프로세싱된다. 하전 입자 리소그래피 기계들에 대하여, GDS-II 파일은 리소그래피 프로세서에서 사용된 하전 입자 빔들을 제어하기 위해 제어 신호들의 세트로 변환된다.

[0003] 프로세싱 유닛은 현재 리소그래피 시스템에 대한 중간 데이터를 발생시키기 위해 GDS-II 파일을 프로세싱하도록 사용될 수 있다. 구조적 옵션에 따라 이 중간 데이터는 벡터 포맷에서 영역들의 설명 또는 비트맵 포맷이다. 본 리소그래피 시스템은 많은 양의 전자 빔들을 사용하여 웨이퍼상에 패턴들을 기록하기 위해 중간 데이터를 사용한다.

[0004] 데이터 경로의 구조는 가장 낮은 비용으로 풀-필드 고 볼륨까지 스케일링할 수 있도록 요구되는 모든 특징들을 구현하기 위해 정의될 필요가 있다. 풀-필드 고 볼륨 기계에 대하여 요구되는 데이터 경로 특징들은 도구 교정들 및 프로세스 변형들에 대하여 요구되는 상이한 타입들의 정정을 포함한다.

[0005] 또 다른 양상에서, 본 발명은 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하는 패턴링 데이터에 따라 웨이퍼를 노출하기 위한 방법은 제공한다. 방법은 벡터 포맷으로 패턴 데이터를 제공하는 단계, 멀티-레벨 패턴 데이터를 발생시키기 위해 벡터 패턴 데이터를 렌더링하는 단계, 2-레벨 패턴 데이터를 발생시키기 위해 멀티-레벨 패턴 데이터를 디더링하는 단계, 하전 입자 리소그래피 기계에 2-레벨 패턴 데이터를 공급하는 단계 및 2-레벨 패턴 데이터에 기반하여 하전 입자 리소그래피 기계에 의해 발생된 빔렛들을 온 및 오프 스위칭하는 단계를 포함하고, 패턴 데이터는 정정 데이터에 기반하여 조정된다.

[0006] 패턴 데이터를 조정하는 것은 제 1 정정 데이터에 기반하여 벡터 패턴 데이터를 조정하는 것, 제 2 정정 데이터에 기반하여 멀티-레벨 패턴 데이터를 조정하는 것, 및/또는 제 3 정정 데이터에 기반하여 2-레벨 패턴 데이터를 조정하는 것을 포함할 수 있다.

[0007] 벡터 패턴 데이터의 렌더링은 픽셀 셀들의 어레이를 정의하는 것 및 벡터 패턴 데이터에 의해 정의된 특징들에 의한 픽셀 셀들의 상대적 커버리지에 기반하여 픽셀 셀들에 멀티-레벨을 할당하는 것을 포함할 수 있다. 멀티-레벨 패턴 데이터를 디더링하는 것은 멀티-레벨 패턴 데이터상에 에러 발산의 애플리케이션에 의해 2-레벨 패턴 데이터를 형성하는 것을 포함할 수 있다. 에러 발산은 멀티-레벨 패턴 데이터의 하나 이상의 인접 픽셀들에 멀티-레벨 패턴 데이터의 픽셀에 양자 에러를 분배하는 것을 포함할 수 있다. 에러 발산의 애플리케이션은 픽셀들의 어레이를 정의하는 것, 부분들로 픽셀들의 어레이를 나누는 것 - 각 부분은 상이한 빔렛에 의해 노출되도록 할당됨-, 각 부분에 대하여 에러 발산 파라미터 값들을 결정하는 것 및 에러 발산 파라미터 값들을 사용하여 각 부분 내에 픽셀들에 2-레벨 값을 할당하는 것을 포함할 수 있다. 에러 발산 파라미터 값들은 2-레벨 값의 더 높은 레벨에 대한 임계치 값 및 가중치 값을 포함할 수 있다. 에러 발산 파라미터 값들은 2-레벨 값의 더 낮은 값에 대하여 가중치 값을 더 포함할 수 있다. 임계치 값은 고 레벨 픽셀 값의 50%와 동일할 수 있다.

[0008] 임계치 값은 고 레벨 픽셀 값 및 저 레벨 픽셀 값의 평균과 동일하다. 에러 발산 파라미터 값들을 결정하는 것은 빔렛 현재 측정들에 기반할 수 있다. 에러 발산 파라미터 값은 임계치 값일 수 있고, 부분 내에 픽셀 셀들에 2-레벨 값을 할당하는 것은 부분에 대하여 결정된 임계치 값과 비교에 기반할 수 있다. 에러 발산 파라미터는 2-레벨 값의 더 높은 레벨을 표시하는 값일 수 있고, 1-차원적 에러 발산 또는 2-차원적 에러 발산일 수 있다. 에러 발산의 애플리케이션은 추가의 임계치 값과 같거나 또는 낮은 멀티-레벨 값을 가진 하나 이상의 픽셀들을 향한 발산을 허용하지 않음으로써 제한될 수 있고, 추가의 임계치 값은 0과 동일할 수 있다.

[0009] 에러 발산의 애플리케이션은 벡터 패턴 데이터에 설명된 특징들 외부에 위치된 하나 이상의 픽셀들에 대한 발산을 허용하지 않음으로써 제한될 수 있다.

- [0010] 제 1 정정 데이터는 도스(dose) 정정, 형상 정정 또는 도스 정정 및 형상 정정의 조합을 포함할 수 있는, 근접 유효 정정(proximity effect correction)을 포함할 수 있다. 제 1 정정 데이터는 레지스트(resist) 가열 정정, 빔렛들 중 하나 이상의 포지션에서 변형에 대하여 보상하기 위한 정정, 웨이퍼에 관하여 웨이퍼의 필드의 포지셔닝에서 에러들에 대하여 보상하기 위한 정정 및/또는 웨이퍼의 필드의 크기에서 에러들에 대하여 보상하기 위한 정정을 포함할 수 있다.
- [0011] 정정은 풀 픽셀 미만만큼 멀티-레벨 패턴 데이터의 시프팅을 초래하는 벡터 패턴 데이터의 조정을 포함할 수 있다. 웨이퍼는 웨이퍼의 노출 동안 기계적 스캔 방향에 이동될 수 있고, 정정은 기계적 스캔 방향 및 기계적 스캔 방향에 실질적으로 수직인 방향 둘 다에 컴포넌트를 가지는 멀티-레벨 패턴 데이터의 시프트를 초래하는 벡터 패턴 데이터의 조정을 포함할 수 있다. 제 1 정정 데이터는 리소그래피 기계에 빔렛 제어 신호들의 전송 시간에서 변형에 대하여 보상하기 위한 정정을 포함할 수 있다.
- [0012] 방법은 빔렛 블랭커 어레이에서 빔렛 블랭커 전극들에 의한 빔렛들을 온 및 오프 스위칭하는 것을 포함하고, 각 빔렛 블랭커 전극은 빔렛 제어 신호를 수신하고, 제 1 정정 데이터는 빔렛 제어 신호들이 빔렛 블랭커 전극들에 의해 수신될 때 시간에서 차이에 대하여 보상하기 위한 정정을 포함한다. 빔렛들은 웨이퍼의 표면을 스캐닝하기 위해 디플렉트(deflect)될 수 있고, 제 1 정정 데이터는 상이한 빔렛들에 의해 경험되는 디플렉션의 양에서 변형들에 대하여 보상하기 위한 정정을 포함할 수 있다.
- [0013] 멀티-레벨 패턴 데이터를 디더링하는 것은 임계치 값과 비교에 기반하여 멀티-레벨 패턴 데이터의 각 대응하는 멀티-레벨 값에 대하여 고 값 또는 저 값을 할당하는 것을 포함할 수 있고, 양자 에러는 멀티-레벨 패턴 데이터로부터 저 레벨 값의 가중치 또는 고 레벨 값의 가중치를 감산함으로써 계산될 수 있고, 고 레벨 값의 가중치는 제 2 정정 데이터에 기반하여 정의된다. 저 값의 가중치는 제 2 정정 데이터에 기반하여 정의될 수 있다. 임계치 값은 제 2 정정 데이터에 기반하여 정의될 수 있다. 멀티-레벨 패턴 데이터를 디더링하는 것은 임계치 값에 멀티-레벨 패턴 데이터의 대응하는 멀티-레벨 값을 비교함으로써 2-레벨 값을 결정하는 것을 포함할 수 있고, 패턴 데이터를 조정하는 것은 제 2 정정 데이터에 기반하여 임계치 값을 조정하는 것을 포함한다.
- [0014] 제 2 정정 데이터는 하나 이상의 빔렛들의 포지션에서 변형들에 대하여 보상하기 위한 정정, 웨이퍼에 관하여 웨이퍼의 필드의 포지셔닝에서 에러들에 대하여 보상하기 위한 정정 및/또는 웨이퍼의 필드의 크기에서 에러들에 대하여 보상하기 위한 정정을 포함할 수 있다. 정정은 풀 픽셀 미만만큼 멀티-레벨 패턴 데이터를 시프팅하는 것에 동일한 멀티-레벨 패턴 데이터의 조정을 포함할 수 있다.
- [0015] 웨이퍼는 웨이퍼에 노출 동안 기계적 스캔 방향으로 이동될 수 있고, 정정은 기계적 스캔 방향 및 기계적 스캔 방향에 실질적으로 수직인 방향 둘 다에 컴포넌트를 가지는 시프트를 초래하는 멀티-레벨 패턴 데이터의 조정을 포함할 수 있다. 제 2 정정 데이터는 상이한 빔렛들 또는 빔렛들의 그룹들에 의해 노출된 영역들 사이에서 소프트 에지를 구제화하기 위한 정정을 포함할 수 있다. 소프트 에지는 소프트 에지 팩터와 멀티-레벨 패턴 데이터를 곱함으로써 이루어질 수 있고, 소프트 에지 팩터는 최대 값이 도달될 때까지 에지에 거리와 선형으로 증가한다. 최대 값은 1일 수 있고, 팩터의 시작 값은 에지에서 0일 수 있고, 소프트 에지는 약 0.5 내지 1.5 마이크론의 폭을 가질 수 있다.
- [0016] 제 3 정정 데이터는 하나 이상의 빔렛들의 포지션에서 변형에 대하여 보상하기 위한 정정, 웨이퍼에 관하여 웨이퍼의 필드의 포지셔닝에서 에러들에 대하여 보상하기 위한 정정 및/또는 웨이퍼의 필드의 크기에서 에러들에 대하여 보상하기 위한 정정을 포함할 수 있다. 웨이퍼는 웨이퍼의 노출 동안 기계적 스캔 방향에서 이동될 수 있고, 제 3 정정 데이터는 기계적 스캔 방향에서 풀 픽셀 시프트를 포함할 수 있다. 웨이퍼는 웨이퍼의 노출 동안 기계적 스캔 방향으로 이동될 수 있고, 제 3 정정 데이터는 기계적 스캔 방향에 실질적으로 수직인 방향으로 풀 픽셀 시프트를 포함할 수 있다.
- [0017] 벡터 포맷으로 패턴 데이터를 제공하는 단계는 복수의 계층들의 디바이스 설계를 설명하는 설계 데이터를 제공하는 단계 및 벡터 포맷으로 2 차원적 패턴 데이터를 발생시키기 위해 설계 데이터의 계층을 변형하는 단계를 포함할 수 있다. 설계 데이터는 GDS-II 포맷 또는 OASIS 포맷에서 데이터를 포함할 수 있다. 벡터 패턴 데이터는 웨이퍼상에서 패턴링하기 위한 특징들의 형상을 설명하는 벡터 데이터 및 특징들과 연관된 도스 값들을 포함할 수 있다. 벡터 패턴 데이터는 웨이퍼상에서 대응하는 영역들에 대하여 도스 값들의 어레이 및 웨이퍼 상에서 패턴링하기 위한 특징들의 형상을 설명하는 벡터 데이터를 포함할 수 있다.
- [0018] 멀티-레벨 패턴 데이터는 픽셀 셀들에 할당된 멀티-레벨 값들의 어레이를 포함할 수 있고, 멀티-레벨 패턴 데이터는 그레이 스케일 비트맵 데이터를 포함할 수 있다. 2-레벨 패턴 데이터는 블랙/화이트 비트맵 데이터를 포

함할 수 있다.

- [0019] 렌더링 및 래스터화하는 단계들은 전체 웨이퍼에 대하여 패턴 데이터를 렌더링 및 래스터화가 웨이퍼 스캔이 시작하기 전에 완료됨으로써 오프-라인 프로세싱에 의해 수행될 수 있다. 렌더링 및 래스터화 단계들은 설계당 한번 수행될 수 있다. 렌더링 및 래스터화 단계들은 웨이퍼의 제 1 세트의 필드들에 대하여 패턴 데이터를 렌더링 및 래스터화가 제 1 세트의 필드들의 스캔이 시작하기 전에 완료됨으로써 인-라인 프로세싱에 의해 수행될 수 있는 반면, 웨이퍼의 잔여 필드들에 대한 패턴 데이터의 렌더링 및 래스터화가 제 1 세트의 필드들의 스캔 동안 계속된다. 제 1 세트의 필드들 및 잔여 필드들은 오버랩하지 않도록 될 수 있다. 제 1 세트의 필드들 및 잔여 필드들은 함께 노출될 웨이퍼의 완전한 영역을 포함할 수 있다.
- [0020] 제 1 세트의 필드들은 웨이퍼의 제 1 스캔에서 노출될 수 있고, 잔여 필드들은 웨이퍼의 제 2 스캔에서 노출된다. 제 1 서브세트의 빔렛들은 제 1 세트의 필드들을 노출하기 위해 할당될 수 있고, 제 2 서브세트의 빔렛들은 잔여 필드들을 노출하기 위해 할당될 수 있다. 렌더링 및 래스터화 단계들은 웨이퍼 당 한번 수행될 수 있고, 실시간 프로세싱에 의해 수행될 수 있고, 그에 의해, 웨이퍼의 제 1 세트의 필드들에 대한 렌더링 및 래스터화는 제 1 세트의 필드들의 스캔 동안 계속된다. 렌더링 및 래스터화 단계들은 웨이퍼의 필드 당 한번 수행될 수 있고, 웨이퍼의 노출 동안 수행될 수 있다.
- [0021] 발명의 추가 양상에서, 패턴 데이터에 따라 웨이퍼를 노출하기 위한 하전 입자 리소그래피 시스템이 제공된다. 시스템은 웨이퍼를 노출하기 위해 복수의 전자 빔렛들을 발생시키기 위한 전자 광학 컬럼 - 전자 광학 컬럼은 빔렛들을 온 또는 오프로 스위칭하기 위한 빔렛 블랭커 어레이를 포함함 -, 빔렛들의 스위칭을 제어하기 위해 빔렛 제어 데이터를 전송하기 위한 데이터 경로 및 x-방향으로 전자 광학 컬럼 아래에 웨이퍼를 이동하기 위한 웨이퍼 포지셔닝 시스템을 포함할 수 있다. 웨이퍼 포지셔닝 시스템은 전자-광학 컬럼으로부터 전자 빔들과 웨이퍼를 정렬하기 위해 데이터 경로로부터 동기화 신호들로 제공된다. 데이터 경로는 빔렛 제어 데이터를 발생시키기 위한 하나 이상의 프로세싱 유닛들 및 빔렛 블랭커 어레이에 빔렛 제어 데이터를 전송하기 위한 하나 이상의 전송 채널들을 더 포함한다.
- [0022] 전송 시스템은 복수의 전송 채널들을 포함할 수 있고, 각 전송 채널은 빔렛들의 대응하는 그룹에 대한 데이터를 전송하기 위한 것이다. 빔렛들은 복수의 그룹들에 배치될 수 있고, 각 전송 채널은 빔렛들의 그룹들 중 일부에 대한 빔렛 제어 데이터를 전송하기 위한 것이다. 데이터 경로는 복수의 멀티플렉서들을 포함할 수 있고, 각 멀티플렉서는 빔렛들의 그룹에 대한 빔렛 제어 데이터를 멀티플렉싱하기 위한 것이다. 시스템은 복수의 디멀티플렉서들을 더 포함할 수 있고, 각 디멀티플렉서는 빔렛들의 그룹에 대하여 빔렛 제어 데이터를 디멀티플렉싱하기 위한 것이다. 데이터 경로는 하전 입자 리소그래피 시스템에 전송을 위해 광학 신호에 프로세싱 유닛들에 의해 발생하는 빔렛 제어 데이터를 변환하기 위한 전자-대-광학 변환 디바이스들을 포함할 수 있다.
- [0023] 전송 채널들은 광학 신호를 가이딩하기 위한 광학 파이버들을 포함할 수 있고, 빔렛 블랭커 어레이는 광학 신호를 수신하고, 빔렛들의 제어를 위해 광학 신호를 전자 신호로 변환하기 위한 광학-대-전자 변환 디바이스들을 포함할 수 있다. 전송 시스템은 렌즈들의 어레이 및 미러(mirror)를 포함할 수 있고, 렌즈들의 어레이는 미러 상에서 광학 신호를 가이딩하기 위한 것이고, 미러는 하전 입자 리소그래피 기계의 빔렛 블랭커 어레이상에서 광학 신호를 반사하기 위한 것이다.
- [0024] 시스템은 웨이퍼의 제 1 부분을 노출하기 위해 할당된 빔렛들의 제 1 서브세트에 대한 제 1 빔렛 제어 데이터를 발생시키기 위해 패턴 데이터를 프로세싱하기에 충분한 제 1 수의 프로세싱 유닛들을 더 포함할 수 있다. 시스템은 전송 채널들의 서브세트에 프로세싱 유닛들을 접속하기 위한 크로스-접속 스위치를 더 포함할 수 있다.
- [0025] 빔렛들은 복수의 그룹들로 배열될 수 있고, 각 프로세싱 유닛은 임의의 그룹의 빔렛들에 대하여 빔렛 제어 데이터를 발생시키기 위한 것이고, 각 전송 채널은 빔렛들의 그룹들 중 하나에 대하여 빔렛 제어 데이터를 전송하기 위해 전용된다. 7개의 프로세싱 유닛들이 매 12개의 전송 채널들에 대하여 제공될 수 있다.
- [0026] 하전 입자 리소그래피 시스템은 웨이퍼의 제 1 부분을 노출하기 위해 할당된 빔렛들의 제 1 서브세트 및 웨이퍼의 제 2 부분을 노출하기 위한 빔렛들의 제 2 서브세트를 포함할 수 있고, 크로스-접속 스위치는 웨이퍼의 제 1 부분의 스캔에 대한 빔렛들의 제 1 서브세트에 대응하는 전송 채널들의 제 1 서브세트에 프로세싱 유닛들을 접속할 수 있고, 웨이퍼의 제 2 부분의 스캔에 대하여 빔렛들의 제 2 서브세트에 대응하는 전송 채널들의 제 2 서브세트에 프로세싱 유닛들을 접속할 수 있다. 제 1 수의 프로세싱 유닛들은 제 1 빔렛 제어 데이터를 발생시키기 위해 패턴 데이터를 프로세싱하고 제 2 빔렛 제어 데이터를 발생시키기 위해 패턴 데이터를 프로세싱하기 위해 충분하지만 동시에 제 1 및 제 2 빔렛 제어 데이터 둘 다를 발생시키기 위한 패턴 데이터를 프로세싱하기에

충분하지 않을 수 있다.

- [0027] 리소그래피 시스템은 웨이퍼의 제 1 부분이 제 1 패턴 데이터에 따라 노출되고 이후에 웨이퍼의 제 2 부분이 제 2 패턴 데이터에 따라 노출되는 듀얼-패스 스캔으로 웨이퍼를 노출하기 위해 적응될 수 있고, 프로세싱 유닛들은 메모리를 포함할 수 있고, 메모리는 제 1 패턴 데이터를 저장하기 위한 제 1 메모리 부분 및 제 2 패턴 데이터를 저장하기 위한 제 2 메모리 부분으로 분할되고, 웨이퍼들의 현재 배치(batch)의 웨이퍼의 제 2 부분의 노출 동안 웨이퍼들의 다음 배치의 웨이퍼의 제 1 패턴 데이터는 제 1 메모리 부분으로 로딩될 수 있다.
- [0028] 다른 양상에서 본 발명은 하전 입자 리소그래피 시스템에서 웨이퍼를 노출하기 위한 방법을 포함한다. 방법은 복수의 하전 입자 빔들을 발생시키는 단계 - 빔들은 그룹들에 배치되고, 각 그룹은 빔들의 어레이를 포함함 -, 웨이퍼 스캔 속도로 제 1 방향에서 빔들 아래에 웨이퍼를 이동시키는 단계, 디플렉션 스캔 속도로 제 1 방향에 실질적으로 수직인 제 2 방향으로 빔들을 디플렉트하는 단계 및 웨이퍼상에서 빔들에 의해 전해지는 도스를 조정하기 위해 웨이퍼 스캔 속도를 조정하는 단계를 포함한다. 빔들은 병렬 투사 기록 전략을 웨이퍼를 노출할 수 있고, 디플렉션 스캔 속도는 빔 스캔 속도 및 플라이-백 속도를 포함할 수 있다.
- [0029] 각 어레이의 빔들은 어레이의 빔들 사이에서 제 1 방향으로 투사 피치(Pproj) 및 어레이에서 빔들의 수에 의해 곱해지는 투사 피치(Pproj)와 동일한 그룹 거리를 가질 수 있고, 스캔 단계는 빔들 사이에서 x-방향의 상대적 이동과 동일하고, 각 스캔 사이의 웨이퍼는 정수 K에 의해 나누어지는 그룹 거리와 동일하다. 스캔 단계는 빔 스캔 속도 및/또는 플라이-백 속도를 조정함으로써 또는 빔 디플렉션 기간을 조정함으로써 조정될 수 있고, 빔 디플렉션 기간은 y-방향에서 하나의 빔 스캔에 대한 시간 및 빔 플라이-백 시간을 포함한다. 디플렉션 기간은 빔 스캔 속도에 의해 나누어지는, 정수 K에 의해 나누어지는 그룹 거리와 동일할 수 있다. 방법은 K가 K의 가장 큰 공통 디노미네이터 및 각 어레이에서 빔들의 수가 1인 요건을 만족하도록 할 수 있다.
- [0030] 또 다른 양상에서, 방법은 하전 입자 리소그래피 시스템에서 웨이퍼를 노출하기 위한 방법에 관한 것이다. 방법은 복수의 하전 입자 빔들을 발생시키는 단계 - 빔들은 그룹들에 배치되고, 각 그룹은 빔들의 어레이를 포함함 -, 웨이퍼 스캔 속도에서 제 1 방향으로 빔들 아래에 웨이퍼를 이동하는 단계, 디플렉션 스캔 속도로 제 1 방향에 실질적으로 수직인 제 2 방향으로 빔들을 디플렉트하는 단계, 빔들이 웨이퍼상에서 픽셀들을 노출하기 위해 디플렉트됨에 따라 패턴 데이터에 따라 빔들을 온 및 오프로 스위칭하는 단계 및 제 1 방향에서 픽셀 폭을 조정하기 위해 디플렉션 스캔 속도에 비하여 웨이퍼 스캔 속도를 조정하는 단계를 포함한다.
- [0032] *
- [0033] 빔들은 병렬 투사 기록 전략을 사용하여 웨이퍼를 노출할 수 있고, 디플렉션 스캔 속도는 빔 스캔 속도 및 플라이-백 속도를 포함한다. 빔들의 각 어레이는 어레이의 빔들 사이에서 제 1 방향으로 투사 피치(Pproj) 및 어레이에서 빔들에 의해 수에 의해 곱해진 투사 피치(Pproj)와 동일한 그룹 거리를 가질 수 있고, 스캔 단계는 빔들 사이에서 x-방향으로 상대적 이동과 동일할 수 있고, 각 스캔 사이에서 웨이퍼는 정수 K에 의해 나누어진 그룹 거리와 동일하다. 스캔 단계는 빔 스캔 속도 및/또는 플라이-백 속도를 조정함으로써 조정될 수 있고, 빔 디플렉션 기간은 y-방향으로 하나의 빔 스캔에 대한 시간 및 빔 플라이-백 시간을 포함한다. 디플렉션 기간은 빔 스캔 속도에 의해 나누어지는, 정수 K에 의해 나누어지는 그룹 거리와 동일할 수 있다. 방법은 K가 K의 가장 큰 공통 디노미네이터 및 각 어레이에서 빔들의 수가 1인 요건을 만족시키도록 할 수 있다.
- [0034] 또 다른 양상에서, 발명은 하전 입자 리소그래피 시스템에서 웨이퍼를 노출하기 위한 방법을 제공한다. 방법은 복수의 하전 입자 빔들을 발생시키는 단계 - 빔들은 그룹들에 배치되고, 각 그룹은 빔들의 어레이를 포함함 - 빔들 및 웨이퍼 사이에서 제 1 방향으로 상대적 이동을 생성하는 단계, 각 빔이 웨이퍼상에서 복수의 스캔 라인을 노출하도록 디플렉션 스캔 속도로 x-방향에 실질적으로 수직인 방향으로 빔들을 디플렉트하는 단계 및 제 1 방향에서 상대적 이동 및 웨이퍼상에서 빔들에 의해 전해지는 도스를 조정하기 위해 제 2 방향으로 빔들의 디플렉션을 조정하는 단계를 포함한다. 빔들의 각 어레이는 어레이의 빔들 사이에서 제 1 방향에서 투사 피치(Pproj) 및 어레이에서 빔들의 수에 의해 곱해진 투사 피치(Pproj)와 동일한 그룹 거리를 가지고, 빔들 사이에서 x-방향의 상대적 이동 및 각 스캔 사이에서 웨이퍼는 정수 K에 의해 나누어진 그룹 거리와 동일하다.
- [0035] 값 K는 K의 가장 큰 공통 디노미네이터 및 각 어레이에서 빔들의 수가 1이도록 선택될 수 있다. 스캔 라인들의 폭은 정수 K에 의해 나누어진 투사 피치(Pproj)일 수 있다. 빔들은 웨이퍼상에서 빔들이 픽셀들을 노출

하기 위해 디플렉트됨에 따라 패턴 데이터에 따라 온 및 오프로 스위칭될 수 있고, 제 1 방향에서 픽셀들의 폭은 정수 K에 의해 나누어진 투사 피치(Pproj)일 수 있다.

[0036] 또 추가의 양상에서, 본 발명은 리소그래피 프로세스를 사용하여 타겟상에서 기록하기 위해 특징들을 정의하기 위한 방법에 관한 것이다. 방법은 셀들의 어레이를 정의하는 단계 - 특징들은 셀들의 하나 이상을 점유함 - 및 셀 내에서 있는 특징들의 임의의 코너들을 각 셀에 대하여 설명하는 단계를 포함한다. 코너는 코너 포지션, 제 1 벡터 및 제 2 벡터에 의해 설명될 수 있고, 두 벡터들은 포지션으로부터 기원한다. 코너 포지션들은 두 좌표들 및/또는 카르테시안(Cartesian) 좌표들에 의해 설명될 수 있다. 각 벡터는 벡터에 대한 방향을 특정하는 오리엔테이션 코드에 의해 설명될 수 있다.

[0037] 특징은 시계방향과 같이, 제 1 벡터로부터 제 2 벡터로 미리 결정된 방향으로 이동할 때 벡터들에 의해 바운딩 되는 영역 및 셀 바운더리들로서 정의될 수 있다. 의사(pseudo) 코너는 셀 내에 부분적으로 있지만 그렇지 않으면 셀 내에 코너들을 가지지 않는 특징에 대하여 정의될 수 있다. 의사 코너는 서로에 관하여 180도에서 기원되는 제 1 및 제 2 벡터들에 의해 설명될 수 있다.

[0038] 벡터들은 오직 셀 바운더리에 평행이거나 또는 셀 바운더리에 수직인 방향을 가지도록 그리고/또는 셀 바운더리에 평행이거나, 셀 바운더리에 수직이거나 또는 셀 바운더리에 45도인 방향을 가지도록 선택될 수 있다.

[0039] 최소 특징 피치가 정의될 수 있고, 셀들은 최소 특징 피치와 같거나 작은 크기를 가질 수 있다. 셀들은 최소 특징 피치에 의해 곱해진 2의 스퀘어 루트의 반과 같거나 작은 크기를 가질 수 있다. 최소 특징 피치는 2의 스퀘어 루트만큼 곱해진 셀들의 크기보다 크거나 같은 크기로서 정의될 수 있다.

[0040] 셀 바운더리에 대하여 45도로 기원된 에지를 가지는 특징들 또는 특징들의 일부에 대하여, 최소 특징 피치는 2의 스퀘어 루트만큼 곱해진 셀들의 크기보다 크거나 또는 동일한 크기를 가지는 것으로 정의될 수 있다. 코너들의 최소 수는 각 셀에 대하여 정의될 수 있다. 각 셀은 하나 이상의 특징들을 포함할 수 있고, 그리고/또는 하나 이상의 특징들의 부분을 포함할 수 있다. 각 셀은 웨이퍼의 필드의 부분에 대한 패턴 데이터 또는 웨이퍼의 필드의 스트라이프의 패턴 데이터를 포함할 수 있다.

[0041] 다른 양상에서, 본 발명은 리소그래피 프로세스에서 사용하기 위해 패턴 데이터를 프로세싱하는 방법을 포함하고, 방법은 벡터 포맷으로 패턴 데이터를 제공하는 단계, 셀 기반 포맷으로 벡터 패턴 데이터를 발생한 패턴 데이터로서 변환하는 단계 및 리소그래피 프로세스에 사용하기 위해 2-레벨 패턴 데이터를 발생시키기 위해 셀 기반 패턴 데이터를 래스터화하는 단계를 포함한다. 셀 기반 패턴 데이터는 셀들의 어레이의 셀들 중 하나 이상을 점유하는 특징들을 설명하는 셀 데이터를 포함할 수 있고, 셀 데이터는 셀 내에 있는 특징들의 임의의 코너들을 각 셀에 대하여 설명한다. 셀 기반 패턴 데이터를 래스터화하는 단계는 리소그래피 프로세스가 수행되는 동안 실시간 프로세싱으로 수행될 수 있다. 셀 기반 패턴 데이터를 래스터화하는 것은 멀티-레벨 패턴 데이터를 발생하기 위해 셀 기반 패턴 데이터를 렌더링하는 것 및 2-레벨 패턴 데이터를 발생하기 위해 멀티-레벨 패턴 데이터를 디더링하는 것을 포함할 수 있다.

[0042] 또 다른 양상에서, 본 발명은 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법을 제공하고, 방법은 벡터 포맷으로 패턴 데이터를 제공하는 단계, 셀 기반 포맷으로 발생 패턴 데이터로서 벡터 패턴 데이터를 변환하는 단계, 2-레벨 패턴 데이터를 발생시키기 위해 셀 기반 패턴 데이터를 래스터화하는 단계, 하전 입자 리소그래피 기계에 의해 발생된 빔렛들을 온 및 오프 스위칭하기 위해 빔렛 블랭커 어레이에 2-레벨 패턴 데이터를 스트리밍하는 단계 및 2-레벨 패턴 데이터에 기반하여 빔렛들을 온 및 오프로 스위칭하는 단계를 포함한다.

[0043] 셀 기반 패턴 데이터는 셀들의 어레이의 셀들 중 하나 이상을 점유하는 특징들을 설명하는 셀 데이터를 포함할 수 있고, 셀 데이터는 각 셀에 대하여 셀 내에 있는 특징들의 임의의 코너들을 설명한다. 셀 기반 패턴 데이터를 래스터화하는 것은 리소그래피 기계가 웨이퍼를 노출하고 있는 동안 실시간 프로세싱으로 수행될 수 있다. 셀 기반 패턴 데이터를 래스터화하는 것은 멀티-레벨 패턴 데이터를 발생시키기 위해 셀 기반 패턴 데이터를 렌더링하는 것 및 2-레벨 패턴 데이터를 발생시키기 위해 멀티-레벨 패턴 데이터를 디더링하는 것을 포함할 수 있다.

발명의 내용

[0044] 본 발명은 복수의 하전 입자 빔렛들을 사용하여 웨이퍼를 노출하기 위한 방법을 제공한다. 방법은 상기 빔렛들 사이에서 비-기능 빔렛들을 식별하는 단계, 상기 웨이퍼의 제 1 부분을 노출하기 위해 상기 빔렛들의 제 1 서브

세트를 할당하는 단계 - 상기 제 1 서브세트는 상기 식별된 비-기능 빔렛들을 제외함 -, 상기 빔렛들의 제 1 서브세트를 사용하여 상기 웨이퍼의 제 1 부분을 노출하기 위해 제 1 스캔을 수행하는 단계, 상기 웨이퍼의 제 2 부분을 노출하기 위해 상기 빔렛들의 제 2 서브세트를 할당하는 단계 - 상기 제 2 서브세트는 또한 상기 식별된 비-기능 빔렛들을 제외함 -, 상기 빔렛들의 제 2 서브세트를 사용하여 상기 웨이퍼의 제 2 부분을 노출하기 위한 제 2 스캔을 수행하는 단계를 포함하고, 상기 웨이퍼의 제 1 및 제 2 부분들은 겹치지 않고, 함께 노출될 상기 웨이퍼의 완전한 영역을 포함한다.

[0045] 상기 제 1 및 제 2 서브세트들은 실질적으로 크기가 동일하고, 상기 제 1 및 제 2 부분들은 크기가 실질적으로 동일할 수 있다. 상기 제 1 및 제 2 부분들은 각각 상기 웨이퍼의 복수의 필드들로부터 선택된 스트라이프들을 포함할 수 있다. 상기 비-기능 빔렛들을 식별하는 단계는 실패된 또는 규격일탈(out of specification) 빔렛들을 식별하기 위해 상기 빔렛들을 측정하는 단계를 포함할 수 있다. 상기 빔렛들을 측정하는 단계는 센서상에서 상기 복수의 빔렛들을 안내하는(direct) 단계 및 상기 빔렛들의 존재를 검출하는 단계, 센서상에서 상기 복수의 빔렛들을 안내하는 단계 및 빔렛 위치를 측정하는 단계, 센서상에서 상기 복수의 빔렛들을 스캐닝하는 단계 및 빔렛 디플렉션을 측정하는 단계, 및/또는 센서상에서 상기 복수의 빔렛들을 스캐닝하는 단계 및 빔렛 전류를 측정하는 단계를 포함할 수 있다.

[0046] 상기 복수의 빔렛들은 그룹들로 나누어지고, 빔렛들의 각 그룹은 상기 웨이퍼의 각 필드 내에서 대응하는 스트라이프를 노출하기 위한 것이다. 상기 복수의 빔렛들에 관하여 상기 웨이퍼의 위치는 상기 제 1 스캔의 시점에서와 상기 제 2 스캔의 시점에서 상이할 수 있다.

[0047] 상기 방법은 상기 복수의 빔렛들에 관하여 상기 웨이퍼의 제 1 웨이퍼 위치를 계산하는 단계, 상기 제 1 스캔을 시작하기 전에 상기 제 1 위치에 상기 웨이퍼를 이동하는 단계, 상기 복수의 빔렛들에 관하여 상기 웨이퍼의 제 2 웨이퍼 위치를 계산하는 단계, 및 상기 제 2 스캔을 시작하기 전에 상기 제 2 위치에 상기 웨이퍼를 이동하는 단계를 더 포함할 수 있고, 상기 웨이퍼의 제 1 부분에 상기 빔렛들의 제 1 서브세트의 할당과 결합한 제 1 위치 및 상기 웨이퍼의 제 2 부분에 상기 빔렛들의 제 2 서브세트의 할당과 결합한 제 2 위치는 상기 빔렛들의 서브세트들 중 오직 하나의 빔렛들에 의해 노출되는 상기 제 1 및 제 2 부분들을 초래한다.

[0048] 상기 방법은 상기 빔렛들의 서브세트들 중 오직 하나의 빔렛들에 의해 노출되는 상기 제 1 및 제 2 부분들을 초래할 것인, 상기 웨이퍼의 제 1 부분에 상기 빔렛들의 제 1 서브세트의 할당과 결합한 제 1 위치 및 상기 웨이퍼의 제 2 위치에 상기 빔렛들의 제 2 서브세트의 할당과 결합한 제 2 위치를 결정하기 위한 알고리즘을 실행하는 단계를 대안적으로 더 포함할 수 있다.

[0049] 상기 방법은 빔렛 제어 데이터에 따라 각 스캔 동안 빔렛 블랭커 어레이에 의해 빔렛들이 온 및 오프 스위치되도록 하는 단계를 포함할 수 있다. 상기 빔렛 제어 데이터는 상기 제 1 스캔 동안 상기 빔렛들의 제 1 서브세트를 스위칭하기 위한 제 1 빔렛 제어 데이터 및 상기 제 2 스캔 동안 상기 빔렛들의 제 2 서브세트를 스위칭하기 위한 제 2 빔렛 제어 데이터를 포함할 수 있고, 상기 방법은 상기 제 1 스캔 동안 상기 빔렛 블랭커 어레이에 상기 제 1 빔렛 제어 데이터를 전송하는 단계 및 상기 제 2 스캔 동안 상기 빔렛 블랭커 어레이에 상기 제 2 빔렛 제어 데이터를 전송하는 단계를 더 포함한다.

[0050] 상기 방법은 상기 빔렛 제어 데이터를 발생시키기 위해 패턴 데이터를 프로세싱하는 단계를 더 포함할 수 있고, 상기 제 2 빔렛 제어 데이터는 상기 제 1 스캔 동안 발생된다. 상기 프로세싱하는 단계는 상기 빔렛 제어 데이터를 발생시키기 위해 상기 패턴 데이터를 래스터화하는 단계를 포함할 수 있고, 상기 제 2 빔렛 제어 데이터를 래스터화하는 단계는 상기 제 1 스캔 동안 수행된다. 상기 패턴 데이터를 프로세싱하는 단계는 상기 빔렛 블랭커 어레이에 스트리밍하기 위해 상기 빔렛 제어 데이터를 준비하는 단계를 포함할 수 있고, 상기 제 2 빔렛 제어 데이터는 상기 제 1 스캔 동안 상기 블랭커 어레이에 스트리밍하기 위해 준비된다.

[0051] 상기 방법은 상기 빔렛 제어 데이터를 발생시키기 위해 패턴 데이터를 프로세싱하는 단계를 더 포함하고, 노출될 다음 웨이퍼의 제 1 빔렛 제어 데이터는 현재 노출되는 상기 웨이퍼의 제 2 스캔 동안 발생할 수 있다. 상기 패턴 데이터를 프로세싱하는 단계는 상기 빔렛 제어 데이터를 발생시키기 위해 상기 패턴 데이터를 래스터화하는 단계를 포함할 수 있고, 상기 노출될 다음 웨이퍼의 제 1 빔렛 제어 데이터에 대하여 래스터화하는 단계는 현재 노출되는 상기 웨이퍼의 제 2 스캔 동안 수행될 수 있다. 상기 패턴 데이터를 프로세싱하는 단계는 상기 빔렛 블랭커 어레이에 스트리밍하기 위해 상기 빔렛 제어 데이터를 준비하는 단계를 포함할 수 있고, 상기 노출될 다음 웨이퍼의 제 1 빔렛 제어 데이터는 현재 노출되는 상기 웨이퍼의 제 2 스캔 동안 상기 블랭커 어레이에 스트리밍하기 위해 준비될 수 있다.

- [0052] 상기 방법은 상기 제 1 빔렛 제어 데이터를 발생시키기 위해 상기 패턴 데이터를 프로세싱하기에 충분한 제 1 수의 프로세싱 유닛들을 제공하는 단계, 상기 빔렛 블랭커 어레이에 상기 빔렛 제어 데이터를 전송하기 위해 제 2 수의 채널들을 제공하는 단계 — 각 채널은 빔렛들의 대응하는 그룹에 대한 데이터를 전송함 —, 상기 웨이퍼의 제 1 부분을 노출하기 위해 상기 빔렛들의 제 1 서브세트에 대응하는 상기 채널들에 상기 프로세싱 유닛들을 접속하는 단계, 상기 제 1 빔렛 제어 데이터를 발생시키기 위해 상기 프로세싱 유닛들에 상기 패턴 데이터를 프로세싱하는 단계, 및 상기 빔렛 블랭커 어레이에 상기 제 1 빔렛 제어 데이터를 전송하는 단계를 더 포함할 수 있다.
- [0053] 상기 방법은 상기 제 2 빔렛 제어 데이터를 발생시키기 위해 상기 패턴 데이터를 프로세싱하기에 충분한 제 3 수의 프로세싱 유닛들을 제공하는 단계, 상기 빔렛 블랭커 어레이에 상기 빔렛 제어 데이터를 전송하기 위해 제 4 수의 채널들을 제공하는 단계 — 각 채널은 빔렛들의 대응하는 그룹에 대한 데이터를 전송함 —, 상기 웨이퍼의 제 2 부분을 노출하기 위해 상기 빔렛들의 제 2 서브세트에 대응하는 채널들에 상기 프로세싱 유닛들을 접속하는 단계, 상기 제 2 빔렛 제어 데이터를 발생시키기 위해 상기 프로세싱 유닛들에 패턴 데이터를 프로세싱하는 단계, 및 상기 빔렛 블랭커 어레이에 상기 제 2 빔렛 제어 데이터를 전송하는 단계를 더 포함할 수 있다.
- [0054] 상기 제 1 수의 프로세싱 유닛들은 상기 제 1 빔렛 제어 데이터를 발생시키기 위해 상기 패턴 데이터를 프로세싱하고, 상기 제 2 빔렛 제어 데이터를 발생시키기 위해 상기 패턴 데이터를 프로세싱하기에 충분하지만, 동시에 상기 제 1 및 제 2 빔렛 제어 데이터 둘 다를 발생시키기 위해 상기 패턴 데이터를 프로세싱하기에 충분하지 않을 수 있다. 7개의 프로세싱 유닛들이 매 12개의 채널들에 대하여 제공될 수 있다.
- [0055] 다른 양상들에서 본 발명은 타겟상에서 패턴의 투사를 위한 하전 입자 빔렛들을 발생시키기 위한 블랭커를 포함하는 하전 입자 광학 컬럼을 포함하는 리소그래피 시스템, 타겟 지원, 상기 컬럼 및 타겟 지원은 시스템에서 서로에 대하여 이동가능하도록 포함되고, 상기 시스템은 패턴 데이터를 프로세싱하고 상기 컬럼의 블랭커에 전달하기 위한 데이터 경로를 더 포함하고, 상기 블랭커는 상기 타겟상에서 투사에 대하여 빔렛들의 각각을 온 및 오프로 스위칭할 수 있도록 배치되고, 상기 데이터경로는 타겟 지원 및 컬럼의 상대적 이동에서 빔렛의 투사 영역을 형성하는 타겟상에서 스트라이프에 관련된 투사 데이터로 패턴 데이터를 프로세싱하기 위한 프로세싱 유닛들을 포함하고, 상기 데이터 경로는 상기 투사 데이터에 의해 빔렛을 개별적으로 제어하기 위해 블랭커에 접속되는 채널들을 포함하고, 상기 시스템은 상이한 채널들 사이에서 프로세싱 유닛을 스위칭 접속하기 위한 스위치로 제공된다.

도면의 간단한 설명

- [0056] 본 발명의 다양한 양상들 및 본 발명의 실시예들의 특정 실시예들이 도면들에 도시된다:
- 도 1은 마스크리스(maskless) 리소그래피 시스템을 도시하는 개념적 도면이다;
- 도 2a는 하전 입자 리소그래피 시스템실시예의 간략화된 개략도이다;
- 도 2b는 데이터 경로에서 엘리먼트들의 간략화된 도면이다;
- 도 3 및 4는 빔렛 블랭커 어레이의 부분을 도시한다;
- 도 5는 필드들로 나누어지는 웨이퍼상에 기록 방향을 도시하는 도면이다;
- 도 6은 스캔라인 비트 프레임 및 빔렛 디플렉션을 도시하는 도면이다;
- 도 7은 패턴 오프셋 및 패턴 스케일링의 실시예를 도시하는 도면이다;
- 도 8은 4개의 빔렛들을 사용하여 스트라이프를 기록하기 위한 가능한 인터리빙 방식들의 예시들을 도시하는 도면이다;
- 도 9는 간략화된 네 개의 빔렛 블랭커 어레이 및 스캔 라인 패턴들의 도면이다;
- 도 10은 스캔라인들 사이에서 거리 및 팩터 K에 대한 값들의 테이블이다;
- 도 11은 빔 피치(P_b), 투사 피치(P_{proj}), 그리드 폭(W_{proj}) 및 틸트 또는 인경사각(α_{array})을 도시하는 9개의 빔렛들의 어레이의 도면이다;
- 도 12는 프레임 시작 표시자 비트의 도면이다;

- 도 13은 X개의 프로세싱 유닛들을 가진 노드의 도식도이다;
- 도 14는 스캔 당 채널 위치선들의 개념도이다;
- 도 15 및 16은 2개의 스캔들에 대한 채널들에 프로세싱 유닛들의 할당의 개념적 도면이다;
- 도 17-23은 리소그래피 기계의 용량에 관하여 데이터 경로의 용량을 변화하는 시뮬레이션 실험들의 결과들을 도시하는 그래프들이다;
- 도 24는 리소그래피 시스템에서 프로세스들의 의존도들을 도시하는 흐름도이다;
- 도 25 및 26은 x 및 y 패턴 시프트의 실시예를 도시하는 도면들이다;
- 도 27은 상이한 타입들의 정정들에 대한 전형적 파라미터들 및 범위들의 테이블이다;
- 도 28은 데이터 경로의 간략화된 기능 블록도이다;
- 도 29는 스트라이프에 오버레이된 레이아웃 패턴 특징들의 도면이다;
- 도 30은 디더링 프로세스의 도면이다;
- 도 31은 비트 프레임에서 비트 시프트하는 도면이다;
- 도 32는 파라미터들 $N=4$ 및 $K=3$ 에 대한 빔렛 위치선들의 도면이다;
- 도 33은 데이터 경로의 저장 엘리먼트들 및 데이터 프로세싱을 도시하는 도식 블록도이다;
- 도 34는 데이터 경로의 제 2 실시예의 기능 블록도이다;
- 도 35는 도 34의 데이터 경로에 대한 프로세스들의 의존도들을 도시하는 흐름도이다;
- 도 36은 패턴 스트리머 노드의 엘리먼트들의 블록도이다;
- 도 37은 도 36의 패턴 스트리머 노드의 엘리먼트들 사이에서 데이터 플로우(flow)를 도시하는 기능도이다;
- 도 38은 데이터 경로의 전송 엘리먼트들 및 프로세싱의 세부사항을 도시하는 블록도이다;
- 도 39는 압축 및 압축해제 기능들을 포함하는 데이터 경로의 부분의 기능 블록도이다;
- 도 40은 디더링된 모노크롬 테스트 이미지의 실시예를 도시한다;
- 도 41은 채널 렌더링 후 압축 및 압축해제 기능들을 포함하는 데이터 경로의 부분의 기능 블록도이다;
- 도 42는 셀의 렌더링된 비트맵의 실시예를 도시한다;
- 도 43은 픽 출력 픽셀들 및 입력 픽셀들의 스몰 그리드의 개념도이다;
- 도 44는 데이터 경로의 다른 실시예의 기능 블록도이다;
- 도 45는 도 44의 데이터 경로에 대하여 프로세스들의 의존도들을 도시하는 흐름도이다;
- 도 46은 패턴 스트리머 노드의 엘리먼트들의 블록도이다;
- 도 47 및 48은 도 46의 패턴 스트리머 노드의 엘리먼트들 사이에서 대안적인 데이터 플로우를 도시하는 기능도들이다;
- 도 49는 데이터 경로의 엘리먼트들 사이에서 통신의 도식도이다;
- 도 50은 패턴 스트리머 노드의 엘리먼트들 사이에서 대안적인 데이터 플로우(flow)를 도시하는 기능도이다;
- 도 51은 데이터 경로에 대한 GPU의 내부 구조의 도면이다;
- 도 52는 패턴 스트리머 노드의 엘리먼트들 사이에서 대안적인 데이터 플로우를 도시하는 기능도이다;
- 도 53은 데이터 경로의 다른 실시예의 기능 블록도이다;
- 도 54는 데이터 경로의 전송 엘리먼트들 및 프로세싱의 세부사항을 도시하는 블록도이다;
- 도 55는 인터리빙된/멀티플렉싱된 서브채널들을 가진 데이터 경로의 도식도이다;

도 56은 로우(row)-선택기들 및 컬럼 선택기들을 사용하는 디멀티플렉싱 방식의 도식도이다;

도 57은 패터닝된 빔 당 빔렛들의 수($N_{\text{pat beams}}$), 어레이 틸트 각(α_{array}), 투사 피치(P_{proj}) 및 K 팩터에 의존하는 픽셀 크기 및 그리드 폭의 테이블이다;

도 58a는 스마트 바운더리 전략을 도시하는 도면이다;

도 58b는 소프트 에지 전략을 도시하는 도면이다;

도 59는 오프-라인 래스터화를 사용하는 데이터 경로의 실시예의 기능 흐름도이다;

도 60은 인-라인 래스터화를 사용하는 데이터 경로의 실시예의 기능 흐름도이다;

도 61은 인-라인 래스터화를 사용하는 데이터 경로의 다른 실시예의 기능 흐름도이다;

도 62는 리얼-라인 래스터화를 사용하는 데이터 경로의 실시예의 기능 흐름도이다;

도 63은 네 개의 빔렛들의 어레이를 도시하는 도면이다;

도 64는 스티칭 방식을 도시하는 도면이다;

도 65는 팩터 $K=1$ 및 $K=3$ 을 가진 기록 전력을 도시하는 도면이다;

도 66은 4개의 빔렛들을 가지는 패터닝된 빔에 대하여 K의 가능한 값들을 도시하는 도면이다;

도 67은 패턴 레이아웃의 실시예를 도시하는 도면이다;

도 68은 코너 개념을 도시하는 도면이다;

도 69는 벡터 오리엔테이션들을 도시하는 도면이다;

도 70은 스쿼어 특징의 코딩을 도시하는 도면이다;

도 71은 복합 특징 형상들의 코딩을 도시하는 도면이다;

도 72는 셀의 대각 길이 미만인 최소 특징 피치의 예시를 도시하는 도면이다;

도 73은 자신들의 코너들의 일부에 부가된 셰리프들을 가진 특징들의 실시예를 도시하는 도면이다;

도 74는 하전 입자 멀티-빔렛 리소그래피 시스템의 실시예의 간략화된 도식도이다; 그리고

도 75는 빔 영역들 및 비-빔 영역들(non-beam areas)로의 분할을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0057] 아래는 실시예만으로서 주어지고, 도면들에 관한 본 발명의 다양한 실시예들의 도시이다.
- [0058] **하전(charged) 입자 리소그래피 시스템**
- [0059] 도 1은 세 개의 고 레벨 서브-시스템들: 웨이퍼 포지셔닝 시스템(101), 전자 광학 컬럼(102) 및 데이터 경로(103)로 분할되는 하전 입자 리소그래피 시스템(100)을 도시하는 개념도이다. 웨이퍼 포지셔닝 시스템(101)은 x-방향으로 전자 광학 컬럼(102) 아래에 웨이퍼를 이동한다. 웨이퍼 포지션 시스템(101)은 전자-광학 컬럼(102)에 의해 발생된 전자 빔렛들과 웨이퍼를 정렬하기 위해 데이터 경로(103)로부터 동기화 신호들로 제공된다.
- [0060] 도 2a는 전자 광학 컬럼(102)의 세부사항들을 도시하는 하전 입자 리소그래피 시스템(100)의 실시예의 간략화된 도식도를 도시한다. 이러한 리소그래피 시스템들은 예를 들어, 미국 특허 번호 제6,897,458호, 제6,958,804호, 제7,019,908호, 제7,084,414호 및 제7,129,502호 및 미국 특허 출원 제2007/0064213호 및 계속중인 미국 출원 번호 제61/031,573호, 제61/031,594호, 제61/045,243호, 제61/055,839호, 제61/058,596호 및 제61/101,682호에서 설명되고, 이는 모두 본 출원의 출원인에게 양도되고, 전체가 참조로써 본 명세서에 결합된다.
- [0061] 도 2a에 도시된 실시예에서, 리소그래피 시스템은 확장 전자 빔(130)을 생산하기 위해 예를 들어, 전자 소스와 같은 하전 입자 소스(110)를 포함한다. 확장 전자 빔(130)은 복수의 빔렛들(131)을 생성하기 위해 빔의 일부를 블록하는 어퍼처 어레이(111)상에 영향을 준다. 시스템은 바람직하게 약 10,000 내지 1,000,000 빔렛들의 범위에서 많은 수의 빔렛들을 발생시킨다.

- [0062] 전자 빔렛들(131)은 전자 빔렛들(131)을 포커싱하는 콘덴서 렌즈 어레이(112)를 통해 통과한다. 빔렛들(131)은 콜리메이터(collimator) 렌즈 시스템(113)에 의해 콜리메이트된다. 콜리메이트된 전자 빔렛들은 XY 디플렉터 어레이(114), 제 2 어퍼처 어레이(115) 및 제 2 콘덴서 렌즈 어레이(116)를 통해 통과한다. 결과적인 빔렛들(132)은 다음으로 빔렛들 중 하나 이상을 디플렉트하기 위한 복수의 블랭커들을 포함하는, 빔 블랭커 어레이(117)를 통해 통과한다. 빔렛들은 미러(143)를 통해 통과하고, 복수의 어퍼처들을 가지는 빔 정지 어레이(118)에 도착한다. 빔렛 블랭커 어레이(117) 및 빔 정지 어레이(118)는 빔렛들을 블록하거나 또는 통과시킴으로써, 빔렛들을 온 또는 오프로 스위칭하도록 함께 동작한다. 빔렛 블랭커 어레이(117)는 빔 정지 어레이(118)에서 대응하는 어퍼처를 통과하지 않은 것이지만 대신에 블록될 것이도록 빔렛을 디플렉트할 수 있다. 빔렛 블랭커 어레이(117)가 빔렛을 디플렉트하지 않으면, 그 다음에 빔 정지 어레이(118)에서 대응하는 어퍼처를 통해 통과할 것이다. 디플렉트되지 않은 빔렛들은 빔 정지 어레이를 통해 그리고 빔렛 디플렉터 어레이(119) 및 투사 렌즈 어레이들(120)을 통해 통과한다.
- [0063] 빔 디플렉터 어레이(119)는 타겟(104)의 표면에 걸쳐 빔렛들을 스캔하기 위해 디플렉트되지 않은 빔렛들의 방향으로 실질적으로 수직인, X 및/또는 Y방향에서 각 빔렛(133)의 디플렉션을 제공한다. 이 디플렉션은 빔렛들이 온 또는 오프로 스위칭하도록 빔렛 블랭커 어레이에 의해 사용되는 디플렉션과 구분된다. 다음으로, 빔렛들(133)은 투사 렌즈 어레이들(120)을 통해 통과하고 타겟(104)상으로 투사된다. 투사 렌즈 배열은 바람직하게 약 100 내지 500 회의 축소를 제공한다. 빔렛들(133)은 웨이퍼 포지셔닝 시스템(101)의 이동가능한 스테이지상에서 포지셔닝되는 타겟(104)의 표면에 영향을 준다. 리소그래피 애플리케이션들에 대하여, 타겟은 주로 하전-입자 민감층 또는 레지스트층으로 제공되는 웨이퍼를 포함한다.
- [0064] 도 2a에 도시된 표시는 매우 간략화된다. 선호되는 실시예에서, 단일 전자 빔은 그 다음에 더 큰 짝수의 빔렛들로 분리되는 많은 더 작은 서브빔들로 제 1 파티셔닝된다. 이러한 시스템은 전체가 참조로써 본 명세서에 결합되는 미국 특허 출원 제61/045,243호에 설명된다.
- [0065] 이 시스템에서, 각 서브빔은 패터닝된 빔으로 고려될 수 있는 다수의 빔렛들로 분리된다. 일 실시예에서, 각 서브빔은 7x7 어레이에서 배열된 49개의 빔렛들로 분리된다. 빔렛 블랭커 어레이는 바람직하게 각 개별적인 빔렛의 온/오프 스위칭을 가능하게 하기 위해 각 빔렛에 대하여 연관된 블랭커 전극을 가진 하나의 홀을 포함한다. 도 3 및 4는 패터닝된 빔 당 9개의 빔렛들을 가지는 실시예에 대하여 빔렛 블랭커 어레이의 부분을 도시하고, 빔렛들의 각 그룹은 3x3 어레이에서 배열된다. 패터닝된 빔에서 빔렛들의 배열 및 기록 전략들은 예를 들어, 전체가 참조로써 본 명세서에 결합되는, 미국 특허 출원 제61/058,596호에서 설명된다.
- [0066] 빔 디플렉터 어레이 및 투사 렌즈 어레이는 바람직하게 각 패터닝된 빔에 대하여 오직 하나의 홀 및 렌즈를 포함한다(예를 들어, 하나의 패터닝된 빔을 이루는 49개의 빔렛들의 각 그룹에 대하여 하나의 홀 또는 렌즈). 빔렛들은 단일 스트라이프를 기록하는 그룹에서 전형적으로 결합된다(인터리빙됨/멀티플렉싱됨).
- [0067] 데이터 경로 구조
- [0068] 데이터 경로(103)의 일 실시예의 간략화된 블록도가 도 2b에 도시되고, 데이터 경로의 부분은 도 2a에 또한 나타난다. 빔렛 블랭커 어레이(117)의 스위칭은 데이터 경로를 통해 제어된다. 프로세싱 유닛(140)은 리소그래피 기계에 의해 제조될 디바이스의 레이아웃을 설명하는 정보를 수신한다. 이 정보는 GDS-II 파일 포맷으로 전형적으로 제공된다. 프로세싱 유닛은 빔렛 블랭커 어레이(117)를 제어하기 위해 온/오프 제어 신호들을 발생시키기 위해 GDS-II 파일의 일련의 변형들을 수행한다.
- [0069] 제어 신호들은 광학 신호들로 전기적 제어 신호들을 변환하기 위해 레이저 다이오드들과 같은, 전기-광학 변환 디바이스들(143)에 전송된다. 광학 제어 신호들은 광학 파이버들(145)을 통해 가이딩된다. 파이버들의 출력에서 광 빔들(146)은 홀레이(holey) 미러(148)상에서 렌즈들(147)의 어레이를 통해 가이딩된다. 미러로부터, 광 빔들은 빔 블랭커 어레이(117)의 하측상에서 반사된다. 개별적인 광 빔들은 빔 블랭커 어레이(117)의 하측상에서 포토 다이오드들과 같은, 복수의 광학-대-전기 변환 디바이스들상에서 안내된다. 바람직하게, 모든 광학 파이버(145)에 대하여 빔렛 블랭커 어레이상에 포토 다이오드가 존재한다. 포토 다이오드들은 개별적인 빔렛들을 온 또는 오프로 스위칭하기 위해 빔렛들(132)의 디플렉션을 제어하기 위해 개별적인 빔 블랭커 전극들을 활성화하기 위해 동작한다.
- [0070] 개별적인 빔렛 블랭커 전극들을 제어하기 위한 제어 신호들은 각 광 빔(146)이 하나의 광학 파이버 및 포토 다이오드를 공유하는 다수의 빔렛들을 포함하는 채널에 대하여 제어 신호들을 캐리하도록 바람직하게 멀티플렉싱된다. 멀티플렉스 광 빔들은 포토 다이오드들에 의해 수신되고 전자 신호로 변환된다. 빔렛 블랭커 어레이

(117)는 다수의 빔렛 블랭커 전극들을 개별적으로 제어하기 위한 제어 신호들을 유도하기 위해 포토 다이오드들에 의해 수신되는 제어 신호들을 디멀티플렉싱하기 위한 논리를 포함한다. 선회되는 실시예에서, 하나의 패턴닝된 빔의 49개의 빔렛들을 제어하기 위한 개별적인 제어 신호들은 단일 광학 파이버를 통해 전송하기 위해 시간 멀티플렉싱되고, 빔렛 블랭커 어레이상에서 단일 포토 다이오드에 의해 수신된다.

[0071] 멀티플렉싱 외에, 빔렛 제어 신호들은 또한 전송을 위한 프레임들에서 배열될 수 있고, DC-커플링된 경향으로 포토 다이오드들 및 레이저 다이오드들을 사용하는 것을 방지하기 위해 빈번한 신호 전이들을 달성할 인코딩テクニック을 예를 들어, 사용하여 전송을 향상시키기 위해 부가적인 인코딩 및 동기화 비트들을 가질 수 있다. 전이들을 강화함으로써, 클럭 신호는 광학 신호에 자동적으로 분배된다. 도 12는 (하나의 패턴닝된 빔의) 49개의 빔렛들에 대한 멀티플렉싱된 제어 비트들, 동기화 비트들, 및 프레임을 가진 빔렛 제어 신호의 실시예를 도시한다.

[0072] 웨이퍼에 근접하여, 빔 디플렉터 어레이(119)는 웨이퍼(104)의 표면을 통해 전자 빔렛들의 스캐닝을 달성하기 위해 y-방향으로 전자 빔렛들을 디플렉트하기 위해 (및 또는 x-방향에서 스몰 디플렉션) 사용된다. 설명된 실시예에서, 웨이퍼(104)는 기계적으로 웨이퍼 포지셔닝 시스템(101)에 의해 x-방향으로 이동되고, 전자 빔렛들은 x-방향에 실질적으로 수직인 y-방향으로 웨이퍼를 통해 스캐닝된다. 데이터를 기록할 때, 빔렛들은 y-방향으로 (플라이-백 시간에 비하여) 천천히 디플렉트된다. 스윕의 종료 시, 빔렛들은 y-범위의 시작 포지션에 빨리 다시 이동된다(이는 플라이-백으로 지칭된다). 빔 디플렉터 어레이(119)는 데이터 경로(103)로부터 타이밍 및 동기화 정보를 수신한다.

[0073] **Channels**

[0074] 데이터 경로는 다수의 채널들로 나누어질 수 있다. 채널은 프로세싱 유닛으로부터 리소그래피 시스템으로의 전자 데이터 경로이다. 일 실시예에서, 채널은 전지-대-광학 변환기(예를 들어, 레이저 다이오드), 빔렛 제어 신호들을 전송하기 위한 단일 광학 파이버 및 광학-대-전기 변환기(예를 들어, 포토 다이오드)를 포함한다. 이 채널은 다수의 개별적인 빔렛들(예를 들어, 패턴닝된 전자 빔을 이루는 49개의 빔렛들)을 포함하는 단일 패턴닝된 빔에 대한 제어 신호들을 전송하기 위해 할당될 수 있다. 하나의 패턴닝된 빔은 웨이퍼상에서 단일 스트라이프를 기록하기 위해 사용될 수 있다. 이 배열에서, 채널은 다수의 빔렛들(예를 들어, 49개의 빔렛들)을 포함하는 하나의 패턴닝된 빔의 제어를 위해 전용되고, 패턴 데이터에 따라 하나의 스트라이프를 기록하기 위한 빔렛 제어 신호들을 캐리하는 데이터 경로 컴포넌트들을 나타낸다. 서브채널은 패턴닝된 빔 내에 단일 빔렛의 제어에 전용된 데이터 경로 컴포넌트들을 나타낸다.

[0075] **데이터 경로 프로세싱**

[0076] 데이터 경로(101)는 전자 빔렛들을 제어하기 위해 온/오프 신호들로 레이아웃 데이터를 변형한다. 상기 언급된 바와 같이, 이 변형은 GDS-II 또는 유사한 파일의 형태로 전형적으로 레이아웃 데이터상에서 일련의 변형들을 수행하는 프리프로세싱 유닛(140)에서 수행될 수 있다. 이 프로세스는 전형적으로 평탄화/프리프로세싱, 래스터화 및 멀티플렉싱 단계들을 포함한다.

[0077] 평탄화/프리프로세싱 단계는 레이아웃 데이터 포맷을 도스 맵으로 변형한다. 도스 맵은 벡터 형태로 웨이퍼상에서 영역들 및 연관된 도스 레이트 값들을 설명한다. 이 단계는 근접 유효 정정과 같은 임의의 프리프로세싱을 포함할 수 있다. 프리프로세싱의 복잡성 때문에, 이 단계는 바람직하게 오프라인으로 수행된다. 래스터화 단계는 제어(온/오프) 신호들의 스트림으로 도스 맵을 변형한다. 멀티플렉싱 단계는 멀티플렉싱 방식에 따라 빔렛 제어 신호들을 패키징한다.

[0078] 리소그래피 기계에서 웨이퍼들을 기록하기 위한 프로세스는 아래의 단계들의 시퀀스로 대략 설명된다. 웨이퍼(104)는 웨이퍼 포지셔닝 시스템(101)의 스테이지상에 인스톨되고, 컬럼(102)은 진공 조건들로 유지되고, 빔렛들은 교정된다. 웨이퍼는 기계적으로 정렬되고, 필드 정렬들(오프셋들)마다 계산된다. 웨이퍼는 스테이지에 의해 +x-방향으로 이동되고, 컬럼은 제 1 필드를 기록하기 시작한다. 빔렛 블랭커 어레이의 홀들의 리딩 로우(row)가 필드 바운더리를 통과할 때, 오프셋 정정들이 다음 필드에 대하여 인스톨된다. 제 1 필드는 여전히 기록되는 동안, 리소그래피 시스템은 다음 필드를 기록하기 시작할 것이다. 로우(row)에서 마지막 필드를 기록한 후, 스테이지는 빔렛 블랭커 어레이 아래 웨이퍼상에서 필드들의 다음 로우(row)를 포지셔닝하기 위해 이동할 것이다. 새로운 런(run)은 스테이지가 -x-방향으로 이동하는 동안 시작할 것이다. 스캔 디플렉션의 방향은 바람직하게 변하지 않는다.

[0079] **정정들**

- [0080] 데이터 경로에 의해 수행되는 데이터 프로세싱은 다양한 타입의 정정들 및 보상들을 하기 위해 빔렛 제어 신호들에 대한 다수의 상이한 교정들을 제공할 수 있다. 이들은 사용된 레지스트의 프로퍼티들의 결과로서 발생한 영향들에 대하여 보상하기 위해 예를 들어, 근접 정정 및 레지스트 가열 정정을 포함할 수 있다. 데이터 조정들은 또한 리소그래피 기계에서 발생하는 에러들 또는 실패들에 대하여 보상하기 위해 설계된 정정들을 포함할 수 있다.
- [0082] *하전 입자 리소그래피 기계들의 선호되는 실시예에서, 빔들의 빔렛 포지션, 크기, 전류 또는 다른 특성들에서 에러들을 정정하기 위해 개별적인 전자 빔렛들을 조정하기 위해 리소그래피 기계로 구축된 설비들이 존재하지 않는다. 빔렛의 실패 또는 오정렬, 저 또는 고 빔렛 전류, 빔렛의 부정확한 디플렉션과 같은 오류들. 이러한 오류들은 리소그래피 기계의 제조, 먼지 또는 더스트 블로킹 빔렛들 또는 하전되고 디플렉팅된 빔렛들, 기계의 컴포넌트들의 실패 또는 악화에서 결점들 또는 허용 분산들의 결과일 수 있다. 리소그래피 기계는 부가적인 컴포넌트들을 결합함으로써 필요로되는 컬럼의 크기의 증가를 회피하고, 물리 빔 정정들을 하기 위해 전지-광학 컬럼으로 부가적인 컴포넌트들을 결합하는 데 수반되는 부가적인 복잡성 및 비용을 회피하기 위해 빔렛들에 대한 개별적인 정정들을 하기 위한 정정 렌즈들 또는 회로들을 생략한다. 하지만, 빔렛 제어 신호들의 조작 및/또는 웨이퍼의 부가적인 스캔들은 이러한 타입들의 문제들을 보상할 수 있다. 데이터 경로에서 발생하는 실패들은 웨이퍼를 재스캐닝하는 것과 결합하여 제어 신호들의 조작에 의해 또한 정정될 수 있다. 이러한 정정들을 하기 위한 다양한 방법들은 아래에 설명된다.
- [0083] **중복 스캔**
- [0084] 상기 설명된 하전 입자 리소그래피 기계의 실시예는 데이터 경로에서 많은 수의 광학 파이버들 및 레이저 다이오드들, 각 패터닝된 빔에 대한 많은 수의 정전기 렌즈들 및 디플렉터들 및 빔렛 블랭커 어레이에서 매우 많은 수의 블랭커 엘리먼트들을 가진다. 실패가 이러한 컴포넌트들의 일부에서 발생할 수 있거나 또는 규격 내에서 수행하지 않도록 오염들에 의해 영향을 받거나 또는 악화될 것인 상당한 기회가 존재한다. 가능한한 시스템의 유지 사이의 시간을 확장하기 위해 확인은 실패된 또는 규격일탈 빔렛들 또는 데이터 채널들을 식별하기 위해 주기적으로 수행될 수 있다. 이 확인은 각 웨이퍼 스캔 전에, 웨이퍼의 각 제 1 스캔 전에 또는 임의의 다른 편리한 순간들에 수행될 수 있다. 확인은 예를 들어, 전체가 본 명세서에 의해 결합되는 계속중인 미국 특허 출원 제61/122,591호에 설명된 바를 포함하는, 하나 이상의 빔 측정들을 포함할 수 있다. 중복 스캔의 주 목표는 컬럼에서 실패된 부분들의 교체가 시간 소비적이기 때문에, EO 컬럼에서 발생하는 실패들에 대하여 보상하기 위한 것이다. 하지만, 중복 스캔은 데이터 깊이에서 실패들과 대항하기 위해 또한 사용될 수 있다. 예를 들어, 하나의 채널에서 레이저 다이오드의 실패된 광학 파이버는 실패된 채널에 의해 기록된 스트라이프들을 기록하기 위해 중복 스캔 동안 상기 채널을 오프하고 다른 채널을 사용함으로써 정정될 수 있다.
- [0085] 실패된 또는 규격일탈 빔렛이 검출되는 경우, 빔렛은 상기 빔렛에 의해 노출된 스트라이프가 기록되지 않도록 스위칭 오프될 수 있다. 중복 스캔으로 지칭된 제 2 스캔은 제 1 스캔 동안 생략된 웨이퍼 스트라이프를 기록하기 위해 그 다음에 사용된다. 상기 설명된 바와 같은 패터닝된-빔렛 시스템에서, 실패된 또는 규격일탈 빔렛을 포함하는 완전한 채널은 스위칭 오프될 수 있고, 상기 채널의 빔렛들에 의해 노출된 웨이퍼 필드의 완전한 스트라이프가 기록되지 않을 것이다. 전체 웨이퍼의 제 1 스캔을 수행한 후, 중복 스캔은 그 다음에 손실 스트라이프(및 실패된 빔렛들을 가진 다른 채널들에 대한 임의의 다른 손실 스트라이프들)에 채워지도록 수행될 수 있다.
- [0086] 중복 스캔에 대하여, 웨이퍼는 제 1 스캔 후 시작 지점으로 돌아가지만, 또한 적절히 기능하는 채널들이 손실 스트라이프들을 기록할 수 있음을 보장하는 포지션에 시프팅된다. 중복 스캔에 대한 패턴 데이터는 중복 스캔이 제 1 스캔의 완료 후 가능한한 빨리 시작할 수 있도록 제 1 스캔 동안 리소그래피 시스템에서 바람직하게 준비된다. 제 1 스캔의 종료 및 중복 스캔의 시작 사이에 상당한 지연이 바람직하게 존재하지 않고, 그래서, 중복 스캔에 대한 데이터는 바람직하게 적절한 노드상에서 빨리 이용가능하다.
- [0087] 리소그래피 기계는 바람직하게 하나의 스캔에서 연속적인 인-라인 필드들을 기록할 수 있고, 기계적 스캔과 평행인 x-방향의 양 방향, 즉, -x 및 +x 방향으로 기록할 수 있다. 기계는 또한 컬럼의 에지들에서 주로 위치된 스페어 빔들(또는 패터닝된 빔들)을 바람직하게 포함한다.
- [0088] 적절히 기능하는 채널들에 의해 중복 스캔 동안 손실 스트라이프들을 기록하기 위해, 웨이퍼는 적절히 기능하는 빔렛들을 가진 채널들이 손실 스트라이프 포지션들을 기록하기 위해 포지셔닝될 때까지 다수의 스트라이프들에 대응하는 양을 y-방향 및/또는 x-방향으로 컬럼에 관하여 시프팅(오프셋)될 수 있다. 이는 스테이지상에서 웨이퍼의 기계적 오프셋에 의해 바람직하게 달성된다. 모든 종류의 에러 포지션들(예를 들어, 제 1 및 최종 채널

둘 다의 실패)에 대처하기 위해 제 1 및 제 2 스캔 둘 다의 오프셋이 요구될 수 있다.

[0089] **멀티-패스 스캔**

[0090] 제 2 스캔은 또한 중복 스캔 기능을 여전히 달성하면서, "멀티-패스 스캔" 실시예에서, 결합이 있는 빔렛들뿐만 아니라 기능하는 빔렛들에 대한 제 1 스캔을 늘리기 위해 사용될 수 있다. 멀티-패스 스캔에서, 웨이퍼의 각 팔드의 스트라이프들의 모두를 기록하기 위해, 웨이퍼의 제 1 스캔은 필드 스트라이프들의 부분을 기록하고, 제 2 스캔은 스트라이프들의 잔여 부분을 기록한다. 이 원리는 또한 더 큰 수의 스캔들이 웨이퍼를 노출하기 위한 총 시간을 증가시키고, 웨이퍼 스루풋을 감소시키지만, 3개의 스캔들 또는 네 개의 스캔들 등으로 확장될 수 있다. 그러므로, 2-패스 스캔 또는 듀얼 스캔 어프로치가 선호된다.

[0091] 빔렛들의 실패 레이트는 전형적으로 낮기 때문에 제 2 스캔 및 중복 스캔을 결합하는 것이 가능하다. 빔 측정은 실패된 그리고 규격일탈 빔렛들을 검출하기 위해 제 1 스캔 전에 수행될 수 있다. 이 정보를 사용하여, 기능하는 빔렛들에 의해 스캔하기 위해 할당되는 웨이퍼의 모든 픽셀을 초래할 것인 제 1 및 제 2 스캔이 계산될 수 있다. 중복 스캔에서와 같이, 바람직하게, 실패된 또는 규격일탈 빔렛이 검출될 때, 빔렛이 스위칭 오프됨을 포함하는 전체 채널 및 다른 기능하는 채널(모든 규격 내 빔렛들을 가진)이 실패된 채널에 의해 기록되는 스트라이프들을 기록하기 위해 사용된다.

[0093] *다양한 알고리즘들은 기능하는 채널들에 의해 기록되는 모든 스트라이프들을 초래하기 위해 각 스캔에 대하여 요구되는 웨이퍼 오프셋 및 제 1 및 제 2 스캔에 대하여 사용될 채널을 계산하기 위해 사용될 수 있다. 2-패스 스캔에 대하여, 알고리즘은 임의의 채널들을 사용하지 않는 각 스캔 사이에서 채널들의 50/50 분리를 찾는다. "브루트 포스(brute force)" 어프로치는 다양한 채널 할당들을 테스트하기 위해 사용될 수 있고, 적절한 조합 또는 더 섬세한 매칭 알고리즘을 발견하기 위해 웨이퍼 오프셋들이 사용될 수 있다.

[0094] 그러므로, 웨이퍼에 대한 총 노출 전류는 2(이상) 스캔들 사이에서 나누어진다. 멀티-패스 스캔에서, 제 2 스캔(또는 제 3 스캔 또는 제 4 스캔 등)은 중복 스캔에서와 같이, 제 1 스캔에서 실패된 채널에 할당된 스트라이프들을 스캔하기 위해 사용될 수 있다. 멀티-패스 스캔은 또한 임의의 실패된 또는 오정렬된 빔렛들의 부재시에 사용될 수 있다. 둘 이상의 스캔들을 통한 노출 전류의 분할은 웨이퍼의 순간 가열이 문제점이 적어지는 이점을 가진다. 각 스캔에 대한 총 빔렛 전류가 감소되기 때문에, 각 스캔에 의해 웨이퍼에 의해 전해지는 열이 또한 감소된다. 총 열 로드가 실질적으로 동일하게 유지되지만, 더 적은 로컬화 또는 순간 열 로드를 초래하여 다수의 스캔들에 걸쳐 퍼진다.

[0095] 다수의 스캔들을 사용하는 것은 또한 데이터 경로에서 요구되는 용량을 감소시킨다. 각 웨이퍼에 대하여 2 스캔들을 사용할 때, 데이터 경로의 데이터 전송 용량은 각 스캔이 오직 빔렛 제어 데이터의 양의 반을 요구하기 때문에, 이론적으로 반이다. 요구되는 용량의 이 감소는 요구되는 막대한 데이터 전송 용량 및 데이터 경로의 연관된 고 비용 때문에 의미있다. 하나의 채널을 포함하는 패터닝된 빔 당 49개의 빔렛들을 가진 상기 설명된 실시예에 대하여, 대략적으로 채널 당 4 Gbit/sec의 전송 용량이 예상될 수 있다. 13,000개의 패터닝된 빔들을 가진 기계 - 각 패터닝된 빔은 49개의 빔렛들을 포함-는 각각이 4Gbit/sec 용량을 가진 13,000 채널들을 요구할 수 있다. 그러므로 데이터 경로에 대하여 요구된 용량을 감소시키는 것은 상당하다.

[0097] ***기록 전략**

[0098] 현재 산업 표준은 300mm 웨이퍼이다. 웨이퍼들은 26mm x 33mm의 최대 차원을 가진 고정된 크기 필드들로 나뉘어진다. 각 필드는 다수의 IC들(즉, 다수의 칩들에 대한 레이아웃이 단일 필드로 기록될 수 있다)을 생산하기 위해 프로세싱될 수 있지만, IC들은 필드 보더를 횡단하지 않는다. 26mm x 33mm의 최대 크기를 이용하여 단일 표준 웨이퍼상에 63개의 필드들이 이용가능하다. 더 작은 필드들이 가능하고, 웨이퍼 당 더 높은 수의 필드들을 초래할 것이다. 도 5는 필드들로 나누어진 웨이퍼, 및 필드들의 기록의 방향을 도시한다. 필드는 전형적으로 26mm x 33mm의 최대 크기를 가진 웨이퍼상에서 사각형 영역이다. GDS-II 파일은 필드의 특징들을 설명한다. 또한 예를 들어, 부분 필드들로 풀 필드들을 기록하고 웨이퍼 바운더리를 횡단함으로써 부분(불완전) 필드들을 기록하는 것이 가능하다.

[0099] 리소그래피 기계의 선호되는 실시예에서, 기계는 13000개의 서브빔들을 발생시키고, 각 서브빔은 49개의 빔렛들로 분할되고, 이는 637,000개의 빔렛들(즉, 13000 x 49)을 초래한다. 빔렛 블랭커 어레이는 26 x 26 mm의 영역에서 13,000개의 포토 다이오드들 및 637,000 홀들을 포함한다. 빔렛 블랭커 어레이에서 각 포토 다이오드는 49(7x7)개의 블랭커 홀들/빔렛들의 제어를 위해 멀티플렉싱된 제어 신호를 수신한다. 26mm의 거리에 걸친 13,000개의 서브빔들은 y-방향(기계적 스캔에 수직)에서 폭 2 μ m 및 x-방향에서 필드만큼 긴 스트라이프를 초래

한다. 각 서브빔의 49개의 빔렛들은 단일 스트라이프를 기록한다.

- [0101] *웨이퍼는 바람직하게 순방향 및 역방향 x-방향 둘 다에서 리소그래피 기계에 의해 기록된다(노출된다). y-방향에서 기록의 방향(디플렉터에 의해)은 주로 일 방향이다.
- [0102] 필드의 크기(높이)가 전자-광학(E0) 분리의 크기(즉, 웨이퍼상에서 투가되는 빔렛들의 완전한 어레이의 크기)보다 더 작도록 선택될 때(예를 들어, 26mm의 최대 크기보다 더 작음), 그 다음에 더 많은 필드들이 웨이퍼상에 위치될 수 있지만, 모든 전 빔렛들이 웨이퍼상에서 기록하기 위해 사용되지 않을 것이다. E0 분리는 더 여러번 웨이퍼를 스캔할 필요가 있을 것이고 전체 스루풋은 감소할 것이다.
- [0103] 기계가 필드에 패턴들을 기록할 때, 임의의 순간에서 빔렛 블랭커 어레이는 다음 필드에 진입하고 패턴들을 기록하기 시작하고, 그래서 기계는 동시에 두 개의 필드들에 기록할 수 있어야만 한다. 필드가 충분히 작은 경우, 기계는 동시에 3개의 필드들을 기록할 수 있어야만 한다.
- [0104] 9(3x3)개의 블랭커 홀들/빔렛들의 제어를 위해 각각이 멀티플렉싱된 제어 신호를 수신하는 오직 16개의 포토 다이오드들을 가진 빔렛 블랭커 어레이의 간략화된 버전은 도 3 및 도 4에 도시된다. 연관된 블랭커 전극을 가진 블랭커 홀은 블록하거나 또는 빔렛을 통해 통과할 수 있다(전자 빔). 블랭커 홀을 통해 통과하는 빔렛은 웨이퍼 표면상에서 레지스트를 기록할 것이다.
- [0105] 도 3에서, 블랭커 홀들의 배열은 병렬 투사 기록 전략에 대하여 도시되지만, 도 4에서 이는 수직 전력 전략에 대하여 도시된다. 도 4에서, 빔렛들에 대한 블랭커 홀들은 풀 스트라이프 폭에 걸쳐 분산되고, 즉, 각 빔렛은 기록(스캔) 방향에 수직인 방향으로 이웃 빔렛들로부터 등거리에 위치된다. 이는 빔 사이의 비에 대하여 이 배열의 효율을 작은 수의 홀들에 대하여 가능하게 하고, 빔렛 전류를 매우 낮을 것이다. 효율의 측정은 블랭커 홀들 사이의 총 영역 및 하나의 패턴닝된 빔에 대한 홀이 그룹화되는 영역 사이의 비인 필 팩터(fill factor)이다. 필 팩터는 전류 입력(빔 전류) 및 전류 출력(빔렛 전류들의 합)에 관하여 특정 그리드 지오메트리의 효율을 평가하기 위해 유용하다. 빔렛 홀들의 그룹의 영역이 더 작을 때, 필 팩터는 더 선호되는 값으로 증가할 것이다.
- [0106] 작은 수의 홀들에 대하여 잘 동작하는 기록 전략은 "병렬 투사" 기록 전략(도 3 참조)이고, 여기서(가장 간단한 형태에서) 개별적인 빔렛들은 인터리빙되고, 풀 스트라이프 폭(도 8b에 도시됨)을 기록한다. 이러한 기록 전략은 전체가 참조로써 본 명세서에 통합된 미국 특허 출원 제61/058,596호로 설명된다.
- [0107] **스캔 라인**
- [0108] 빔 디플렉터 어레이(119)는 평행한 모든 빔렛들에 대한 삼각형 디플렉션 신호를 발생시킬 것이다. 디플렉션 신호는 도 6의 도식도에서 도시된 플라이-백 페이지 및 스캔 페이지를 포함한다. 스캔 페이지 동안, 디플렉션 신호는 y-방향으로 천천히 빔렛들을 이동시키고(스위칭 온되었을 때), 빔렛 블랭커 어레이는 빔렛 제어 신호들에 따라 빔렛을 온 및 오프로 스위칭할 것이다. 스캔 페이지 후 플라이-백 페이지가 시작한다. 플라이-백 페이지 동안, 빔렛은 스위칭 오프되고, 디플렉션 신호는 다음 스캔 페이지가 시작할 것인 포지션에 빔렛을 빨리 이동한다.
- [0109] 스캔 라인은 스캔 페이지 동안 웨이퍼의 표면상에 빔렛의 경로이다. 특별한 측정들 없이, 스캔 라인은 정확히 웨이퍼상에서 y-방향을 따라 기록하지 않을 수 있지만, 또한 x-방향의 연속적인 스테이지 이동때문에 작은 x-방향 컴포넌트로 다소 왜곡될 것이다. 이 에러는 스테이지 이동을 매칭하기 위해 디플렉션 필드에 작은 x-방향 컴포넌트를 부가함으로써 정정될 수 있다. 이 정정은 데이터 경로가 이 에러에 대하여 정정할 필요가 있도록 E0 컬럼에서 처리될 것이다. 이 x-방향 컴포넌트는 스테이지 이동이 y-방향 디플렉션 스캔 속도에 비하여 느리기 때문에 작다(전형적인 x:y 상대 속도는 1:1000일 수 있다). 하지만, 이 x-방향 컴포넌트의 영향은 패턴닝된 빔들을 가진 시스템들에서 매우 증가된다. 먼저, 디플렉션 속도는 패턴닝된 빔 당 빔렛들의 수에 비례하여 감소될 수 있다. 두번째로, (도 3, 4, 및 9의 실시예들에서 도시된 바와 같이) 빔렛들의 어레이의 경사에 기인하여, 웨이퍼상의 스캔 라인들에서 왜곡은 상이한 빔렛들에 의해 이루어진 스캔 라인들 사이에서 거리를 변경하는 것을 초래할 것이다. 충분히 큰 왜곡은 서로에 관하여 포지션을 겹치거나 또는 변경하는 스캔 라인들을 초래할 수 있다.
- [0110] 스캔 라인(우측에서 도 6을 참조)은 세 개의 섹션들로 분할된다: 시작 오버스캔 섹션, 패턴 섹션 및 종료 오버스캔 섹션. 빔렛들은 y-방향을 따라 디플렉트된다. 빔렛들이 디플렉트되는 거리는 자신의 스트라이프가 기록해야만 하는 것보다 전형적으로 넓다. 오버스캔은 빔렛이 기록하는 포지션들을 시프트하고 스케일링하기 위한 공간을 제공한다. 오버스캔은 단일 측 서플러스(surplus)이다. 2pm의 스트라이프 폭 및 0.5pm(또는 25%)의 오

버스캔의 경우에서, 이는 3pm의 스캔 라인 길이를 초래한다. 스캔 라인 비트 프레임의 오버스캔 섹션들은 패턴을 기록하기 위해 사용되는 비트들을 유지한다(패턴 섹션 비트들). 오버스캔 비트들은 항상 스위칭 오프되지만, 파이버를 통해 전송된다. 스캔 라인 비트 프레임의 패턴 섹션은 래스터화된 패턴을 설명하는 비트들을 유지한다. 이 섹션에서 비트들은 특징들을 기록하기 위해 동적으로 스위칭 온 및 오프된다.

[0111] 도 6에서(좌측에서), 스캔 라인은 오직 하나의 빔렛이 스트라이프를 기록하는 상황에 대하여 도시된다. 디플렉션 사이클 동안 빔렛의 경로는 A-B-C이다. AB는 스캔 페이지 동안 스캔 라인 이동인 반면, BC는 빔렛이 스위칭 오프되는 동안 플라이-백이다. 스트라이프 보더들은 D 및 E로 마킹된다. 도 6에서 우측에서 오버스캔 및 패턴 섹션들이 식별된다. 스캔 라인을 통해 빔렛을 스위칭하기 위한 빔렛 제어 신호의 비트들의 총 세트는 스캔 라인 비트 프레임으로 호칭된다.

[0112] 전체 스캔 라인 동안 빔렛들은 리소그래피 시스템에 의해 제어된다. 오버스캔 섹션에서 빔렛들은 스위칭 오프될 것이다. 패턴 섹션에서, 빔렛들은 웨이퍼 필드에서 기록되도록 요구되는 특징들에 따라 스위칭된다. 오버스캔 섹션 및 패턴 섹션 둘 다에 대한 스캔 라인 비트 프레임에서 비트들은 빔렛 블랭커 어레이에 전달될 데이터를 표시한다. 오버스캔 섹션에서 비트들/픽셀들은 필요가 없고 데이터 경로의 대역폭을 소비한다. 하지만, 오버스캔 섹션에서 비트들/픽셀들은 정정들에 대한 공간을 제공하고(패턴 시프트 및 패턴 스케일링과 같음), 알고리즘들을 스티칭하기 위한 공간을 제공하고, 모든 빔렛들이 풀 스트라이프 폭을 기록하는 경우 기록 전략들이 사용될 때 빔렛들에 대한 블랭커 홀들의 y-포지션들에서 차이들에 대한 공간을 제공할 수 있다(병렬 투사).

[0113] 빔렛들 및 특정 픽셀 크기를 제어하는 빔렛 제어 신호들에 대한 고정된 비트 레이트를 가정하면, 스캔 라인은 고정 길이 비트 프레임, 스캔 라인 비트 프레임으로 맵핑될 수 있다.

[0114] 도 7에서, 실시예는 패턴 오프셋 및 패턴 스케일링 둘 다에 대하여 주어진다. 스캔 라인(A)는 오프셋 또는 스케일링을 하지 않은 보통 스캔 라인이고, 스캔 라인을 빔렛 기록하는 것은 웨이퍼 상에서 올바르게 원하는 특징을 노출하기 위해 올바르게 정렬되고 올바르게 디플렉트된다. 스캔 라인(B)은 예를 들어, 빔렛의 오정렬에 기인하여 스트라이프와 최적으로 정렬되지 않는다. 이는 하나의 풀 픽셀에 의해 빔렛 제어 신호에서 데이터를 시프팅함으로써, 빔렛 스위칭의 타이밍을 조정하여 정정될 수 있다. 이는 스캔 라인 비트 프레임 내에서 제어 비트들을 시프팅함으로써 달성될 수 있다.

[0115] 스캔 라인(C)은 예를 들어, 로컬하게 보통보다 약한 빔렛의 디플렉션에 기인하여 스트라이프 바운더리들(D 및 E) 내에 올바르게 맞도록 스케일링되지 않는다. 그러므로, 패턴 섹션은 제어 신호의 더 많은 비트들을 소비하는 반면, 오버스캔 섹션들은 덜 사용한다. 스트라이프를 기록할 패턴은 스트라이프 폭에 대하여 더 많은 비트들을 필요로 한다. 비트 프레임 관점에서, 시프팅 및 스케일링은 풀 픽셀 레졸루션에서만 이루어질 수 있다. 하지만, 래스터화 프로세스는 서브픽셀 레졸루션 정정들(예를 들어, 0-1 픽셀)을 처리할 수 있다. 둘을 결합하는 것은 2.7 픽셀들의 시프트와 같은 시프트들에 대하여 허용할 수 있다.

[0116] 빔렛 기록 전략

[0117] 상기 설명된 실시예에서, 각 서브빔은 49개의 빔렛들로 분리되고 채널은 스트라이프를 기록하기 위해 49개의 빔렛들을 결합한다. 스트라이프를 기록하기 위해 많은 상이한 기록 전략들이 존재한다. 빔렛 기록 전략은 스트라이프를 기록하기 위해 빔들이 어떤 방식으로 배열되는지를 정의한다. 방식은 스택킹(stack), 인터리빙 또는 겹침의 조합들일 수 있다. 빔렛들은 두 개의 페이지들로 디플렉팅된다: 스캔 및 플라이-백. 스캔 페이지 동안, 빔렛은 웨이퍼를 통해 자신의 스캔 라인을 따라 디플렉팅된다(스위칭 온 될 때). 스캔 라인 비트 프레임의 패턴 섹션은 원하는 칩 특징들을 노출하기 위해 비트 패턴으로 채워질 것이다.

[0118] 도 8에서, 여러 실시예들이 4개의 빔렛들을 사용하여 스트라이프를 기록하기 위해 가능한 인터리빙 방식들을 도시한다. 이러한 실시예들은 실시간으로 빔렛들을 기록하는 방법을 도시하지 않지만, 기록을 마쳤을 때 스트라이프의 어떤 부분을 어떤 빔렛이 기록했는지를 도시한다.

[0119] 실시예(A)는 빔렛들을 스택킹하는 것을 도시한다. 모든 빔렛은 자신의 고유 서브스트라이프에 기록한다. 이 구성에 대하여, 각 빔렛은 플라이 백하기 전에 작은 수의 비트들만을 기록한다. 디플렉션 신호의 주파수는 높고 자신의 진폭은 낮다. 이 기록 전략은 그룹의 빔렛들이 그룹 폭(빔렛들의 수(N) x 투사 피치(Pproj))이 스트라이프 폭과 같도록(수직 투사) 배열되는 경우에 적합하다.

[0120] 수직 투사는 기록 전략들의 일종이다. 수직 투사의 기본적 형태에 대하여, 모든 빔렛들은 작은 서브스트라이프들을 기록한다. 서브스트라이프의 폭은 스트라이프 폭의 단편이다. 블랭커 홀들의 그리드의 크기는 전형적인

로 스트라이프 폭에 관련된다.

- [0121] 실시예(B)에서, 빔렛들은 풀 스트라이프 폭에 걸쳐 인터리빙된다. 디플렉션 신호의 주파수는 낮고 자신의 진폭은 크다. 인터리빙 스캔 라인들과 맞는 기록 전략은 병렬 투사 기록 전략이다. 특히 그룹에서 상대적으로 낮은 수의 빔렛들에 대하여, 이 전략은 더 작은 그룹 크기 및 향상된 필 비를 허용한다. 작은 수의 빔렛들 때문에, 웨이퍼상에서 그룹의 크기는 합리적인 필 팩터때문에 스트라이프보다 상당히 작다. 이 기록 전략(병렬 투사)에 대하여, 그룹에서 특정 수의 빔렛들 및 특정 빔렛 피치에 대하여 구현되는 일련의 픽셀 크기들을 계산할 수 있다. 그래서 픽셀 크기는 임의 값이 아니다. 스캔 라인 비트 프레임에서 여분의 비트들은 빔렛 블랭커 홀 및 스트라이프의 센터 사이에서 가장 나쁜 경우 오프셋을 보상하기 위해 추가될 수 있다.
- [0122] 병렬 투사는 기록 전략들의 일종이다. 병렬 투사에 대하여 모든 빔렛들은 인터리빙된 방식으로 풀 스트라이프 폭을 기록한다. 블랭커 홀들의 그리드는 스트라이프 폭에 관련되지 않는다.
- [0123] 실시예(C)는 인터리빙 및 스테킹의 조합이다. 실시예(D)에 대하여, 연속적인 인터리빙된 층들은 벽돌 벽처럼 겹치고 있다. 실시예(C)에 비하여, 이 구성은 빔렛들 사이에서 더 나은 평균화를 제공할 것이다. 스트라이프 바운더리에서 스트라이프 바운더리들에 걸쳐 기록할 수 있는 빔렛들이 존재한다.
- [0124] 도 8은 스캔 라인들이 어떻게 스트라이프를 채우는지의 실시예를 도시한다. 기록 전략은 빔렛 블랭커 어레이상에서 빔렛들에 대하여 어떻게 스캔 라인들이 홀들의 패턴을 사용하여 기록할 것인지를 결정한다. "병렬 투사" 기록 전략의 하나의 이점은 자신의 효율이다. 하나의 전자 빔은 빔렛들을 만들기 위해 사용된다. 자신의 효율은 홀들의 그룹의 영역(빔 입력 전류)에 비하여 홀들의 총 영역(빔렛들 출력 전류)의 비에 의존한다. 상대적으로 작은 수의 홀들(49)에 대하여, 빔의 영역(빔렛들의 그룹)은 수용가능한 효율에 대하여 작아야만 한다. "병렬 투사"에 대하여 빔(그룹) 크기는 스트라이프 폭보다 작다.
- [0125] 픽셀 크기는 중요한 시스템 파라미터이다. 블랭커 그리드(홀들의) 및 픽셀 크기 사이의 관계는 아래에 설명된다.
- [0126] 도 9는 간략화된 빔렛 블랭커 어레이를 도시한다. 각 빔렛에 대하여 빔렛 블랭커 어레이의 대응하는 홀 및 각 홀에서 블랭커 전극이 존재한다. 블랭커는 블랭커 전극들에 에너지를 공급하거나 공급하지 않음으로써 빔렛들을 스위칭 온 또는 오프하기 위해 전기들을 포함한다. 단순한 실시예로서, 오직 네 개의 홀들을 가진 어레이가 도시되고 패턴닝된 빔은 네 개의 빔렛들로 구성된다.
- [0127] 그리드 하에서 스캔 라인 패턴들의 5개의 로우(row)들은 도 8에서 패턴에 유사하게 도시된다. 5개의 로우(row)들은 1 내지 5의 범위에서 K의 특정 값들에 대하여 도시된다. K는 예를 들어, 스캔들 사이에서 스테이지의 이동에 의해 야기된 스캔 라인들 사이의 거리에 관한 팩터이다. 상이한 K개의 팩터들은 x-방향에서 스테이지 이동의 상대적 속도 및 y-방향에서 디플렉션 속도(스캔 페이즈 및 플라이-백 페이즈)를 조정함으로써 달성될 수 있다.
- [0128] 도 9의 K=1에 대한 로우(row)에서, 스테이지가 그룹 폭의 거리를 이동할 때 기록될 것인 패턴이 도시된다. 스캔 라인들 사이의 거리는 이 투사에 대한 블랭커 홀들 사이의 거리, 즉, 투사 피치(Pproj)와 동일하다. 실시예에서, 투사 피치는 픽셀 크기보다 훨씬 클 것이고, 상수이다(리소그래피 기계의 설계 파라미터). 도 9의 다른 로우(row)들은 스테이지가 그룹 크기의 정수 단편만을 이동할 때 x-방향에서 스캔 라인 거리에 어떤 일이 생기는지를 도시한다. K는 이 단편이다.
- [0129] K의 임의의 값들은 이전 스캔 라인들의 오버라이팅을 초래할 것이다. K의 이러한 값들은 사용되지 않아야 한다. 이를 회피하는 K의 값들은 식 $GCD(N, K)=1$ 에 의해 정의되고, GCD는 가장 큰 공통 디노미네이터, N은 하나의 채널에 대하여 빔렛 블랭커에서 홀들의 수이고(즉, 각 패턴닝된 빔에서 빔렛들의 수) 및 K는 그룹 크기에 대한 스케이지 이동의 단편이다. 그리드에서 홀들의 수의 가장 큰 공통 디노미네이터 및 K의 값이 1과 같은 경우, 그 다음에 K의 값이 수용가능하다. 값 K=5를 사용할 때, 스캔 라인들 사이의 거리는 또한 동일한 팩터로 감소시킬 것이다. "병렬 투사"를 사용하고 K의 적절한 값을 선택하여, 픽셀 크기(적어도 x-방향에서)를 결정할 수 있다. 제한은 하지만 오직 고정된 일련의 픽셀 크기들만이 이로부터 초래된다는 것이다. 팩터 K는 디플렉션 주파수 및 스테이지 속도를 링크한다.
- [0130] 도 65는 상부 실시예에서, 팩터 K=1을 가지고, 하부 실시예에서, K=3을 가지는 기록 전략을 도시한다. 도 66은 4개의 빔렛들을 가지는 패턴닝된 빔에 대한 K의 가능한 값들을 도시한다.
- [0131] 49개의 홀들(예를 들어, 7x7 어레이)의 그리드에 대한 실시예는 61nm의 빔 피치를 가정하는(전형적인 홀 크기로

주어진 25% 필 레이트를 줄 것임) K의 여러 유효 값들에 대하여 x-방향에서 픽셀 크기(나노미터 단위)를 설명하는 도 10의 테이블에서 제공된다. 이러한 파라미터들에 대하여 투사 피치(P_{proj})는 8.6nm일 것이다. 이 지오메트리에 대한 그리드 폭은 W_{proj}=414nm이다. 그러므로, 비트프레임은 +/- 207nm의 기록 전략 시프트를 처리할 수 있다.

[0132] 도 11은 빔 피치(P_b), 투사 피치(P_{proj}), 그리드 폭(W_{proj}) 및 틸트 또는 경사각(α_{array})을 포함하여 사용되는 용어들의 일부의 정의들을 도시하는 9개의 빔렛들의 어레이의 도면이다. 도 63은 4개의 빔렛들의 어레이를 도시하는 다른 실시예이다.

[0133] 도 57은 패터닝된 빔 당 빔렛들의 수(N_{pat_beams}), 어레이 틸트 각(α_{array}), 투사 피치(P_{proj}) 및 K 팩터에 의존하는 픽셀 크기 및 그리드 폭의 테이블을 도시한다. 큰 픽셀 크기는 발생되고 데이터 경로를 통해 전송되도록 요구되는 제어 데이터의 양을 감소시키고 스루풋을 증가시키기 위해 요구된다. 하지만, 픽셀들의 크기는 원하는 CD 및 레지스트 프로퍼티들에 의해 제한된다. 테이블에서, x-방향에서 3.5nm의 최적 픽셀 크기(L_{pixx})가 가정되고, 좌측으로부터 제 4 컬럼은 투사 피치 및 최적 픽셀 크기에 기반하여 K의 계산된 값들을 도시한다. 주어진 패터닝된 빔 당 빔렛들의 수가 수용가능한 K의 가장 가까운 값은 좌측으로부터 제 5 컬럼에서 도시된다. 제 6 및 제 7 컬럼들은 패터닝된 빔 당 빔렛들의 주어진 수, 어레이 틸트 각, 투사 피치 및 K 팩터에 대하여 초래할 것인 나노미터들에서 픽셀 크기 및 그리드 폭을 도시한다.

[0134] 더 높은 K는 더 빠른 디플렉션 스캔 속도(스테이지 이동에 비하여)를 표시하고, x-방향에서 더 작은 픽셀을 초래한다. 일정한 데이터 레이트에서, 픽셀은 픽셀 형상이 대략적으로 정사각형에서 직사각형으로 변하도록 y-방향에서 더 커질 것이다.

[0135] 빔렛 기록 전략 정정들

[0136] 빔렛들은 겹치지 않는 스캔 라인들을 기록할 수 있도록 EO-슬릿에 대한 각으로 지향된다. 디플렉션 방향에 관하여 EO-슬릿의 틸트는 도 11에 도시된 바와 같이, y-방향에서 포지션 차이를 야기한다. 이 포지션 차이는 정정될 수 있다. 모든 빔렛에 대하여 시프트에 대한 값은 투사 피치의 배이다. 도 11에서, 탑 홀 및 센터 홀 사이의 차이는 W_{proj}/2와 같다. 이러한 값들은 폴 픽셀 시프트 컴포넌트 및 서브-픽셀 시프트 컴포넌트를 초래할 것이다. 폴 픽셀 시프트 컴포넌트는 바람직하게 항상 보상되지만, 서브픽셀 컴포넌트는 실시간 래스터화를 사용할 때만 보상될 수 있다.

[0137] 멀티플렉싱, 프레임링, 코딩 및 동기화

[0138] 시스템 비용들을 감소시키기 위해, 하나의 광학 파이버는 많은(예를 들어, 7x7=49) 블랭커 홀들을 제어하기 위해 사용될 수 있다. 일 실시예에서, 각 파이버를 통해 송신된 연속적인 제어 비트들은 빔렛 블랭커 어레이의 연속적인 블랭커 홀들을 제어하기 위해(즉, 일련의 빔렛들을 제어하기 위해) 사용된다. 일 실시예에서, 각 파이버는 단일 패터닝된 빔상에서 49개의 빔렛들의 제어를 위해 49개의 서브채널들에 대하여 제어 정보를 전송하는 채널을 포함한다. 이 제어 정보는 각 빔렛에 대하여 블랭커 전극들에 적용되기 전에 먼저 버퍼링될 수 있거나, 제어 정보는 버퍼링 없이 직접 적용될 수 있다. 버퍼는 이 목적을 위해 빔렛 블랭커 어레이상에서 제공될 수 있다. 각 빔렛에 대하여 개별적인 제어 비트들을 분리하기 위해 멀티플렉싱된 서브채널을 디코딩할 로우(row)-선택기들 및 컬럼 선택기들을 사용하여 인터리빙된/멀티플렉싱된 서브채널들을 가진 데이터 경로의 도식도는 도 55에서 도시되고, 디멀티플렉싱 방식의 도식도는 도 56에 도시된다.

[0139] 동기화 목적들에 대하여 그리고 제어 정보 스트림에서 어떤 비트가 어떤 빔렛에 속하는지를 표시하기 위해, 일부 종류의 프레임링이 도 12의 실시예에서 도시된 바와 같이 바람직하게 사용된다. 이 실시예에서, 프레임 시작 표시자 비트들(이 실시예에서 7 비트들)은 빔렛 블랭커상에서 프레임머가 동기화할 것인 순환 패턴에서 사용된다.

[0140] DC 밸런싱된 시퀀스가 포토 다이오드측상에서 자동 임계치 조정 및 AC 커플링된 광학 전송기들의 사용에 대하여 요구될 때, 임의의 종류의 인코딩이 바람직하게 사용된다. 일 실시예는 예를 들어, 8b/10b 코딩이다. 이는 하지만, 비트레이트에 25%를 부가하는 8/10 비트 코딩을 이용한 더 높은 비트레이트를 초래할 것이다.

[0141] 신호의 프레임링 및 인코딩은 또한 프레임의 시작을 마킹하기 위해 특정 인코딩된 단어들을 사용함으로써, 결합될 수 있다.

[0142] 각 채널은 개별적인 빔렛들의 수(예를 들어, 49개의 빔렛들)에 대한 데이터를 캐리할 것이다. 정보는 데이터

경로로부터 블랭커에 일련의 방식으로 전송될 것이다. 블랭커상에서 디멀티플렉싱 및 동기화 구현에 따라, 일련의 데이터 전송에 기인하여 상이한 시간들에서 상이한 빔렛들에 대하여 제어 정보를 수신하는 블랭커로부터 초래되는 "블랭커 타이밍 오프셋"을 보상할 필요가 존재할 수 있다. 가능한 여러 빔렛 동기화 옵션들이 존재한다. 동기화 구현은 블랭커상에서 구현을 위한 가능성에 주로 의존한다.

[0143] 빔렛들의 동기화는 예를 들어, 하나의 동기화 신호에 모든 빔렛들을 동기화하거나, 컬럼에서 모든 빔렛들을 동기화하거나, 로우(row)에서 모든 빔렛들을 동기화하거나, 또는 빔렛들을 동기화하지 않는 상이한 방식으로 수행될 수 있다. 7x7 어레이로 배열된 패터닝된 빔 당 49개의 빔렛들을 가진 실시예에 대하여, 하나의 동기화 신호에 모든 빔렛들을 동기화하기 위해 49개의 빔렛들에 대하여 제어 데이터는 빔렛들을 스위칭하기 위해 49개의 블랭커 전극들 중 각각에 동기적으로 버퍼링되고 적용될 수 있다. 컬럼에서 모든 빔렛들을 동기화하기 위해 각 컬럼에서 7개의 채널들에 대한 제어 데이터는 빔렛들의 상기 컬럼에 대하여 7개의 블랭커 전극들에 버퍼링되고 동기적으로 적용될 수 있다. 로우(row)에서 모든 빔렛들을 동기화하기 위해 각 로우(row)에서 7개의 채널들에 대한 제어 데이터는 빔렛들의 상기 로우(row)에서 7개의 블랭커 전극들에 버퍼링되고 동기적으로 적용될 수 있다. 동기화가 수행되지 않을 때, 모든 49개의 빔렛들의 제어 데이터는 데이터가 블랭커에 의해 수신됨에 따라 블랭커 전극들에 직접 적용될 수 있다.

[0144] 컬럼(column), 로우(row) 또는 비 동기화에 대하여, 개별적인 빔렛 픽셀 타이밍은 상이할 것이다. 빔렛들 사이에서 타이밍 차이들이 존재할 때, 차이들은 y-방향에서 픽셀들을 시프팅함으로써, 보상될 수 있다. 이 시프트는 서브픽셀 범위에서 항상 존재할 것이다. 보상은 시프트가 로우(row)-빔렛 바인딩에 의존하기 때문에 실시간으로 래스터화가 실행될 때만 가능하다.

[0145] **스티칭**

[0146] 필드가 다수의 빔들에 의해 기록되기 때문에, 스티칭은 상이한 빔들에 의해 기록된 필드의 부분들 사이에서 바람직하게 사용된다. 스티칭 에러(이웃 빔에 의해 기록된 패턴에 관하여 하나의 빔에 의해 기록된 패턴의 시프트)는 두 타입들의 리소그래픽 에러를 초래한다: 크리티컬 차원(CD) 에러(스티칭 바운더리에서 너무 두껍거나 너무 얇은 라인들) 및 오버레이 에러. 오버레이 에러에 대하여, 5nm는 전형적으로 허용된다. 스티칭 에러로치들은 에러들을 스티칭하는 것을 초래하는 CD 에러를 제거하기 위한 방법들이다. 상이한 스티칭 전략들이 사용될 수 있다. 이들은 예를 들어, 비 스티칭, 래깅된(ragged) 에지들, 소프트 에지들 및 스마트 바운더리들이다.

[0147] 비 스티칭 전략에 대하여, 빔들의 양호한 정렬을 제외하고, 특별한 수단이 필요하지 않음이 기재된다. 하나의 빔은 다른 빔이 시작하는 경우 종료한다. 오정렬들의 경우에서, 라인들은 도스가 낮거나 또는 너무 높은 경우 나타날 것이다. 빔 스폿은 임의의 정도로 이 영향을 평균할 것이다. 하지만, 비 스티칭이 선호되지 않는다.

[0148] 래깅된 에지들 스티칭 전략은 예를 들어, 전체가 참조로써 본 명세서에 결합되는 미국 특허 공개공보 제 2008/0073588호에서 설명된다.

[0149] 소프트 에지 전략에 대하여 빔들의 기록 범위들은 겹쳐질 것이다. 도 58b는 소프트 에지 전략을 도시하는 도면을 도시한다. 패턴들은 두 개의 빔들이 기록하는 양 끝에서 페이드 아웃(fade out)된다(디더링 전예). 이 전략은 에러들이 도면에서 1 μ m 소프트 에지로 도시된 영역에 걸쳐 퍼지는 효과를 가진다. 이 전략의 부작용은 특정 픽셀들이 이중으로 기록될 수 있다는 것이다(즉, 200% 도스로). 상대적으로 큰 빔 크기때문에, 도스는 여러 픽셀들 사이에서 퍼질 것이다.

[0150] 스마트 바운더리 전략은 겹쳐진 기록 범위를 정의하지만 오직 하나의 빔이 이 영역에서 기록하도록 한다. 도 58a는 스마트 바운더리 전략을 도시하는 도면을 도시한다. 도시된 실시예에서, 100nm 겹쳐진 기록 범위가 사용되고, 이는 예를 들어, 4nm 픽셀들을 가진 25픽셀들이다. 두 개의 스트라이프들 또는 필드들 사이에서 바운더리에서 또는 그 근처에서 패턴 데이터의 특징들의 크리티컬한 부분들은 하나의 스트라이프 또는 다른 스트라이프로 식별되고 위치될 것이다. 이는 크리티컬한 특징들이 항상 단일 빔에 기록될 것이도록 특징의 크리티컬한 부분을 횡단하는 것을 회피하도록 이동되는 두 개의 스트라이프들 사이의 실제 기록 바운더리를 초래한다.

[0151] 소프트 에지 스티칭 전략은 다음 스트라이프의 영역으로 부드럽게 두 바운더리들이 페이드 아웃하는 경우이다. 소프트 에지 스티칭 전략에 대하여, 0.5 μ m의 최대 오버스캔 길이가 사용될 수 있다. 5nm의 스티칭 에러가 발생하는 경우 이는 5nmx 라인 폭의 영역에서 100% 도스 에러를 초래한다. 스티칭 겹침이 1 μ m인 경우, 이 100% 도스 에러는 100%x5nm/1 μ m=0.5%로 감소된다. 총 도스 에러 예산은 3%로 설정될 수 있고, 0.5% 도스 에러는 이

도스 에러 예산으로부터 에러들을 스티칭하기 위해 주어질 합리적인 예산이다.

- [0152] 스티칭 방법들(소프트 에지들 또는 스마트 바운더리들) 및 오버스캔 길이는 스캔 당 선택될 수 있다. 오버스캔 길이의 감소는 기계의 더 높은 스루풋을 초래할 것이다. 사용자는 소프트 에지 또는 스마트 바운더리 스티칭 전략 및 소프트 에지의 크기를 바람직하게 선택할 수 있다.
- [0153] **요구된 데이터 경로 용량의 감소**
- [0154] 두 개의 스캔들을 가진 멀티-패스 스캔의 사용은 자신의 최대 용량의 절반에서 기록하는 리소그래피 기계를 초래한다. 기록 용량의 이 감소는 데이터 경로에 대하여 요구되는 하드웨어의 양을 상당히 감소시킬 수 있다.
- [0155] 채널은 데이터 경로에서 작업의 유닛이다. 채널은 스캔 동안 하나의 스트라이프를 기록할 수 있다. 실시간 프로세싱에 수반된 데이터 경로의 엘리먼트들은: 고속 메모리, 프로세싱 유닛, 레이저, 파이버, 및 블랭커이다. 채널들의 오직 50%만이 하나의 스캔에 대하여 활성이기 때문에, 프로세싱 유닛들의 수는 동일 팩터에 의해 대략적으로 감소될 수 있다.
- [0156] 동시에 소수의 채널들을 스트리밍하는 프로세싱 유닛들의 감소는 아래의 이점들을 가진다: 채널당 요구되는 적은 논리 셀들, 채널의 노드당 요구되는 고속 메모리 대역폭의 심한 제한, 및 요구되는 고속 메모리 저장 크기의 가능한 감소. 프로세싱 유닛들의 수를 감소시키는 것은 또한 불이익들을 가진다: 적절한 채널들에 대하여 레이저 및 프로세싱 유닛들을 접속할 방법이 존재해야만 하고, 특히 다수의 후속(클러스터) 채널 에러들의 경우에서, 새로운 제한이 스캔들을 실패하도록 할 수 있다.
- [0157] 노드의 개념은 이후의 설명에서 사용된다. 노드가 접속된 Y (광학)개의 채널들을 가지고 이용가능한 X 개의 프로세싱 유닛들을 가진다. 도 13은 이러한 노드에 대한 모델을 도시한다. 상업적으로 이용가능한 전기 대 광학(E/O) 변환기들은 12개의 채널들을 포함한다(즉, $Y=12$). E/O 변환기(예를 들어, 레이저 다이오드들)은 리소그래피 기계의 블랭커에 광학 파이버들을 통해 전송되는 광학 데이터로 프로세싱 유닛들로부터 전기 제어 데이터를 변환한다. E/O 변환기들을 유도하는 프로세싱 유닛들(예를 들어, 필드 프로그램어블 게이트 어레이들, FPGA들)은 X 개의 채널들을 포함한다. $X*Y$ 크로스포인트는 임의의 O/E 변환기들에 임의의 프로세싱 유닛들을 스위칭하기 위해 사용될 수 있다. $X*Y$ 크로스포인트는 별개의 디바이스이거나 또는 프로세싱 유닛들에 집적된다. 크로스포인트를 이용하여 임의의 데이터 경로 출력들(Y)에 임의의 프로세싱 유닛 출력들(X)을 라우팅하는 것이 가능하다.
- [0158] 임의의 광학 채널(들)이 실패하는 경우에서, 먼저 제 1 및 제 2 스캔 사이의 시프트에 대한 가능성들은 모든 스트라이프 포지션들이 적어도 하나의 적절한 워킹 채널에 의해 커버된다고 결정될 필요가 있다. 가능한 시프트 포지션들이 알려질 때, 이용가능한 프로세싱 유닛들이 스트라이프들의 커버 100% 및 스캔들 사이에 할당되는지 결정된다.
- [0159] 도 14에서, 스캔 당 채널 포지션들은 개념도로 도시된다. 도 14에서 도시된 스트라이프들(블루)은 두 개의 개별적인 시프트 값들 및 채널 에러들의 이 특정 조합으로 기록된다. 겹치는 그리고 겹치지 않는 채널 포지션들 사이에서 구분이 중요하다. 올바르게 기록될 겹치는 채널 포지션에서 스트라이프에 대하여, 스캔들 중 하나에 대한 이 포지션에서 워킹 채널이 이용가능해야만 한다. 겹치지 않는 채널 포지션들에 대하여, 제 1 및 제 2 스캔 사이의 웨이퍼의 시프트는 하나의 특정 스캔에서 스트라이프를 기록할 가능성이 있을 때인 두 영역들을 초래할 것이다. 이 영역에서 실패된 채널은 양호한 채널들의 시퀀스를 파괴할 것이다. 좌측 최대 채널 에러(도면에서 이를 지적하는 빨간 화살표를 참조)는 자신의 우측에서 시작하도록 스트라이프들을 강요한다. 좌측에서 채널들이 사용될 수 없다. 전형적으로 시프팅은 에러들이 없게 될 겹쳐지는 영역을 얻도록 사용되고(두 개의 스캔들을 사용하여) 겹치는 영역에서 임의의 채널들은 기록할 요구되는 수의 스트라이프들에 도달하기 위해 사용될 수 있다.
- [0160] 겹쳐지지 않는 영역에서 포지션을 기록할 수 없는 가능성은 겹쳐지는 영역에서 포지션을 기록할 수 없는 가능성에 비하여 상대적으로 높다. 그러므로, 전형적으로 겹쳐지지 않는 영역에서 "양호한 채널들"의 시퀀스들은 짧다. 그러므로, 12870개의 채널들을 사용하여 두 개의 스캔들에서 13000개의 스트라이프들을 커버링하는 것은 겹쳐지지 않는 영역들에서 양호한 채널들의 상대적으로 큰 시퀀스들의 이용가능성에 너무 많이 의존하기 때문에 어려울 수 있다. 13130개의 채널들을 사용하는 두 개의 스캔들에서 13000개의 스트라이프들을 커버하는 것은 자신의 성공이 겹쳐지지 않는 영역들에서 너무 많이 의존할 것이기 때문에 매우 쉬울 것이다. 실시에서, 스트라이프들의 풀 시퀀스가 겹치는 영역에서 발견될 것이다.
- [0161] 프로세싱 유닛들의 수가 감소될 때 새로운 제한이 도입된다. 적절한 시프트들을 발견하는 것 외에, 제 1 및 제

2 스캔에 대한 채널들에 프로세싱 유닛들의 성공적인 할당이 발견되어야 한다. 도 15에서 이 실시예가 도시된다. 이 실시예에 대하여, 우리는 5개의 채널들 및 3개의 프로세싱 유닛들을 관리하는 노드들을 가정한다. 하얀 점들은 채널들이 스위칭 오프됨을 표시하지만, 검은 점들은 사용되고 프로세싱 유닛이 할당되는 채널들을 표시한다. 빨간 십자가는 채널 에러들을 표시한다. 노드가 특정 스캔에 대하여 노드에서 활성인 최대 세 개의 프로세싱 유닛들을 가지는 제한을 위반하지 않음을 검증할 수 있다.

[0162] 도 16은 겹치지 않은 영역들에 대한 채널들보다 적은 프로세싱 유닛들을 사용하는 결과를 도시한다. 도면은 양호한 채널들의 최대 시퀀스가 노드에 대한 5개의 채널들 당 세 개의 프로세싱 유닛들의 제한을 이용하여 획득된다. 최대 길이는 노드 당 프로세싱 유닛들의 수의 두 배와 동일하다. 다른 시프트 값들에 대하여(도 16의 시프트는 이상적이다), 겹치지 않은 영역에서 유용한 시퀀스는 실질적으로 더 작을 것이다(시프트가 1씩 증가할 때 무슨 일이 일어나는지 보라). 그러므로, 겹치지 않은 영역에서 채널들은 전보다 더욱 유용하지 않다(프로세싱 유닛들의 양을 감소시키는 것을 고려하지 않음).

[0163] 겹치지 않은 영역들에서 채널들의 더 나쁜 활용 외에, 동일한 제한들에 기반한 다른 약점은 겹치는 영역에서 나타난다. 겹치는 영역에서, 노드 당 프로세싱 유닛들의 수를 감소시키는 것은 에러들의 시퀀스들(에러 클러스터들)에 대하여 민감하게 변역된다. 12개의 채널들의 노드 당 7개의 프로세싱 유닛들의 구성에 대하여, 프로세싱 유닛들의 수 더하기 1의 두배의 클러스터들이 실패 할당을 초래할 것이다. 클러스터가 단일 노드에 맵핑되는 경우, 할당은 프로세싱 유닛들 더하기 1 크기의 클러스터들에 대하여 실패할 것이다. 핸들링 클러스터들이 실제 병목(bottleneck)일 때마다, 여전히 노드 크기를 스케일링할 가능성이 존재한다(예를 들어, 24개의 채널들 및 14개의 프로세싱 유닛들). 이는 큰 클러스터들에 대하여 민감도를 감소시킬 것이다. 시스템이 특정 레벨까지 채널 에러들에 대하여 강건(robust)한 것이 중요하다. 또한, 프로세싱들이 감소하는 경우에서, 채널 에러들에 대한 강건함은 합리적인 레벨에서 유지된다.

[0164] 중복 스캔의 개념에 대하여 중요한 파라미터들은 스트라이프들의 수, 채널들의 수, 에러 채널들의 예상된 수, 에러 클러스터들의 예상된 크기, 노드 당 채널들의 수 및 노드 당 프로세싱 유닛들의 수이다. 채널 에러들을 식별한 후, 시스템은 필요한 스트라이프들의 수보다 크거나 같은 길이의 "양호한" 시퀀스들을 초래하는 가능한 시프트 조합들을 발견할 것이다. "양호한" 시퀀스는 겹치지 않은 영역들에서 "양호한" 채널 포지션들 또는 채널들 중 적어도 하나가 "양호한" 겹치는 영역들에서 포지션들로 구성된다. 이 프로세스는 시프트들의 리스트 및 "양호한" 영역의 시작 및 크기를 초래할 것이다.

[0165] 채널들 및 프로세싱 유닛들 사이의 1-대-1 관계의 경우에서, 성공적인 웨이퍼 시프트는 성공에 대한 조건이다. 채널들보다 적은 프로세싱 유닛들의 경우에서, 성공적인 할당은 부가적인 요건이다. 할당은 모든 스트라이프 포지션들이 오직 "양호한" 채널들을 사용하여 두 개의 스캔들 중 하나에 의해 기록될 때 성공적이다. 스캔 당, 노드들은 이용가능한 것보다 많은 프로세싱 유닛들을 할당하지 못할 수 있다.

[0166] 가능한 할당 전략은 먼저 특정 스트라이프 포지션들을 기록해야만 하는 채널들을 할당한다. 이러한 포지션들은 전형적으로 겹치지 않은 영역들에서 포지션들이고, 다른 스캔에서 에러 채널들에 대응하는 하나의 스캔의 겹치는 영역들에서 포지션들이다. 임의의 노드가 이용가능한 것보다 더 많은 프로세싱 유닛들을 필요로 하는 경우, 할당 시도는 실패할 것이다.

[0167] 일 측으로부터 시작하면, 할당은 반복적으로 스트라이프 포지션들을 통해 진행한다. 프로세싱 유닛들은 가장 이른 범위를 떠날 것인 노드들로부터 할당된다. 이러한 노드가 완전히 할당되는 경우, 다른 스캔으로부터 노드는 포지션을 기록하기 위해 프로세싱 유닛을 할당해야만 한다. 임의의 노드가 이용가능한 것보다 더 많은 프로세싱 유닛들을 필요로 하는 경우에서, 할당 시도는 실패할 것이다. 다른 전략들은 이전에 거절된 경우들에서 할당 가능성들을 찾아 더 나은 결과들을 산출하기 위해 사용될 수 있다.

[0168] 할당 방식의 실패에 대한 전형적인 이유들은 겹치지 않은 영역에서 실패 제한들, 스페어 없는 프로세싱 유닛들 및 에러들의 큰 클러스터들이다. 특정 위치들에서 에러 채널들과 결합한 특정 시프트 값들은 종종 실패 할당을 초래한다. 듀얼-패스 스캔에 대하여, 스페어 프로세싱 유닛들은 예를 들어, 노드 당 12개의 채널들의 구성과 같은 노드가 서빙해야만 하는 채널들의 수의 절반을 초과하는 프로세싱 유닛들이고, 6개의 프로세싱 유닛들은 스페어 프로세싱 유닛들을 가지지 않는다.

[0169] 에러들의 큰 클러스터들은 특정 노드들에서 프로세싱 유닛들의 수를 결과적으로 소진할 것이다. 클러스터의 임팩트는 하나 또는 두 개의 노드들이 에러 포지션들에서 기록하기 위해 프로세싱 유닛들을 할당해야만 하는지를 결정하기 때문에 자신의 포지션에 크게 의존한다. 12개의 채널들의 노드 당 7개의 프로세싱 유닛들에 대하여

하나의 노드는 최대 7개의 에러들을 흡수할 수 있는 반면, 두 개의 노드들은 최대 14개의 에러들을 흡수할 수 있다.

- [0170] 도 17-23은 리소그래피 기계의 용량에 관하여 데이터 경로의 용량을 변경하는 효과를 결정하기 위해 시뮬레이션 실험들의 결과를 도시하는 그래프들이다. 그래프들은 50개의 실험들 중 성공들의 수를 도시한다. 성공은 성공적인 시프트를 의미하고 할당이 발견된다. 많은 시뮬레이션들이 단일 파라미터를 변경하기 때문에, 사용되는 디폴트 파라미터 세트는 달리 특정되지 않는 한 스트라이프들의 수= 13000; 채널들의 수=13130; 노드 당 프로세싱 유닛들의 수=7; 및 노드 당 채널들의 수=12로 정의된다.
- [0171] 7개의 프로세싱 유닛들을 사용하는 12개의 채널들의 노드들은 12/7 구성으로 지칭된다. 도 17에서, 노드 당 상이한 수의 프로세싱 유닛들의 효과는 많은 에러 클러스터들이 없는 것을 가정하여(오직 작은 자연 클러스터링) 도시된다. 12/6 구성은 12개의 채널들 당 5개의 프로세싱 유닛들의 구성이 항상 실패할 것이기 때문에 감소시키기 위해 고려되는 하한이다. 12/12 구성은 프로세싱 노드들의 임의의 감소 없는 구성이다. 성공은 오직 성공적인 시프트를 발견하는 것에 의존한다(할당 제안 없음). 시뮬레이션 결과들은 강건함이 12/12 구성에 비하여 12/6 및 12/7 구성들에 대하여 다소 감소할 것임을 도시한다.
- [0172] 도 18은 도 17과 동일한 구성들에서 에러 클러스터들의 효과를 포커싱한다. 12/6 구성은 특히 노드들에서 스폐어 프로세싱 유닛들의 부재에 의해 야기되는 크기 5의 에러 클러스터들에 대하여 민감하다. 크리티컬한 위치에서 하나의 에러는 런의 실패를 야기할 것이다. 12/7 및 12/12 구성들은 크기 5의 클러스터들에 대하여 특정 민감도를 도시하지 않는다.
- [0173] 채널들의 수를 변경하는 효과는 도 19에서 도시된다. 겹치지 않는 영역들은 프로세싱 유닛들의 수를 감소시키는 경우에 대개 필요가 없다. 이는 13000 채널들의 사용에 대한 양호하지 않은 결과를 설명한다. 더 많은 채널들을 가진 구성들은 주로 더 넓은 겹친 영역때문에 '양호한' 시퀀스들을 가진 더 많은 시프트 기회들을 산출할 것이다. 시뮬레이션 실험들은 200개의 에러들을 가진 13130개의 채널들이 평균 26개의 성공적인 시프트들을 초래할 것인 반면, 13260개의 채널들이 동일한 수의 에러들에 대하여 평균 41개의 성공적인 시프트들을 초래할 것임을 도시한다. 13000개의 채널들을 사용하는 것은 오직 평균 14개의 성공적 시프트들을 제공한다. 채널들의 수를 증가시키는 전형적으로 12/7 구성에 대한 강건성을 증가시킨다.
- [0174] 도 20은 이전 시뮬레이션이 5의 에러 클러스터들의 효과로 확장될 때 결과들을 도시한다. 상당한 효과가 채널들의 수를 변경하는 것과 결합하여 관찰되지 않는다.
- [0175] 이전에 언급된 바와 같이, 강건성은 12로부터 7로 프로세싱 유닛들의 수를 감소시킬 때 감소하고, 채널들의 수를 증가시키는 것은 강건성을 향상시킨다. 도 21은 더 많은 채널들을 사용함으로써, 프로세싱 유닛들의 감소에 기인하여 강건성의 손실을 보상하고자 할 때 결과들을 표시한다. 보여질 수 있는 바와 같이, 12/12로부터 12/7로 구성을 변경할 때 강건성의 손실은 오직 약 1%만큼 채널들의 수를 증가시킴으로써 보상될 수 있다(예를 들어, 13130으로부터 13280으로의 채널들의 수를 증가시키는 것).
- [0176] 시뮬레이션들에서 사용되는 클러스터들은 최악의 조건인 것 같은 특정 크기의 모든 "단일 클러스터들"임에 주목한다. 다른 클러스터링 전략들은 더 긍정적인 결과들을 주고자 한다. 도 22는 세 개의 전략들의 비교를 도시한다: 단일 클러스터만을 투사; 레귤러 거리들에서 가능한 많은 유사한 클러스터들을 투사(시작 포지션으로부터 시작 포지션으로 65); 및 임의의 포지션들에서 가능한 많은 유사한 클러스터들로서 투사(하지만 그 사이에 20개의 양호한 채널들의 최소 거리를 유지). 에러 클러스터들 사이의 고정된 거리들을 많은 코릴레이션을 생성하고 많은 양의 성공적 시프트들을 초래할 것임에 주목한다.
- [0177] 5의 크기보다 큰 클러스터들은 프로세싱 유닛들의 수를 감소시킬 때 강건성에 심각한 영향을 줄 것이다. 이는 클러스터 크기 5를 가진 12/07(12/7@5) 및 클러스터 크기 8(12/07@8) 사이에서 강건성에서 차이가 명백한 도 23에 도시될 수 있다.
- [0178] 5보다 큰 에러 클러스터들이 더 자주 발생하는 경우, 대안적인 어프로치들이 클러스터 민감도를 감소시키기 위해 프로세싱 유닛들의 수를 감소시키는 것과 결합하여 사용될 수 있다. 노드 크기를 증가시키고 24/14 구성과 같은 비교가능한 비들을 사용하는 것은 이러한 대안의 하나이다. 이의 효과는 12/07@8 구성보다 24/14@8 구성을 가진 더 큰 강건성을 도시하는, 도 23에서 도시될 수 있다.
- [0179] 노드들에 걸쳐 랜덤화된 채널들 또는 노드들 사이에 널리 채널들을 시스템적으로 분산시키는 것은 다른 대안들이다. 이들은 하나 또는 두 개의 노드들에 집중되는 것보다 많은 상이한 노드들에 대응하는 에러 클러스터를 초래할 것이다. 클러스터 에러들의 모든 미리 포지션들을 기록하는 것은 이 구성에서 1 또는 2개의 노드들의

책임이 아니라 다수의 노드들의 책임일 것이다. 하지만, 채널들의 랜덤화 또는 분산은 하지만 이웃의 개념(및 잠재적으로 정보를 공유하는 것)이 사라지기 때문에 다른 부정적인 부작용들을 가질 수 있다.

[0180] 할당 전략 최적화: 할당 제한들을 확인하는 것 외에, 할당 기능의 중요한 임무는 스캔들 사이에서 스티치들의 수를 최소화하도록 될 수 있다.

[0181] 상기 시뮬레이션들로부터 유도될 수 있는 결론들은 아래와 같다. 노드 당 프로세싱 유닛들의 수를 감소시키는 것은 하드웨어의 양을 상당히 감소시킬 수 있다. 노드 당 프로세싱 유닛들의 수를 감소시키는 것은 다소 강건성을 감소시킬 것이다. 50%(예를 들어, 12/6 구성)는 듀얼-패스 스캔에 대하여 노드 당 프로세싱 유닛들의 수를 감소시키기 위한 하한이다. 50%에 가까운 구성들은 에러들의 작은 클러스터들(크기=5)dp 대하여 특히 민감하다. 12/6 구성은 그러므로 이 민감도를 도시하지 않는, 12/7보다 덜 선호된다. 12/7 구성은 12개의 채널들 당 프로세싱 유닛들의 수에 대한 합리적인 하한으로 보인다. 채널들의 수는 양호한 강건성에 대하여 스트라이프들의 수(+1%)보다 바람직하게 크다. 채널들의 수를 증가시키는 것은 상당히 강건성을 증가시킨다. 노드 당 프로세싱 유닛들을 감소시키기 때문에 강건성의 손실은 부가적인 1% 채널들을 사용하여 쉽게 보상될 수 있다. 큰 에러 클러스터들(>5)은 강건성을 극적으로 감소시킬 것이다.

[0182] 데이터 경로 요건들

[0183] 도 24에서 흐름도는 리소그래피 시스템에 수반된 프로세스들 및 자신들의 의존성들의 개관을 도시한다. 의존성들을 이해하는 것은 성능의 분석을 허용하고(듀레이션에 관하여) 스루풋을 증가시키기 위해 병렬 실행에 대한 기회들을 드러낸다. 중요한 원리는 스캔에 대한 패턴 데이터가 이전 스캔이 실행되는 동안 RAM에서 프로세싱될 수 있고 그리고/또는 RAM으로 로딩될 수 있다는 것이다.

[0184] 상이한 의존성들 및 상이한 가능성들 또는 제한들은 상이한 구조들에 대하여 발생할 수 있다. 예를 들어, 프로세스들 E1(웨이퍼 측정 및 포지셔닝) 및 C1(인-라인 프로세싱 및/또는 RAM으로 주 스캔을 위해 데이터를 로딩) 사이에서 의존성. 구조 옵션 A에 대하여(오프라인 프로세싱) 이 의존성은 존재하지 않는다. 옵션 C에 대하여 존재할 수 있지만, 실시간 래스터화에 대하여 존재할 것이다(빔렛 및 스캔 라인의 실시간 바인딩).

[0185] 프로세스에 관한 전형적 성능 요건들: 서버로부터 스트리머 노드들의 로컬 저장소로 새로운 패턴을 다운로드 <60nm; 스트리머 노드들의 로컬 저장소에 저장하기 위한 패턴들의 수>=10; 시간이 새로운 이미지의 로딩에 기인하여 오프라인인 시간은 <60초들이다; 래스터화가 웨이퍼 당 한번 수행될 것인 경우 정정 파라미터들의 업데이트 및 기록할 준비 사이의 최대 시간은 36초(6분의 10%); 스캔 노출 듀레이션은 <3분.

[0186] 타이밍 및 동기화

[0187] 클록 및 동기화 신호는 광학 파이버를 통해 다른 서브-시스템들에 분산될 수 있다(예를 들어, 디플렉터 및 웨이퍼 스테이지). 이는 서브-시스템들 사이의 갈바닉(galvanic) 고립의 이점들을 가지고 전자기 영향에 둔감성을 가진다. 클록 변형은 도스를 변경하기 위해 사용될 수 있다. 하지만, 도스-변경들이 픽셀 크기를 변경함에 의해 보상될 수 있기 때문에, 클록 변형들은 블랭커에 데이터를 전송할 책임이 있는 데이터 경로의 물리 부의 구현을 간략화하고 클록 주파수의 변경 후 재-동기화가 요구되는 시간을 제거하는 것을 바람직하게 회피한다.

[0188] 고정된 클록 레이트를 사용하는 이점은 클록이 데이터 경로의 상이한 컴포넌트들 사이에 더이상 분산될 필요가 없다는 것이다. 표준 페이즈 고정 루프(PLL)들의 사용으로(PGA들 내에) 로컬 클록 주파수들의 변경들은 보상될 수 있다. 더 큰 변경들이 요구될 때(예를 들어, $\pm 10\%$), 특별 프로비전(provision)들은 데이터 경로 서브-시스템들을 동기화할 수 있도록 요구된다.

[0189] 데이터 경로는 바람직하게 완전한 리소그래피 시스템에 대한 클록 마스터로서 동작하고 전자-광학 컬럼(디플렉터) 및 웨이퍼 포지셔닝 시스템과 같은 다른 서브-시스템들에 타이밍 및 동기화 신호들을 제공할 것이다.

[0190] 정정들

[0191] 상기 설명된 하전 입자 리소그래피 기계의 실시예에서, 이들은 빔들의 빔렛 포지션, 크기, 전류 또는 다른 특성들에서 에러들을 정정하기 위해 개별적인 전자 빔렛들을 조정하기 위해 리소그래피 기계로 구축된 설비들이 존재하지 않는다. 리소그래피 기계는 물리 빔 정정들을 하기 위해 전자-광학 컬럼으로 부가적인 컴포넌트들을 결합하는 것에 수반된 부가적인 복잡성 및 비용을 회피하고 이러한 부가적인 컴포넌트들을 결합함으로써 요구되는 컬럼의 크기의 증가를 회피하기 위해 빔렛들에 개별적인 정정들을 하기 위한 정정 렌즈들 또는 회로들을 생략한다.

- [0192] 그러므로, 빔렛 포지션, 크기, 전류 등에서 변경들에 대하여 정정하기 위한 조정들은 데이터 경로에 의해 제공되는 제어 신호들에 정정 조정들을 함으로써 이루어진다. 다양한 이유들에 대하여 요구되는 정정들의 여러 타입들이 이루어진다. 이러한 정정들은 아래를 보상하기 위한 정정들을 포함한다:
- [0193] · 빔렛 포지션에서 변경들. 어퍼처 어레이 또는 빔렛 블랭커 어레이에서 홀들의 정확한 포지셔닝 및 크기의 변경들 또는 콘텐서 렌즈들 또는 투사 렌즈들 또는 디플렉션 전극들에 의해 발생하는 정전기 필드들의 세기의 차이들과 같은, 컬럼의 제조에서 변경들에 기인하여 빔렛들이 오정렬될 수 있다. 이러한 오정렬은 "패턴 시프팅"으로 정정될 수 있다.
- [0194] · 기계적 포지션 에러들. 이들은 x 및/또는 y 방향으로 시프팅되는 완전한 웨이퍼 필드를 초래할 수 있다. 이 타입의 필드 시프트는 또한 "패턴 시프팅"으로 정정될 수 있다.
- [0195] · 데이터 경로에서 지연 에러들(예를 들어, 데이터 경로에서 광학 파이버들의 길이의 차이들에 의해 야기된). 이 에러는 y-방향으로 시프팅함으로써 정정될 수 있다.
- [0196] · 블랭커 타이밍 오프셋. 빔렛 제어 신호들의 멀티플렉싱의 결과로서, 많은 빔렛들은 하나의 채널을 통해 제어되고 빔렛 제어 신호들은 직렬로 수신되고, 즉, 상이한 빔렛들에 대한 제어 신호들은 상이한 시간들에 빔렛 블랭커 어레이에 의해 수신된다. 블랭커 설계에 따라, 상이한 오프셋들이 빔렛들이 온 및 오프 스위칭하기 위해 경험될 수 있고, 예를 들어, 빔렛들은 로우들(rows) 또는 컬럼들(columns)의 유닛들로 또는 개별적인 빔렛들로 스위칭될 수 있다. 제어 비트들이 실행되는 전략에 따라(빔렛들이 스위칭되는) 이는 다른 빔렛보다 이후 시간에서 스위칭되는 특정 빔렛을 초래할 수 있다. 이 에러의 효과는 서브픽셀 범위에 있다. 결과는 빔렛 당 오프셋이다.
- [0197] · 빔렛 블랭커 어레이 홀 포지션에서 변경들. 각 빔렛은 빔렛 블랭커 어레이에서 홀을 통해 통과하고 홀에서 블랭커 전극에 의해 스위칭된다. 빔렛 블랭커 어레이의 제조의 변경들은 참조 포지션에 비교할 때 홀의 포지션에서 그러므로 대응하는 빔렛의 x 및 y 방향 둘 다에서 기계적 오프셋을 초래할 수 있다. 이 에러의 효과는 전형적으로 많은 픽셀들이고, 결과는 빔렛 당 오프셋이다. 이 에러의 풀 픽셀(정수) 부분은 전형적으로 런타임에 대하여 보상될 수 있다. 잔여 서브픽셀(단편적) 부분은 실시간 래스터화에 대하여 보상될 수 있다.
- [0198] · 디플렉션 세기에서 변경들. 이들은 빔렛 디플렉터들의 전기 디플렉션 필드의 세리의 공간적 차이들에 기인할 수 있고, 이는 "패턴 스케일링", "도스 정정"에 대하여 정정되어야 한다. 또한 "패턴 시프팅"에 의해 정정될 수 있는, 디플렉션 차이들에서 빔렛 오프셋 컴포넌트일 수 있다.
- [0199] · 제어 신호 펄스 듀레이션의 변경. 스위칭 빔렛 블랭커 어레이 전극들을 온 및 오프로 스위칭하기 위한 상이한 타이밍 행위 때문에, 유효 도스 레이트는 빔렛들 사이에서 상이할 것이다. 제어 신호들을 멀티플렉싱하지 않을 때, 이 효과는 상당하다(예를 들어, 10%). 하나의 채널에서 49개의 빔렛들에 대하여 제어 신호들을 멀티플렉싱하는 경우에서, 전이 효과가 동일하기 때문에 자신의 중요성은 감소되지만 최소 펄스 폭은 비-멀티플렉싱된 경우에 비하여 49배 더 크다($10\% \times 49 = 0.2\%$ 로 가정). 또한, 이 에러는 도스 레이트에 의존한다. 100% 도스 레이트를 기록하기에 작을 수 있는 반면 에러는 50% 도스 레이트로 기록하는 것이 최대이다.
- [0200] **글로벌 패턴 시프팅**
- [0201] 패턴이 웨이퍼상에 기록될 때, 패턴을 기록하는 빔렛들은 모두 완벽하게 정렬되지 않는다. 이 오정렬을 정정하고 빔들이 정렬된 스트라이프들을 기록하게 할 수 있기 위해, 패턴 데이터는 정렬 에러들에 대하여 보상하기 위해 조정된다. 이는 소프트웨어 또는 하드웨어를 사용하여 이루어질 수 있고, 패턴 데이터의 프로세싱 동안 상이한 스테이지들에서 행해질 수 있다. 예를 들어, 정정들은 벡터 포맷 또는 멀티-레벨 그레이 스케일 포맷에서 또는 2-레벨 B/W 비트맵에서 패턴 데이터에 이루어질 수 있다.
- [0202] 오프셋들은 x-방향(스테이지 이동의 방향) 또는 y-방향(빔렛 스캔 디플렉션의 방향)에서 발생할 수 있다. 오프셋들은 풀 픽셀 시프트 및/또는 서브픽셀 시프트에서 발생할 수 있다. 풀 픽셀 시프트는 래스터화 후에 다수의 픽셀들을 시프팅함으로써 달성될 수 있다. 서브픽셀 시프트는 래스터화 프로세스의 부분으로서 달성될 수 있다.
- [0203] 글로벌 패턴 시프팅(즉, 채널에서 모든 빔렛들의 시프트)은 스트라이프 포지션 정정(x- 및 y-방향) 및 필드 포지션 정정(x- 및 y-방향에서)에 대하여 사용될 수 있다. 스트라이프 포지션 정정에 대한 x 및 y 패턴 시프트의 실시예가 도 25에서 도시된다. 도면의 좌측상에서, 스트라이프는 의도된 포지션에서 오버레이된 원하는 패턴으로 도시된다. 도면의 우측상에서, 스트라이프는 정정이 이루어지지 않는 경우 기록되는 것으로 오버레이된 패

턴으로 도시된다. 보여질 바와 같이, 글로벌 패턴 시프트는 시프트 업 포지션에서 그리고 좌측에 기록하기 위해 채널의 모든 빔렛들을 야기하도록 요구된다.

[0204] 빔 오프셋들은 조정 후에 자주 전형적으로 이루어진다(웨이퍼 또는 필드 당 한번). 채널의 모든 빔렛들이 동일 패턴 오프셋을 가지도록 동일한 채널에서 다른 빔렛들에 관하여 완전히 정렬됨이 가정될 수 있다.

[0206] *

[0207] 패턴 시프팅에 대한 전형적 요건들은 글로벌 시프팅에 대하여 글로벌 시프팅에 대하여 채널 당 개별적인 X 및 Y 시프트 세팅들이고 필드 당 1회 파라미터 업데이트이다. 전형적 최대 시프트 범위는 01.nm의 시프트 정확도를 가진 +200nm 내지 -200nm일 수 있다. 이 정정은 패턴닝된 빔에서 모든 빔렛들이 동일한 오프셋 값들을 사용하는 것으로 기대되기에 글로벌 시프트들에 대하여 채널에 대한 것이다. 글로벌 패턴 시프트에 대하여, 채널 패턴이 빔 인터리빙 전략들의 전체 독립으로서 시프팅된다.

[0208] 블랭커 타이밍 오프셋 정정

[0209] 많은 서브채널들에 대하여, 빔렛 제어 신호들은 바람직하게 단일 채널을 통해 멀티플렉싱된다. 블랭커 설계에 따라, 이는 상이한 시간을 패턴 픽셀에 스위칭하는 개별적인 빔렛들을 초래할 것이다. 블랭커 타이밍 오프셋 정정은 0.1 nm의 시프트 정확성 및 1 픽셀 미만인 최대 시프트 범위로 전형적으로 버스채널 당 Y에서 정정을 요구한다. 블랭커 타이밍 오프셋이 블랭커 설계에 의존하기 때문에, 시프트 파라미터는 정적이다.

[0210] 블랭커 홀 오프셋 정정

[0211] 블랭커 지오메트리 때문에, 상이한 홀들이 특정 참조 포인트로부터 상이한 오프셋들을 가진다. 홀의 X에서 오프셋은 인터리빙된 패턴(도 9 참조)을 발생시키기 위해 사용된다. 자신의 예측가능한 타이밍 지연은 실시간에 대하여 고려될 것이고 이 정정 부분으로서 보여지지 않는다. 참조에 비한 Y의 오프셋(예를 들어, 미드 스트라이프)은 보상된다. 에러는 풀 픽셀 및 서브-픽셀 컴포넌트에서 분리된다. 풀 픽셀 시프트는 항상 보상되어야만 하는 반면 오직 실시간 래스터화가 서브-픽셀 컴포넌트를 처리할 수 있다. 블랭커 홀 오프셋 정정은 0.1nm의 정확성 및 $\pm W_{proj}/2$ 또는 $\pm 210 \mu m$ (즉, $(N-1)*P_{proj}$)의 최대 시프트 범위를 전형적으로 가진 서브채널 당 서브픽셀 컴포넌트에 대한 Y에서 정정을 요구한다. 블랭커 홀 오프셋이 블랭커 지오메트리의 함수이기 때문에 정정 파라미터는 정적이다.

[0212] 도스 정정

[0213] 리소그래피 기계에서 허용 변경들의 제조 때문에, 유효 도스는 빔렛 마다 변화한다. 빔렛 스캔 디플렉션 세기의 변경들은 또한 도스 강도의 변경을 초래할 수 있다. 도스 레이트는 도스 팩터를 사용하여 정정될 수 있다: 결과적인 도스 레이트 = 도스 레이트 맵 * 도스 팩터. 이 식은 수학적으로 정정을 설명하지만, 도스 정정이 픽셀 화이트 값들 및/또는 임계 값들을 조정함으로써 디더링 프로세스에서 바람직하게 구현된다. 예를 들어, 빔렛이 90%의 도스 팩터로 조정될 때, 자신의 강도는 $100\%/90\% = 111.1\%$ 이다. 그러므로, 디더링을 위해 사용되는 화이트 값은 100이 디폴트인 경우 111.1일 수 있고, 디더링 임계치 값은 디폴트가 50인 경우 55.6일 수 있다.

[0214] 도스 정정은 웨이퍼 당 한번 정정 파라미터 업데이트를 이용하여, 빔렛 마다 수행된다. 도스 정정을 위한 전형적 요건들/값들은 50%-100%의 패턴 도스 맵, 0.2% 단계 크기의 패턴 도스 정확성, 80%-100%의 빔 도스 팩터 및 0.2% 단계 크기의 빔 도스 정확성이다. 결과적인 도스 레이트는 가장 가까운 값에 라운드되어야 한다.

[0215] 패턴 스케일링

[0216] 빔들은 y-방향에서 각 스캔 동안 디플렉팅되고 스트라이프의 일측으로부터 다른 측으로 패턴을 기록한다. 디플렉션 거리는 바람직하게 스트라이프 폭 및 오버스캔 거리의 두 배 둘 다를 커버한다. 디플렉션이 완벽하게 균일하지 않은 경우에서, 하나의 빔은 다른 것들보다 강하게 디플렉팅되고, 그러므로 디플렉션 거리들은 상이할 것이다. 스캔 디플렉션의 세기의 차이들은 어레이에 걸쳐 발생하는 전압 강하들에 기인하여 스캔 디플렉션 어레이의 표면상에서 발생한다. 이러한 전압 강하들은 어레이의 먼 끝에 더 약한 디플렉션 필드를 초래하고 디플렉션 거리는 더 약한 디플렉션 필드들을 경험하는 빔렛들에 대하여 더 짧을 것이다.

[0217] 이는 패턴 스케일링을 사용하여 보상된다. 패턴 스케일링의 실시에는 도 26에 도시된다. 도면의 좌측상에서, 스트라이프는 대시 라인들 사이에서 패턴 특징의 의도된 스케일링을 이용하여 오버레이된 원하는 패턴으로 도시된다. 도면의 우측상에서 스트라이프는 스케일링 정정이 이루어지지 않는 경우 기록되는 바와 같이 오버레이된 패턴을 이용하여 도시된다. 보여질 수 있는 바와 같이, 패턴 스케일링 정정은 올바른 스케일링을 가진 특징을

기록하기 위해 채널의 모든 빔렛들의 디플렉션을 감소하기 위해 요구된다.

[0218] 스케일링은 상이한 수의 픽셀들에 걸쳐 노출 패턴을 퍼지게 하여 블랭커에 전송된 데이터 신호의 비트 레이트를 조정함으로써 달성될 수 있다. 동기화 고려들에 기인하여 비트 레이트의 변경이 선호되지 않는다. 이를 회피하기 위해, 스케일링은 상이한 수의 비트들/픽셀들을 통해 패턴을 퍼지게 함으로써 이루어질 수 있다. 동일 그룹의 빔렛들이 동일한 디플렉션 세기를 가짐이 가정된다. 이는 동일 그룹의 빔렛들이 정확히 동일한 디플렉터에 의해 디플렉팅되기 때문이다. 패턴 스케일링 팩터는 그러므로 특정 그룹의 모든 빔렛들에 대하여 동일하다.

[0219] 패턴 스케일링은 중복 스캔 개편 당 바람직하게 한 번 정정 파라미터 업데이트를 이용하여 채널 당 정정을 요구한다. 최대 범위는 전형적으로 1 내지 1.1(예를 들어, $2\mu\text{m}$ 가 $2.2\mu\text{m}$ 가 됨)이고, $0.1\text{nm}/1\mu\text{m}$ 의 정확성 $=1/10,000$ 이다. 디플렉션 세기는 빔렛들이 동일 디플렉터 어레이를 공유하고 이 디플렉터에서 동일 포지션에서 더 많거나 더 적기 때문에 채널에서 모든 빔렛들에 대하여 동일하다고 가정된다.

[0220] 도 27은 다양한 타입들의 정정들 및 전형적 파라미터들 및 범위들을 요약하는 테이블이다. 제 1 스캔 및 제 2 (또는 중복) 스캔이 사용될 때, 도스 정정들은 바람직하게 두 스캔들 전에 수행됨에 주목한다.

[0221] 동적 패턴 시프팅

[0222] 동적 패턴 시프팅은 또한 웨이퍼 가열을 보상하기 위해 제공될 수 있다. 이는 시간의 함수로서 변하는 값들을 가진 채널 당 X 및 Y 오프셋 테이블을 사용하여 달성될 수 있다. 1ms 당 0.1nm 의 최대 슬로프(X에서 $-10\mu\text{m}$ 와 동일)가 사용될 수 있고, 300mm 당 30,000 개의 엔트리들을 가진 오프셋 테이블(웨이퍼 크기).

[0223] 패턴 크기 정정

[0224] 스캔 디플렉션 어레이의 표면에 걸친 빔렛 스캔디플렉션의 세기의 차이들 때문에, 빔렛들의 디플렉션 거리는 변할 것이다. 이는 패턴 스케일링(상기 논의됨) 또는 패턴 크기 정정을 사용하기 위해 보상될 수 있다. 패턴 크기 정정에 대한 요건들은 패턴 스케일링에 대한 것과 일반적으로 동일하다.

[0225] 데이터 경로 구조

[0226] 데이터 경로는 특정된 포맷으로 패턴 레이아웃 데이터를 수신하고 전자 빔들을 사용하여 웨이퍼상에 기록될 수 있도록 데이터를 프로세싱한다. 데이터 경로는 또한 리소그래피 기계에서 에러들에 대하여 보상하기 위해 패턴 데이터에 조정들을 수행하고 다른 서브-시스템들에 동기화 신호들을 제공한다.

[0227] 도 28은 파이버를 통해 전송된 비트 스트림에 GDS-II 패턴 데이터 파일로부터 플로우를 도시하는 데이터 경로의 가능 블록도를 도시한다. 도면은 또한 적절한 기능 블록들에서 발생하는 정정들을 도시한다. 구조 옵션들에 따라, 정정들은 데이터 경로 프로세싱 내에 상이한 포인트들에서 이루어질 수 있다.

[0228] 입력 데이터 포맷

[0229] 데이터 경로 서브-시스템에 대한 입력은 웨이퍼상에 "기록될" 레이아웃의 정보를 포함하는 프리-프로세싱된 포맷(주로 GDS-II 또는 MEBS와 같은 산업 표준 파일 포맷으로부터 유도됨)일 것이다. 이 산업 표준 파일 포맷상에서 미리-정의된 시스템 보상들은 오프라인 프로세스에 적용된다. 오프라인 프로세싱 후에 데이터는 데이터 경로의 다음 스테이지에 대하여 저장될 수 있다. 데이터는 예를 들어, 개별적인 채널 당 하나의 파일을 이후에 프로세싱하기에 편리한 파일 포맷으로 저장될 수 있다.

[0230] 도스 맵 데이터 포맷

[0231] 도스 맵은 전형적으로 벡터 포맷을 사용하는 단일 도스 레이트의 영역들을 정의한다. 도스 레이트는 영역의 유닛 당 방사 강도이다. 적절한 도스 레이트로 패턴들을 기록하는 것은 필수적이고, 그렇지 않으면 기록된 패턴들은 레지스트에서 올바르게 나타나지 않을 것이다. 도스 레이트의 범위는 예를 들어, 0.2%의 단계들에서 50-100%이고, 도스 맵의 공간 해상도는 10-15mm일 수 있다. 영역들은 겹쳐지지 않고, 그래서 영역들을 설명하는 다각형들의 라인들이 횡단하지 않는다. 영역들들은 0° , 45° 또는 90° 의 각들에서 라인들을 사용하여 벡터 포맷으로 정의될 수 있다. 실시간 렌더링의 경우에서, 오프라인 프로세스는 더 간단한 폴리곤들로 복잡한 폴리곤들을 파괴할 수 있고, 예를 들어, 폴리곤들은 스캔 라인이 오직 최대 2배 바운더리를 교차하도록 간략화될 수 있다. 이는 하드웨어에서 렌더링을 간략화한다.

[0232] 프리프로세싱

- [0233] 프로세싱 기능은 전형적으로 설계 당 한번 수행된다. 이 단계는 완료하기 위해 많은 양의 계산 전력을 필요로 한다. 아래의 기능성은 주로 프리프로세싱에 포함된다: (a) GDS-II 칩 설계를 판독하고 칩 제조 프로세스에서 특정 단계에 대하여 필요로 하는 정보를 추출하는 것. 이는 전형적으로 이 단계에서 요구되는 특징들에 대하여 다각형들의 맵을 초래한다. (b) 도스 맵에 레지스트 가열 정정들을 적용하는 것. 정정은 전형적으로 특징 포지션들에 대하여 조정을 초래한다. (c) 다각형들상에서 근접 정정들을 적용하는 것. 이 정정은 부착된 상이한 도스 레이트들을 이용하여 매우 많은 다각형들을 가진 도스 맵을 초래할 것이다. (d) 벡터 포맷에서 각 필드에 대한 도스 맵을 출력.
- [0234] 채널 분리
- [0235] 채널은 추가의 프로세싱을 위한 유닛으로 바람직하게 사용된다. 이를 가능하게 하기 위해, 필드 도스 맵은 채널 당 도스 맵으로 분리된다. 다각형들은 하나의 채널에 의해 기록된 스트라이프 영역에 감소된다. 스트라이프 영역은 바람직하게 스티칭 전략 및 디더링 시작 인공물을 해명하기 위해 스트라이프의 경계를 아래로 확장된다. "스마트 바운더리" 스티칭 전략이 사용된 경우 - 크리티컬한 특징들은 단일 채널/스트라이프에 할당됨-, 그 다음에 스트라이프 바운더리상에서 크리티컬한 특징들 다각형들은 도스 맵을 분리할 때 특정 채널에 할당된다.
- [0236] 채널 렌더링
- [0237] 렌더링은 래스터화 프로세스의 제 1 단계이다. 형상 정보 및 도스 정보는 픽셀들에서 렌더링된다. 도 29는 렌더링 프로세스를 도시하기 위해 스트라이프 상에서 오버레이된 레이아웃 패턴 특징들을 도시한다. 형상 정보 및 도스 정보는 도스 맵에서 벡터 포맷으로 설명되고, 주로 필드 기반이다. X에서 픽셀 바운더리 값들은 기계의 시작점에 의해 고정된다(제 1 로우(row)는 빔렛(0)에 의해 기록될 것임을 또한 가정한다). 이는 모든 픽셀 X 좌표들(도 29에서 $\text{pix } X \text{ idx}$) 및 스캔 라인을 기록할 것인 대응하는 빔렛(도 29에서 빔렛 idx) 사이의 관계를 결정할 것이다. 스캔 라인은 Y 방향에서 픽셀들의 로우(row)이다.
- [0238] 웨이퍼상에서 필드의 전형적인 X 포지션 및 런타임 도량형 프로세스로부터 결정된 자신의 X 오프셋으로부터, 특정 필드의 제 1 스캔 라인(제 1 필드 픽셀 로우(row))을 결정할 수 있다. 이 실시예에서 픽셀들 및 필드 오리진(origin)이 정렬되지 않는다. 그러므로 "서브 $\text{pix offs } X$ "는 필드 오리진이 시작하는(벡터 포맷에 대한 참조로서) 좌측 픽셀 X 바운더리로부터 오프셋을 정의한다.
- [0239] Y에서 픽셀 크기, 스트라이프 폭, 오버스캔 및 패턴 스케일링은 요구되는 정수의 픽셀들을 초래할 것이다. 하나의 여분의 픽셀이 서브 픽셀 시프트를 허용하기 위해 부가될 수 있다. 패턴 스케일링 팩터는 모든 빔렛들에 대하여 동일할 것이고 그러므로 모든 픽셀들은 동일한 Y크기일 수 있다.
- [0240] 시프트는 정수 부(풀 픽셀 시프트) 및 분수 부(서브 픽셀 시프트)로 항상 분리될 수 있다. 풀 픽셀 시프트들은 비트 프레임에서 픽셀들을 시프트함으로써 구현될 수 있다. 서브픽셀 시프트들은 이 방식을 구현하지 못할 수 있지만, 렌더링/디더링 프로세스에 의해 행해질 수 있다. Y 방향에서 시프트들은 빔렛 마다 전용되거나(예를 들어, 빔 포지션 또는 블랭커 타이밍 오프셋 정정) 또는 글로벌하다(즉, Y 방향에서 글로벌 패턴 시프트). 렌더링 프로세스는 빔렛이 스캔 라인을 기록하고 적절히 스캔 라인 픽셀들을 시프트(서브픽셀)함을 알아야만 한다. 렌더링 전에, 픽셀들이 시프트되고 그래서 픽셀들이 특징들 및 도스의 벡터 포맷 설명들에 대하여 y 방향에서 베이스라인인 "스트라이프 $\text{vec ref } Y$ "(도면에서 줌-인 A를 보라) 라인과 정렬된다.
- [0241] 빔렛들 및 픽셀 X 인덱스 사이의 관계가 오직 스캔을 시작할 때 고정되기 때문에, 서브픽셀 시프트들은 오직 실시간 렌더링을 처리할 수 있다. 오프라인 렌더링은 항상 제로의 서브픽셀 시프트들을 가정할 것이다.
- [0242] 채널 디더링
- [0243] 디더링은 래스터화 프로세스의 제 2 단계이다. 디더링을 이용하여, 특정 도스 레이트가 서브채널에 대하여 스위칭 시퀀스에 의해 구현된다. 디더링은 본질적으로 2-레벨 블랙/화이트 픽셀들로 멀티-레벨 그레이스케일 픽셀들을 양자화하고, 이웃 픽셀들에 각 픽셀에 양자화 에러들을 전파하고 특정 평균 도스 레이트를 로컬하게 강요한다. 도 30은 이 프로세스를 도시한다. 디더링 기술들은 전형적으로 프린팅할 때 컬러 변경들 또는 그레이스케일들을 구현하기 위해 사용된다. 임의의 알려진 알고리즘들은 에러 확산(2×2 매트릭스) 및 플로이드 스타인버그(2×3 매트릭스)이다.
- [0244] 디더링은 하나 또는 두 개의(구불구불한) 방향으로 수행된다. 디더링 알고리즘들은 전형적으로 위밍 업하기 위해 임의의 픽셀들을 요구한다. 그러므로 스트라이프 폭은 더 나은 결과를 위해 작은 마진들로 확장된다.
- [0245] 리소그래피 목적들을 위해 임의의 향상들이 이루어질 수 있다. 하나의 향상은 에러 전파가 바람직하게 제로-값

픽셀들에 전파되지 않는다는 것이다. 에러 값은 다른 방향으로 전파되거나 또는 폐기되어야 한다. 제로의 도스를 원하는 경우 픽셀들에 양자화 에러를 전파하기 위해 유용하지 않다. CD 및 피치에 대한 합리적인 값들을 고려하여 또한 이를 보아야 한다. 그레이 값으로부터 제로 값으로의 전이의 경우에서 이는 더 많은 제로 픽셀들이 후속할 것을 보장한다.

[0246] 디더링 프로세스는 블랙/화이트 픽셀들로 그레이스케일 픽셀들을 번역한다. 디더링 프로세스가 자신의 이웃 픽셀들에 양자화 에러를 전파해야만 하기 때문에, 또한 스캔 라인 당 서브픽셀 시프트를 처리한다. 도 30은 이 프로세스를 도시한다. 정확한 방식으로 양자화 에러를 전파하기 위해, 다른 스캔 라인에 대한 에러 전파는 스캔 라인들이 정렬되지 않기 때문에 하찮은 것이다. 양자화 에러는 더 큰 겹침을 가진 픽셀들이 전파된 양자화 에러의 더 큰 비율을 수신하도록 이웃 픽셀들 사이에서 겹침의 양에 기반하여 전파될 수 있다. 대안적인 그리고 더 간단한 전략은 가장 큰 겹침을 가지는 이웃에만 에러를 전파하기 위한 것이다.

[0247] 디더링 프로세스에 대하여 사용되는 도스는 바람직하게, 렌더링 프로세스, 빔렛 당 도스 팩터 및 채널에 대한 스케일링 팩터로부터의 도스 레이트에 기인한다. 도스 팩터는 바람직하게 빔렛마다 세팅된다. 그러므로 디더링 모듈은 또한 빔렛 바인딩에 스캔 라인을 알아야만 한다(도 30에서 "서브빔 idx").

[0248] 디더링 프로세스는 스트라이프의 모든 픽셀들에 대하여 온/오프 상태를 초래할 것이다. 추가의 프로세싱 전에 선택적 마진 픽셀들이 제거된다. 마진 픽셀들은 이미 스트라이프 보더들에서 부드럽게 페이드 인 및 아웃되기 때문에 소프트 에지들의 경우에서 요구되지 않는다.

[0249] 구조 옵션에 따라, 정정들은 디더링 프로세스 동안 알려지거나 또는 알려지지 않는다. 오프라인에 대하여 서브픽셀 시프트를 디더링하는 것은 행해지지 않을 수 있고 픽셀들은 Y방향에서 정렬될 것이다.

[0250] 디더링 프로세스에 대하여 임계치는 화이트 값이 빔렛 도스 정정들 때문에 디폴트로부터 벗어날 것이기 때문에 상상 "화이트 값"의 절반이다.

[0251] 채널 프레이밍 및 멀티플렉싱

[0252] 이 프로세스는 디더링 후 다양한 태스크들을 수행한다. 디더링된 픽셀 비트들은 스캔 라인 비트 프레임으로 투사된다. 빔렛 특정 풀 픽셀 시프트들은 이 동작에서 수행될 것이다. 적절한 비트들은 그 다음에 단일 디플렉션 스캔에 대하여 어셈블링된다.

[0253] 렌더링 프로세스에 대하여 이전에 언급된 바와 같이, Y 방향에서 풀 픽셀 시프트는 이후 단계에서 행해질 수 있다. b/w 비트맵의 픽셀들은 자신들의 스캔 라인 비트 프레임에 위치된다. 이 비트 프레임은 전형적으로 스페이스를 시프트하기 위해 허용하기 때문에 비트맵보다 더 넓다. 도 31은 이 프로세스를 도시한다. 수직 화살표들은 제로 시프트의 라인에 대하여 풀 픽셀 시프트들을 표시한다. 픽셀들이 이 라인(도 31에서 스캔 라인 비트 프레임에서 최 좌측 스캔 라인과 같은)상에서 시작하는 경우, 자신의 풀 픽셀 시프트는 제로이고 픽셀들은 스캔 라인 비트 프레임에서 완전히 중심에 온다.

[0254] 디플렉션 스캔 프레임의 비트들을 어셈블링하는 다음 단계는 도 32에 도시된다. 이 단계는 올바른 기록 전략을 적응시키고 블랭커가 정확한 순간에 필요한 비트들을 표시하기 위해 필요하다. 예시로서, 도 32는 파라미터들 ($N=4$ 및 $K=3$)에 대하여 도면의 하부 좌측부에서 상이한 빔렛 포지션들을 도시한다. 위치들은 상이한 후속 디플렉션 스캔들에 대하여 도시된다: n , $n+1$, $n+2$ 및 $n+3$. 이 단계에서 혼자 빔렛 맵핑하는 스캔 라인은 충분히 양호하지 않다. 이 단계에 대하여 빔렛 인덱스 및 디플렉션 스캔 인덱스 둘 다를 알아야만 한다. 특정 디플렉션 스캔 인덱스에 대한 모든 비트들은 단일 디플렉션 스캔 비트 프레임으로 패킹된다(packed). 도 32에서, 두 개의 합부 화살표들은 디플렉션 스캔 비트 프레임에서 픽셀 포지션을 트레이스하기 위해 특성들로 채워진다.

[0255] 채널 인코딩

[0256] 최종(선택적) 단계로서, 디플렉션 스캔 비트 프레임은 데이터의 전송을 향상시키기 위해 인코딩될 것이다.

[0257] 데이터 플로우

[0258] 도 33은 오프라인 프로세싱 & 중앙 저장 유닛(서버), 여러 패턴 스트리머 노드들, 및 블랭커 칩(빔렛 블랭커 어레이)을 포함하는, 데이터 경로의 주요 데이터 프로세싱 및 저장 엘리먼트들을 도시하는 도식 블록도이다.

[0259] 오프라인 프로세싱 & 중앙 저장 유닛은 입력 레이아웃 데이터(예를 들어, GDS-II 포맷에서)를 프로세싱하고 스트라이프들에 대한 입력 파일들을 발생시킨다. 각 스캔들에 대한 스트라이프들에 채널들의 할당에 따라, 스트라이프 데이터는 올바른 패턴 스트리머 노드에서 결과적으로 종료할 필요가 있다.

- [0260] 패턴 스트리머 노드들은 디스크 및 RAM 저장 둘다를 포함한다. 디스크 저장소는 계획된 패턴들에 대한 입력 데이터를 저장하기 위해 사용되고, RAM은 현재 패턴을 스트리밍하는 프로세싱 유닛들에 의해 요구되는 데이터를 저장한다.
- [0262] 구조 옵션에 따라, 서버로부터 입력 데이터는 프로세싱 유닛들에 대한 입력 데이터와 동일하다. 이는 오프라인 및 실시간 래스터화에 대하여 사실이다. 오프라인 래스터화에 대하여, 비트맵은 서버로부터 수신되고 프로세싱 유닛들에 포워딩된다. 실시간 래스터화에 대하여, 벡터 포맷에서 입력 데이터는 서버로부터 수신되고 프로세싱 유닛들에 포워딩된다. 프로세싱 유닛들은 비트맵들로 벡터 포맷을 변환할 것이다. 인라인 구조 옵션에 대하여, 벡터 포맷에서 입력 데이터는 프로세싱 유닛들에 대한 비트맵들로 변환된다.
- [0263] 구조 옵션들
- [0264] 데이터 경로의 기능 유닛들은 도 28에 도시된다: (1) 프리프로세싱, (2) 채널 분리, (3) 채널 렌더링, (4) 채널 디더링, (5) 서브채널 맵핑 및 (6) 채널 멀티플렉싱 및 인코딩.
- [0265] 프리프로세싱 및 채널 분리는 바람직하게 오프라인으로 실행되고, 서브채널 맵핑 및 채널 멀티플렉싱 및 인코딩은 바람직하게 실시간으로 실행된다. 하지만, 래스터화(채널 렌더링 및 채널 디더링을 포함함)는 오프라인, 인라인 또는 실시간으로 실행될 수 있다. 아래에 논의된 구조 옵션들은: (A) 오프라인 래스터화, (B) 인라인 래스터화 및 필드 오프셋들 당, (C) 인라인 래스터화 및 정렬된 필드들, (D) 실시간 래스터화이다.
- [0266] 리소그래피 시스템의 일 실시예에서, 데이터 경로 구조에 영향을 주는 리소그래피 시스템의 아래의 요건들이 정의된다: 26mm x 33mm(y,x)의 최대 필드 크기 및 2.5 초의 필드 당 대기 시간, 더하기 제 2 통과에 대한 다른 2.5 초; 13,000개의 파이버들/채널들/스트라이프들 및 637,000개의 전자 빔렛들(13,000x49개의 채널 당 빔렛들); 2 μ m의 스트라이프 폭 및 1.15 μ m의 오버스캔 폭(단일 측)(0.2 오프셋 범위(+/-200nm) + 0.2 스케일링 범위(스트라이프 폭의 10%) + 0.5 소프트 에지(0.5 μ m 단일 측)+0.25 기록 전략(Wproj=420nm: 단일 측 Wproj/2=210 μ m)); 4.3 μ m의 최대 디플렉션 폭(디플렉션 주파수는 기록 전략 및 드라이브 속도에 의존); 3.5nm의 전형적 픽셀 크기 및 2nm-6nm의 픽셀 크기 범위(1/3 내지 3x(전형적인 픽셀 크기)²); 10-15nm의 도스 그리드 레졸루션; 64nm의 가장 작은 피치, 22nm의 라인들에 대한 가장 작은 CD, 및 32nm의 홀들에 대한 가장 작은 CD; 0.25nm의 입력 레졸루션 및 0.1nm의 래스터화 레졸루션.
- [0267] 패턴 스트리머상에서 데이터 패턴 저장 크기>10 패턴들; 새로운 정정 파라미터들을 업데이트하고 새로운 웨이퍼를 기록하기 시작할 준비를 하는 시간 36초; 패턴 스트리머에 서버로부터 업로드 시간<60 분; 고속 메모리로 로컬 저장소로부터 이미지<60 초(분리 프로세스 단계) 및 <6분(기록 동안); 및 7개의 프로세싱 유닛들을 가진 12개의 채널들의 프로세싱 노드.
- [0268] 리소그래피 시스템은 양의(positive) 그리고 음의(negative) 레지스트 둘 다를 바람직하게 처리할 수 있다. 레지스트의 특성들은 바람직하게 데이터 경로의 오프라인 프로세싱을 처리하고 데이터 경로의 잔여 부분은 이를 알 필요가 없어야만 한다. 단일 웨이퍼를 기록하기 위해 주 통과 및 제 2 또는 중복 통과 두 개의 통과들이 사용될 수 있다. 둘의 조합은 웨이퍼상에서 모두 13,000개의 스트라이프들을 기록할 것이다.
- [0269] 옵션 A: 오프-라인 래스터화
- [0270] 도 59는 오프-라인 래스터화를 사용하여 실시화를 도시한다. GDS-II 포맷 패턴 데이터는 근접 유효 정정 및 레지스트 가열 정정을 포함하는, 오프-라인 프로세싱을 실행한다. 스마트 바운더리들이 사용되는 경우, 바운더리들은 이 스테이지에서 계산된다. 래스터화(렌더링 및 디더링)는 이 실시예에 대한 톨 입력 데이터 포맷(즉, 리소그래피 시스템에 전송하기 위한 데이터 포맷)인, 2-레벨 블랙/화이트 비트맵으로 벡터 패턴 데이터를 변환하도록 수행된다. 이 오프-라인 프로세싱은 웨이퍼들의 하나 이상의 배치들에 대한 주어진 패턴 설계에 대하여 한번 수행된다.
- [0271] 다음으로, 톨 입력 데이터의 인-라인 프로세싱은 또한 B/W 비트맵 포맷인, 패턴 시스템 스트리밍(PSS) 포맷을 발생시키기 위해 수행된다. 인-라인 프로세싱은 소프트웨어로 전형적으로 수행된다. 패턴 스트리머는 그 다음에 빔렛 블랭커 어레이에 전송할 준비로 블랭커 포맷 데이터를 발생시키기 위해 PSS 포맷 데이터를 프로세싱한다. 이 프로세싱은 하드웨어에서 전형적으로 수행되고, 빔 포지션 교정, 필드 크기 조정 및/또는 필드 포지션 조정을 위한 X 및/또는 Y 방향에서 폴 픽셀 시프트를 수반하는 정정들을 포함할 수 있다. 이 프로세싱은 필드마다 수행될 수 있다. 블랭커 포맷 패턴 데이터는 그 다음에 웨이퍼의 노출을 위한 리소그래피 시스템에 전송된다.

- [0272] 이 구조 옵션에서 작업의 대부분은 오프-라인에서 행해진다. 래스터화는 오프라인으로 설계 당 한번 실행될 것이다. 이 옵션에 대하여 리소그래피 시스템에 대한 입력 데이터는 블랙/화이트(B/W) 비트맵 포맷에서 스트라이프 패턴 설명이다. 비트맵은 실시간으로 프로세싱된다. 그러므로 스테이지 5에 의해 제공된 정정들만이 이용 가능하다(채널 프레이밍 및 멀티플렉싱, 도 34를 보라). 스테이지 5의 정정들은 채널 당 X 및 Y 방향들로 시프팅하는 글로벌 패턴, 블랭커 타이밍 오프셋(Y 방향) 및 블랭커 홀 오프셋(Y 방향)을 포함할 수 있는, 풀 픽셀 시프트 정정들이다.
- [0273] X 오프셋은 로우(row) 맵핑에 빔렛상에서 영향을 가진다(블랭커 홀 오프셋 및 블랭커 타이밍 오프셋). 적절한 Y 오프셋들은 가장 가까운 풀 픽셀에 부가되고 라운딩될 것이다.
- [0274] 오직 풀 픽셀 정정들만의 결과로서, 상대적으로 작은 픽셀 크기(~2nm)가 정확한 규격(specification)들을 만족시키기 위해 바람직할 수 있다. 작은 픽셀들을 사용하는 불이익은 채널 당 다수의 파이버들을 사용하는 것을 요구하거나 또는 더 낮은 스루풋을 초래할 수 있는, 채널에 대하여 이용가능할 수 있는 대역폭보다 더 많은 대역폭이 요구된다는 것이다.
- [0275] 도 35에서, 이 구조 옵션에 대한 프로세스 플로우가 도시된다. 포커스는 빔치들의 변경하는 순간이다. 프로세스 플로우는 이러한 프로세스들이 병렬로 스루풋을 최대화하기 위해 실행할 수 있도록 패턴 데이터를 로딩하기 위해 사용될 수 있는 리소그래피 시스템의 사이클에서 간격들을 발견하기 위해 분석될 수 있다. 중심 바에서, 빔치는 패턴 A로부터 패턴 B로 변경된다. 이 도면에 대하여, 빔들 및 스트라이프들을 개편할 이유가 없다고 가정된다. 새로운 패턴의 주 부분을 로딩하는 것(패턴 B에 대하여 주 스캔에서 기록된 스트라이프들)은 최종 주 스캔이 종료된 후 바로 시작할 수 있다. 도면은 또한 새로운 패턴의 제 2 스캔/중복 스캔 부분을 로딩하는 것이 상대적으로 늦게 시작할 수 있고 새로운 패턴에 대한 제 2 스캔/중복 스캔이 시작해야만 할 때 종료해야함을 도시한다.
- [0276] 스캔들(G 및 F) 둘 다의 듀레이션은 전형적으로 2.5분이다. 병렬 프로세스들(H 및 D)에 대한 총 듀레이션은 약 1분일 수 있다. 그러므로, 총 패턴을 로딩하기 위해 이용가능한 시간은 노드들 사이의 스트라이프 데이터의 개편이 필요하지 않다고 가정하면 스캔들 및 웨이퍼 교환 둘 다에 대한 시간은 동일하다(약 6분). 스트라이프 데이터 개편은 새로운 실패 채널들이 프로세스(D)로 발견될 때 필요할 수 있다.
- [0277] 도 36은 오프라인 래스터화 구조에 대하여 패턴 스트리머 노드의 주요 엘리먼트들의 블록도이다(옵션 A). 도 36에서, 각 노드는 여러 엘리먼트들을 포함한다. 노드 CPU는 노드상에서 프로세스들을 코디네이트하고 데이터를 주위로 이동한다. 네트워크 디바이스는 서버와 통신하고(오프라인 프로세싱 & 중앙 저장 유닛) 스트림에 레이어아웃 데이터를 수신한다.
- [0278] 디스크 저장 유닛은 프로세싱 유닛들에 대하여 비트맵들을 저장한다. 디스크상에서 이용가능한 비트맵들의 여러 버전들이 존재할 수 있다. 신뢰성 및 관독 성능은 특정 RAID 모드들에서 디스크의 어레이를 사용함으로써 향상될 수 있다. 디스크 드라이브들의 관독 속도는 스트라이핑에 의해 증가된다(RAID 0, 디스크들의 어레이를 통한 데이터 분산). 신뢰성은 중복 방식으로 데이터를 저장함으로써 향상될 수 있다(RAID 5, N개의 디스크들: 저장 크기= $N-1 \times$ 디스크 크기).
- [0279] 프로세싱 유닛 메모리(PU-RAM)는 패턴 데이터를 저장한다. 스캐닝할 때, 프로세싱 유닛들이 이 RAM으로부터 자신들의 패턴 데이터를 관독한다. CPU는 스캔들 전에 RAM으로 패턴 데이터를 로딩한다. 프로세싱 유닛들은 패턴 데이터를 스트리밍하고 블랭커에 전송을 위해 광학 신호들을 발생시킨다.
- [0280] 이 구성을 위한 전형적인 데이터플로우는 도 37에 도시된다. 패턴 데이터는 네트워크 디바이스(1)로부터 노드 CPU에 의해 수신되고, 디스크(2)상에 저장된다. 패턴 데이터가 스캔을 요구할 때마다, 노드 CPU는 디스크(3)로부터 데이터를 관독하고, PU-RAM(4)에 저장한다. 스캐닝 동안, 프로세싱 유닛들은 PU-RAM(5)로부터 자신들의 패턴 데이터를 관독한다.
- [0281] 이 구조의 중요한 특성들은 PU-RAM의 크기, PU-RAM 로드 타임, 디스크 로드 시간, 및 디스크 크기이다. PU-RAM 로드 시간(PU-RAM에서 모든 스트라이프 데이터를 로드할 시간)은 주로 디스크 저장 유닛의 성능에 의존할 것이다. 디스크 로드 시간에 관하여, 새로운 스캔들에 대한 비트맵들은 서버로부터 다운로드될 필요가 있고, 서버는 통신을 위한 보틀넥일 수 있다. 디스크 로드 시간은 서버로부터 노드에 대역폭을 증가시키거나 또는 서버상에서 비트맵 데이터를 압축함으로써 향상될 수 있다. 디스크 크기에 대하여, 분산 보틀넥을 극복하기 위해(서버 대역폭), 다수의 패턴들(예를 들어, 10)이 디스크 저장 유닛에 저장될 수 있음이 가정된다. 이용가능성 또는 관독 속도에 관한 요건들에 따라, 디스크들은 특정 RAID 레벨에 대하여 구성될 수 있다.

- [0282] 오프라인 및 온라인 개념들에서, 프리프로세싱된 픽셀들의 리오더링 및 맵핑은 필드 프로그램어블 게이트 어레이(FPGA)를 포함하는 프로세싱 유닛에 의해 수행될 수 있다. 이 프로세싱 유닛은 풀 픽셀 시프트들을 허용할 것이고 블랭커를 향해 멀티플렉싱될 메모리로부터 데이터를 리오더링할 수 있다.
- [0283] 압축은 구조 옵션 A에 대하여 또한 사용될 수 있다. 가능한 구성들은 비 압축, 압축되고 디터링된 이미지들 또는 압축된 그레이스케일 이미지들을 포함한다.
- [0284] 비 압축에 대하여, 패턴 스트리머 노드는 디스크상에 디터링된 이미지들을 저장할 것이다(비-압축됨). 또한, 분산 전에 서버상에서 이 이미지를 압축하는 것이 가능하다. 이 상황에서 패턴 스트리머는 수신 후에 어쨌든 이미지를 압축해제해야만 하지만, 이는 이 프로세스에 대하여 합리적인 양의 시간이 존재하기 때문에 보틀넥이 아닌 것으로 보인다.
- [0286] *압축되고 디터링된 이미지들에 대하여, 압축은 분산 노력을 낮추고(통신 시간), RAM 크기 요건을 낮춘다. 이 해법에 대하여 오프라인 프로세스는 디터링된 이미지를 압축해야만 하는 반면, FPGA는 내부적으로 이미지를 압축해제해야만 하고 이를 프로세싱해야만 한다. 그러므로, RAM의 이미지는 매우 작다. 도 34의 기능 유닛들에 관하여, 압축 및 압축해제 기능들은 도 39에 도시된 바와 같이 디터링 후 삽입된다.
- [0287] 압축은 디터링된 이미지들이 많은 제로 값들을 포함하고 있기 때문에 디터링된 이미지들에 대하여 덜 효과적인일 수 있고, 비-제로 영역들은 도스 값들의 변경들에 기인하여 압축하기 어려울 수 있다. 도 40은 모노크롬(픽셀 당 1비트) 이미지를 사용하여 디터링된 테스트 이미지를 도시한다. 이미지(도 40)는 도스 레벨이 매 반복마다 변경되는 동안 도 42의 디터링된 버전을 8배 한다. 매 반복에서 도스를 변경함으로써, 압축 툴은 반복을 활용할 수 없고 덜 효과적이다. GZIP 및 Optipng은 가능한 압축 방법들이다. 디터링된 이미지들의 압축은 쉽지 않고 대략 1:4로 압축비를 산출할 것이다(주로 제로들의 시퀀스들을 압축). 1:4의 압축비를 사용하여, 2nm 픽셀들을 사용하는 전형적 스트라이프 이미지의 크기는 스트라이프 당 압축되지 않은 4352MB 및 압축된 1088MB 및 스트리머 당 압축되지 않은 61GB 및 압축된 15.2GB(즉, 14x)를 초래할 수 있다. 이 시나리오에서, 디터링된 이미지의 압축은 로드 시간(단일 디스크에서 약 2분의 디스크->RAM) 및 분산 시간(약 1.5 시간의 서버->디스크)에 대한 이점을 제공하는, 16GByte로 RAM 크기를 감소시킬 것이다. 2분 로드 시간은 프로세스 플로우에서 로딩하기 위한 시간 원도우로 맞춘다. 불리한 점은 FPGA가 약 5Gbit/s의 실시간 데이터 레이트로 유지하는 채널 당 압축해제를 이용하여 향상된다는 것이다. 또한, 서버는 바람직하게 모든 데이터를 초기에 압축한다.
- [0288] 압축된 그레이스케일 이미들에 대하여, 도 34의 기능 유닛들에 관하여, 압축 및 압축해제 기능들은 도 41에 도시된 디터링 후에 삽입되어야만 한다. 렌더링 후, 오프라인 프로세스는 그레이스케일 이미지를 압축해야만 하고, FPGA는 이미지를 압축해제, 디터링 및 프로세싱한다.
- [0289] 도 42는 셀의 렌더링된 비트맵의 실시예를 도시한다(64x1000nm@2nm 픽셀). 압축들에 대하여 GZIP 및 Optipng(둘 다 오픈 소스 압축 툴들)이 사용된다. 두 방법들은 손실이 없다. GZIP은 범용 압축 툴인 반면, Optipng는 2D 이미지들을 압축하는 데 특화된다. Optipng가 우월한 압축비를 제공하도록 PNG 압축은 두 스케이지들, 2D 예측기 필터 및 GZIP 압축기로 구성된다. 실제 설계들에서 발견된 패턴들에 따라, 더 큰 이미지에서 더 반복될 수 있다.
- [0290] 1:40(PNG)의 압축비 및 2nm 픽셀들을 사용하여, 압축 레이트는 벡터 포맷에 비교가능한 크기로 이미지를 줄인다. 이 어프로치를 사용하는 것은 하지만 프로세서 유닛(FPGA)에서 집적될 PNG 압축 해제를 요구한다. 비트맵 크기가 4의 팩터로 커질 때, 압축된 이미지들은 GIP에 대하여 팩터 1.3 및 PNG에 대하여 팩터 2만이 커진다. 압축은 작은 픽셀들과 결합하여 잘 작업한다.
- [0291] 그레이스케일 픽셀들을 사용하는 이 어프로치에 대한 흥미로운 관찰은 블랭커에 시프팅 및 스트리밍하기 위한 더 큰 픽셀들을 구성하는 것을 허용한다는 것이다. 더 큰 픽셀들의 값들은 더 작은 픽셀들의 값들의 선형 조합을 사용함으로써, 더 작은 픽셀들로부터 계산될 수 있다. 입력 이미지들은 오버샘플링된 것으로 고려될 수 있다. 도 43은 입력 픽셀들 및 빅 출력 픽셀들의 작은 그리드의 이 개념을 도시한다. 이 실시예는 픽셀 크기의 비가 1:2로 주어지지만, 다른 비들이 또한 가능하다. FPGA는 비트맵을 압축해제할 것이고, 블랭커에 스트리밍하기 위해 빅 픽셀을 형성하기 위해 여러 작은 픽셀들을 결합할 것이다. 이점은 이 어프로치가 작은 입력 픽셀들을 사용하는 동안에도 파이버상에서 대역폭을 제한할 것이라는 것이다(빅 출력 픽셀들). 파이버상에서 대역폭은 보틀넥이 고려되고 블랭커에 2nm 픽셀들을 스트리밍하기 위해 채널 당 두 개의 파이버들을 사용을 요구할 수 있다.
- [0292] 이 구조에 관한 언급들:

- [0293] · 도스 맵은 바람직하게 입력 비트맵에 또 부가되고 FPGA에 의해 사용된다
- [0294] · 도스 정정들은 디더링이 FPGA에서 발생하기 때문에 가능하다
- [0295] · 입력 픽셀들로부터 블랭커 픽셀을 구성할 때 X 및 Y에서 시프트, 정확성은 실제 픽셀 크기들에 의존한다
- [0296] · FPGA에서 압축해제 및 디더링이 요구된다
- [0297] · 압축이 오프라인 프로세스에 부가된다. 압축이 프로세싱 노력을 상당히 증가시킬 것이 예상된다.
- [0298] RAM 크기는 1:40의 압축 비로 감소된다. 이 시나리오에 대하여, FPGA는 그레이스케일이 확장되는 레이트로 유지할 수 있는 실시간 언집(unzip) 논리를 갖는다(>>5Gbit/s).
- [0299] 옵션(B 및 C): 인라인 래스터화
- [0300] 도 60은 인-라인 래스터화를 사용하여 실시예를 도시한다. GDS-II 포맷 패턴 데이터는 사용되는 경우 근접 유효 정정, 레지스트 가열 정정 및 스마트 바운더리들을 포함하는, 도 59의 오프-라인 실시예에 대한 것과 같은 오프-라인 프로세싱을 실행한다. 정정된 벡터 패턴 데이터 및 도스 맵은 이 실시예에 대하여 툴 입력 데이터 포맷이다. 이 오프-라인 프로세싱은 웨이퍼들의 하나 이상의 뱃치들에 대하여 주어진 패턴 설계에 대하여 한번 수행된다.
- [0301] 다음으로, 벡터 툴 입력 데이터의 인-라인 프로세싱은 이 실시예에서, 패턴 시스템 스트리밍(PSS) 포맷인, B/W 비트맵 데이터를 발생시키기 위해 벡터 데이터를 래스터화하기 위해 수행된다. 이 프로세싱은 소프트웨어에서 전형적으로 수행되고, 새로운 도스 세팅이 세팅될 때 수행될 수 있다. 패턴 스트리머는 그 다음에 빔 포지션 교정에 대한 X 및/또는 Y 방향에서 풀 픽셀 시프트, 필드 크기 조정, 및/또는 비트맵 데이터상에 전과 같은 필드 포지션 조정을 수반하는 정정들을 포함하는, 도 59 실시예에서와 같은 블랭커 포맷 데이터를 발생시키기 위해 PSS 포맷 데이터를 프로세싱한다. 이 프로세싱은 필드 당 수행될 수 있다. 블랭커 포맷 패턴 데이터는 그 다음에 웨이퍼의 노출을 위한 리소그래피 시스템에 전송된다.
- [0302] 도 61은 인-라인 래스터화를 사용하는 제 2 실시예를 도시한다. 이는 빔 포지션 교정, 필드 크기 조정 및/또는 필드 포지션 조정에 대한 정정들이 벡터 툴 입력 데이터상에서 이루어진다는 점을 제외하고 도 60 실시예에 유사하다. 이러한 정정들이 벡터 데이터상에서 이루어지기 때문에, X 및 Y 방향에서 풀 픽셀 시프트들 및 서브픽셀 시프트들 둘 다 이루어질 수 있다. 이러한 정정들은 소프트웨어에서 전형적으로 수행되고, 웨이퍼마다 수행될 수 있다. 정정들이 이루어진 후에, 래스터화는 패턴 스트리머에 대한 입력을 위해 PSS 포맷 데이터를 발생시키기 위해 수행된다.
- [0303] 도 44는 단계들을 프로세싱하기 위해 할당된 인라인 래스터화 기능 유닛들을 도시한다. 이 구조에 대하여 기능 유닛들(3 및 4)(래스터화)은 인라인으로 실행된다. 이 옵션에 대하여 리소그래피 시스템에 대한 입력 데이터는 벡터 포맷에서 스트라이프 패턴 설명일 것이다. 래스터화는 요구가 있을 때 행해질 것이다(웨이퍼마다, 여러 웨이퍼들마다, 일련의 웨이퍼들마다). 글로벌 오프셋들 또는 글로벌 도스에서 변경들은 인라인 래스터화를 트리거링할 수 있다.
- [0304] 적절한 도스는 픽셀 영역을 변경함으로써 세팅된다. 픽셀 영역은 X 및 Y 픽셀 크기 둘 다를 변경함으로써 변경될 수 있다. X 크기는 하지만 특정 값들로만 변경될 수 있다(도 10을 참조하여 설명된 바와 같이). 글로벌 도스의 정밀한 튜닝을 위해, Y 크기에 대한 변경들이 사용될 수 있다. 고정된 비트레이트를 가정하면, Y 픽셀 크기는 디플렉션 주파수를 변경하고 상이한 패턴 스케일링 팩터를 사용함으로써 세팅된다.
- [0305] 래스터화 결과들이 모든 필드들에 대하여 사용될 것이기 때문에, 필드 특정 서브픽셀 오프셋들은 설명되지 않을 수 있다. 필드 당 오프셋들은 바람직하게 스테이지 5에 의해 실시간으로 설명되는, 풀 픽셀에 결과적으로 라운딩된다(채널 프레이밍 및 멀티플렉싱).
- [0306] 정정들은:
- [0308] * · X 및 Y에서 필드 패턴 시프팅(오직 풀 픽셀 시프팅). 필드 당 한번 업데이트된 파라미터들
- [0309] · X 및 Y에서 글로벌 패턴 시프팅(서브픽셀 레졸루션에서). 웨이퍼 스캔 당 한번 또는 그 이상 파라미터 업데이트
- [0310] · 패턴 스케일링을 통해 글로벌 도스 변경. 웨이퍼 스캔 당 한번 또는 그 이상 파라미터 업데이트

- [0311] 빔렛 및 서브픽셀 시프트들 당 도스 정정들 둘 다는 처리하지 못할 수 있다. 근본 원인은 빔렛 맵핑을 위해 로우(row)를 제어하는 X 방향에서 시프팅의 성능이다. 에러들을 제한하기 위해 이 옵션은 상대적으로 작은 픽셀 크기를 사용하는 것을 전형적으로 유도할 수 있다(약 2nm). 이 옵션은 빔렛이 매 필드의 동일한 라인을 기록할 것이라는 점에서 구조 옵션 B에 비하여 특별한 경우이다. 달리 말하면, 빔렛 맵핑할 로우(row)는 고정되고, 매 필드에 대하여 동일하다. 그러므로 빔렛 특정 정정들에 대하여 보상할 수 있다. 서브픽셀 정정들이 적절히 렌더링되기 때문에, 빔렛들은 더 큰 정확성으로 패턴을 기록할 것이다. 그러므로, 픽셀 크기가 더 크고(3.5nm), 이는 블랭커를 향한 더 높은 광학 채널 카운트를 초래하지 않는다.
- [0312] 모든 정정들이 지원되지만, 필드들은 이상적인 포지션들에서 위치되고, 그러므로 필드들 사이에서 X 및 Y에서 오프셋이 존재하지 않는다. 프로세스 플로우는 구조 옵션 A와 상이할 수 있다. 구조 옵션들 B 및 C에 대하여 새로운 비트맵들은 웨이퍼 또는 여러 웨이퍼들 마다 백터 입력 파일들로부터 자주 발생될 필요가 있다.
- [0313] F) 주스캔 새로운 패턴 비트맵 재발생의 경우에서, 웨이퍼(E1)의 측정에 의존할 수 있다. 도 45는 의존의 경우에서 프로세스 플로우를 도시한다. 이 의존이 존재하지 않을 때 도 35의 프로세스 플로우에 유사할 것이다. 의존은 또한 재발생을 위해 필요한 정보가 효과적으로 추정되지 않을 때(프로세스 파라미터의 느린 변경) 존재하지 않는다. 그래서, 재발생은 일찍 시작할 수 있지만, 실제 측정 후 입증될 수 있다. 예상되지 않은 미스맷치의 경우에, 재발생은 재시작되고 임의의 스루풋을 손실할 것이다. 결과적으로 충분한 RAM이 이용가능한 경우에 프로세싱은 주 스캔 후 더 일찍 시작할 수 있음이 고려된다. 이는 다시 인라인 프로세싱의 지원이 합리적인 타이밍 요건들을 만족시키기에 극히 강력한 프로세싱 유닛을 필요로할 것이라는 프로세싱 A 해법에 대하여 타임 프레임에 2.5분을 추가할 수 있다. 최악의 경우 조건들에 대하여(2.00nm 픽셀, 최대 스티칭), 렌더링할 픽셀들의 수는 스트라이프 당 35 Gpixel일 것이다. 백터 데이터의 크기는 스트라이프 당 606MByte일 것이다. 도 46에서, 인-라인 프로세싱을 위한 구조가 도시되고, 구조는 블록 "래스터화기"를 도시한다. 이 블록은 스트라이프의 B/W 이미지로 백터 포맷을 렌더링하는 인라인 프로세싱 업무를 책임질 것이다. 인-라인 래스터화기를 구현하기 위한 옵션들은:
- [0314] · 오프라인, 프로세싱 및 제어
 - [0315] · FPGA 논리의 사용. 실시간 래스터화에 대하여, FPGA 논리는 동일한 목적을 위해 사용된다. 실시간 래스터화에 대하여 FPGA상에서 많은 리소스들은 성능 요건들을 만족하기 위해 사용되어야만 한다. 인-라인 래스터화 해법에 대하여 FPGA 기술을 사용하는 것은 실시간 버전보다 더 적은 리소스들로 구현될 수 있다.
 - [0316] · GPU 기술의 사용. GPU의 그래픽 프로세싱 유닛은 비디오 프로세싱을 위해 전형적으로 사용되는 프로세서이다. 이러한 프로세서들은 3D 그래픽들(게임들, 비스타)을 렌더링하기 위해 소비자 시스템들(데스크톱 및 랩톱)에서 발견된다. GPU들은 대량 병행성을 활용하고 있다. G80 구조는 128개의 스레드 프로세서들을 활용하는 반면, 아트 카드 GTX280의 상태는 240개의 스레드 프로세서들을 활용한다. 스레드 프로세서의 성능은 대략 인텔 코어 CPU의 5번째이다. GPU의 성능은 자신의 업무들에서 병행성의 정도에 명백히 의존한다. 렌더링은 상대적으로 병행하기 쉬운 업무이다. 디더링(하나의 방향으로) 업무는 어느 정도까지 병행된다(대각).
 - [0317] · 아크 멀티코어 CPU들의 상태를 사용. 오늘날의 멀티코어 CPU들은 매우 강력하다. 일 예시는 인텔의 새로운 구조이다: 코어 17 기술. FPGA 해법은 명백히 상대적으로 싼 해법이다. 구조 옵션 D에 비하여(FPGA에서 래스터화 실시간), 이 해법에 대한 성능 요건들은 매우 많이 관대하다(14 스트라이프들에 대한 6분에 비하여 7개의 스트라이프들에 대하여 2.5초). 그러므로 FPGA는 훨씬 더 작다(그리고 싸다). 또한 실행가능성은 VIIDL의 렌더 알고리즘의 구현의 실행가능성에 의존한다.
 - [0318] 소프트웨어 해법들을 평가할 때, GPU 기술은 렌더링 태스크가 GPU에서 이용가능한 병행성의 높은 정도로부터 이익을 가질 것이기 때문에, 최선이 될 수 있다. 불리한 점은 GPU 기술이 빠르게 발전한다는 것이다. 빠르게 발전하는 하드웨어의 이 문제는 안정적인 CUDA(Compute Unified Device Architecture) API를 제공함으로써 해결된다(적어도 NVIDIA에 의해). 이 API는 넓은 범위의 그래픽 카드 모델 및 버전들에 맞는다. 오늘날 심지어 고성능 컴퓨팅(테슬라)에 대한 생산 라인이 존재한다. 이 생산 라인은 게이밍 그래픽들 대신에 과학적 계산들에 포커싱한다.
 - [0319] 이 구조에 대하여 프로세스는 아래의 단계들에서 설명된다:
 - [0320] 백터 포맷 입력 파일들은 서버로부터 하드 디스크에 전달된다. 초기 스캔을 시작하기 전에 또는 파라미터 변경 후에, 래스터화 모듈은 새로운 비트맵을 생산하기 위해 입력 파일들을 프로세싱해야만 한다. 비트맵은 프로세싱 유닛들의 RAM 메모리에 저장된다. 스캐닝될 때, 프로세싱 유닛들은 자신들의 RAM으로부터 비트맵 데이터를

판독한다. 이 프로세스는 구조 옵션들(A, B 및 C)에 대하여 유사하다. 래스터화기는 FPGA 기술을 사용하여 구현된다. 논리는 실시간 래스터화 옵션에 대하여 사용되는 것과 유사할 수 있다. 실시간 해법에 비하여 인라인 해법은 훨씬 더 경량이다. 그러므로 더 적은 논리 셀들이 요구될 것이다. FPGA 해법에 대하여 데이터플로우에 대하여 두 개의 옵션들이 존재한다. 도 47에서, 데이터플로우는 FPGA가 PU-RAM에 직접 자신의 출력을 저장하는 경우가 도시된다. 이 해법은 래스터화기의 논리가 프로세싱 유닛들과 동일한 FPGA에 결합되는 경우 적절하다. 상기 경우에서 컴포넌트들은 동일한 메모리 컨트롤러를 공유한다. 도 45의 프로세스 도면에 따라, 프로세스들은 병렬로 실행할 수 있다. 잠재적 간섭은 하지만 FPGA들을 분리하기 위한 인수이다. 노드 CPU가 FPGA로부터 결과들을 폐칭하고 PU-RAM에 저장할 책임을 가질 것인 다른 가능성은 도 48에 도시된다. 도 49에서, 호스트 및 GPU 사이의 통신이 도시된다. 호스트는 GPU의 DRAM에서 프로그램(커널) 및 데이터를 저장하고 프로그램을 트리거링한다. 멀티프로세서들은 DRAM으로부터 필요하고 DRAM으로 결과들을 다시 기록하는 데이터를 폐칭한다. 총 동작의 완료 시 호스트는 GPU의 DRAM으로부터 데이터를 폐치할 것이다. 호스트 및 GPU 사이의 인터페이스는 전형적으로 PCIe16 버سي고, DMA는 데이터 전달들에 수반된다. 표준 GPU 하드웨어를 사용할 때 CPU 노드 및 GPU 카드 사이의 인터페이스는 PCI-Express/16이다. GPU의 내부 구조(도 51을 보라)는 병행성에 완전히 포커싱됨을 도시한다. 이 특정 GPU는 30개의 멀티프로세서들 및 멀티프로세서 당 8개의 스레드 프로세서들을 포함한다. 이는 240개의 스레드 프로세서들까지 부가한다. 멀티프로세서는 SIMD(Single Instruction Multiple Data)에 후속하고 자신의 8개의 스레드 프로세서들에 대한 온-칩(고속) 공유 메모리를 사용한다. GPU 구조의 성능을 활용하기 위해 자신의 업무들은 많은 병렬 업무들로 파티셔닝된다. 래스터화 업무는 두 개의 서브태스크들로 구성된다: 렌더링 및 디더링.

- [0321] 렌더링 태스크의 본질은 병행하기에 상대적으로 쉽다는 것이다. 스캔 라인 또는 심지어 픽셀의 렌더링은 독립 프로세스들로서 보여질 수 있다. 디더링 업무의 본질은 양자화 에러가 두 방향들로(디더링 이동의 방향과 동일한 라인상에서 그리고 다음 라이에) 전파되기 때문에 더 직렬이다. 하지만, 오직 한 방향에서 디더링할 때, 디더링은 대각을 따라 병행된다. 다음 라인을 디더링하는 것은 이전 라인의 양자화 에러를 올바르게 프로세싱하기 위해 하나 또는 두 개의 셀들에 의해 래깅해야만 한다.
- [0322] GPU를 사용하는 불이익들은 GPU들이 싸지 않음; 실행될 때 상당한 전력 소비(예를 들어, TDP=200W); 및 자신의 전력을 이용하는 GPU에 대하여 병렬 코드를 생성하는 것이 쉬운 업무가 아님을 포함한다.
- [0323] 멀티코어 CPU 해법: 노드 CPU로서 강력한 멀티코어 CPU를 사용할 때, 노드 CPU는 래스터화 업무를 실행할 수 있을 수 있다. 도 52는 이 구성에 대하여 전형적 데이터플로우를 도시한다. CPU는 하드디스크(3)로부터 벡터 입력 데이터를 판독한다. CPU는 래스터화 업무를 수행할 것이고 PU-RAM(4)로 비트맵을 저장한다. 스캐닝 동안 프로세싱 유닛으로는 PU-RAM(5)로부터 비트맵을 판독한다.
- [0324] 불이익들은: 프로세서의 비용; 상당한 전력 소비(인텔 코어 2 익스트림 쿼드-코어 프로세서: TDP=130W); 및 상대적으로 낮은 정도의 병행성(인텔 코어 2 쿼드-코어 프로세서에 대한 4 코어들).
- [0325] 인라인 래스터화에 대하여 상이한 해법들이 이용가능하다. 인라인 래스터화는 하지만 임의의 공통 특성들을 노출한다: PU-RAM 크기. 인라인 래스터화는 오프라인 래스터화에 대하여 PU-RAM에 저장될 비트맵들을 요구한다. 구조 옵션 B는 작은 픽셀 크기들(예를 들어, 2.00nm, 색인 A.1을 보라)을 필요로 하고, 그러므로 비트맵 데이터의 약 61GByte를 저장할 필요가 있다(압축 안됨). 구조 옵션 C에 대하여, 더 큰 픽셀이 사용된다(예를 들어, 3.50nm). 3.50nm 픽셀에 대하여, 20GByte는 적절할 수 있다. RAM 로드 시간. 이 해법에 대하여, 오직 벡터 입력 데이터만이 디스크상에 저장된다고 가정된다(총 크기 8.5 GB). 새로운 비트맵이 요구될 때마다, 벡터 입력 데이터는 디스크로부터 판독되고 PU-RAM에 래스터화되고 저장된다. 디스크 데이터 레이트는 이 경우에 보틀넥인 것으로 보이지 않는다. 이 해법에 대한 보틀넥은 래스터화기일 수 있다. 자신의 성능은 많은 팩터들에 의존하고 쉽게 예측될 수 없다. 대안은 이전 스테이지에서 래스터화를 수행하는 것일 수 있다. 비트맵들은 PU-RAM 또는 디스크에 저장될 수 있다. 디스크상에서 중간 비트맵들을 저장하는 것은 로드 시간에 대하여 명백한 보틀넥일 것이라는 불이익을 가진다(구조 옵션 A를 보라).
- [0326] 디스크 로드 시간: 새로운 스캔들에 대한 벡터 입력 데이터는 서버로부터 다운로드될 필요가 있다. 서버는 명백히 통신을 위한 보틀넥일 것이다. 디스크 로드 시간을 향상시키기 위한 옵션들은 서버상에서 비트맵 데이터를 압축하거나 또는 서버로부터 노드에 대역폭을 증가시킬 것이다. 디스크 크기. 디스크 저장 유닛상에 비트맵들의 10개의 버전들을 저장하는 것은 85GB의 저장 용량을 추론할 수 있다. 신뢰성(및 판독 성능)을 향상시키는 것은 미러 구성(RAID1)을 사용하고 100GB의 두 개의 디스크들을 사용할 것을 제안한다.
- [0327] 주 알고리즘들이 대부분 병행된다고 가정하면, CPU 및 GPU사이의 대략적인 성능 비교는 아래의 특성들에 기반하

여 이루어진다: 인텔 CPU 코어는 팩터 5를 가진 스레드 프로세서를 능가한다; 인텔 CPU는 4개의 코어들을 포함한다; 그리고 GPU는 240개의 스레드 프로세서들을 포함한다.

[0328] 병행성의 폴 활용을 다시 가정하면, 성능비(인텔:GPU)는 쿼드-코어:GPU=(4*5):240=1:12로 단축된다. 실시에서 여러 팩터들이 이 "이상적" 레이트를 낮출 것이다. 팩터들은: 실행의 비용의 차이(정수 분할이 이 브랜드의 GPU에 대하여 다소 비용이 든다); 병행성의 정도이다. 어느 정도까지 병행 코드를 기록할 수 있다. 제한된 양의 로컬 메모리에서 얼마나 많은 스레드들을 실행할 수 있는가. SIMD(Single Instruction Multiple Data) 프로세서들의 사용 때문에. SIMD 그룹에 전형적으로 8개의 스레드 프로세서들이 존재한다. 이는 브랜치의 양 측들이 항상 (직렬로) 실행되기 때문에 실행 경로가 확장함을 의미한다.

[0329] 한편, 인텔 프로세서들과 같은 멀티-코어 해법들은 공유 캐시를 사용한다. 여러 팩터들에 따라 코어 당 성능은 더 많은 코어들이 활성일 때 저하될 것이다. 이 캡처에서 추정은 인텔 CPU를 사용하여 래스터화의 성능으로 이루어진다(렌더링 및 디더링).

[0330] 성능을 추정하기 위해 렌더 및 디더 모듈들은 C++에서 구현된다. 오직 C++의 00 특징이 사용되지만, 임의의 성능 크리티컬한 명령들은: 리스트들 또는 큐들과 같은 새롭거나, 삭제 또는 임의의 향상된 데이터 구조들과 같다. 64*1000nm 셀이 렌더링 및 디더링하기 위한 유닛으로서 사용된다. 시각적으로 렌더링 및 디더링이 예상되는 비트맵 출력 및 벡터 포맷 입력을 검증함으로써 검증된다. 비주얼 C++ 2008 컴파일러는 가능한 속도에 대한 최적화들로 사용된다.

[0331] 렌더링을 위해 사용된 알고리즘은 스캔 라인 어프로치이다. 활성 에지 테이블이 스캔 라인 중 적어도 하나를 횡단하는 에지들의 세트를 유지하기 위해 사용된다(픽셀들의 라인). 사용된 픽셀 크기는 3.5nm(구조 옵션 C)이다. 64 에지들의 최대값이 특정되는 동안, 52(81%)는 셀 당 합리적인 평균으로서 사용된다.

[0332] 측정하기 위해 모던 CPU를 가진 기계가 선택된다. CPU는 윈도우 XP 운영 시스템을 실행하는 RAM의 2GB로 2.14GHz로 실행하는 코어 2 듀오(6400)이다.

[0333] 사용된 입력 벡터 포맷은 셀에서 폐쇄된 다각형들의 세트의 규격이다. 도스 그리는 제거되지만, 프로세싱은 Y 독립 도스 팩터를 결합한다. 렌더링에 대한 y-방향의 시프팅은 항상 0이지만, 알고리즘은 스캔 라인 독립 시프트 값에 대한 동작들을 결합한다.

[0334] 코드의 최적화는 코드 향상들을 측정함으로써 이루어진다. 보통 프로파일러들은 자신들의 제한된 시간 레졸루션때문에 작동하지 않는다. 대신 Win32 API에서 "QueryPerformanceCounter"가 사용된다. 이 카운터는 레졸루션으로 CPU 시간 스탬프 카운터를 사용한다. 코드는 QueryPerformanceCounter의 결과들에 기반하여 손으로 최적화된다. 최적화 후에, 로드는 아래의 단편들로 애플리케이션을 통해 분산된다: 렌더링 55%, 디더링 27% 및 입력 프로세싱 18%.

[0335] 설명된 기계의 단일 코어는 8.7 초의 100,000 셀 렌더 사이클들을 실행할 수 있다. 11,494 사이클들로의 이 번역들은 초 당 실행된다. 또한 두 코어들을 가진 실행은 대개 선형 방식으로 스케일링된다(8.7 단일 코어 100,000 셀들 -> 8.8 두 코어들 200,000 셀들). 폴 스트라이프는 2,200,000 셀들로 구성된다.

[0336] 그러므로 하나의 코어는 1 스트라이프상에서 194초를 보낼 수 있다. 선형 스케일링을 가정하면, 이는 14개의 스트라이프들이 7.5 코어들을 사용할 때 6분 내에 렌더링됨을 의미한다. 코어 2 듀오 (6400) 는 더 이상 인텔 CPU 들 중 탑 모델은 아니다. 그러므로 임의의 팩터(예를 들어, 30%)로 코어 성능을 증가시키는 것이 공평할 수 있다. 한편, 우리는 더 많은 코어들을 사용하는 것은 선형 방식으로 스케일링되지 않음을 안다. 두 팩터들이 서로 상쇄할 것임을 안다.

[0337] 성능 결과들은: 사용된 알고리즘; 스케일(크기 렌더 셀); 알고리즘들의 완전성; 사용된 특정 최적화들; 최적화들에 소비된 총 시간; 프로토타입에 비하여 실제 구성들에서 캐시/메모리 사용; 및 최종 구성에서 사용될 것인 CPU의 상대적 성능의 합이다.

[0338] 옵션 A에 대하여 논의된 바와 같이, PU-RAM에서 유지되는 이미지들을 압축하는 것이 가능할 수 있다. 래스터화는 자신의 디더링되거나 그레이스케일 이미지를 압축해야만 하는 반면, 프로세싱 유닛(FPGA)은 압축해제하고 선택적으로 디더링해야만 한다. 구조 B는 압축 및 오버샘플링 기술들로부터 실제로 이익을 가질 수 있다. 채널 당 2개의 파이버들을 사용하는 것은 더 이상 필요하지 않다. 구조 C는 이미 상대적으로 빅 픽셀 크기를 사용하고 오직 압축으로부터 이익을 가질 것이다. 이는 더 작은 PU-RAM 및 더 작은 로드 시간들을 의미한다. 압축해제 논리는 하지만 프로세싱 유닛(FPGA)에 추가되어야 한다. 압축해제는 하지만 인-라인 프로세싱 노력들에

상당한 입팩트를 가질 것이다.

[0339] 옵션 D: 실시간 래스터화

[0340] 도 62는 실시간 래스터화를 사용하여 실시예를 도시한다. 이는 하드웨어에서 전형적으로 수행되는 실시간 프로세싱 동안, 프로세스에서 추가적인 하나의 단계로 래스터화가 수행되는 점을 제외하고 도 61 실시예와 유사하다. 빔 포지션 교정, 필드 크기 조정 및/또는 필드 포지션 조정에 대한 정정들이 벡터 포맷 PSS 포맷 데이터상에서 이루어지고, 그 다음에 래스터화는 이를 B/W 비트맵으로 변환한다. 정정들이 벡터 데이터에서 이루어지기 때문에, X 및 Y방향에서 폴 픽셀 시프트들 및 서브픽셀 시프트들 둘 다가 이루어질 수 있다.

[0341] 도 53은 이 구조에 대하여 기능 블록들을 도시한다. 이 옵션에 대하여 기능 유닛들(3 및 4)(래스터화)은 실행들 동안 플라이상에서 실행된다.

[0342] 정정들은:

[0343] · X 및 Y에서 픽셀 시프트(폴 및 서브픽셀) 정정들. 필드 당 한번 업데이트된 파라미터들.

[0344] · 서브채널 당 도스 정정. 필드 당 한번 업데이트된 파라미터들

[0345] · 채널 당 Y에 대한 스케일링 정정들. 필드 당 한번 업데이트된 파라미터들.

[0346] · 블랭커 타이밍 오프셋 정정들. 웨이퍼 스캔 당 한번 파라미터 업데이트들.

[0347] 오프라인 프로세싱 시스템은 모든 스트라이프들에 대하여 벡터 포맷을 준비할 것이다. 패턴 스트리머는 이 데이터를 입력으로서 사용할 것이다. 실시간으로 렌더링 및 디더링함으로써, 패턴 스트리머는 B/W 비트맵을 발생시킨다. 렌더링 및 디더링 동안, 모든 종류의 정정들이 수행된다. BAA/비트맵으로부터 패턴 스트리머는 빔렛 비트프레임들을 발생시키고, 채널의 모든 자신의 빔렛들에 대하여 데이터를 멀티플렉싱하고 블랭커 칩에 파이버를 통해 데이터를 송신한다.

[0348] 레이저들에 데이터를 스트리밍하기 위해 요구되는 리소스들:

[0349] 프로세스는 두 단계들로 구성한다: 서브-빔 오더링에 기인하여 프레임들에 논리적으로 오더링된 픽셀들을 리오더링하여 메모리로부터 데이터를 획득 및 논리 순서로 픽셀들에 렌더링. 제 1 단계는 벡터 데이터의 실제 렌더링으로 구성되거나 또는 단순히 메모리로부터 렌더링된 픽셀 데이터를 리트리브(retrieve)하느 것으로 구성할 수 있다.

[0350] 픽셀들에 벡터 데이터를 렌더링하기 위해 각 스트라이프는 벡터 포맷에서 62.5nm의 서브스트라이프들로 분할된다. 500nm의 소프트-에지에 대하여(최대), 프로세스하기 위해 서브스트라이프들의 수는 $2000+500+500/62.5=48$ 서브스트라이프들이다. 각 서브스트라이프는 서브스트라이프 파이프에서 렌더링된다. 각 파이프는 대략적으로 100 MHz에서 동작할 것이고, 48개의 파이프들은 그러므로 대략적으로 요구되는 5Gbit/s를 생산할 것이다.

[0351] 파이프의 상부에서, FIFO는 메모리 클럭 도메인으로부터 프로세싱 클럭 도메인으로 클럭-도메인 바운더리를 횡단하기 위해 사용된다. 이 FIFO는 또한 메모리 대역폭이 다수의 스트림들을 통해 공유되어야만 하기 때문에, 중간 저장 버퍼로서 서빙된다. FIFO는 코너 데이터 및 도스 맵 데이터 둘 다를 포함한다. 렌더링 애플리케이션은 FIFO의 더 낮은 부분 내에 임의로 어드레싱할 수 있다. FIFO는 메모리 아비터에 임의의 슬랙(slack)을 허용하기 위해 데이터의 적어도 세 개의 블록들을 포함할 필요가 있다. 데이터의 각 블록은 272개의 바이트들을 포함한다. 데이터의 3개의 블록들=816 바이트들. 표준 블록 램(block ram)은 데이터의 18kbits= 데이터의 2kbyte를 포함한다. 이는 데이터크기 관점에서 각 블록램이 3개의 서브스트림 파이프들을 서빙할 수 있음을 의미한다. 하지만, 데이터-이용가능성 관점으로부터, 각 파이프는 상부에서 자신의 고유 블록램을 사용해야만 한다.

[0352] 각 서브스트라이프 파이프는 프로세싱하기 위해 임의의 내부 FF'의 것 그리고 LUT'의 것을 요구한다. 블록램들의 요구되는 수를 이용가능한 LUT의 것 및 FF의 것의 수가 요구되는 수보다 더 크다고 가정한다.

[0353] 멀티-빔 노출을 위한 픽셀들을 리오더링.

[0354] 서브스트라이프 파이프의 하부에서, 또는 메모리의 비트맵 데이터의 경우에 메모리 포트 직접 아래에서 데이터는 다른 FIFO에 저장된다. 이 FIFO는 K=5를 가진 49개의 빔렛들의 픽셀들을 기록하는 데 필요한 데이터의 적어도 245개의 라인들을 포함할 필요가 있다. 각 라인 = $3000\text{nm}/2\text{nm}=1500$ 픽셀들(최대로)을 포함할 것이다. $1500 \text{ 픽셀들} \times 245 \text{ 라인들} = 367,500$ 비트들. 이는 프로세싱을 용이하게 하기 위해 32개의 블록램들까지 라운딩되는 20

개의 블록램들과 동일하다.

[0355] 프레임/멀티플렉서는 이러한 32개의 블록램들로부터 판독하고 레이저에 송신하기 위해 적합한 프레임들을 형성한다. 이러한 프레임들은 정전 저장 유닛으로서 그리고 MGT 클록 도메인 사이에서 비동기 바운더리로서 둘 다 요구되는 다른 FIFO 블록램에 저장된다.

[0356] 셀 기반 입력 포맷

[0357] 벡터 표현은 GDS-II 또는 OASIS 포맷과 같은 패턴 데이터를 발생시키기 위해 전형적으로 사용된다. 상기 언급된 바와 같이, 동작의 상이한 모드들은 하전 입자 리소그래피 기계에 대하여 가능하다. 상기 설명된 하나의 모드는 벡터 기반 입력 포맷에서 패턴 데이터가 사용되고 실시간에서 프로세싱 유닛(FPGA와 같은)에 의해 프로세싱되는 경우 실시간 래스터화 모드이다(즉, 웨이퍼의 필드들의 세트에 대한 패턴 데이터가 필드들의 상기 세트의 스캔이 실행되는 동안 적어도 부분적으로 프로세싱된다).

[0358] 셀 기반 입력 포맷은 이 실시간 래스터화 모드에 대하여 사용될 수 있다. 입력 포맷의 하나의 실시예는 두 양상들, 특징 레이아웃 및 도스 레이트를 설명한다. 특징 레이아웃은 실시간 FPGA 렌더링 및 디터링에 대하여 적합하고 최적화된 셀-기반 어프로치를 사용하여 설명된다. 도스 레이트는 모든 특징들의 영역(예를 들어, 필드)을 커버하는 고정된-크기 그리드에 의해 설명된다.

[0359] 패턴 데이터에 대한 셀 기반 포맷은 실시간 및/또는 하드웨어 프로세싱을 위한 리소그래피 시스템에 패턴 데이터를 스트리밍하기 위해 이로운 더 예측가능한 크기를 가지는 데이터 세트를 산출할 수 있다. 벡터 포맷에서 패턴 데이터는 셀 당 더 예측가능한 크기를 제공한다. 비트맵 포맷에서 패턴 데이터는 사용될 수 있지만 프로세싱 시스템으로부터 리소그래피 시스템에 전달하기 위해 압축될 필요가 있을 수 있다. 비트맵 데이터의 압축의 양은 셀에 존재하는 특징들에 따라 셀 마다 상당히 변할 수 있다. 리소그래피 기계에 이러한 압축된 데이터를 스트리밍하고 그 다음에 데이터를 압축해제하는 것은 압축되지 않은 데이터의 예측가능하지 않은 전송 레이트를 초래한다.

[0360] 얼마나 많은 데이터(비트들)이 최대로 셀 당 포함되는지 및 압축 팩터가 패턴 데이터가 압축되는 경우 달성되는지(예를 들어, 비트맵 포맷으로 인코딩되는 경우 총 크기에 비교할 때) 먼저 아는 것이 이롭다. 셀 기반 포맷은 이러한 특징들을 가지도록 설계된다. 이는 셀 기반 패턴 데이터가 항상 압축되지 않은 비트맵 데이터의 크기보다 실질적으로 더 작은 메모리의 특정 크기(설계 시간에 선택된 메모리 크기)에 항상 맞는다는 것을 보장하기 때문에 바람직하다. 이 보장은 ZIP과 같은 범용 압축 알고리즘들을 사용하여 압축되는 비트맵에 대하여 주어지지 않을 수 있다. 또한 셀 기반 패턴 데이터가 실시간 래스터화의 경우에 중요한, 특정 최대 양의 시간에서 비트맵으로 변환될 수 있음을 보장하기 때문에 바람직하다.

[0361] 또한, 비트맵핑된 필드의 특정 영역을 커버하는 특정 셀이 셀 기반 포맷으로 인코딩되는 "압축된 파일"로부터 판독되어야만 하는 경우, 이 셀이 파일에서 인코딩되는지를 즉시 안다(특징들이 파일에서 임의로 표시되는 경우 예를 들어, GDSII 포맷으로 파일이 존재하는 경우일 수 있는 이 영역에 대하여 검색할 필요가 없다).

[0362] 셀 기반 포맷은 또한 셀 당 배열되기 때문에 리소그래피 시스템에 스트리밍하기 위해 더 적합하고, 스캐닝될 셀들의 시퀀스에 패턴 데이터를 배열하는 것은 상대적으로 벡터 포맷에 비하여 간단하다.

[0363] 부가적인 양의 "압축"은 또한, 각 셀에서 특징들의 상대적인 포지션만을 코딩함으로써 셀 기반 포맷에서 획득된다. 셀의 위치와 결합한 이 상대적 포지션은 필드의 특징에서 절대적 포지션을 준다. 상대적 특징 포지션은 더 적은 가능한 값들(셀의 크기에 제한됨)을 가지고 그러므로 필드를 이용한 절대적 포지션에서보다 정의하기 위해 더 적은 비트들을 요구한다.

[0364] 특징 레이아웃을 설명하기 위한 셀 기반 입력 포맷의 이 실시예에 대한 관련된 파라미터들은 아래에 요약된다.

표 1

[0365]	이름	값
	그리드 레졸루션	0.5nm
	크리티컬한 차원(CD)	22nm
	최소 특징 피치	64nm
	가능한 라인 각들	n*45 도들
	패턴 도스 맵	50%-100%

패턴 도스 맵 그리드 크기	CD
패턴 도스 정확성	0.2% 단계 크기

- [0366] 특징 레이아웃 포맷에 하여 최소 특징 피치는 중요한 파라미터이다. 최소 특징 피치는 본질적으로 특징 밀도를 제한한다. 특징 전이(예를 들어, ON->OFF 또는 OFF->ON)는 최소 특징 피치의 거리 내에서 오직 두 번 발생할 수 있다.
- [0367] 도 67에서, 최소 특징 피치(P)를 따르는 특징들(더 밝게 색칠된 영역들)을 가진 예시적인 패턴 레이아웃이 도시된다.
- [0368] 특징 설명의 중요한 결과는 64x64 nm의 렌더 셀이 최대 4개의 코너들을 설명한다는 것이다. 이러한 렌더 셀들에서 특징들을 설명할 때, 렌더 셀 인덱스는 자신의 베이스 포지션을 제공한다. 렌더 셀 내에 특징은 상대적인 포지션들을 사용하여 설명될 수 있다.
- [0369] 렌더 셀 내에 (부분적) 특징들은 자신의 코너들 또는 직선 라인들에 의해 설명될 수 있다. 라인 각들은 도 69에 도시된 오직 8개의 가능한 방향으로 벡터 오리엔테이션들을 제한하는, 45 도들의 곱들로 제한될 수 있다. 8개의 오리엔테이션 코드들은 도 69에 도시된 바와 같은 각 가능한 오리엔테이션에 대하여 할당된다.
- [0370] 도 68은 코너 개념을 도시한다. 셀은 특징의 코너(우측상에서) 및 특징의 에지에서 직선 라인(좌측상에서)을 포함하는 것으로 도시된다. 코너 및 직선 라인 둘 다는 "코너들"로 고려된다. 코너 A는 A의 포지션(예를 들어, X_A , Y_A) 및 두 개의 벡터들에 의해 정의된다(예를 들어, 오리엔테이션 코드들(에지1=2, 에지2=4)을 사용하여 정의됨). 정의에 의해, 시계방향으로 에지1로부터 에지2로 이동하는 방향에서 영역은 활성 영역이다. 동일한 방식으로 직선 라인은 "의사 코너" 포인트 B(예를 들어, X_N , Y_B) 및 두 개의 에지들(예를 들어, 에지1=4, 에지2=0)에 의해 설명된다. 이 의사 코너의 위치는 정의하는 라인상에서 임의의 포인트이다. 다시 에지1로부터 에지2로 시계방향으로 이동하는 방향에서 영역은 활성 영역이다.
- [0371] 셀들 내에서, 동일한 특징의 코너들이 매칭되어야 한다. 도 70은 64nmx64nm의 셀에서 코너들을 매칭하는 4로써 코딩된 단순한 스퀘어 특징을 도시한다. 도 70의 좌측상에서 테이블은 특징을 완전히 설명하는 파라미터들을 도시한다. 코너들은 자신들의 코너 코디네이트들(X,Y)에 의해 설명되고 에지들은 도 69에 정의된 방향들에 따른 코너 오리엔테이션을 설명한다. 코너 코디네이트들 및 오리엔테이션 코드들로부터, 도 70에서 모든 코너들이 단일 특징을 설명하는 것으로 결정될 수 있다.
- [0372] FPGA에서 프로세싱하기 위해(또는 다른 타입들의 하드웨어 프로세서들), 고정된 크기 데이터 구조들을 가지는 것이 이롭다. 이는 메모리에서 셀 설명들을 어드레싱하는 것을 쉽게 하고 FPGA 논리 심플러를 유지하도록 돕는다.
- [0373] 도 71은 셀들에서 코너들에 의해 설명되는 더 복잡한 특징 형상들의 실시예를 도시한다. 45 및 -45 도를 따르는 오리엔테이션들의 라인들은 또한 도시된 특징들에 의해 정의하기 위해 사용된다.
- [0374] 45도 오리엔테이션들을 가진 특징 에지들
- [0375] 최소 특징 피치는 셀에서 최대수의 코너들을 보장한다. 45도 오리엔테이션들에서 에지들을 가진 특징들을 고려할 때, 셀의 최대 차원은 스퀘어 셀들에 대하여 2의 스퀘어 루트를 곱한 셀 크기에 동일한 길이를 가진 대각선이다(예를 들어, 64nm 스퀘어 셀에 대하여 $64\sqrt{2}$ nm). 최소 특징 피치가 이 대각선 길이 미만일 때, 5개 이상의 코너들이 셀 마다 발생할 수 있는 위기가 존재한다. 도 72에서, 이 상황이 도시된다. 좌측상에서 도면은 셀 당 4개의 코너들을 가진(작은 원들에 의해 표시된 코너들), 64nm의 셀에 포지셔닝된 64nm의 피치를 가진 스퀘어 특징들의 레귤러 그리드를 도시한다. 우측상에서, 스퀘어 특징들의 그리드는 45도만큼 회전된다. 하이라이팅된 코너들은 여섯 개의 코너들이 가운데 셀에서 나타남을 도시한다.
- [0376] 여러 해법들은 이 이슈를 해결하기 위해 적용될 수 있다:
- [0377] · +/-45도 라인들에 대하여 더 큰 최소 특징 피치를 특정, 적어도 셀 대각선의 길이와 동일(예를 들어, 64nm 스퀘어 셀에 대하여 $64\sqrt{2}$ nm).

- [0378] · 셀 대각선이 최소 특징 피치(예를 들어, 64nm 최소 특징 피치에 대한 $1/2 \sqrt{2}$ x 64nm).
- [0379] · 셀 당 더 큰 수(예를 들어, 6) 코너들을 허용.
- [0380] · 셀 당 변경가능한 수의 코너들을 허용.
- [0381] 아래의 설명에서, 상기 제 1 옵션이 가정된다.
- [0382]근접 유효 정정
- [0383]근접 유효 정정들은 웨이퍼를 프로세싱 후 패턴을 향상시키는 것이 요구된다(특히 코너들). 근접 유효 정정들은 로컬하게 지오메트리 또는 도스를 변경함으로써 어드레스될 수 있다. 근접 유효 정정들은 전형적으로 1/3CD의 길이를 가진 코너들 주위에 작은 세리프들을 사용하여 지오메트리 변경들에 의해 행해짐이 가정된다 .
- [0384]도 73에서 실시예는 자신들의 코너들의 일부에 부가된 세리프들을 가진 두 특징들의 도시된다. 바람직하게 특정 코너상에서 세리프를 포함하기 위해 코너 당 옵션이 존재한다. 도 73에 도시된 바와 같이, 이러한 기술의 하나의 중요한 결과는 하나의 셀의 코너상에 정의된 세리프(예를 들어, 도면에서 셀 2의 특징 B 세리프들)는 이웃 셀에서 부분적으로 렌더링될 수 있다(예를 들어, 셀 3으로 확장하여 특징 B 세리프들). 또는 하나의 셀에서 모든 자신의 코너들을 가진 특징(예를 들어, 셀 1에서 특징 A)은 이웃 셀에서 자신의 세리프들의 렌더링 부분들을 필요로 한다(예를 들어, 셀 2에서 특징 A 세리프들).
- [0385]상이한 어프로치들이 이를 어드레스하는 것이 가능하다:
- [0386]· 이웃 셀들을 가진 세리프 코너들에 관한 정보를 공유.
- [0387]· 외부 세리프 코너가 셀의 렌더링에 임팩트를 주면 곧 셀에서 여분의 정보(듀플리케이트)를 패킹
- [0388]· 보통 코너들로서 세리프들을 설명. 이 해법은 명백히 셀 당 코너들의 수를 증가시킨다(매우 다양함).
- [0389]도스 그리드
- [0390]특징들 지오메트리 외에, 도스 레이트는 마이크로 스케일에 관련된, 중요한 시스템 파라미터이다. 도스 정보는 셀 당 하나의 도스 레이트를 포함하는, 도스 그리드를 제공함으로써 설명될 수 있다(도스 정보는 예를 들어, 각 특징에 대한 도스 값을 연관시킴으로써, 다른 방식으로 제공될 수 있다). 셀 크기는 원하는 크리티컬한 차원(CD)보다 전형적으로 같거나 작다. 이론적으로 도스 그리드는 렌더 셀 그리드로부터 독립적이다.
- [0391]두 개의 그리드들을 처리하기 위한 두 옵션들은:
- [0392]· 서로 독립적으로 그리드들에서 둘 다를 정의.
- [0393]· 두 그리드들을 정렬하고 선택적으로 통합.
- [0394]FPGA 프로세싱에 대하여 도스 그리드 및 렌더 셀 그리드를 결합하는 것이 이로울 수 있다. 도스 그리드 크기는 렌더 그리드의 크기보다 전형적으로 작다. 이는 예를 들어, 렌더 셀 내에 9개의 도스 셀들(3x3)을 임베딩함으로써 달성될 수 있다. 그레이스케일 값은 0.2%의 단계들에서 100% 및 50% 사이에서 변할 수 있다. 그러므로 8개의 비트들은 도스 셀 마다 요구된다.
- [0395]결과는 하지만 두 독립적인 개념들이 링크된다는 것이다. 피치 값이 변경될 때마다, 또한, 도스 셀 크기에 대한 결과들을 가진다.
- [0396]픽셀 그리드
- [0397]픽셀 셀 크기 및 포지션은 바람직하게 플렉서블하다. 픽셀들은 비-스퀘어일 수 있지만, 스트라이프/채널 내에 동일한 차원을 항상 가질 것이다. 픽셀들은 4개의 렌더 셀들에 의해 렌더링될 수 있다(최악의 경우). 로우(row) 마다, 상이한(Y 방향) 정렬은 서브픽셀 시프트들때문에 사용될 수 있다.
- [0398]입력 포맷 규격
- [0400]*
- [0401]아래의 규격들은 하나의 실시예에 대하여 제공된다. 렌더 셀은 4개의 코너들 및 여분의 정보까지 포함하는 64바이 64nm의 블록을 포함한다. 에지는 코너에서 시작하는 벡터, 에지1 또는 에지2이고, 에지1로부터 에지2로의

시계방향 각은 활성 측으로 정의된다. 코너는 셀에서 특징의 코너이다. 코너는 라인이 실제 코너 없이 셀을 가로지를 때 180도의 각도를 가질 수 있다. 렌더 셀 당 4 코너들의 최대값이 가정된다.

[0402] 실시예에 대한 코너 데이터의 규격은 아래 테이블에서 제공된다:

표 2

[0403]

이름	비트들의 수	이유(rationale)
X_포지션	8	64nm@0.5nm
Y_포지션	8	64nm@0.5nm
에지1 방향	3	8개의 방향들
에지2 방향	3	7개의 방향들이 가능, 특별한 경우에 에지1과 동일:사용되지 않은 엔트리
세리프 크기	5	0은 오프를 의미
총	27	

[0404] 자신의 필드값으로부터 세리프 크기를 계산하기 위해, 상이한 전략들이 예를 들어, 필드 값이 미리 정의된 테이블에서 인덱스로서 사용되는 테이블 룩업에 대하여 또는 계산에 의해 사용될 수 있다(예를 들어, 세리프 크기=값*0.5nm, 그러므로 양의 세리프 크기를 가정하면 자신의 범위는 0...15.5@0.5nm).

[0405] 실시예에 대한 렌더 셀 데이터의 규격은 아래 테이블에 제공된다:

표 3

[0406]

이름	유닛 당 비트들	# 유닛들	총 비트들
코너들	27	4	108
도스 맵 3x3	8	9	72
총			180

[0407] 아래의 테이블은 상기 포맷을 사용할 때 데이터 볼륨을 요약한다.

[0408] 이 데이터 볼륨 테이블에 대한 가정은 스티칭이 존재하지 않는다는 것이다.

표 4

[0409]

이름	식	결과
셀 당 바이트들의 수	180비트/8	23바이트들
스트립 당 셀들의 수	33mm/64nm*2 μm/64nm	16E6 셀들
필드 당 셀들의 수	13000*16E6	209E9 셀들
필드 당 바이트들의 수	209E9*23	5TByte
스트라이프 당 바이트들의 수	16E6*23	370MByte

[0410] 데이터의 압축을 위한 기회들이 존재할 수 있다. 예를 들어, 많은 셀들은 4개보다 적은 코너들을 포함하고 도스 레이트는 모든 도스 셀들에 대하여 같은 값일 수 있음이 예상된다.

[0411] 고정된 크기 데이터 구조들의 정의는 FPGA 설계의 업무를 쉽게 할 수 있지만(어드레싱 및 로딩) 메모리에 대한 결과들을 가진다. 통신 및 (디스크) 저장에 대하여, 표준 압축 기술들은 데이터를 압축하기 위해 사용될 수 있다. 이는 사용되지 않은 레코드들이 예를 들어, 사용되지 않은 코드들에 대하여 모두 제로들과 같은 동일한 값들로 채워질 때 잘 작동한다. 압축은 또한 도스 맵에 대한 유사한 값들과 같은 값들을 반복하기 위해 작동한다.

[0412] 상기 실시예에 대하여 임의의 설계 이슈들은:

[0413] · 셀 당 최대 수의 4개의 코너들은 충분하지 않을 수 있다;

[0414] · 세리프들에서 이웃 셀들을 보는 것은 프로세싱 시간 및 메모리에서 '비싸'고 가능하면 회피해야만 한다;

[0415] · 세리프들은 예상한 것과 상이한 형상들일 수 있다.

- [0416] · 마다 고정된 수의 코너들은 하드웨어 구현에 대하여 바람직하다.
- [0417] · 셀 당 높은 고정된 수의 코너들은 큰 데이터 양들을 초래한다;
- [0418] · 셀 당 낮은 고정된 수의 코너들은 불요성(inflexibility)을 초래한다.
- [0419] · 모든 코너들의 코딩은 정보-이론적 스탠드포인트로부터 지나친 정보이지만, 상당히 하드웨어에서 구현을 용이하게 한다;
- [0420] · 코너들의 레졸루션은 바람직하게 0.5nm 대신에 0.25nm이다.
- [0421] · 코너들의 수의 반만을 코딩하는 것은 충분할 수 있다.
- [0422] 더 큰 블록들을 함께 코딩
- [0423] 코너들의 높고 낮은 고정된 수 사이에서 트레이드-오프로서, 하나의 가능성은 예를 들어, 기계적 스캔 방향에서 대략적으로 16 배 더 큰 것과 같은, 데이터의 더 큰 블록에 대하여 최대 수의 코너들을 제한하는 것이다. 이 더 큰 블록의 하나의 영역에서 로컬 최대 수의 코너들은 블록의 다른 영역에서 더 적은 수의 코너들에 의해 보상될 것임이 가정된다.
- [0424] 메모리 사용의 증가에 기인하여, 최대 수의 코너들에서 4보다 더 높은 제한이 바람직하지 않다. 하지만, 더 낮은 제한을 사용하는 것은 모든 가능한 경우들을 커버하지 않을 수 있다. 중간 해법으로서, 아래의 시나리오가 고려된다; 예를 들어, 시간에서 16개의 셀들의 블록과 같은, 현재 셀들보다 더 큰 블록들에서 데이터를 코딩하고, 이러한 블록 내에 코너들의 수를 제한하고, 로컬 최대 수의 코너들이 더 높을 수 있다. 이 시나리오에서, 세리프들은 구현을 용이하게 하는 코너들 자신들로서 코딩된다.
- [0425] 이 실시예를 구현하기 위해 아래의 변경들이 상기 실시예에 이루어질 수 있다:
- [0426] · 블록이 Y 방향(디플렉션 방향)에서 62.5nm 및 X 방향(기계적 스캔 방향)에서 1000nm인 것으로 정의된다;
- [0427] · 셀/블록의 Y 크기는 64로부터 62.5 nm로 증가된다. 이는 2 이점들을 가진다: $16 \times 62.5 = 1000\text{nm}$ 이고, 8비트들에서 효율적으로 인코딩될 수 있는 $62.5/0.25=250$ 이다;
- [0428] · 밀도 맵은 $31.25 \times 31.25\text{nm}$ (1000 nm 의 $1/32$)의 레졸루션을 가질 수 있다.
- [0429] · 최대 수의 코너들은 블록 당 64로 설정된다($62.5 \times 62.5\text{nm}$ 의 셀 당 평균 4개의 코너들);
- [0430] · 세리프들은 코너들 자신들로서 데이터 내에서 코딩된다.
- [0431] 아래의 규격들은 이 실시예에 대하여 제공된다;

표 5

[0432]	이름	값
	렌더 블록	64개의 코너들 및 도스 정보를 포함하는 62.5 바이 1000nm의 블록
	에지	코너에서 시작하는 벡터. 에지1 또는 에지2. 에지1로부터 에지2로의 시계방향 각은 활성 측을 정의한다
	코너	셀에서 특징의 코너. 또한 라인이 실제 코너 없이 셀을 가로지르는 경우 180도의 각을 가진 코너일 수 있다. 렌더 셀 당 최대의 4개의 코너들이 가정된다.

- [0433] 이 실시예에 대한 코너 데이터의 규격은 아래 테이블에서 제공된다:

표 6

[0434]	이름	비트들의 수	이유
	X_포지션	12	$1000\text{nm} @ 0.25\text{nm}$
	Y_포지션	8	$62.5\text{nm} @ 0.25\text{nm}$
	에지1 방향	3	8개의 방향들
	에지2 방향	3	7개의 방향들 가능, 특별한 경우 에지1에 동일함: 사용되지 않은 엔트리
	총	26	

[0435] 이 실시예에 대한 렌더 셀 데이터의 규격은 아래 테이블에서 제공된다:

표 7

이름	유닛 당 비트들	# 유닛들	총 비트들
코너들	26	64	1664
도스 맵 32x2	8	64	512
총			2176

[0437] 아래 테이블은 상기 포맷을 사용할 때 데이터 볼륨을 요약한다. 이 데이터 볼륨 테이블에 대한 가정은 스티칭이 존재하지 않는다는 것이다. 이 추정치는 실제 RAM에 정보를 저장할 때 렌더링을 실행함을 고려하지 않는다.

표 8

이름	식	결과
블록 당 바이트들의 수	2176 비트/8	272 바이트들
스트립 당 블록들의 수	33mm/1000nm*2um/62.5	1056000
필드 당 블록들의 수	13000*1E6	13.7E9 블록들
필드 당 바이트들의 수	13E9*272	3.4TByte
스트라이프 당 바이트들의 수	1E6*272	274MByte

[0439] 압축을 위한 기회들이 존재한다. 예를 들어, 많은 블록들이 64 미만인 코너들을 포함하고, 도스 레이트는 이웃 도스 셀들에 대하여 유사한 값을 가질 수 있음이 예상된다. 하지만, 압축은 또한 더 복잡한 구현을 유도한다. 데이터는 시스템을 통해 전송되는 동안 압축될 수 있다.

[0440] 이론적 관점의 정보로부터, 모든 코디네이트들로 모든 코너들을 코딩하는 것이 필요없다. 하지만, 이는 구현에서 계산적 노력을 절저하게 감소시킨다. 또한, 블록-보더들의 횡단점들을 코딩하는 것이 이로울 수 있다. 이는 코너들의 수를 증가시키지만, 더 FPGA의 계산적 노력을 감소시킨다. 또한, 렌더링의 전체 프로세스가 데이터의 양끝들로부터 실행가능해야만 함이 고려되어야 한다. 일 방향에서 임의의 "명백한" 정보를 제거하는 것은 다른 방향에서 스캐닝할 때 문제를 제기할 수 있다.

[0441] 블록들은 또한 디플렉션 스캔 방향으로 지향될 수 있다. 왜 행해져야만 하는지에 두 이유들이 존재한다. 구현에서 병행성은 스트라이프 내에서 여러 스트립들에서 데이터를 프로세스할 필요가 있고 이는 데이터가 이 방식으로 지향되는 경우 가능하지 않을 수 있다. 또한, 디플렉션 스캔 방향의 입자성은 스티칭을 위해 바람직하지 않을 수 있는 1000nm일 수 있다. 현재 오리엔테이션에서, 스티칭 영역들을 포함하는 스트라이프-폭의 입자성은 62.5nm이다.

[0442] 메모리에서 데이터를 패킹하는 것은 임의의 생각들을 할 자격이 있다. 도스 맵에 대한 데이터가 코너 데이터로부터 별개의 비트 라인들에 저장되는 경우 이로울 수 있다.

[0443] 이전 문단의 어프로치의 사용은 아래의 이점들을 가진다:

- [0444] · 데이터 볼륨은 더 작다(예를 들어, 5TB 대신에 3.5TB);
- [0445] · 특징 레졸루션이 더 높다(예를 들어, 0.5nm 대신 0.25nm);
- [0446] · 로컬 범위에서 코너들의 수에 대한 그리고 세리프들에 대한 유연성이 더 높다;
- [0447] · 구현은 덜 복잡하다.

[0448] 패터닝된 빔 리소그래피 시스템

[0449] 도 74는 모든 전자 빔렛들의 공통 크로스-오버 없는 전자 빔 광학 시스템에 기반한 하전 입자 멀티-빔렛 리소그래피 시스템 1의 실시예의 간략화된 도식도를 도시한다. 이 광학 시스템은 전체가 참조로써 본 명세서에 통합되는 미국 특허 출원 제61/045243호에 상세히 설명된다.

- [0450] 이러한 리소그래피 시스템은 복수의 빔렛들을 발생시키는 빔렛 발생기, 변조된 빔렛들로 상기 빔렛들을 패터닝하는 빔렛 변조기 및 타겟의 표면 상에 상기 빔렛들을 투사하기 위한 빔렛 투사기를 적절히 포함한다. 빔렛 발생기는 전형적으로 소스 및 적어도 하나의 어퍼처 어레이를 포함한다. 빔렛 변조기는 전형적으로 블랭커 디플렉터 어레이 및 빔 정지 어레이를 가진 빔렛 블랭커이다. 빔렛 투사기는 전형적으로 스캐닝 디플렉터 및 투사 렌즈 시스템을 포함한다. 도 74는 본 발명의 웨이퍼 포지셔닝 및 지원 구조를 명백히 도시하지 않는다.
- [0451] 리소그래피 시스템 1은 본 명세서에 설명된 소위 듀얼 또는 멀티-패스 스캐닝과 결합한 중복 스캔 기능성을 구현하는 데 특히 적합하다. 타겟 표면들 상에서 스캐닝 라인들의 정확성의 달성된 향상은 제 1 스캐닝 시퀀스에 열려진 갭들을 채우는 제 2 스캔이 실행되도록 한다.
- [0452] 도 74에 도시된 실시예에서, 리소그래피 시스템은 호모지니어스하고 확장하는 전자 빔(4)을 생산하기 위해 전자 소스(3)를 포함한다. 빔 에너지는 바람직하게 약 1 내지 10keV의 범위에서 상대적으로 낮게 유지된다. 이를 달성하기 위해 가속 전압이 상대적으로 낮고, 다른 세팅들이 또한 사용될 수 있지만, 전자 소스는 접지 전위에서 타겟에 관하여 약 -1 내지 -10kV 사이의 바람직하게 유지된다.
- [0453] 전자 소스(3)로부터 전자 빔(4)은 더블 옥토폴(double octopole)을 통과하고 전자 빔(4)을 콜리메이팅하기 위해 이후에 콜리메이터 렌즈(5)를 통과한다. 이해될 것인 바와 같이, 콜리메이터 렌즈(5)는 임의의 타입의 콜리메이팅 광학 시스템일 수 있다. 이후에, 전자 빔(4)은 하나의 적합한 실시예에서, 어퍼처 어레이(6A)인 빔 분리 기상에 영향을 준다. 어퍼처 어레이(6)는 빔의 일부를 블록하고 복수의 서브빔들(20)이 어퍼처 어레이(6A)를 통해 통과하도록 한다. 어퍼처 어레이는 바람직하게 스루-홀들을 가지는 플레이트를 포함한다. 그러므로, 복수의 병렬 전자 빔들(20)이 생산된다.
- [0454] 제 2 어퍼처 어레이(6B)는 각 서브빔으로부터 다수의 빔렛들(7)을 생성한다. 시스템은 물론 더 많거나 적은 빔렛들을 사용할 수 있지만 바람직하게 약 10,000 내지 1,000,000의 많은 수의 빔렛들(7)을 발생시킨다. 다른 알려진 방법들인 h한 콜리메이팅된 빔렛들을 발생시키기 위해 사용될 수 있음에 주목하라.
- [0455] 이는 특히 빔렛들의 수가 5000이상으로 증가할 때, 시스템 동작에 대하여 이롭게 변하는 서브빔들의 조작을 허용한다. 이러한 조작은 예를 들어, 투사 렌즈의 플레인에서 광학 축에 서브빔들을 수렴하는 콘덴서 렌즈, 콜리메이터 또는 렌즈 구조에 의해 예를 들어, 실행된다.
- [0456] 콘덴서 렌즈 어레이(21)(또는 콘덴서 렌즈 어레이들의 세트)는 빔 정지 어레이(10)의 대응하는 개구를 향해 서브빔(20)을 포커스하기 위해 어퍼처 어레이(6A)를 생성하는 서브빔 뒤에 포함된다. 제 2 어퍼처 어레이(6B)는 서브빔들(20)로부터 빔렛들(7)을 발생시킨다. 어퍼처 어레이(6B)를 생성하는 빔렛은 빔렛 블랭커 어레이(9)와 결합하여 바람직하게 포함된다. 예를 들어, 둘 다는 서브어셈블리를 형성하도록 함께 어셈블링될 수 있다. 도 74에서, 어퍼처 어레이(6B)는 세 개의 빔렛들이 엔드 모듈(22)에서 투사 렌즈 시스템에 의해 타겟 상에서 투사되도록 대응하는 개구에서 빔 정지 어레이(10)를 스트라이킹하는 각 서브빔(20)로부터 세 개의 빔렛들(7)을 생산한다. 실시에서, 매우 더 큰 수의 빔렛들이 엔드 모듈(22)에서 각 투사 렌즈 시스템에 대하여 어퍼처 어레이(6B)에 의해 생산될 수 있다. 일 실시예에서, 서브빔 당 빔렛들의 수는 200 이상으로 증가될 수 있지만, 49 빔렛들(7x7 어레이로 정렬됨)은 각 서브빔으로부터 발생되고, 단일 투사 렌즈 시스템을 통해 안내된다.
- [0457] 서브빔들(20)의 중간 스테이지를 통해 빔 4로부터 순차적으로 빔렛들(7)을 발생시키는 것은 주요 광학 동작들이 포지션에서 타겟으로부터 상대적으로 원격인 포지션에서 상대적으로 제한된 수의 서브빔들(20)로 실행될 수 있는 이점을 가진다. 하나의 이러한 동작은 투사 렌즈 시스템들 중 하나에 대응하는 포인트에 서브빔들의 수렴이다. 바람직하게 동작 및 수렴 포인트 사이의 거리는 수렴 포인트 및 타겟 사이의 거리보다 크다. 가장 적합하게, 사용은 여기에 결합한 정전기 투사 렌즈들로 이루어진다. 이 수렴 동작은 시스템이 향상된 노드들, 특히 90nm 미만의 크리티컬한 차원을 가진 노드들에서, 하전 입자 빔 리소그래피를 신뢰적으로 하도록 감소된 스폿 크기, 증가된 현재 및 감소된 포인트 확산을 가능하게 한다.
- [0458] 빔렛들(7)은 다음으로 변조기들(9)의 어레이를 통해 통과한다. 이 변조기들(9)의 어레이는 전자 빔렛들(7) 중 하나 이상을 각각 디플렉팅할 수 있는, 복수의 블랭커들을 가지는 빔렛 블랭커 어레이를 포함할 수 있다. 블랭커들은 특히 더많은 제 1 및 제 2 전극으로 제공되는 정전기 디플렉터들이고, 제 2 전극은 접지 또는 공통 전극이다. 빔렛 블랭커 어레이(9)는 변조 디바이스를 빔 정지 어레이(10)로 구성한다. 빔렛 제어 데이터에 기반하여, 변조 수단(8)은 전자 빔렛(7)에 패턴을 부가한다. 패턴은 엔드 모듈(22) 내에 존재하는 컴포넌트들의 수단에 의해 타겟(24)으로 투사될 것이다.
- [0459] 이 실시예에서, 빔 정지 어레이(10)는 빔렛들이 통과하도록 하기 위한 어퍼처들의 어레이를 포함한다. 자신의

기본 폼에서 빔 정지 어레이는 다른 형상들이 또한 사용될 수 있지만, 전형적으로 라운드 홀들인, 스루-홀들로 제공되는 기관을 포함한다. 일 실시예에서, 빔 정지 어레이(8)의 기관은 스루-홀들의 정기적으로 이격된 어레이로 실리콘 웨이퍼로부터 형성되고, 표면 차징을 방지하기 위해 금속의 표면 계층으로 코팅될 수 있다. 일 실시예에서, 금속은 CrMo와 같은, 천연-산소 스킨을 형성하지 않는 타입의 금속이다.

[0460] 일 실시예에서, 빔 정지 어레이(10)의 통로들은 빔렛 블랭커 어레이(9)에서 홀들과 정렬된다. 빔렛 블랭커 어레이(9) 및 빔렛 정지 어레이(10)는 함께 빔렛들(7)을 블록하거나 또는 통과하도록 하기 위해 동작한다. 빔렛 블랭커 어레이(9)가 빔렛을 디플렉트하는 경우, 빔렛 정지 어레이(10)에서 대응하는 어퍼처를 통과하지 않을 수 있지만, 대신에 빔렛 블록 어레이(10)의 기관에 의해 블록될 것이다. 그러나 빔렛 블랭커 어레이(9)가 빔렛을 디플렉트하지 않는 경우, 그 다음에 빔렛 정지 어레이(10)에서 대응하는 어퍼처들을 통과할 것이고, 그 다음에 타겟(24)의 타겟 표면(13)상에서 스팟으로 투사될 것이다.

[0461] 리소그래피 시스템은 또한 빔렛 블랭커 어레이에 빔렛 제어 데이터를 공급하기 위한 데이터 경로를 포함한다. 빔렛 제어 데이터는 광학 파이버들을 사용하여 전송될 수 있다. 각 광학 파이버 엔드로부터 변조된 광 빔들은 빔렛 블랭커 어레이(9)상에서 광 민감 엘리먼트에 투사된다. 각 광 빔은 광 민감 엘리먼트에 커플링되는 하나 이상의 변조기들을 제어하기 위해 패턴 데이터의 일부를 유지한다.

[0462] 이후에, 전자 빔렛들(7)은 엔드 모듈로 진입한다. 여기서부터, 용어 '빔렛'은 변조된 빔렛을 지칭한다. 이러한 변조된 빔렛을 효율적으로 시간에 있어서 순차 부분들을 포함한다. 이러한 순차 부분들의 일부는 더 낮은 강도를 가질 수 있고, 바람직하게 제로 강도를 가질 수 있다- 즉, 빔 정지에서 정지된 부분들. 일부 부분들은 이후 스캐닝 기간에 대하여 시작 포지션에 빔렛의 포지셔닝을 허용하기 위해 제로 강도를 가질 것이다.

[0463] 엔드 모듈(22)은 다양한 컴포넌트들을 포함하는, 삽입가능하고, 교체가능한 유닛으로서 바람직하게 구성된다. 이 실시예에서, 엔드 모듈은 빔 정지 어레이(10), 스캐닝 디플렉터 어레이(11) 및 투사 렌즈 배열(12)을 포함하지만, 이들의 모든 것이 엔드 모듈에 포함될 필요가 없고, 상이하게 배열될 수 있다.

[0464] 빔렛 정지 어레이(10)를 통과한 후, 변조된 빔렛들(7)은 실질적으로 디플렉트되지 않은 빔렛들(7)의 방향에 수직인 X- 및/또는 Y-방향에서 각 빔렛(7)의 디플렉션을 제공하는 스캐닝 디플렉터 어레이(11)를 통과한다. 이 실시예에서, 디플렉터 어레이(11)는 여기서부터 설명될 바와 같이, 상대적으로 작은 드라이빙 전압들의 애플리케이션을 가능하게 하는 스캐닝 정전 디플렉터이다.

[0465] 다음으로, 빔렛은 투사 렌즈 배열(12)을 통과하고 타겟, 전형적으로 타겟 플레인에서 웨이퍼의 타겟 표면(24)상에 투사된다. 리소그래피 애플리케이션들에 대하여 타겟은 주로 하전-입자 민감층 또는 레지스트층으로 제공되는 웨이퍼를 포함한다. 투사 렌즈 배열(12)은 빔렛을 포커싱하고, 바람직하게 직경에서 약 10 내지 30 나노미터들의 지오메트릭 스폿 크기를 야기한다. 이러한 설계에서 투사 렌즈 정렬(12)은 바람직하게 약 100 내지 500 배의 축소를 제공한다. 이 선호되는 실시예에서, 투사 렌즈 정렬(12)은 타겟 표면에 가깝게 이롭게 위치된다.

[0466] 임의의 실시예들에서, 빔 보호기는 타겟 표면(24) 및 포커싱 투사 렌즈 정렬(12) 사이에 위치될 수 있다. 빔 보호기는 자신들이 리소그래피 시스템에서 임의의 민감 엘리먼트들을 도달할 수 있기 전에 웨이퍼로부터 해제된 레지스트 입자들을 흡수하기 위해 요구되는 어퍼처들로 제공되는 포일 또는 플레이트일 수 있다. 대안적으로 또는 부가적으로, 스캐닝 디플렉션 어레이(9)는 투사 렌즈 정렬(12) 및 타겟 표면(24) 사이에 제공될 수 있다.

[0467] 대략적으로 말하면, 투사 렌즈 정렬(12)은 타겟 표면(24)에 빔렛들(7)을 포커싱한다. 그와 함께 단일 픽셀의 스폿 크기가 올바름을 더 보장한다. 스캐닝 디플렉터(11)는 타겟 표면(24)을 통해 빔렛들(7)을 디플렉트한다. 그와 함께, 타겟 표면(24)상에서 픽셀의 포지션이 마이크로스케일상에서 올바름을 보장할 필요가 있다. 특히, 스캐닝 디플렉터(11)의 동작은 타겟 표면(24)상에서 패턴을 궁극적으로 구성하는 픽셀들의 그리드로 픽셀이 잘 맞음을 보장할 필요가 있다. 타겟 표면상에서 픽셀의 마이크로스케일 포지셔닝은 타겟(24) 아래에 위치한 웨이퍼 포지셔닝 시스템에 의해 적절히 가능하게 된다.

[0468] 이러한 고-품질 투사는 재생산가능한 결과를 제공하는 리소그래피 시스템을 획득할 것과 관련된다. 공통적으로, 타겟 표면(24)은 기관의 상부에 레지스트 필름을 포함한다. 레지스트 필름의 부분들은 하전 입자들, 즉, 전자들의 빔렛들의 애플리케이션에 의해 화학적으로 수정될 것이다. 이들의 결과로서, 필름의 방사능 처리된 부분은 성장기에서 더 또는 덜 용해될 수 있고, 웨이퍼상에서 레지스트 패턴을 초래한다. 웨이퍼상에서 레지스트 패턴은 이후에 즉, 종래에 반도체 제조에서 알려진 구현, 에칭 및/또는 증착 단계들에 의해 언더라이

계층에 전달될 수 있다. 명백하게, 방사가 균일하지 않은 경우, 레지스트는 균일한 방식으로 성장되지 않을 수 있고, 패턴에서 실수들을 야기한다. 또한, 많은 이러한 리소그래피 시스템들은 복수의 빔렛들의 사용을 한다 방사의 차이는 디플렉션 단계들로부터 야기되지 않아야 한다.

[0469] 이러한 광학 시스템의 일 실시예에서, 공간은 인접한 서브빔들(20)로부터 기원하는 빔렛들(7)의 제 1 및 제 2 그룹 사이에 남는다. 그와 함께, 시스템은 도 75에서 빔 영역들(51) 및 비-빔 영역들(52)을 포함하도록 정의된다. 빔 영역들(51) 및 비-빔 영역들(52)로의 분할은 변조 디바이스뿐만 아니라 엔드 모듈, 예를 들어, 투사 렌즈 시스템으로 표시된다. 비-빔 영역들(52)은 임의의 진동들의 효과가 최소화하도록 기계적 지원 구조들의 프로비전을 위한 투사 렌즈 시스템에서 개척될 수 있다. 비-빔 영역들(52)에 대응하는 공간이 채워질 수 있다, 예를 들어, 미리 정의된 패턴은 전달 프로세스의 이후 단계에서 타겟상에서 공간에 전달된다. 이 이후 단계는 컬럼에 대하여 타겟을 이동한 후 실행된다. 공간들을 채우는 특정 순서는 또한 기록 전략으로 지칭된다.

[0470] 본 발명은 상기 설명된 특정 실시예들에 참조로서 설명된다. 당업자에 알려진 바와 같이, 본 명세서에 설명된 임의의 실시예들로 사용될 수 있는, 다양한 구성들 및 대안들이 설명됨이 주목되어야 한다. 또한, 이러한 실시예들은 본 발명의 사상 및 범위로부터 벗어남이 없이 당업자에게 잘 알려진 다양한 수정들 및 대안적인 형태들에 허용함이 인식될 것이다. 따라서, 비록 특정 실시예들이 설명되었지만, 이들은 오직 예시들이고, 첨부된 청구항들에서 정의되는 본 발명의 사상을 제한하지 않는다.

[0471] 정의들

[0472] 아래는 본 발명의 특정 양상들에 따라 정의들의 예시로서 추가의 설명을 나타내고, 때때로 또한 청구항들로서 지칭된다;

[0473] 1. 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법으로서, 상기 방법은:

[0474] 벡터 포맷으로 패턴 데이터를 제공하는 단계;

[0475] 멀티-레벨 패턴 데이터를 발생시키기 위해 벡터 패턴 데이터를 렌더링하는 단계;

[0476] 2-레벨 패턴 데이터를 발생시키기 위해 멀티-레벨 패턴 데이터를 디더링하는 단계;

[0477] 하전 입자 리소그래피 기계에 2-레벨 패턴 데이터를 공급하는 단계;

[0478] 2-레벨 패턴 데이터에 기반하여 하전 입자 리소그래피 기계에 의해 발생하는 빔렛들을 스위칭 온 및 오프하는 단계

[0479] 를 포함하고,

[0480] 패턴 데이터는 정정 데이터에 기반하여 조정되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.

[0481] 2. 제 1 항에 있어서, 패턴 데이터를 조정하는 단계는 제 1 정정 데이터에 기반하여 벡터 패턴 데이터를 조정하는 단계를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.

[0482] 3. 제 1 항 또는 제 2 항에 있어서, 패턴 데이터를 조정하는 단계는 제 2 정정 데이터에 기반하여 멀티-레벨 패턴 데이터를 조정하는 단계를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.

[0483] 4. 제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 패턴 데이터를 조정하는 단계는 제 3 정정 데이터에 기반하여 2-레벨 패턴 데이터를 조정하는 단계를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.

[0484] 5. 제 1 항 내지 제 4항에 있어서, 벡터 패턴 데이터를 렌더링하는 단계는 픽셀 셀들의 어레이를 정의하는 단계 및 벡터 패턴 데이터에 의해 정의되는 특징들에 의해 픽셀 셀들의 상대적인 커버리지에 기반하여 픽셀 셀들에 멀티-레벨 값들을 할당하는 단계를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.

[0485] 6. 제 1 항 내지 제 5 항에 있어서, 멀티-레벨 패턴 데이터를 디더링하는 단계는 멀티-레벨 패턴 데이터에 에러 확산의 애플리케이션에 의해 2-레벨 패턴 데이터를 형성하는 단계를 포함하는, 웨이퍼를 노출하기 위해 복수의

하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.

- [0486] 7. 제 6 항에 있어서, 에러 확산은 멀티-레벨 패턴 데이터의 하나 이상의 인접한 픽셀들에 멀티-레벨 패턴 데이터의 픽셀에서 양자화 에러를 분산하는 것을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0487] 8. 제 7 항에 있어서, 에러 확산의 애플리케이션은:
- [0488] 픽셀들의 어레이를 정의하는 것;
- [0489] 부분들로 픽셀들의 어레이를 나누는 것, 각 부분은 상이한 빔렛에 의해 노출되도록 할당됨;
- [0490] 각 부분에 대하여 에러 확산 파라미터 값들을 결정하는 것; 및
- [0491] 에러 확산 파라미터 값들을 사용하여 각 부분 내에 픽셀들에 2-레벨 값을 할당하는것
- [0492] 을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0493] 9. 제 8 항에 있어서, 에러 확산 파라미터 값들은 2-레벨 값의 더 높은 레벨에 대한 가중치 값 및 임계치 값을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0494] 10. 제 9 항에 있어서, 에러 확산 파라미터 값들은 2-레벨 값의 더 낮은 레벨에 대한 가중치 값을 더 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0495] 11. 제 9 항 또는 제 10 항에 있어서, 임계치 값은 고 레벨 픽셀 값의 50%와 동일한, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0496] 12. 제 11 항에 있어서, 임계치 값은 고 레벨 픽셀 값 및 저 레벨 픽셀 값의 평균과 동일한, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0497] 13. 제 12 항에 있어서, 에러 확산 파라미터 값들을 결정하는 것은 빔렛 전류 측정들에 기반하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0498] 14. 제 12 항 또는 제 13 항에 있어서, 에러 확산 파라미터 값은 임계치 값이고,
- [0499] 부분 내에서 픽셀 셀들에 2-레벨 값을 할당하는 것은 부분에 대하여 결정된 임계치 값과의 비교에 기반하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0500] 15. 제 12 항 내지 제14 항 중 어느 한 항에 있어서, 에러 확산 파라미터는 2-레벨 값의 더 높은 레벨을 나타내는 값인, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0501] 16. 제 6 항 내지 제15항 중 어느 한 항에 있어서, 에러 확산은 1-차원적 에러 확산인, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0502] 17. 제 6 항 내지 제16 항 중 어느 한 항에 있어서, 에러 확산은 2-차원 에러 확산인, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0503] 18. 제 6 항 내지 제17 항 중 어느 한 항에 있어서, 에러 확산의 애플리케이션은 추가의 임계치 값과 같거나 아 래인 멀티-레벨 값을 가진 하나 이상의 픽셀들을 향해 확산을 허용하지 않음으로써 제한되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨

이퍼를 노출하기 위한 방법.

- [0504] 19. 제 18 항에 있어서, 추가의 임계치 값은 제로와 같은, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0505] 20. 제 6 항 내지 제19 항 중 어느 한 항에 있어서, 에러 확산의 애플리케이션은 벡터 패턴 데이터에 설명된 특징들 외에 위치된 하나 이상의 픽셀들에 확산을 허용하지 않음으로써 제한되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0506] 21. 제 2 항 내지 제 20 항 중 어느 한 항에 있어서, 제 1 정정 데이터는 근접 유효 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0507] 22. 제 21 항에 있어서, 근접 유효 정정은 도스 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0508] 23. 제 21 항에 있어서, 근접 유효 정정은 형상 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0509] 24. 제 21 항에 있어서, 근접 유효 정정은 도스 정정 및 형상 정정의 조합을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0510] 25. 제 2 항 내지 제24 항 중 어느 한 항에 있어서, 제 1 정정 데이터는 레지스트 가열 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0511] 26. 제 2 항 내지 제25 항 중 어느 한 항에 있어서, 제 1 정정 데이터는 빔렛들 중 하나 이상의 포지션에서 변경을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0512] 27. 제 2 항 내지 제26 항 중 어느 한 항에 있어서, 제 1 정정 데이터는 웨이퍼에 관하여 웨이퍼의 필드의 포지셔닝에서 에러들을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0513] 28. 제 2 항 내지 제27 항 중 어느 한 항에 있어서, 제 1 정정 데이터는 웨이퍼의 필드의 크기에서 에러들을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0514] 29. 제 26 항 내지 제28 항 중 어느 한 항에 있어서, 정정은 풀 픽셀보다 작은 만큼 멀티-레벨 패턴 데이터의 시프트를 초래하는 벡터 패턴 데이터의 조정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0515] 30. 제 26항 내지 제29 항 중 어느 한 항에 있어서, 웨이퍼는 웨이퍼의 노출 동안 기계적 스캔 방향으로 이동되고, 정정은 기계적 스캔 방향 및 기계적 스캔 방향에 실질적으로 수직인 방향 둘 다에 컴포넌트를 가지는 멀티-레벨 패턴 데이터의 시프트를 초래하는 벡터 패턴 데이터의 조정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0516] 31. 제 2 항 내지 제30 항 중 어느 한 항에 있어서, 제 1 정정 데이터는 리소그래피 기계에 빔렛 제어 신호들의 전송 시간에서 변경을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0517] 32. 제 2 항 내지 제31항 중 어느 한 항에 있어서, 빔렛들은 빔렛 블랭커 어레이에서 빔렛 블랭커 전극들에 의해 스위치 온 및 오프되고, 각 빔렛 블랭커 전극은 빔렛 제어 신호를 수신하고, 제 1 정정 데이터는 빔렛 제어 신호들은 빔렛 블랭커 전극들에 의해 수신되는 시간에서 차이를 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.

- [0518] 33. 제 2 항 내지 제32 항 중 어느 한 항에 있어서, 빔렛들은 웨이퍼의 표면을 스캔하기 위해 디플렉트되고, 제 1 정정 데이터는 상이한 빔렛들에 의해 경험되는 디플렉션의 양에서 변경들을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0519] 34. 제 3 항 내지 제33 항 중 어느 한 항에 있어서, 멀티-레벨 패턴 데이터를 디터링하는 단계는 임계치 값과의 비교에 기반하여 멀티-레벨 패턴 데이터의 각각 대응하는 멀티-레벨 값에 대한 고 값 또는 저 값을 할당하는 단계를 포함하고, 양자화 에러는 멀티-레벨 패턴 데이터로부터 저 레벨 값의 가중치 또는 고 레벨 값의 가중치를 감산함으로써 계산되고, 고 레벨 값의 가중치는 제 2 정정 데이터에 기반하여 정의되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0520] 35. 제 34 항에 있어서, 저 값의 가중치는 제 2 정정 데이터에 기반하여 정의되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0521] 36. 제 34 항 또는 제 35항에 있어서, 임계치 값은 제 2 정정 데이터에 기반하여 정의되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0522] 37. 제3 항 내지 제35 항 중 어느 한 항에 있어서, 멀티-레벨 패턴 데이터를 디터링하는 단계는 임계치 값에 멀티-레벨 패턴 데이터의 대응하는 멀티-레벨 값을 비교함으로써 2-레벨 값을 결정하는 단계를 포함하고, 패턴 데이터를 조정하는 단계는 제 2 정정 데이터에 기반하여 임계치 값을 조정하는 단계를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0523] 38. 제 3 항 내지 제37 항 중 어느 한 항에 있어서, 제 2 정정 데이터는 하나 이상의 빔렛들의 포지션에서 변경을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0524] 39. 제 3 항 내지 제37 항 중 어느 한 항에 있어서, 제 2 정정 데이터는 웨이퍼에 관하여 웨이퍼의 필드의 포지셔닝에서 에러들을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0525] 40. 제 3 항 내지 제39 항 중 어느 한 항에 있어서, 제 2 정정 데이터는 웨이퍼의 필드의 크기에서 에러들을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0526] 41. 제 38항 내지 제40 항 중 어느 한 항에있어서, 정정은 풀 픽셀보다 적은 만큼 멀티-레벨 패턴 데이터를 시프팅하는 것과 동일하게 멀티-레벨 패턴 데이터의 조정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0527] 42. 제 38 항 내지 제 41 항 중 어느 한 항에 있어서, 웨이퍼는 웨이퍼의 노출 동안 기계적 스캔 방향으로 이동되고, 정정은 기계적 스캔 방향 및 기계적 스캔 방향에 실질적으로 수직인 방향 둘 다에 컴포넌트를 가지는 시프트를 초래하는 멀티-레벨 패턴 데이터의 조정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0528] 43. 제 3 항 내지 제42 항 중 어느 한 항에 있어서, 제 2 정정 데이터는 상이한 빔렛들 또는 빔렛들의 그룹들에 의해 노출되는 영역들 사이에서 소프트 에지를 실현하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0529] 44. 제 43 항에 있어서, 소프트 에지는 소프트 에지 팩터와 멀티-레벨 패턴 데이터를 곱함에 의해 이루어지고, 소프트 에지 팩터는 최대 값이 도달될 때까지 에지에 대한 거리를 선형으로 증가시키는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를

노출하기 위한 방법.

- [0530] 45. 제 44 항에 있어서, 최대 값은 1인, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0531] 46. 제 44 항 또는 제 45 항에 있어서, 팩터의 시작 값은 예지에서 0인, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0532] 47. 제46 항에 있어서, 소프트 예지는 약 0.5 내지 1.5 마이크론의 폭을 가지는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0533] 48. 제 4 항 내지 제47 항 중 어느 한 항에 있어서, 제 3 정정 데이터는 하나 이상의 빔렛들의 포지션에서 변경을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0534] 49. 제 4 항 내지 제 48 항 중 어느 한 항에 있어서, 제 3 정정 데이터는 웨이퍼에 관하여 웨이퍼의 필드의 포지셔닝에서 에러들을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0535] 50. 제 4 항 내지 제49 항 중 어느 한 항에 있어서, 제 3 정정 데이터는 웨이퍼의 필드의 크기에서 에러들을 보상하기 위한 정정을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0536] 51. 제 4 항 내지 제50 항 중 어느 한 항에 있어서, 웨이퍼는 웨이퍼의 노출 동안 기계적 스캔 방향으로 이동되고, 제 3 정정 데이터는 기계적 스캔 방향에서 폴 픽셀 시프트를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0537] 52. 제 4 항 내지 제 51 항 중 어느 한 항에 있어서, 웨이퍼는 웨이퍼의 노출 동안 기계적 스캔 방향으로 이동되고, 제 3 정정 데이터는 기계적 스캔 방향에 실질적으로 수직인 방향으로 폴 픽셀 시프트를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0538] 53. 제 1 항 내지 제52 항 중 어느 한 항에 있어서, 벡터 포맷으로 패턴 데이터를 제공하는 단계는:
- [0539] 디바이스 설계의 복수의 계층들을 설명하는 설계 데이터를 제공하는 단계; 및
- [0540] 벡터 포맷에서 2 차원 패턴 데이터를 발생시키기 위해 설계 데이터의 계층을 변환하는 단계
- [0541] 를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0542] 54. 제 53 항에 있어서, 설계 데이터는 GDS-II 포맷으로 데이터를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0543] 55. 제 53 항에 있어서, 설계 데이터는 OASIS 포맷으로 데이터를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0544] 56. 제 1 항 내지 제 55 항 중 어느 한 항에 있어서, 벡터 패턴 데이터는 특징들과 연관된 도스 값들 및 웨이퍼상에 패턴닝하기 위한 특징들의 형상을 설명하는 벡터 데이터를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0545] 57. 제 1 항 내지 제56 항 중 어느 한 항에 있어서, 벡터 패턴 데이터는 웨이퍼상에서 대응하는 영역들을 도스 값들의 어레이 및 웨이퍼상에서 패턴닝하기 위한 특징들의 형상을 설명하는 벡터 데이터를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따

라 웨이퍼를 노출하기 위한 방법.

- [0546] 58. 제 1 항 내지 제57 항 중 어느 한 항에 있어서, 멀티-레벨 패턴 데이터는 픽셀 셀들에 할당된 멀티-레벨 값들의 어레이를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0547] 59. 제 1 항 내지 제58 항 중 어느 한 항에 있어서, 멀티-레벨 패턴 데이터는 그레이 스케일 비트맵 데이터를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0548] 60. 제 1 항 내지 제 59 항 중 어느 한 항에 있어서, 2-레벨 패턴 데이터는 블랙/화이트 비트맵 데이터를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0549] 61. 제 1 항 내지 제60 항 중 어느 한 항에 있어서, 렌더링 및 래스터화 단계들은 오프-라인 프로세싱에 의해 수행되고 이에 의해 전체 웨이퍼에 대한 패턴 데이터의 렌더링 및 래스터화가 웨이퍼 스캔이 시작하기 전에 완료되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0550] 62. 제 1 항 내지 제61 항 중 어느 한 항에 있어서, 렌더링 및 래스터화 단계들은 설계 당 한번 수행되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0551] 63. 제 1 항 내지 제 62 항 중 어느 한 항에 있어서, 렌더링 및 래스터화 단계들은 인-라인 프로세싱에 의해 수행되고, 이에 의해 웨이퍼의 필드들의 제 1 세트에 대한 패턴 데이터의 렌더링 및 래스터화는 필드들의 제 1 세트의 스캔이 시작하기 전에 완료되는 반면, 웨이퍼의 잔여 필드들에 대한 패턴 데이터의 렌더링 및 래스터화는 필드들의 제 1 세트의 스캔 동안 계속되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0552] 64. 제 63 항에 있어서, 필드들의 제 1 세트 및 잔여 필드들은 겹치지 않는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0553] 65. 제 64 항에 있어서, 필드들의 제 1 세트 및 잔여 필드들은 함께 노출될 웨이퍼의 완전한 영역을 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0554] 66. 제 63 항 내지 제65 항 중 어느 한 항에 있어서, 필드들의 제 1 세트는 웨이퍼의 제 1 스캔에서 노출되고, 잔여 필드들은 웨이퍼의 제 2 스캔에서 노출되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0555] 67. 제 63 항 내지 제66 항 중 어느 한 항에 있어서, 빔렛들의 제 1 서브세트는 필드들의 제 1 세트를 노출하기 위해 할당되고, 빔렛들의 제 2 서브세트는 잔여 필드들을 노출하기 위해 할당되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0556] 68. 제 1 항 내지 제67 항 중 어느 한 항에 있어서, 렌더링 및 래스터화 단계들은 웨이퍼 당 한번 수행되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0557] 69. 제 1 항 내지 제 68 항 중 어느 한 항에 있어서, 렌더링 및 래스터화 단계들은 실시간 프로세싱에 의해 수행되고, 이에 의해 웨이퍼의 필드들의 제 1 세트에 대한 렌더링 및 래스터화는 필드들의 제 1 세트의 스캔 동안 계속되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0558] 70. 제 1 항 내지 제69 항 중 어느 한 항에 있어서, 렌더링 및 래스터화 단계들은 웨이퍼의 필드 당 한번 수행되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.

- [0559] 71. 제 1 항 내지 제70 항 중 어느 한 항에 있어서, 렌더링 및 래스터화 단계들은 웨이퍼의 노출 동안 수행되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출하기 위한 방법.
- [0560] 정의들의 추가의 세트는:
- [0561] 1. 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템으로서, 상기 시스템은:
- [0562] 웨이퍼를 노출하기 위한 복수의 전자 빔렛들을 발생시키기 위한 전자 광학 컬럼 - 전자 광학 컬럼은 빔렛들을 온 또는 오프 스위칭하기 위한 빔렛 블랭커 어레이를 포함함 - ;
- [0563] 빔렛들의 스위칭을 제어하기 위한 빔렛 제어 데이터를 전송하기 위한 빔렛 경로; 및
- [0564] x-방향으로 전자 광학 컬럼 아래에 웨이퍼를 이동하기 위한 웨이퍼 포지셔닝 시스템
- [0565] 을 포함하고,
- [0566] 웨이퍼 포지셔닝 시스템은 전자-광학 컬럼으로부터 전자 빔들과 웨이퍼를 정렬하기 위해 데이터 경로로부터 동기화 신호들로 제공되고,
- [0568] *
- [0569] 데이터 경로는 빔렛 블랭커 어레이에 빔렛 제어 데이터를 전송하기 위한 하나 이상의 전송 채널들 및 빔렛 제어 데이터를 발생시키기 위한 하나 이상의 프로세싱 유닛들을 포함하는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0570] 전송 채널들/멀티플렉싱:
- [0571] 2. 제 1 항에 있어서, 전송 시스템은 복수의 전송 채널들을 포함하고, 각 전송 채널은 빔렛들의 대응하는 그룹에 대한 데이터를 전송하기 위한 것인, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0572] 3. 제 1 항 또는 제 2 항에 있어서, 빔렛들은 복수의 그룹들로 배열되고, 각 전송 채널은 빔렛들의 그룹들 중 하나에 대한 빔렛 제어 데이터를 전송하기 위한 것인, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0573] 4. 제 3 항에 있어서, 데이터 경로는 복수의 멀티플렉서들을 포함하고, 각 멀티플렉서는 빔렛들의 그룹에 대한 빔렛 제어 데이터를 멀티플렉싱하기 위한 것인, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0574] 5. 제 4 항에 있어서, 복수의 디멀티플렉서들을 더 포함하고, 각 멀티플렉서는 빔렛들의 그룹에 대한 빔렛 제어 데이터를 디멀티플렉싱하기 위한 것인, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0575] 6. 제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 데이터 경로는 하전 입자 리소그래피 기계에 전송하기 위한 광학 신호로 프로세싱 유닛들에 의해 발생된 빔렛 제어 데이터를 변환하기 위한 전자-대-광학 변환 디바이스들을 포함하는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0576] 7. 제 6 항에 있어서, 전송 채널들은 광학 신호를 가이딩하기 위한 광학 파이버들을 포함하는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0577] 8. 제 6 항 또는 제 7 항에 있어서, 빔렛 블랭커 어레이는 광학 신호를 수신하고 빔렛들의 제어를 위한 전자 신호로 변환하기 위한 광학-대-전자 변환 디바이스들을 포함하는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0578] 9. 제 6 항 내지 제 8항 중 어느 한 항에 있어서, 전송 시스템은 렌즈들 및 리머의 어레이를 포함하고, 렌즈들의 어레이는 미러상에서 광학 신호를 가이딩하기 위한 것이고, 미러는 하전 입자 리소그래피 기계의 빔렛 블랭커 어레이상에서 광학 신호를 반사하기 위한 것인, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0579] 10. 제 1 항 내지 제 9 항 중 어느 한 항에 있어서, 웨이퍼의 제 1 부분을 노출하기 위해 할당된 빔렛들의 제 1 서브세트에 대한 제 1 빔렛 제어 데이터를 발생시키기 위해 패턴 데이터를 프로세싱하기에 충분한 제 1 수의 프

로세싱 유닛들을 더 포함하는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.

- [0580] 11. 제 1 항 내지 제10 항 중 어느 한 항에 있어서, 전송 채널들의 서브세트에 프로세싱 유닛들을 접속하기 위한 크로스-접속 스위치를 더 포함하는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0581] 12. 제 1 항 내지 제 11 항 중 어느 한 항에 있어서, 빔렛들은 복수의 그룹들로 배열되고, 각 프로세싱 유닛은 빔렛들의 임의의 하나의 그룹에 대한 빔렛 제어 데이터를 발생시키기 위한 것이고, 각 전송 채널은 빔렛들의 그룹들 중 하나에 대한 빔렛 제어 데이터를 전송하기 위해 전용되는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0583] *13. 제 12 항에 있어서, 7개의 프로세싱 유닛들은 모든 12개의 전송 채널들에 대하여 제공되는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0584] 14. 제 12 항 또는 제 13 항에 있어서, 하전 입자 리소그래피 시스템은 웨이퍼의 제 1 부분을 노출하기 위한 빔렛들의 제 1 서브세트 및 웨이퍼의 제 2 부분을 노출하기 위한 빔렛들의 제 2 서브세트를 할당하고; 크로스-접속 스위치는 웨이퍼의 제 1 부분의 스캔에 대한 빔렛들의 제 1 서브세트에 대응하는 전송 채널들의 제 1 서브세트에 프로세싱 유닛들을 접속하고, 웨이퍼의 제 2 부분의 스캔에 대한 빔렛들의 제 2 서브세트에 대응하는 전송 채널들의 제 2 서브세트에 프로세싱 유닛들을 접속하는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0585] 15. 제 1 항 내지 제14 항 중 어느 한 항에 있어서, 제 1 수의 프로세싱 유닛들은 제 1 빔렛 제어 데이터를 발생시키기 위한 패턴 데이터를 프로세싱하고 제 2 빔렛 제어 데이터를 발생시키기 위한 패턴 데이터를 프로세싱하기에 충분하지만, 동시에 제 1 및 제 2 빔렛 제어 데이터 둘 다를 발생시키기 위한 패턴 데이터를 프로세싱하기에 충분하지 않은, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0586] 16. 제 1 항 내지 제 15 항 중 어느 한 항에 있어서, 리소그래피 시스템은 웨이퍼의 제 1 부분은 제 1 패턴 데이터에 따라 노출되고, 이후에 웨이퍼의 제 2 부분은 제 2 패턴 데이터에 따라 노출되는 듀얼-패스 스캔으로 웨이퍼를 노출하기 위해 적응되고,
- [0587] 프로세싱 유닛들은 메모리를 포함하고, 메모리는 제 1 패턴 데이터를 저장하기 위한 제 1 메모리 부분 및 제 2 패턴 데이터를 저장하기 위한 제 2 메모리 부분으로 나누어지고,
- [0588] 웨이퍼들의 현재 배치의 웨이퍼의 제 2 부분의 노출 동안 웨이퍼들의 다음 배치의 웨이퍼에 대한 제 1 패턴 데이터는 제 1 메모리 부분으로 로딩되는, 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 하전 입자 리소그래피 시스템.
- [0589] 17. 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법으로서, 방법은:
- [0590] 복수의 하전 입자 빔렛들을 발생시키는 단계 - 빔렛들은 그룹들에 배열되고, 각 그룹은 빔렛들의 어레이를 포함-
- [0591] 웨이퍼 스캔 속도로 제 1 방향에서 빔렛들 아래에서 웨이퍼를 이동하는 단계;
- [0592] 디플렉션 스캔 속도로 제 1 방향에 실질적으로 수직인 제 2 방향으로 빔렛들을 디플렉트하는 단계; 및
- [0593] 웨이퍼상에서 빔렛들에 의해 전해지는 도스를 조정하기 위해 웨이퍼 스캔 속도를 조정하는 단계를 포함하는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0594] 를 포함하는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0595] 18. 제 17 항에 있어서, 빔렛들은 병렬 투사 기록 전략을 사용하여 웨이퍼를 노출하는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0596] 19. 제 17 항 또는 제 18 항에 있어서, 디플렉션 스캔 속도는 빔렛 스캔 속도 및 플라이-백 속도를 포함하는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0597] 20. 제 17 항 내지 제 19 항 중 어느 한 항에 있어서, 빔렛들의 각 어레이는 어레이의 빔렛들 사이에 제 1 방향으로 투사 피치(Pproj) 및 어레이에서 빔렛들의 수에 의해 곱해지는 투사 피치(Pproj)에 동일한 그룹 거리를 가지고,
- [0598] 스캔 단계는 빔렛들 사이에서 x-방향으로 상대적인 이동과 동일하고, 각 스캔 사이의 웨이퍼는 정소 K에 의해

나누어지는 그룹 거리와 동일한, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.

- [0599] 21. 제 20 항에 있어서, 스캔 단계는 빔렛 스캔 속도 및/또는 플라이-백 속도를 조정함으로써 조정되는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0600] 22. 제 20 항에 있어서, 스캔 단계는 빔렛 디플렉션 기간을 조정함으로써 조정되고, 빔렛 디플렉션 기간은 y-방향에서 하나의 빔렛 스캔을 위한 시간 및 빔렛 플라이-백 시간을 포함하는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0601] 23. 제 22 항에 있어서, 디플렉션 기간은 빔렛 스캔 속도에 의해 나누어진, 정수 K에 의해 나누어진 그룹 거리와 동일한, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0602] 24. 제 20 항 내지 제 24 항 중 어느 한 항에 있어서, K는 각 어레이에서 빔렛들의 수 및 K의 가장 큰 공통 디노미네이터가 1이라는 요건을 만족시키는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0603] 25. 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법으로서, 상기 방법은:
- [0604] 복수의 하전 입자 빔렛들을 발생시키는 단계 - 빔렛들을 그룹들에 배열되고, 각 그룹은 빔렛들의 어레이를 포함함 - ;
- [0605] 웨이퍼 스캔 속도로 제 1 방향에서 빔렛들 아래에 웨이퍼를 이동하는 단계;
- [0606] 디플렉션 스캔 속도로 제 1 방향에 실질적으로 수직인 제 2 방향으로 빔렛들을 디플렉팅하는 단계;
- [0607] 웨이퍼상에서 빔렛들이 픽셀들을 노출하기 위해 디플렉트됨에 따라 패턴 데이터에 따라 빔렛들을 온 및 오프 스위칭하는 단계; 및
- [0608] 제 1 방향으로 픽셀 폭을 조정하기 위해 디플렉션 스캔 속도에 비하여 웨이퍼 스캔 속도를 조정하는 단계
- [0609] 를 포함하는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0610] 26. 제 25 항에 있어서, 빔렛들은 병렬 투사 기록 전략을 사용하여 웨이퍼를 노출하는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0611] 27. 제 25 항 또는 제 26 항에 있어서, 디플렉션 스캔 속도는 빔렛 스캔 속도 및 플라이-백 속도를 포함하는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0612] 28. 제 25 항 내지 제27 항 중 어느 한 항에 있어서, 빔렛들의 각 어레이는 어레이의 빔렛들 사이에서 제 1 방향으로 투사 피치(Pproj) 및 어레이에서 빔렛들의 수에 의해 곱해지는 투가 피치(Pproj)와 동일한 그룹 거리를 가지고,
- [0613] 스캔 단계는 빔렛들 사이에서 x-방향으로 상대적 이동과 동일하고, 각 스캔 사이의 웨이퍼는 정수 K에 의해 나누어지는 그룹 거리와 동일한, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0615] 29. 제 28 항에 있어서, 스캔 단계는 빔렛 스캔 속도 및/또는 플라이-백 속도를 조정함으로써 조정되는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0616] 30. 제 28 항에 있어서, 스캔 단계는 빔렛 디플렉션 기간을 조정함으로써 조정되고, 빔렛 디플렉션 기간은 y-방향으로 하나의 빔렛 스캔을 위한 시간 및 빔렛 플라이-백 시간을 포함하는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0617] 31. 제 30 항에 있어서, 디플렉션 기간은 빔렛 스캔 속도에 의해 나누어지는, 정수 K에 의해 나누어지는 그룹 거리와 동일한, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0618] 32. 제 28 항 내지 제31 항 중 어느 한 항에 있어서, K는 각 어레이에서 빔렛들의 수 및 K의 가장 큰 공통 디노미네이터가 1인 요건을 만족시키는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0619] 33. 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법으로서, 방법은:
- [0620] 복수의 하전 입자 빔렛들을 발생시키는 단계 - 빔렛들을 그룹들에 배열되고, 각 그룹은 빔렛들의 어레이를 포함함-;
- [0621] 빔렛들 및 웨이퍼 사이에 제 1 방향으로 상대적 이동을 생성하는 단계;

- [0622] 각 빔렛이 웨이퍼상에서 복수의 스캔 라인들을 노출하도록 디플렉션 스캔 빔속도로 x-방향으로 실질적으로 수직인 제 2 방향으로 빔렛들을 디플렉트하는 단계; 및
- [0623] 웨이퍼상에서 빔렛들에 의해 전해지는 도스를 조정하기 위해 제 2 방향으로 빔렛들의 디플렉션 및 제 1 방향으로 상대적 이동을 조정하는 단계를 포함하고,
- [0624] 빔렛들의 각 어레이는 어레이의 빔렛들 사이에서 제 1 방향으로 투사 피치(Pproj) 및 어레이에서 빔렛들의 수에 의해 곱해지는 투사 피치(Pproj)와 동일한 그룹 거리를 가지고,
- [0625] 빔렛들 사이의 x-방향으로 상대적 이동 및 각 스캔 사이의 웨이퍼는 정수 K에 의해 나누어지는 그룹 거리와 동일한, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0626] 34. 제 33 항에 있어서, K는 각 어레이에서 빔렛들의 수 및 K의 가장 큰 공통 디노미네이터가 1인 요건을 만족시키는, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0627] 35. 제 33 항 또는 제 34 항에 있어서, 스캔 라인들의 폭은 정수 K에 의해 나누어지는 투사 피치(Pproj)인, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0628] 36. 제 33 항 내지 제35 항 중 어느 한 항에 있어서, 빔렛들은 빔렛들이 웨이퍼상에서 픽셀들을 노출하기 위해 디플렉팅됨에 따라 패턴 데이터에 따라 온 및 오프 스위칭되고, 제 1 방향에서 픽셀들의 폭은 정수 K에 의해 투사 피치(Pproj)인, 하전 입자 리소그래피 시스템에서 웨이퍼를 노출시키기 위한 방법.
- [0629] 에 관한 것이다.
- [0630] 또, 정의들의 다른 세트는:
- [0631] 1. 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법으로서, 방법은:
- [0632] 셀들의 어레이를 정의하는 단계 - 특징들은 셀들 중 하나 이상을 점유함-;
- [0633] 셀 내에 있는 특징들의 임의의 코너들을 각 셀에 대하여 설명하는 단계
- [0634] 를 포함하는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0635] 2. 제 1 항에 있어서, 각 코너는 코너 포지션, 제 1 벡터, 및 제 2 벡터에 의해 설명되고, 두 개의 벡터들은 포지션으로부터 기원하는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0636] 3. 제 2 항에 있어서, 코너 포지션들은 두 개의 코디네이트들에 의해 설명되는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0637] 4. 제 2 항 또는 제 3 항에 있어서, 코너 포지션들은 카르테시안 코디네이트들에 의해 설명되는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0638] 5. 제 2 항 내지 제4 항 중 어느 한 항에 있어서, 각 벡터는 벡터에 대한 방향을 특징하는 오리엔테이션 코드에 의해 설명되는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0639] 6. 제 2 항 내지 제5 항 중 어느 한 항에 있어서, 특징은 제 1 벡터로부터 제 2 벡터로 미리 결정된 방향으로 이동할 때 벡터들에 의해 바운딩되는 영역 및 셀 바운더리들로서 정의되는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0640] 7. 제 6 항에 있어서, 미리 결정된 방향은 시계 방향인, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0641] 8. 제 1 항 내지 제 7 항 중 어느 한 항에 있어서, 의사 코너는 셀 내에 부분적으로 있는 특징에 대하여 정의되지만 그렇지 않으면 셀 내에 코너들을 가지지 않는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0642] 9. 제 8 항에 있어서, 의사 코너는 서로에 관하여 180도에서 지향되는 제 1 및 제 2 벡터들에 의해 설명되는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0643] 10. 제 2 항 내지 제 9 항 중 어느 한 항에 있어서, 벡터들은 셀 바운더리에 수직 또는 셀 바운더리에 평행인 방향만을 가질 수 있는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한

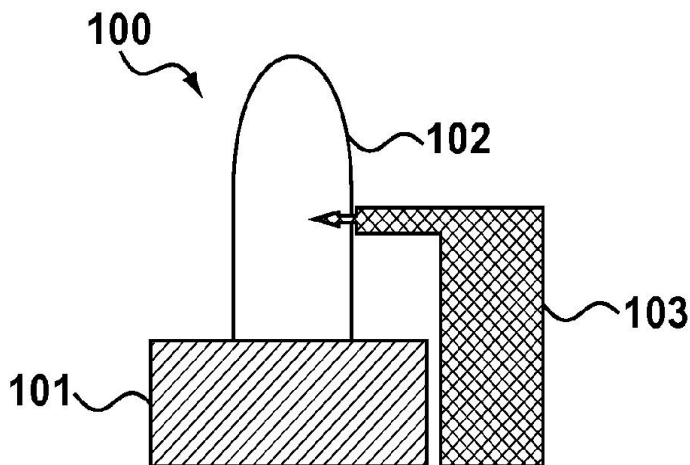
방법.

- [0644] 11. 제 2 항 내지 제9 항 중 어느 한 항에 있어서, 벡터들은 셀 바운더리에 평행, 셀 바운더리에 수직 또는 셀 바운더리에 45도인 방향만을 가질 수 있는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0645] 12. 제 1 항 내지 제 11 항 중 어느 한 항에 있어서, 최소 특징 피치가 정의되고, 셀들은 최소 특징 피치보다 작거나 같은 크기를 가지는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0646] 13. 제 1 항 내지 제12 항 중 어느 한 항에 있어서, 최소 특징 피치가 정의되고, 셀들은 최소 특징 피치에 의해 곱해진 2의 스퀘어 루트의 절반보다 작거나 또는 같은 크기를 가지는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0647] 14. 제 10 항에 있어서, 2의 스퀘어 루트에 의해 곱해진 셀들의 크기보다 크거나 같은 크기를 가지는 최소 특징 피치가 정의되는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0648] 15. 제 10 항에 있어서, 셀 바운더리에 45도 각도로 지향된 에지를 가지는 특징들 또는 특징들의 부분에 대하여, 2의 스퀘어 루트에 의해 곱해진 셀들의 크기보다 크거나 같은 크기를 가지는 최소 특징 피치가 정의되는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0649] 16. 제 1 항 내지 제15 항 중 어느 한 항에 있어서, 코너들의 최대 수는 각 셀에 대하여 정의될 수 있는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0650] 17. 제 1 항 내지 제 16 항 중 어느 한 항에 있어서, 각 셀은 하나 이상의 특징들 및/또는 하나 이상의 특징들의 부분을 포함할 수 있는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0651] 18. 제 1 항 내지 제17 항 중 어느 한 항에 있어서, 각 셀은 웨이퍼의 필드의 부분에 대한 패턴 데이터를 포함하는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0652] 19. 제 18 항에 있어서, 각 셀은 웨이퍼의 필드의 스트라이프의 패턴 데이터를 포함하는, 리소그래피 프로세스를 사용하여 타겟상에 기록하기 위한 특징들을 정의하기 위한 방법.
- [0653] 20. 리소그래피 프로세스에 사용하기 위한 패턴 데이터를 프로세싱하는 방법으로서, 방법은,
- [0654] 벡터 포맷으로 패턴 데이터를 제공하는 단계;
- [0655] 셀 기반 포맷으로 발생 패턴 데이터로 벡터 패턴 데이터를 변형하는 단계; 및
- [0656] 리소그래피 프로세스에서 사용하기 위해 2-레벨 패턴 데이터를 발생시키기 위해 셀 기반 패턴 데이터를 래스터화하는 단계
- [0657] 를 포함하는, 리소그래피 프로세스에 사용하기 위한 패턴 데이터를 프로세싱하는 방법.
- [0658] 21. 제 20 항에 있어서, 셀 기반 패턴 데이터는 셀들의 어레이의 셀들 중 하나 이상을 점유하는 특징들을 설명하는 셀 데이터를 포함하고, 셀 데이터는 셀 내에 있는 특징들의 임의의 코너들을 각 셀에 대하여 설명하는, 리소그래피 프로세스에 사용하기 위한 패턴 데이터를 프로세싱하는 방법.
- [0659] 22. 제 20 항 또는 제 21 항에 있어서, 셀 기반 패턴 데이터를 래스터화하는 단계는 리소그래피 프로세스가 수행되고 있는 동안 실시간 프로세싱으로 수행되는, 리소그래피 프로세스에 사용하기 위한 패턴 데이터를 프로세싱하는 방법.
- [0660] 23. 제 20항 내지 제22 항 중 어느 한 항에 있어서, 셀 기반 패턴 데이터를 래스터화하는 단계는:
- [0661] 멀티-레벨 패턴 데이터를 발생시키기 위해 셀 기반 패턴 데이터를 렌더링하는 단계;
- [0662] 2-레벨 패턴 데이터를 발생시키기 위해 멀티-레벨 패턴 데이터를 디더링하는 단계
- [0663] 를 포함하는, 리소그래피 프로세스에 사용하기 위한 패턴 데이터를 프로세싱하는 방법.
- [0664] 24. 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 방법으로서, 방법은:

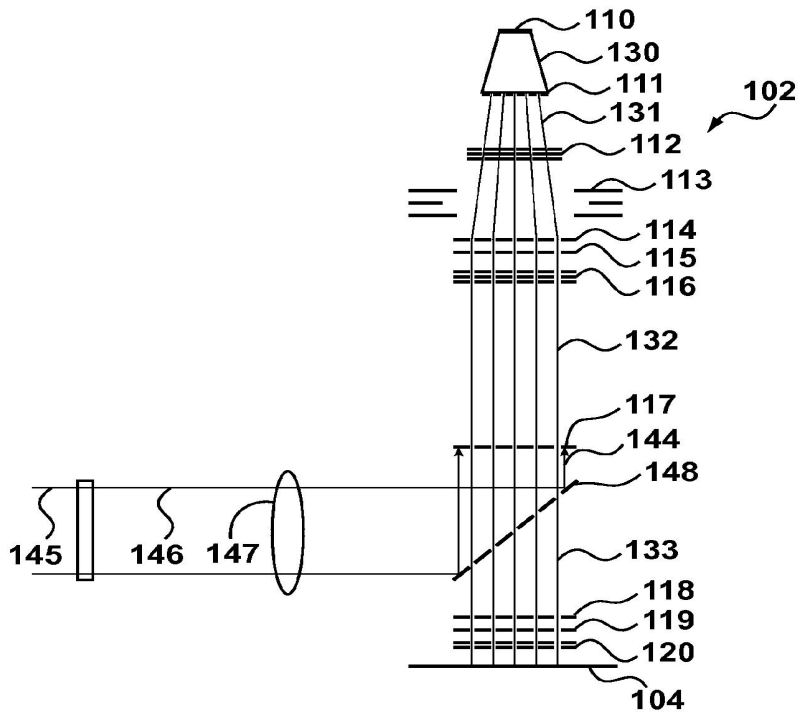
- [0665] 벡터 포맷으로 패턴 데이터를 제공하는 단계;
- [0666] 셀 기반 포맷으로 벡터 패턴 데이터를 발생 패턴 데이터로 변형하는 단계;
- [0667] 2-레벨 패턴 데이터를 발생시키기 위해 셀 기반 패턴 데이터를 래스터화하는 단계; 및
- [0668] 하전 입자 리소그래피 기계에 의해 발생하는 빔렛들을 온 및 오프 스위칭하기 위한 빔렛 블랭커 어레이에 2-레벨 패턴 데이터를 스트리밍하는 단계; 및
- [0669] 2-레벨 패턴 데이터에 기반하여 빔렛들을 온 및 오프 스위칭하는 단계
- [0670] 를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 방법.
- [0671] 25. 제 24 항에 있어서, 셀 기반 패턴 데이터는 셀들의 어레이의 셀들의 하나 이상을 점유하는 특징들을 설명하는 셀 데이터를 포함하고, 셀 데이터는 셀 내에 있는 특징들의 임의의 코너들을 각 셀에 대하여 설명하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 방법.
- [0672] 26. 제 24 항 또는 제 25 항에 있어서, 셀 기반 패턴 데이터를 래스터화하는 단계는 리소그래피 기계가 웨이퍼를 노출하고 있는 동안 실시간 프로세싱으로 수행되는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 방법.
- [0673] 27. 제 24 항 내지 제26 항 중 어느 한 항에 있어서, 셀 기반 패턴 데이터를 래스터화하는 단계는;
- [0674] 멀티-레벨 패턴 데이터를 발생시키기 위해 셀 기반 패턴 데이터를 렌더링하는 단계;
- [0675] 2-레벨 패턴 데이터를 발생시키기 위해 멀티-레벨 패턴 데이터를 디더링하는 단계
- [0676] 를 포함하는, 웨이퍼를 노출하기 위해 복수의 하전 입자 빔렛들을 발생시키는 하전 입자 리소그래피 기계를 사용하여 패턴 데이터에 따라 웨이퍼를 노출시키기 위한 방법.

도면

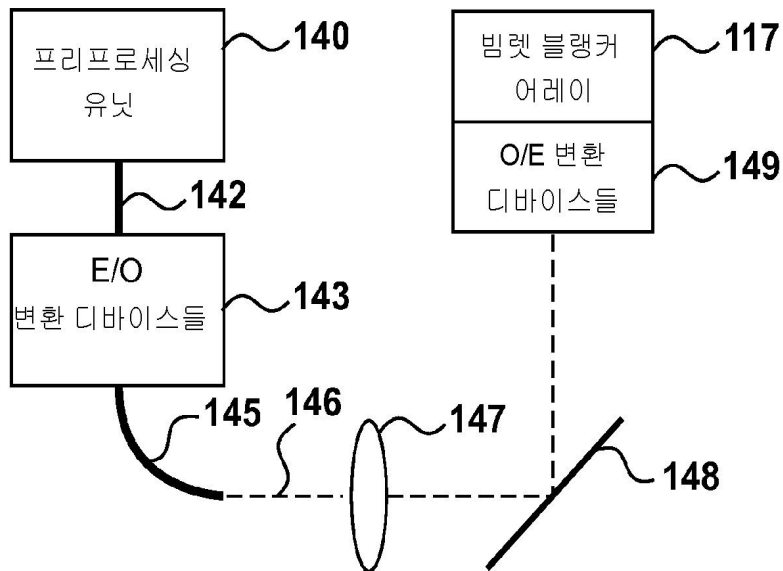
도면1



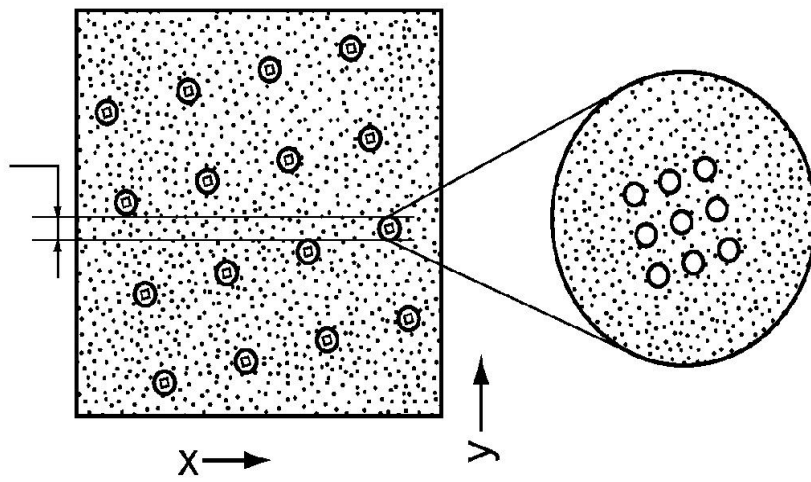
도면2a



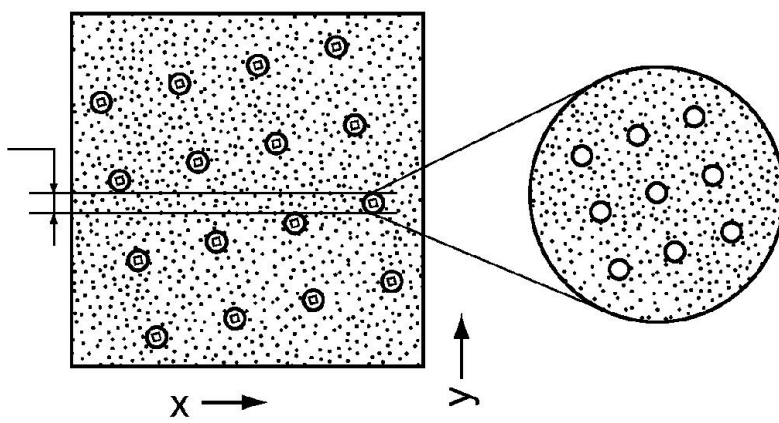
도면2b



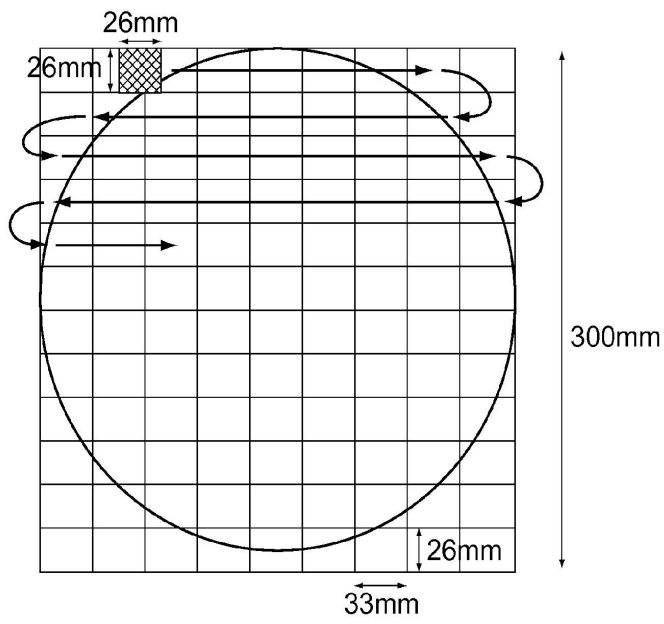
도면3



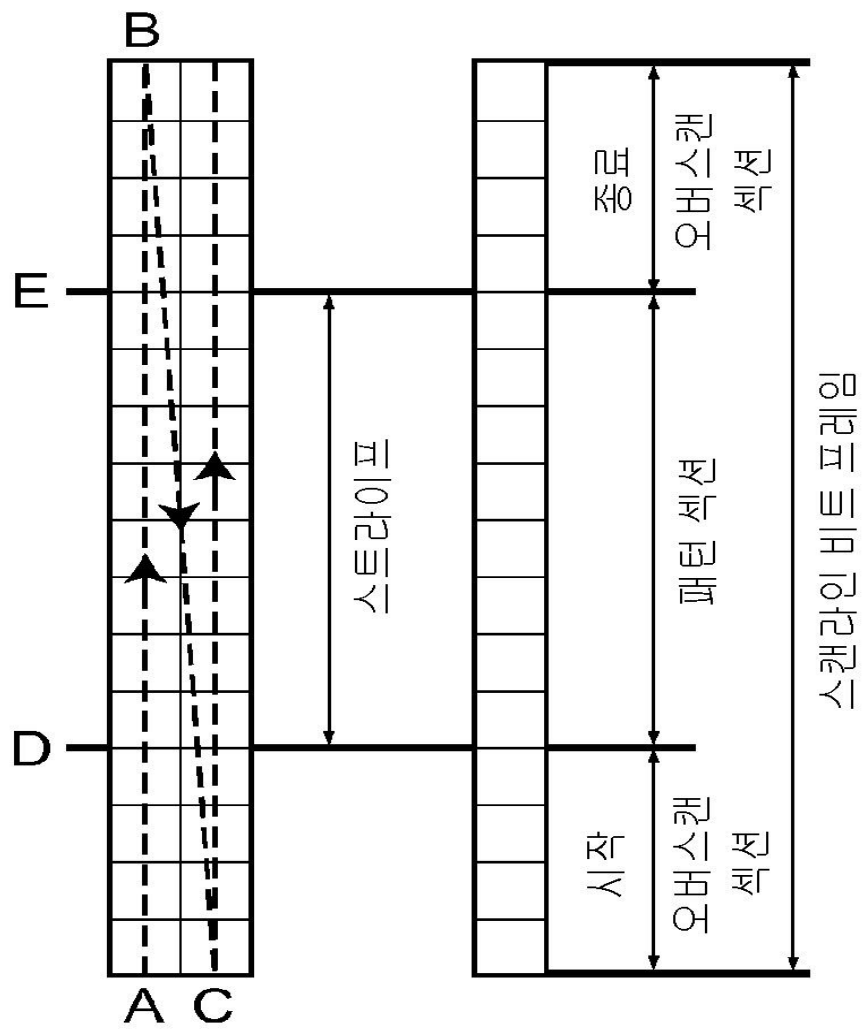
도면4



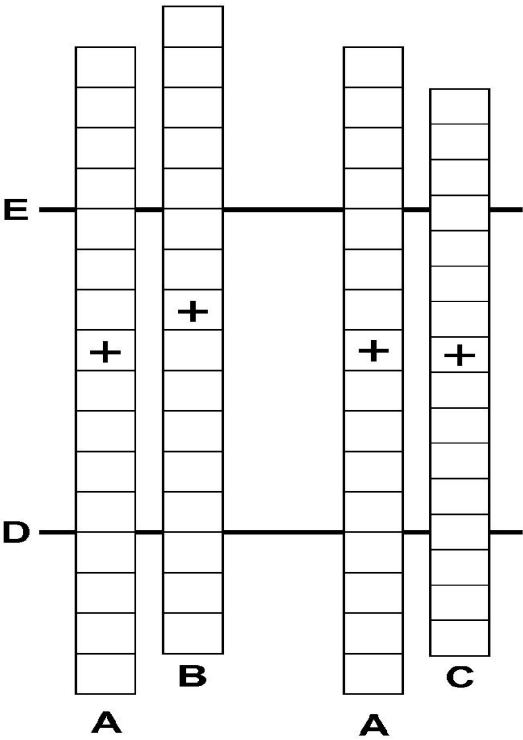
도면5



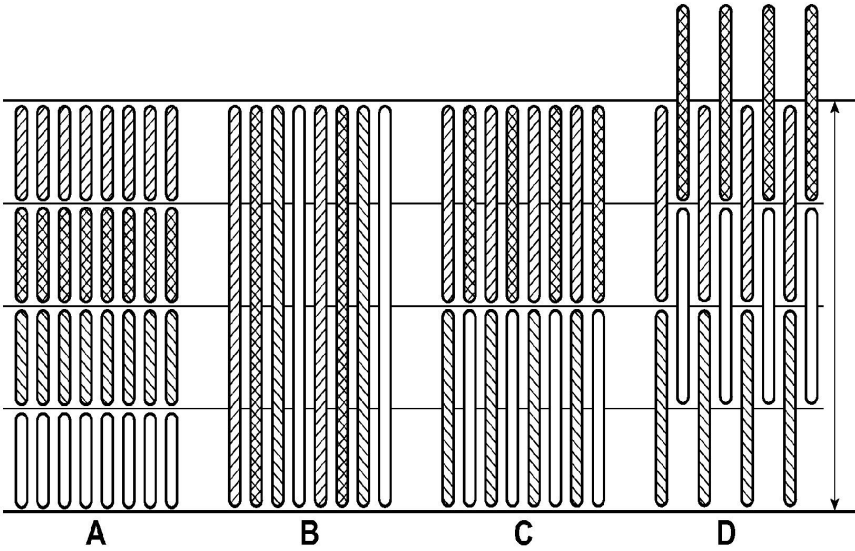
도면6



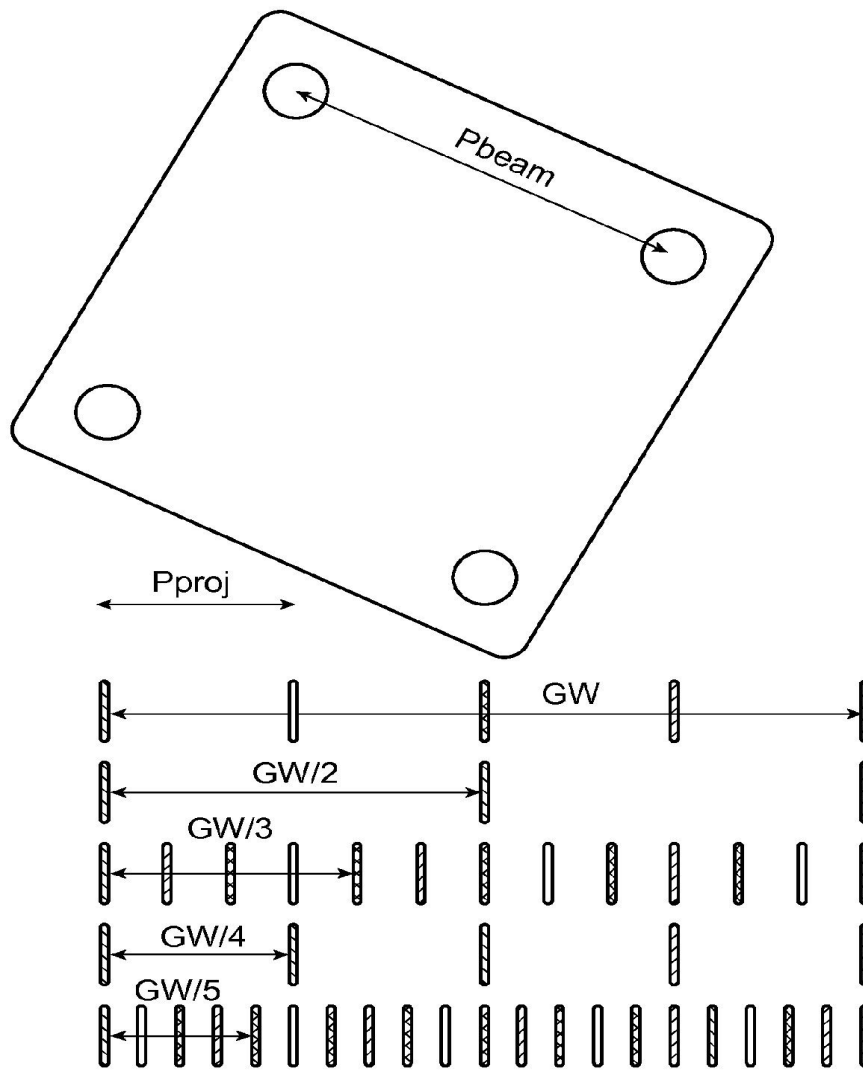
도면7



도면8



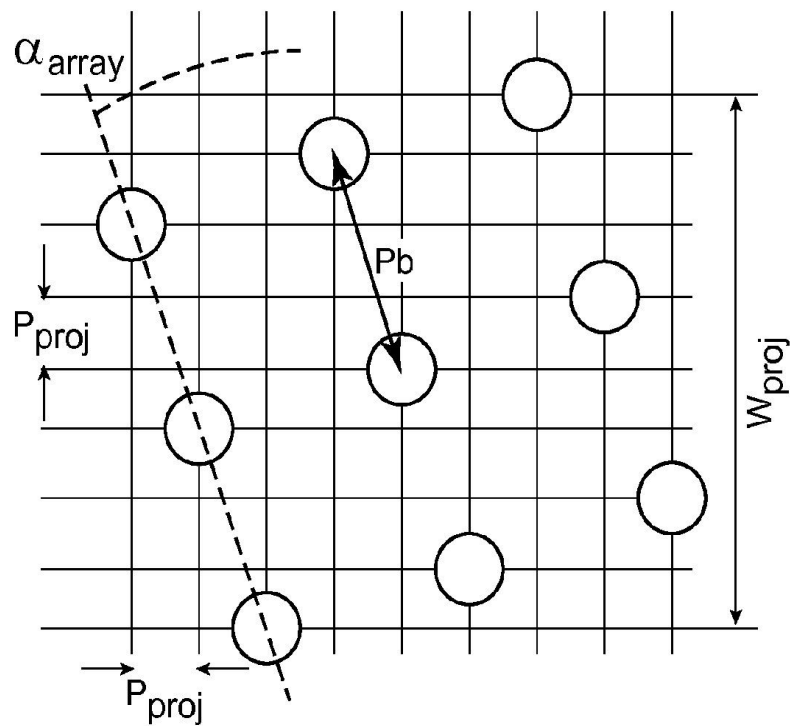
도면9



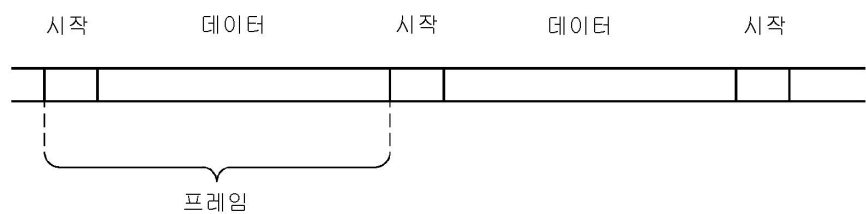
도면10

K	스캔라인들 사이의 거리(=X에서 픽셀 크기)
1	8.63
2	4.31
3	2.87
4	2.16
5	1.73

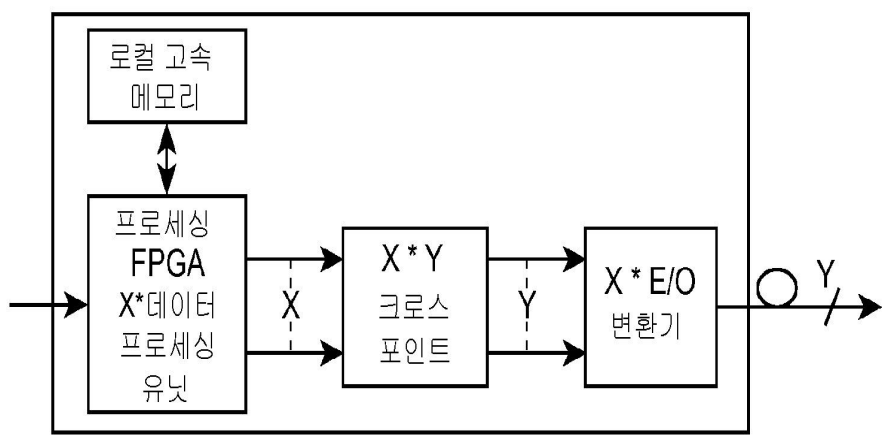
도면11



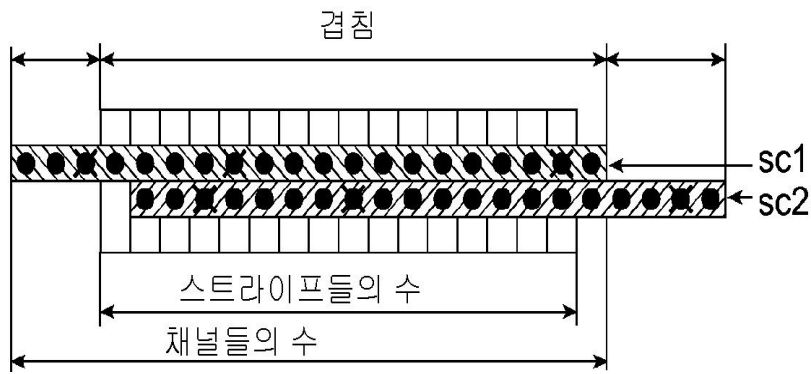
도면12



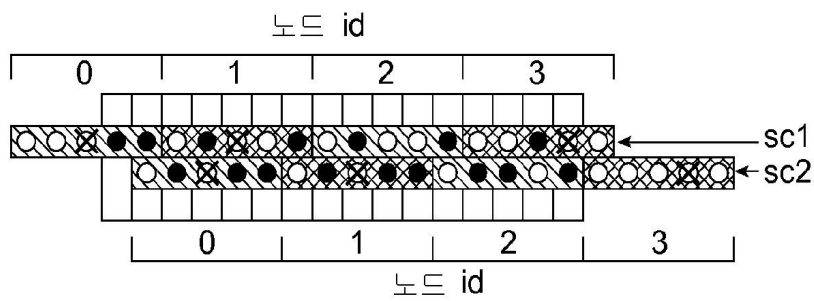
도면13



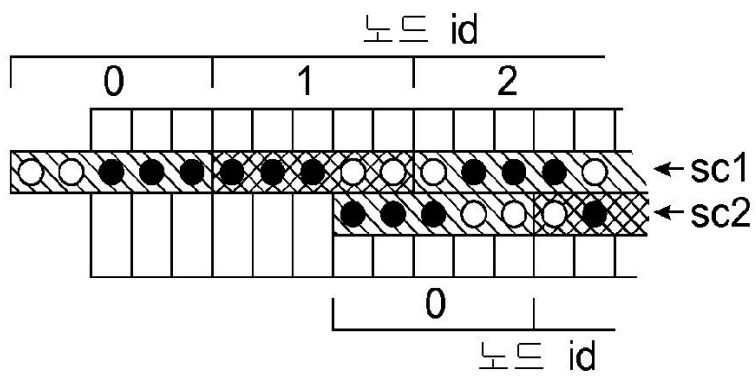
도면14



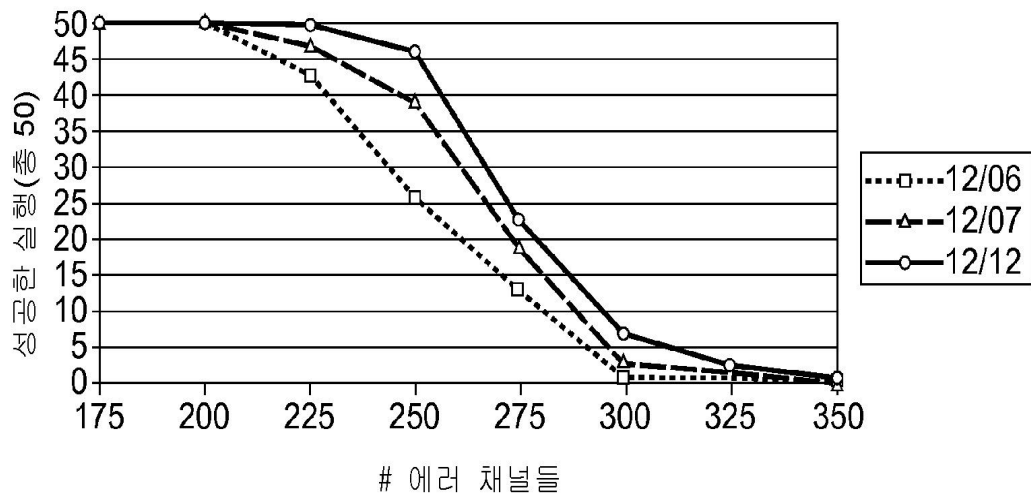
도면15



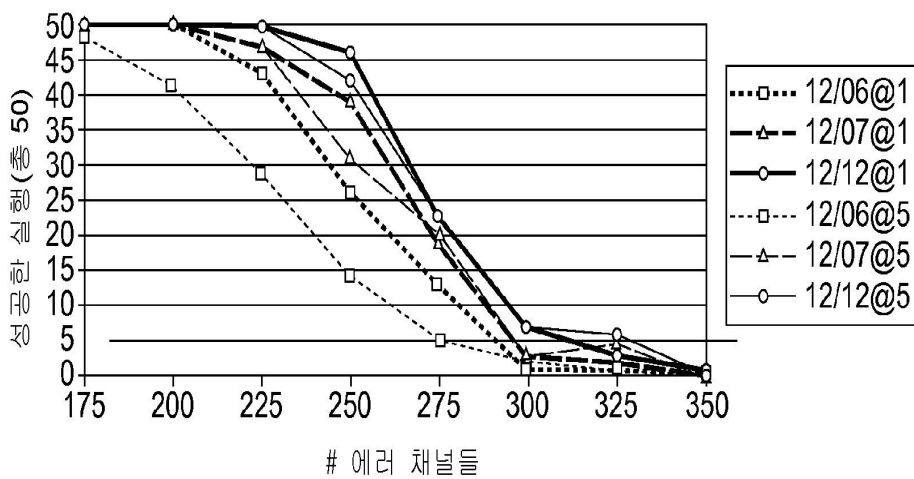
도면16



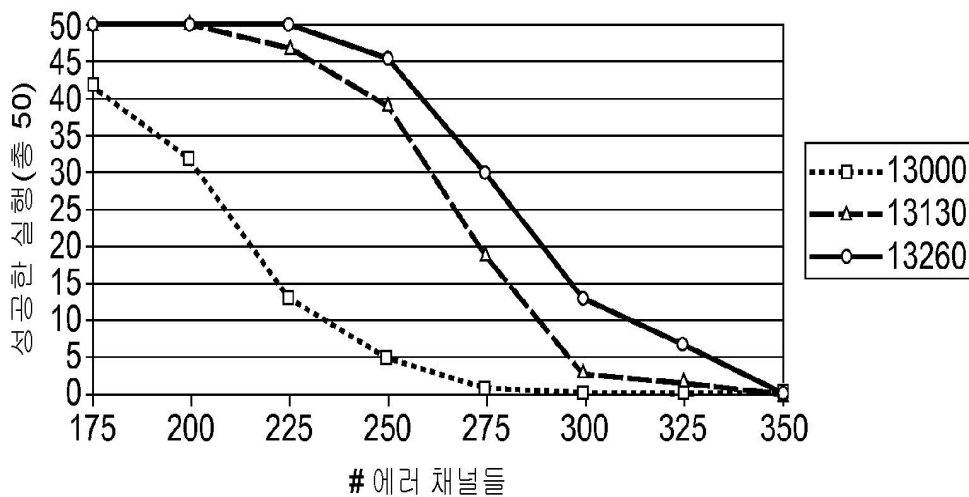
도면17



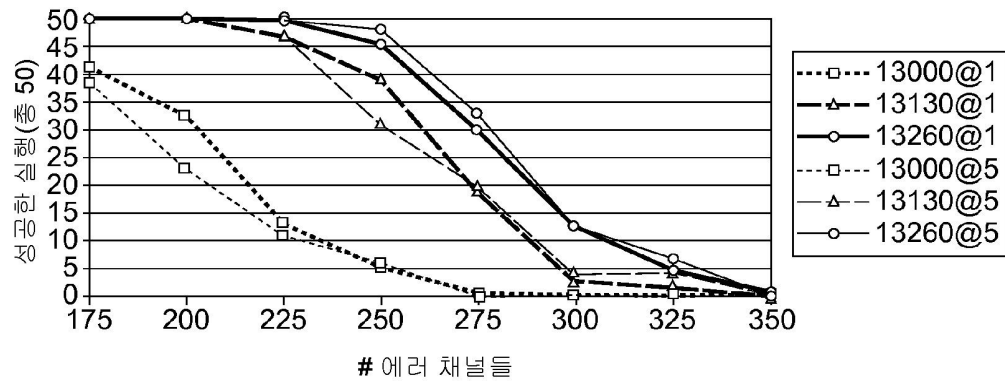
도면18



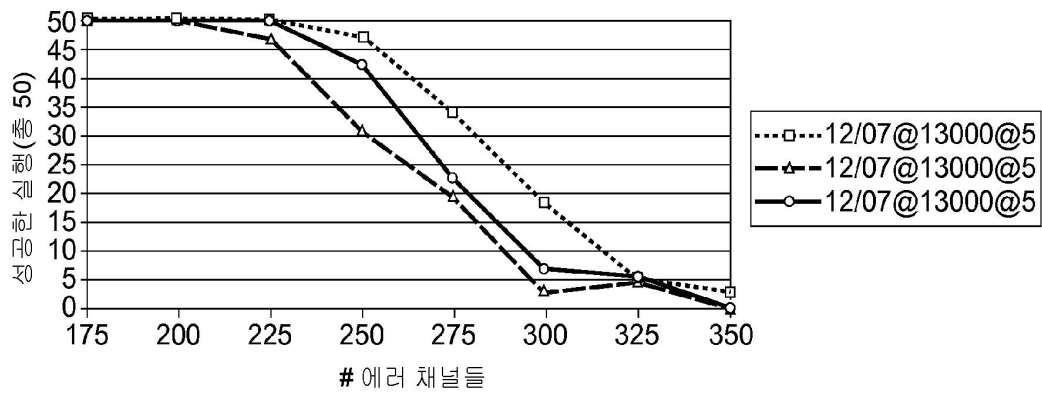
도면19



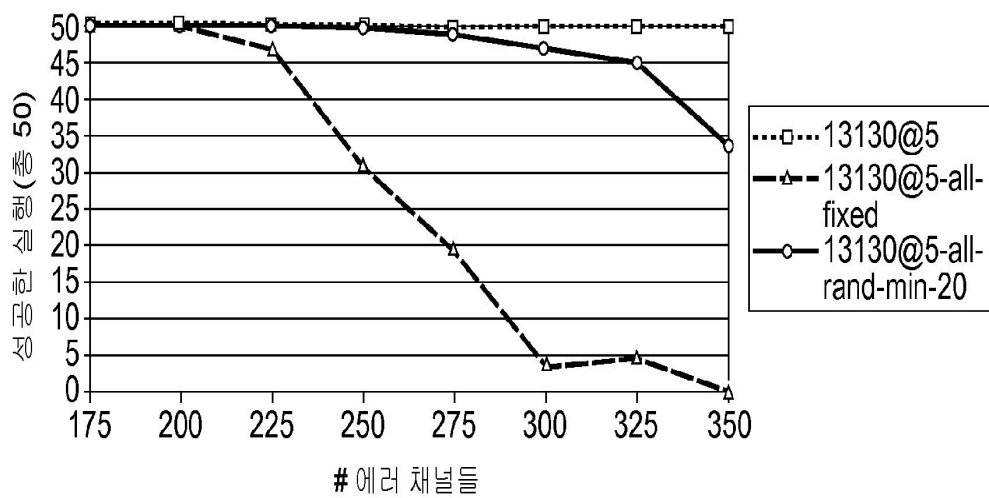
도면20



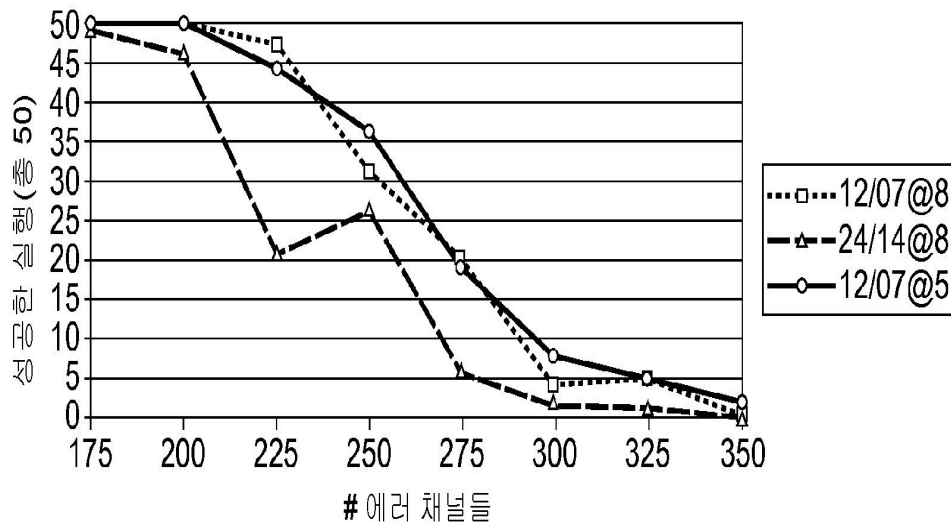
도면21



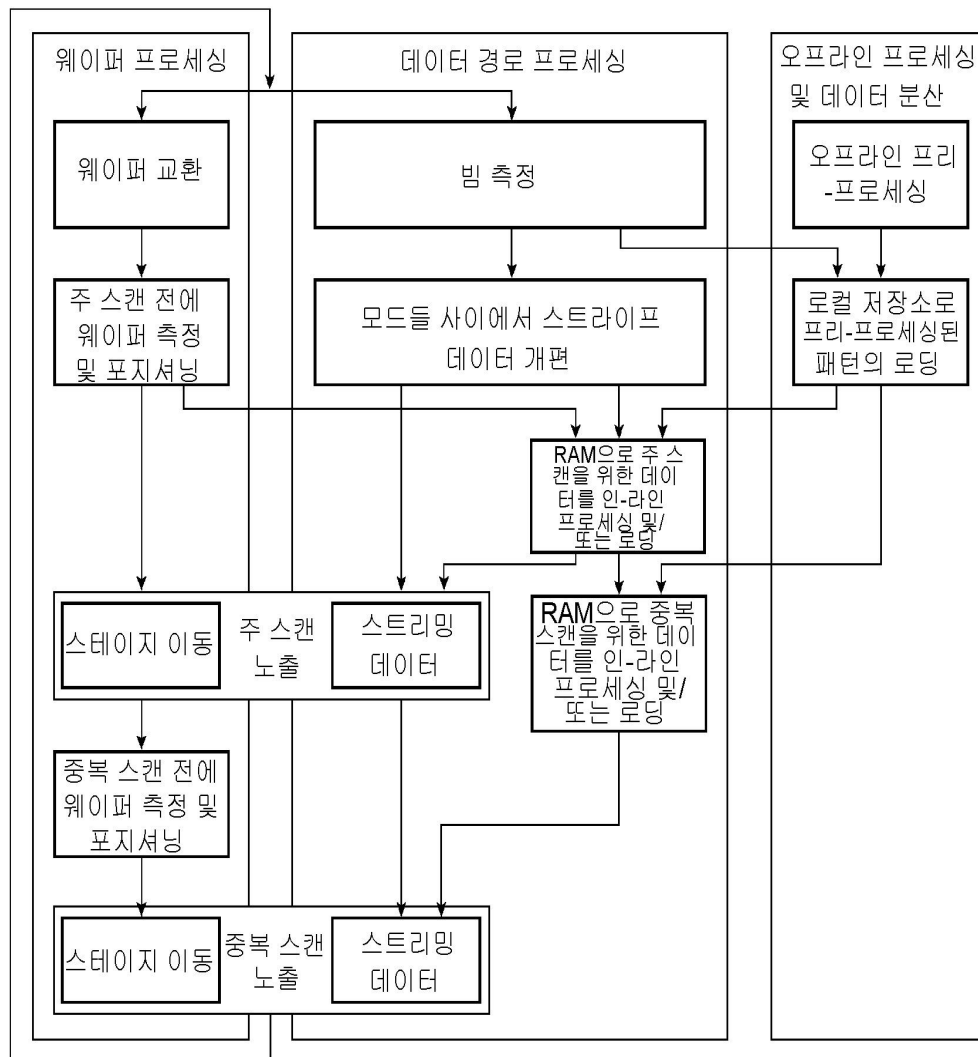
도면22



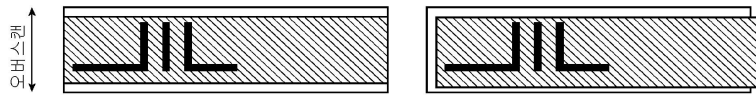
도면23



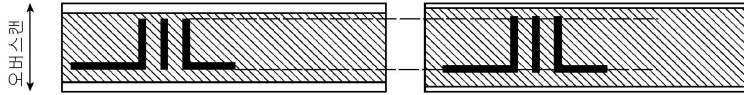
도면24



도면25



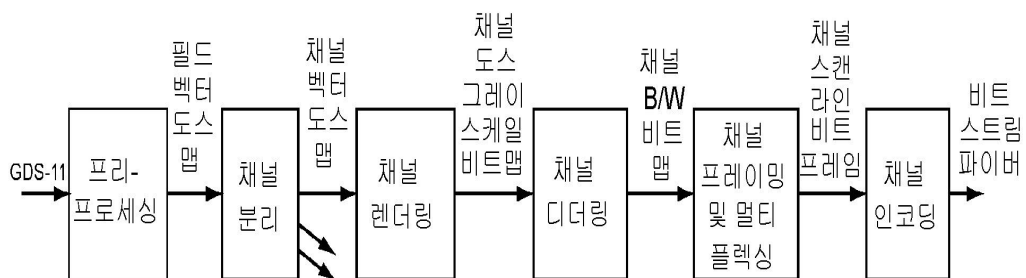
도면26



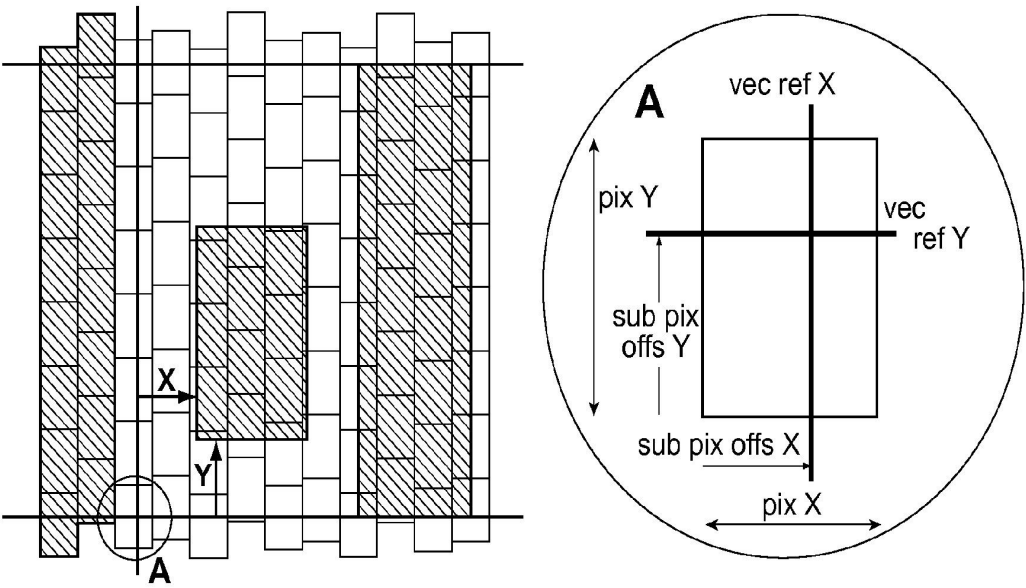
도면27

정정	~마다 업데이트	빔/빔렛	범위	레졸루션
글로벌 패턴 시프팅 X	필드	빔	+/-200nm	0.1nm
글로벌 패턴 시프팅 Y	필드	빔	+/-200nm	0.1nm
블랭커 타이밍 오프셋(Y)	-	빔렛	< 1 픽셀	0.1nm
블랭커 홀(Y) 오프셋	-	빔렛	+/-210nm	0.1nm
도스(dose)정정	웨이퍼 스캔	빔렛	80% - 100%	0.2%
패턴 스케일링 Y	웨이퍼 스캔	빔	1 - 1.1	0.0001

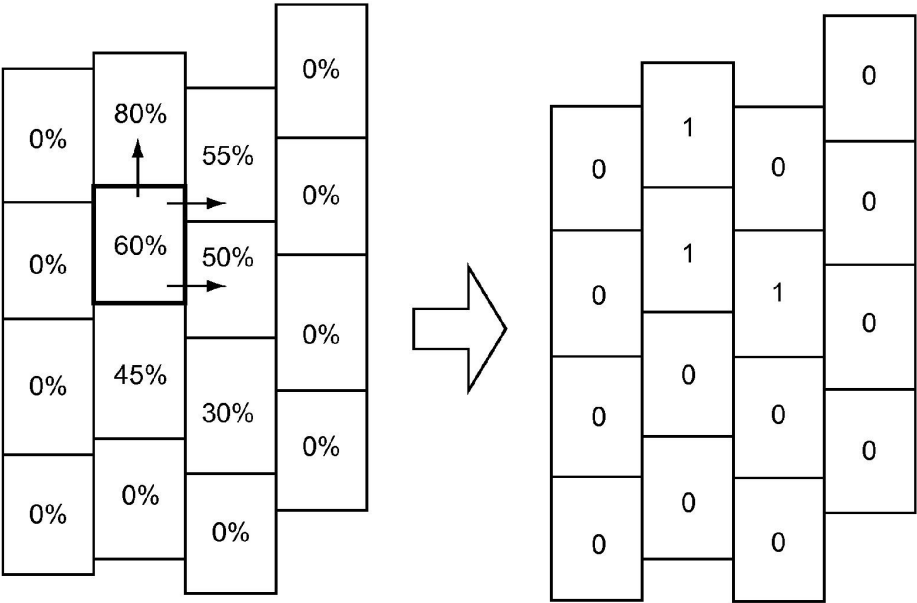
도면28



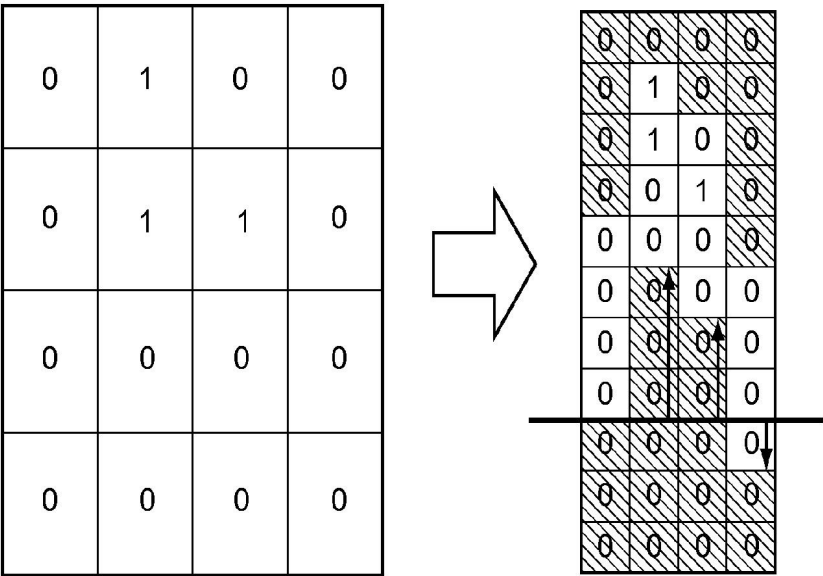
도면29



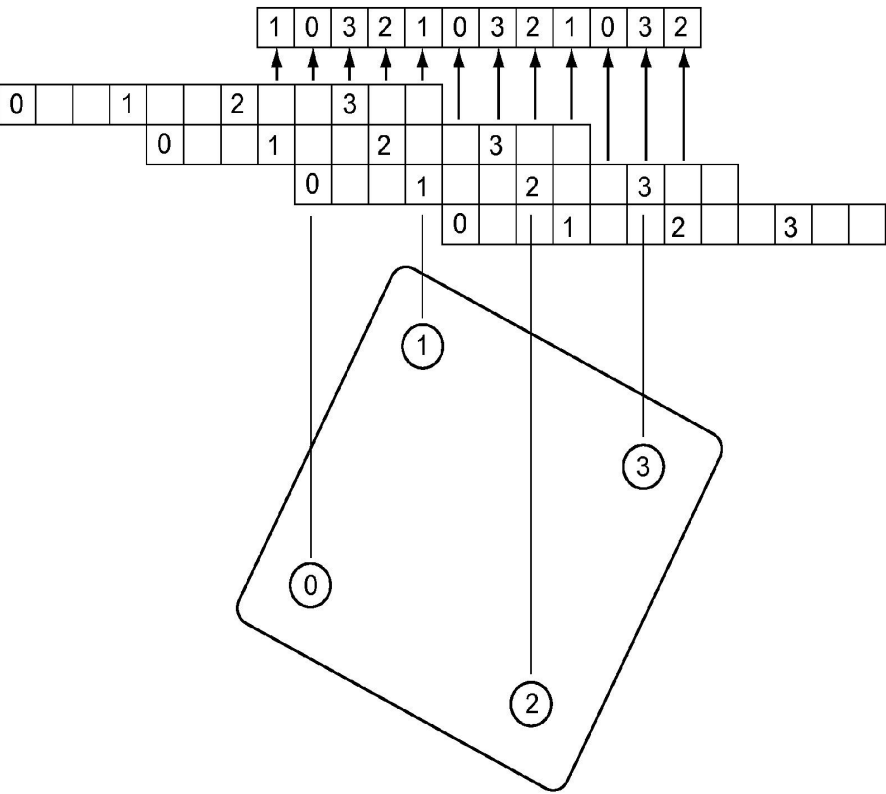
도면30



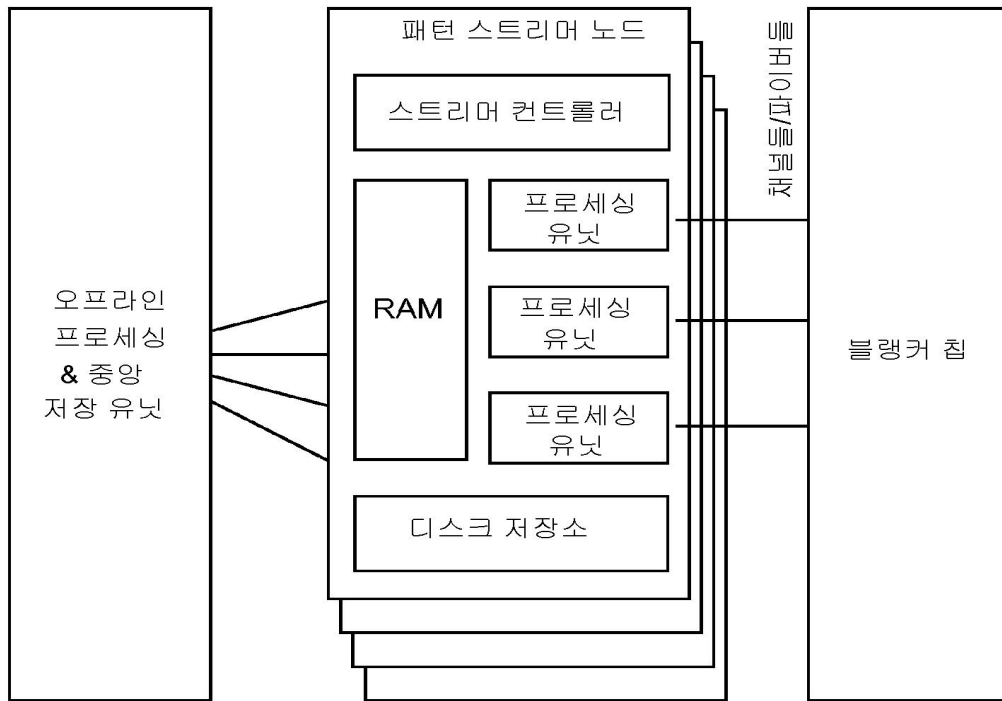
도면31



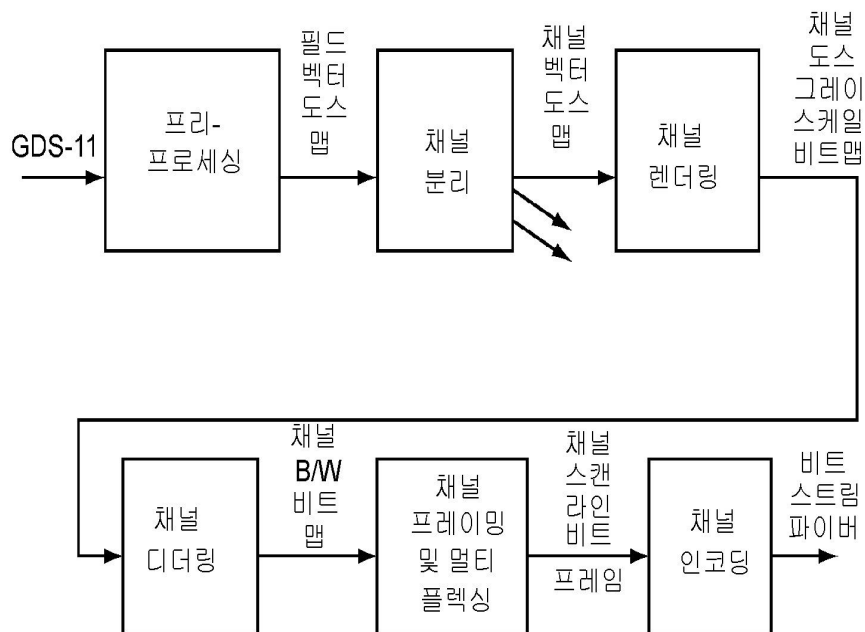
도면32



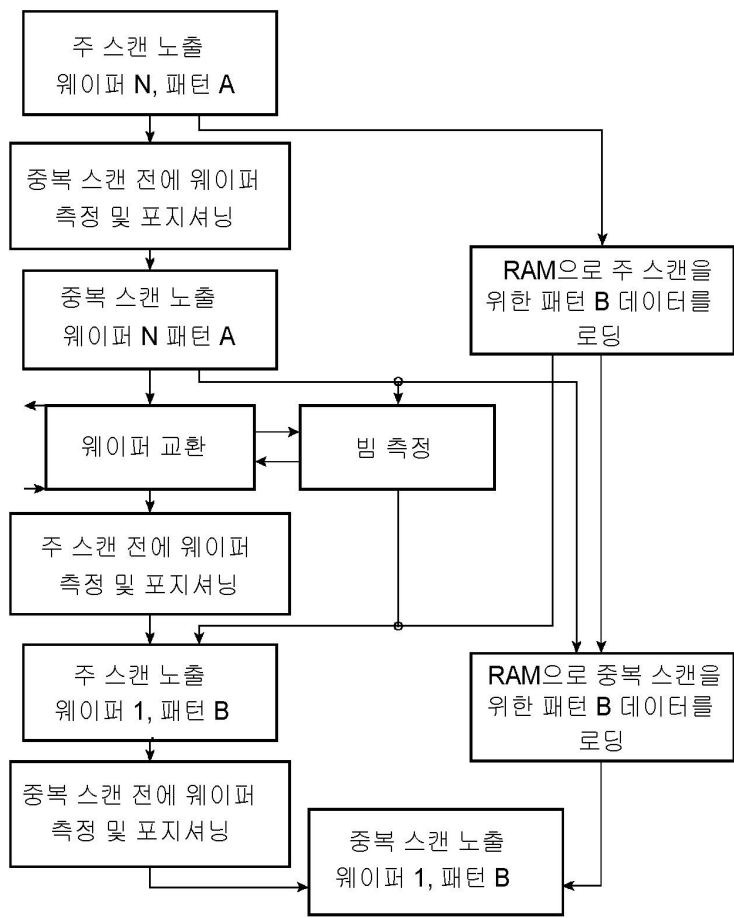
도면33



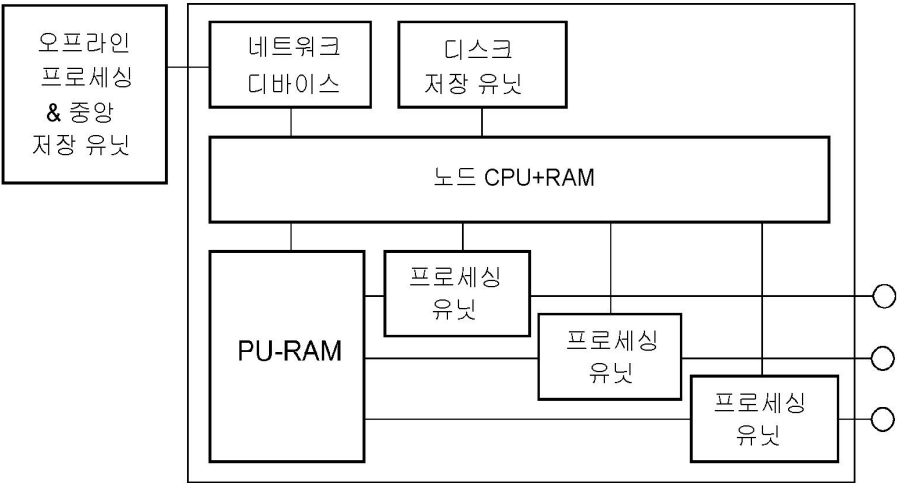
도면34



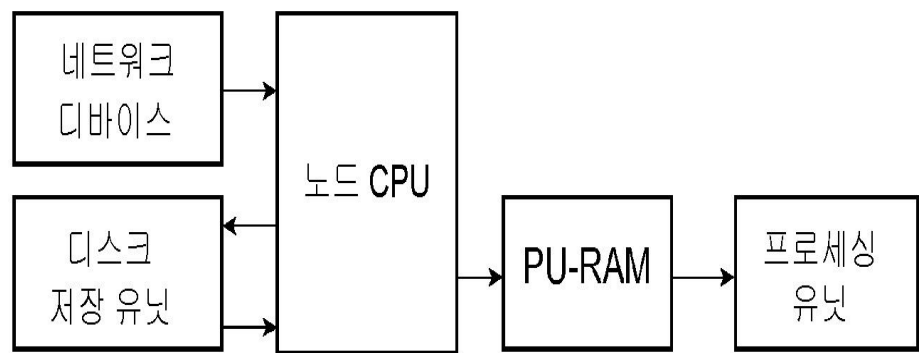
도면35



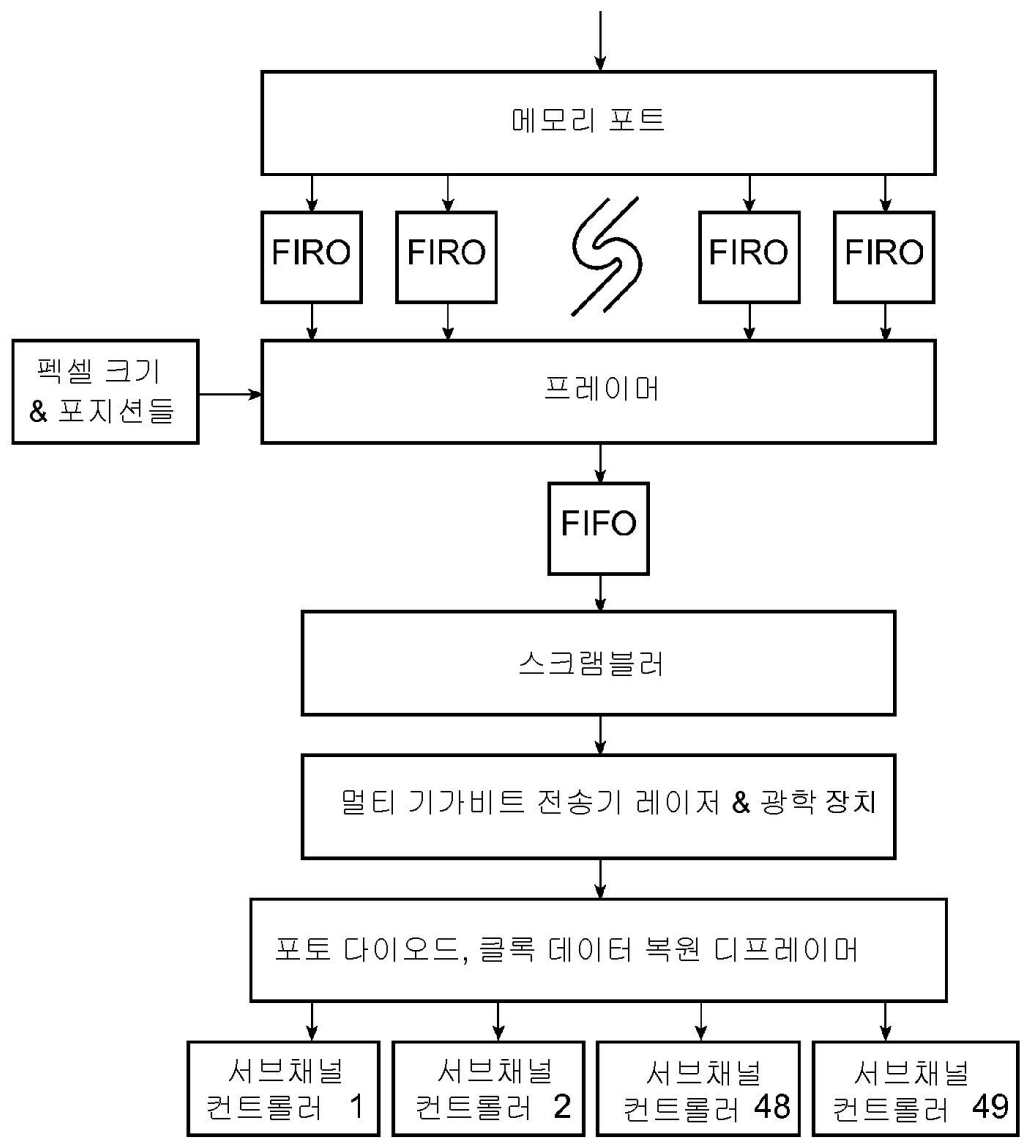
도면36



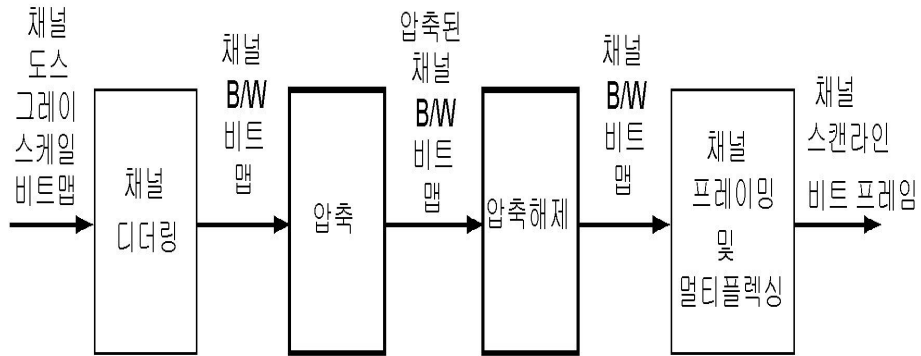
도면37



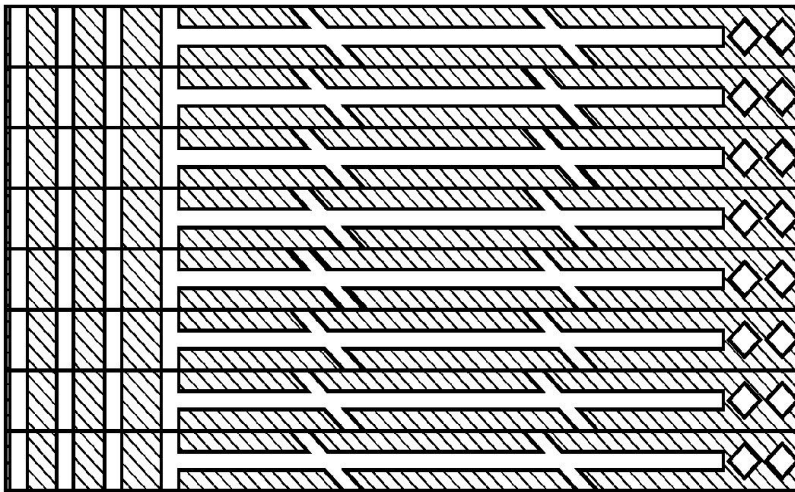
도면38



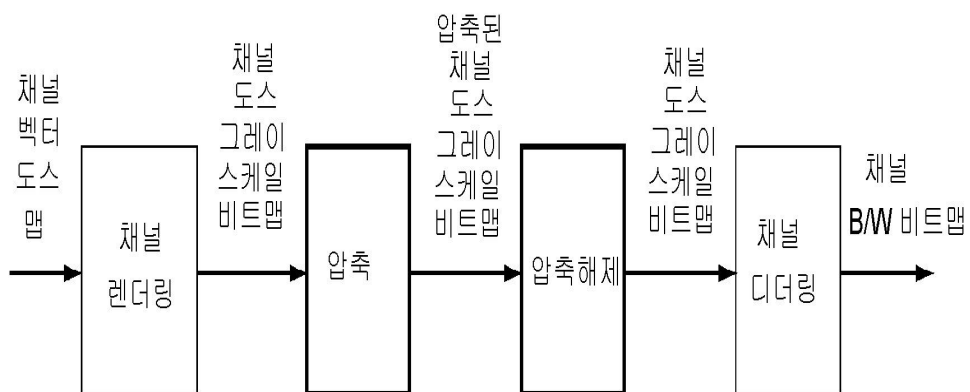
도면39



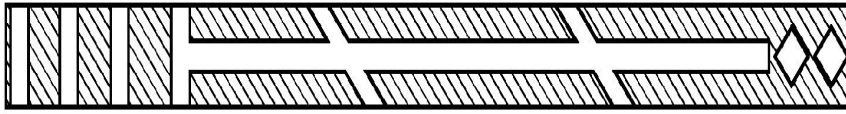
도면40



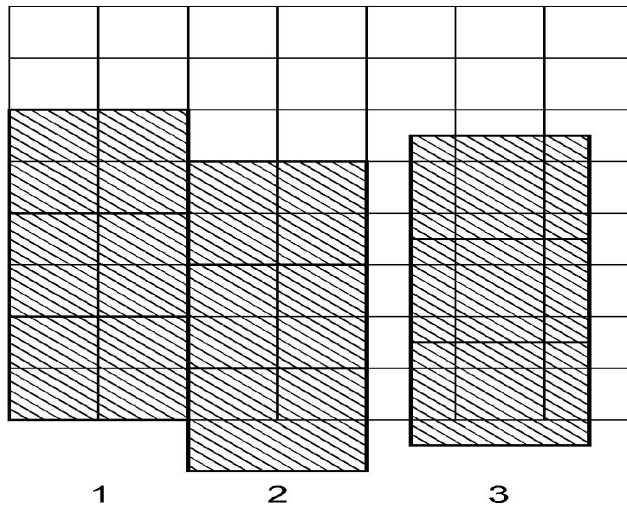
도면41



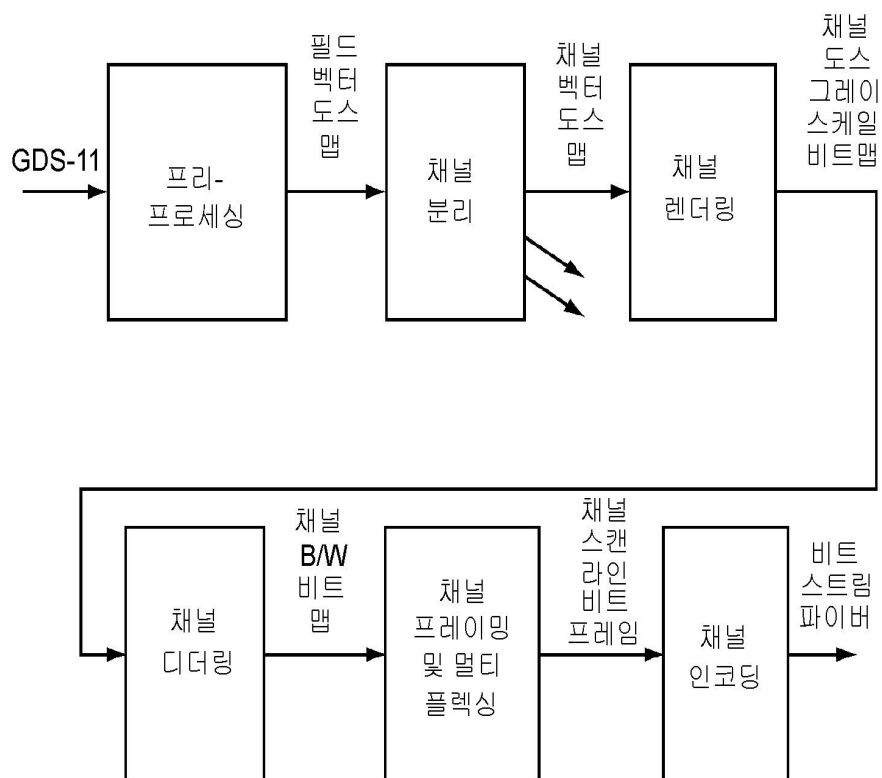
도면42



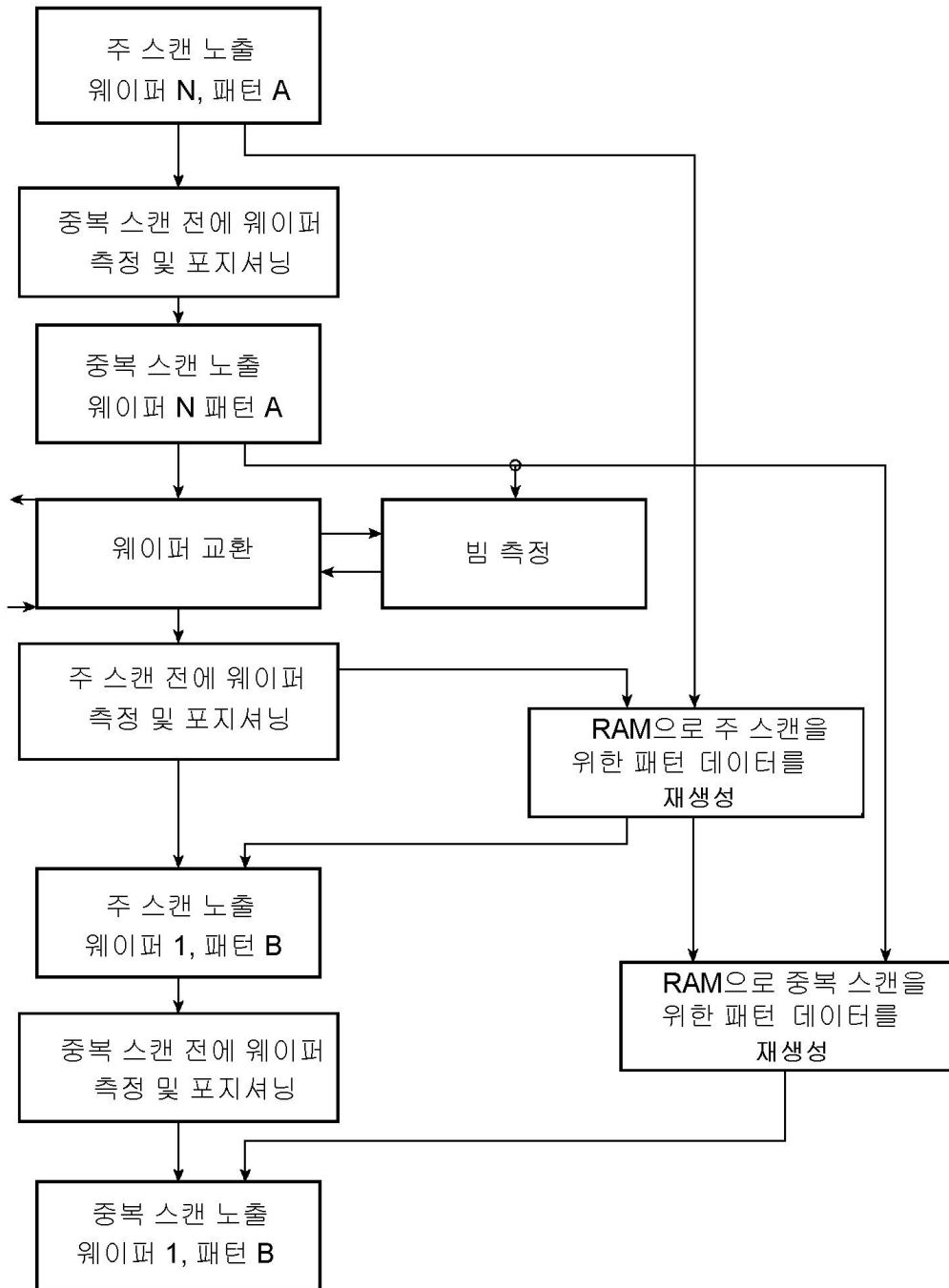
도면43



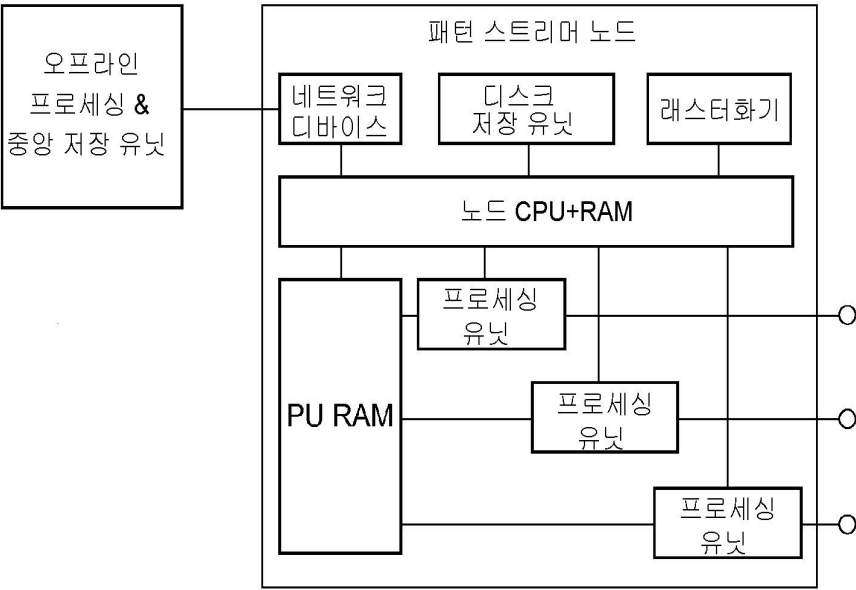
도면44



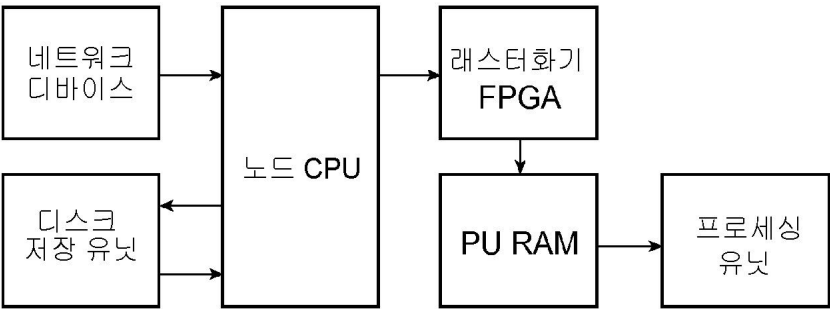
도면45



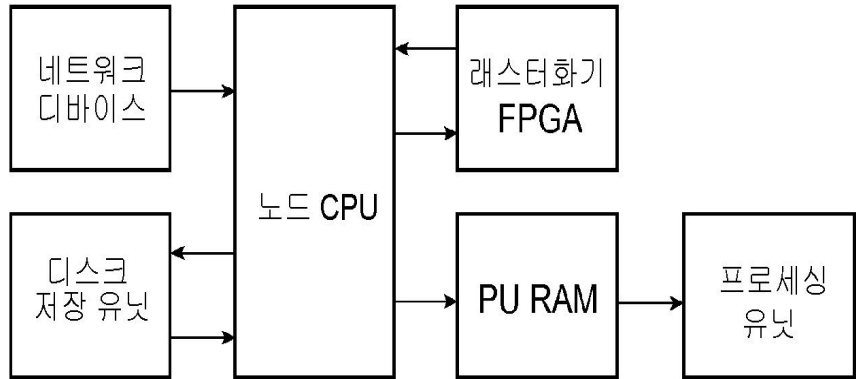
도면46



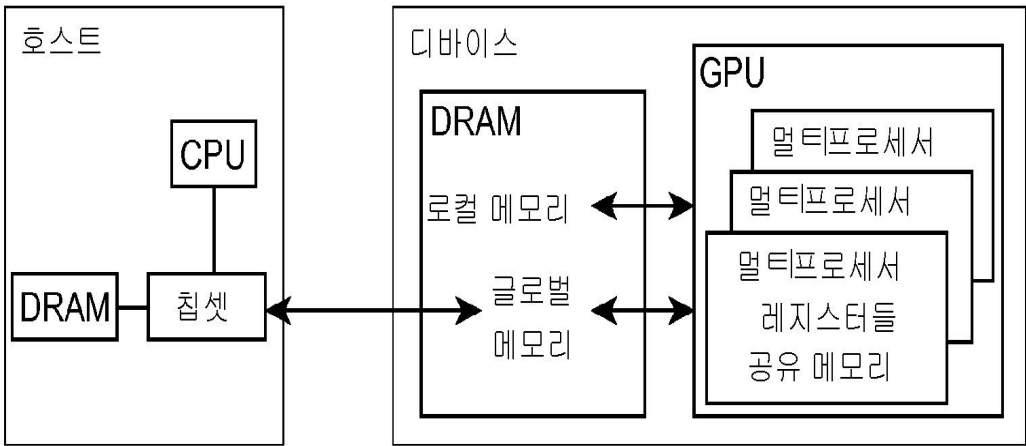
도면47



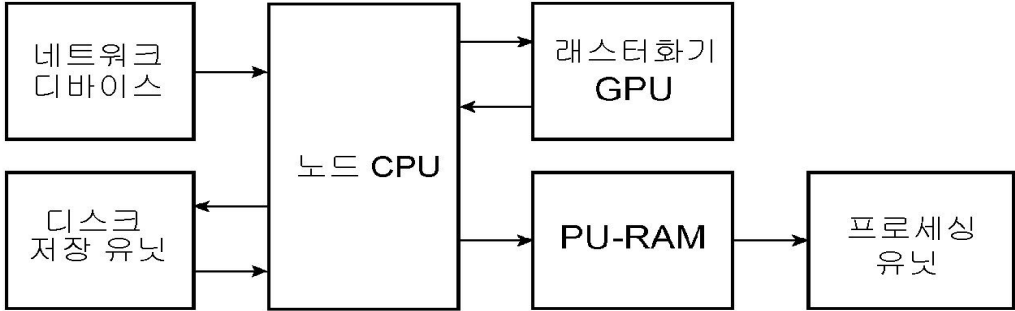
도면48



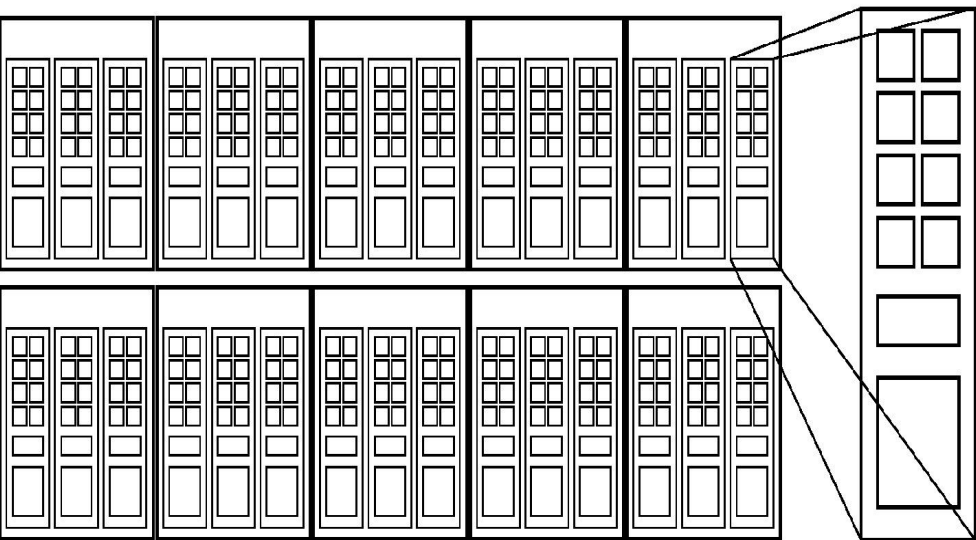
도면49



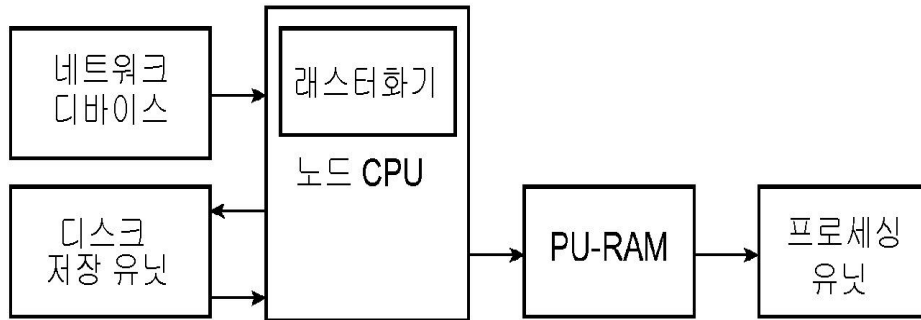
도면50



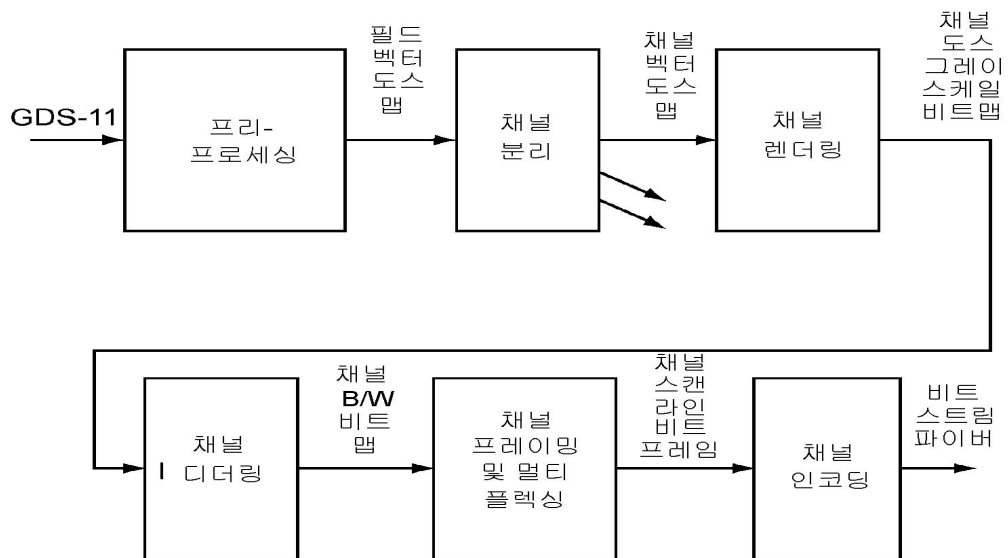
도면51



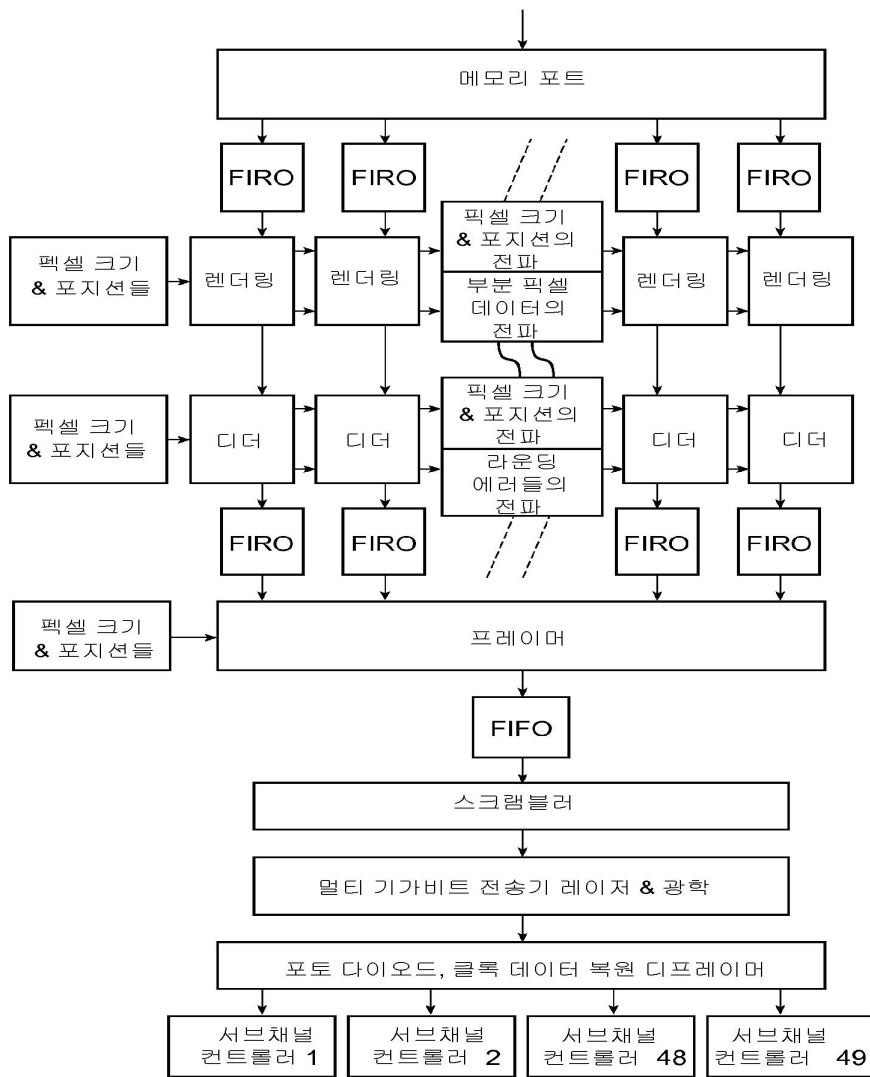
도면52



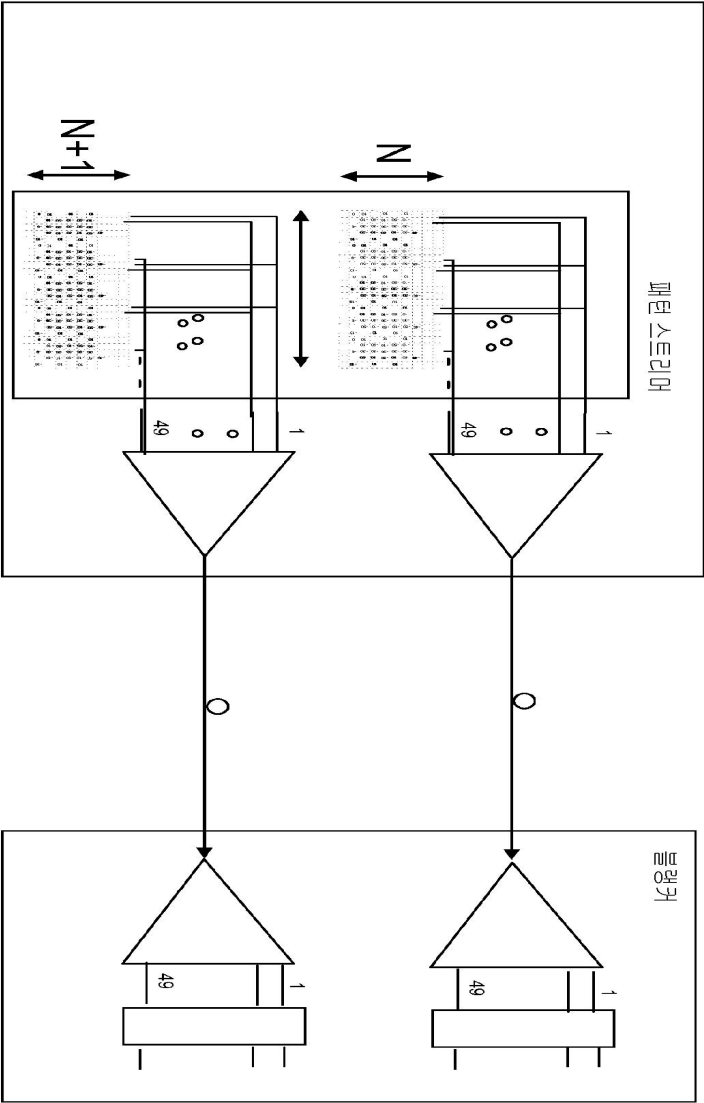
도면53



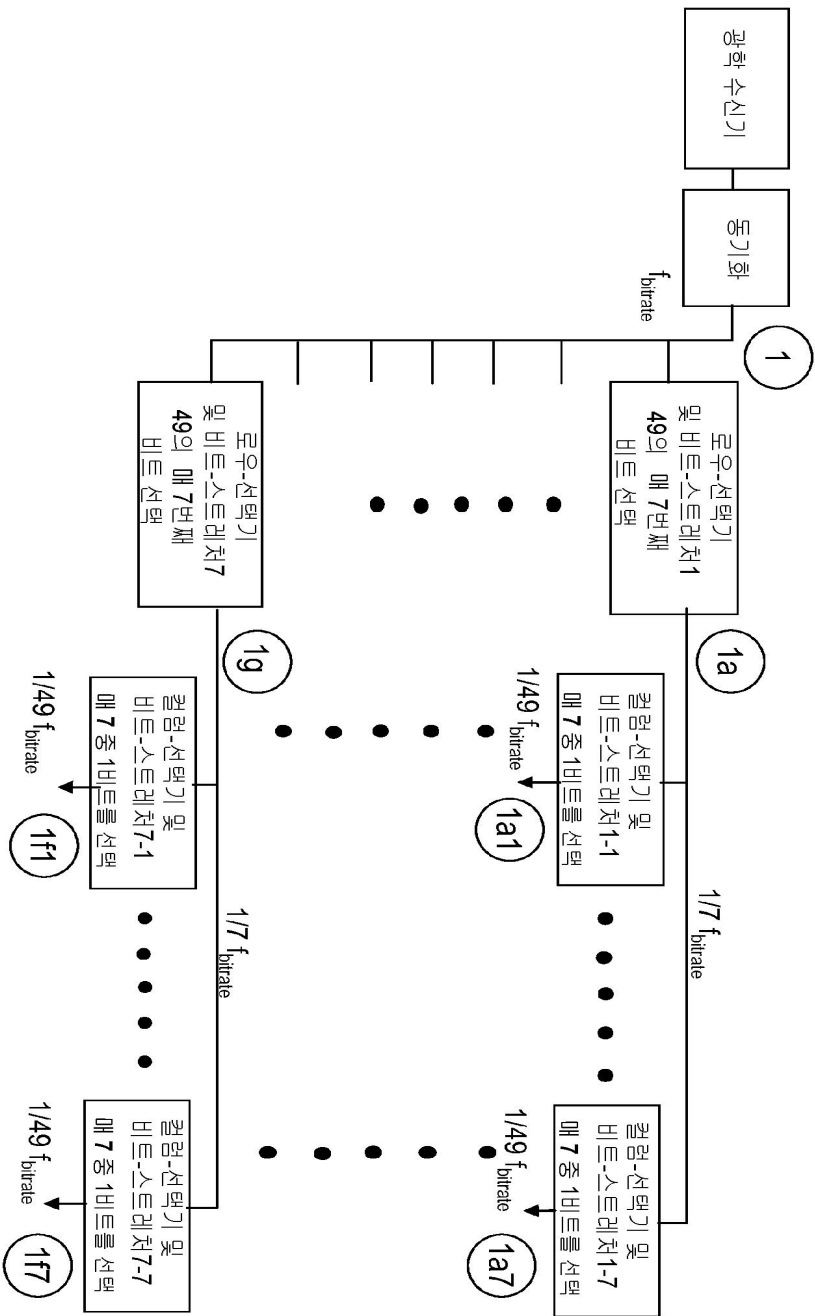
도면54



도면55



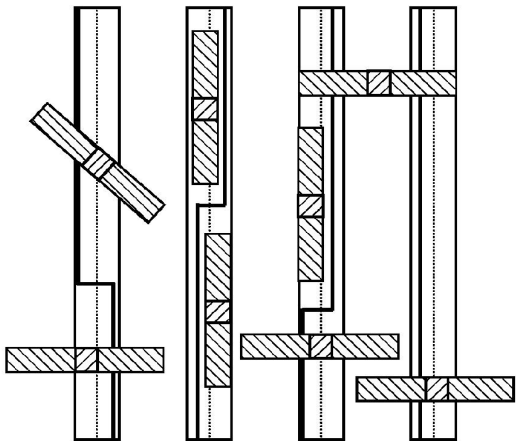
도면56



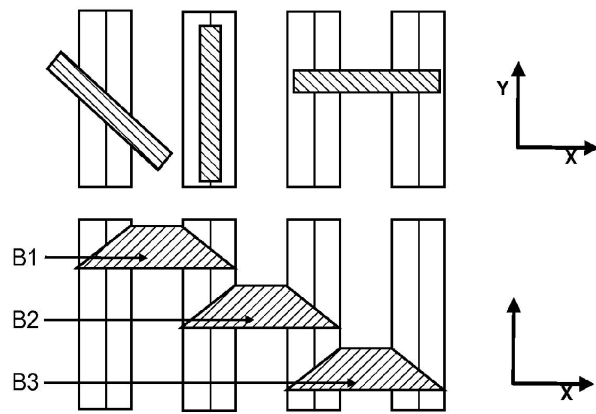
도면57

N_{pat_beams}	α_{array}	P_{proj}	$K = P_{proj}/L_{pixX}$ $L_{pixX} = 3.5\text{ nm}$	가장 가까운 팩터 K $GCD(N_{pat_beams}, K) = 1$	구현된 $L_{pix_X} [\text{nm}]$	$W_{proj} [\text{nm}]$
4	0.464	26.9	8	9	2.99	82
9	0.322	19.0	6	7	2.71	154
16	0.245	14.6	5	5	2.92	222
25	0.197	11.8	4	4	2.95	287
36	0.165	9.89	3	5	1.98	350
49	0.142	8.51	3	3	2.84	413
64	0.124	7.46	3	3	2.49	476
81	0.111	6.64	2	2	3.32	538
100	0.100	5.99	2	3	2.00	600

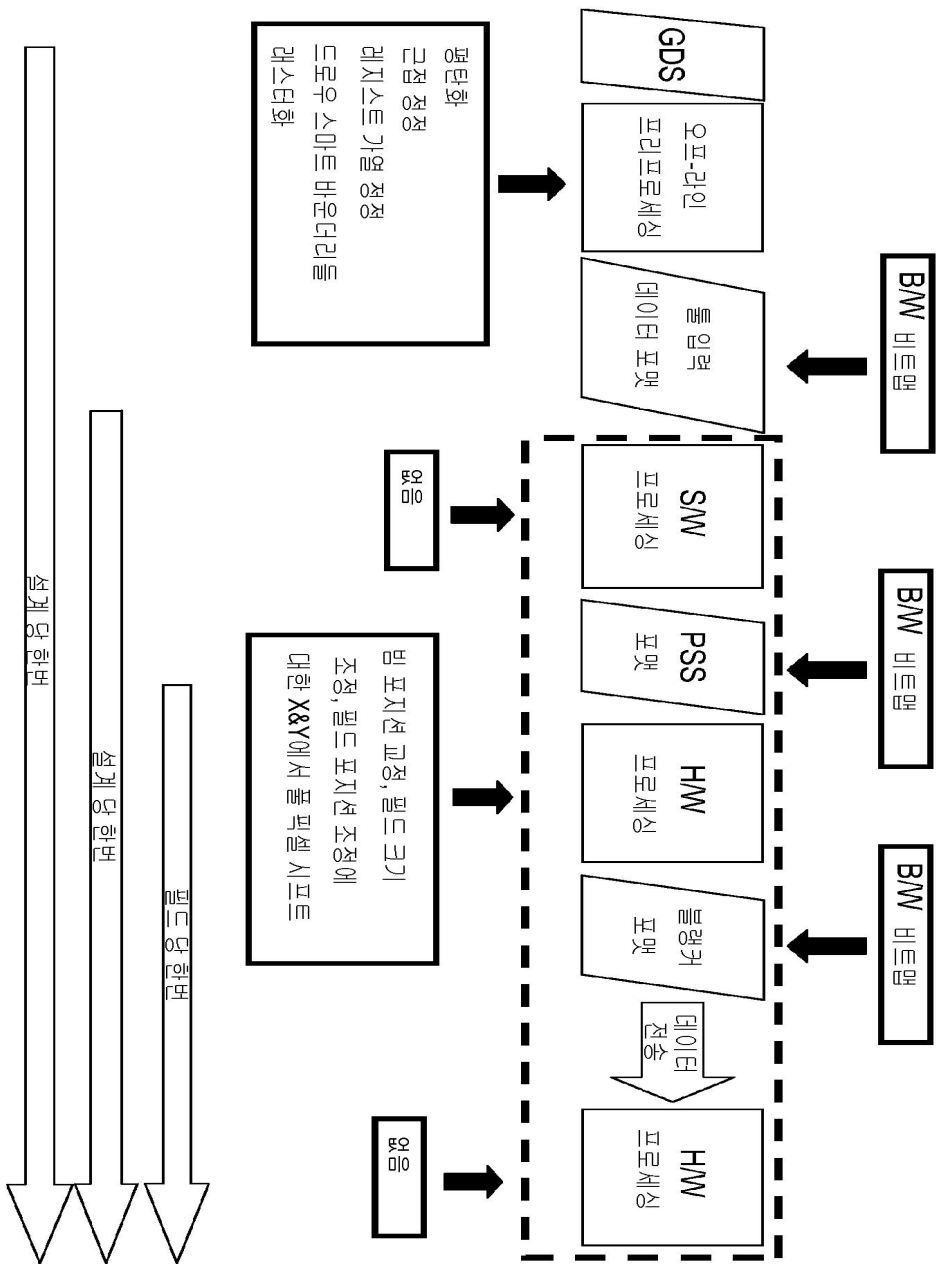
도면58a



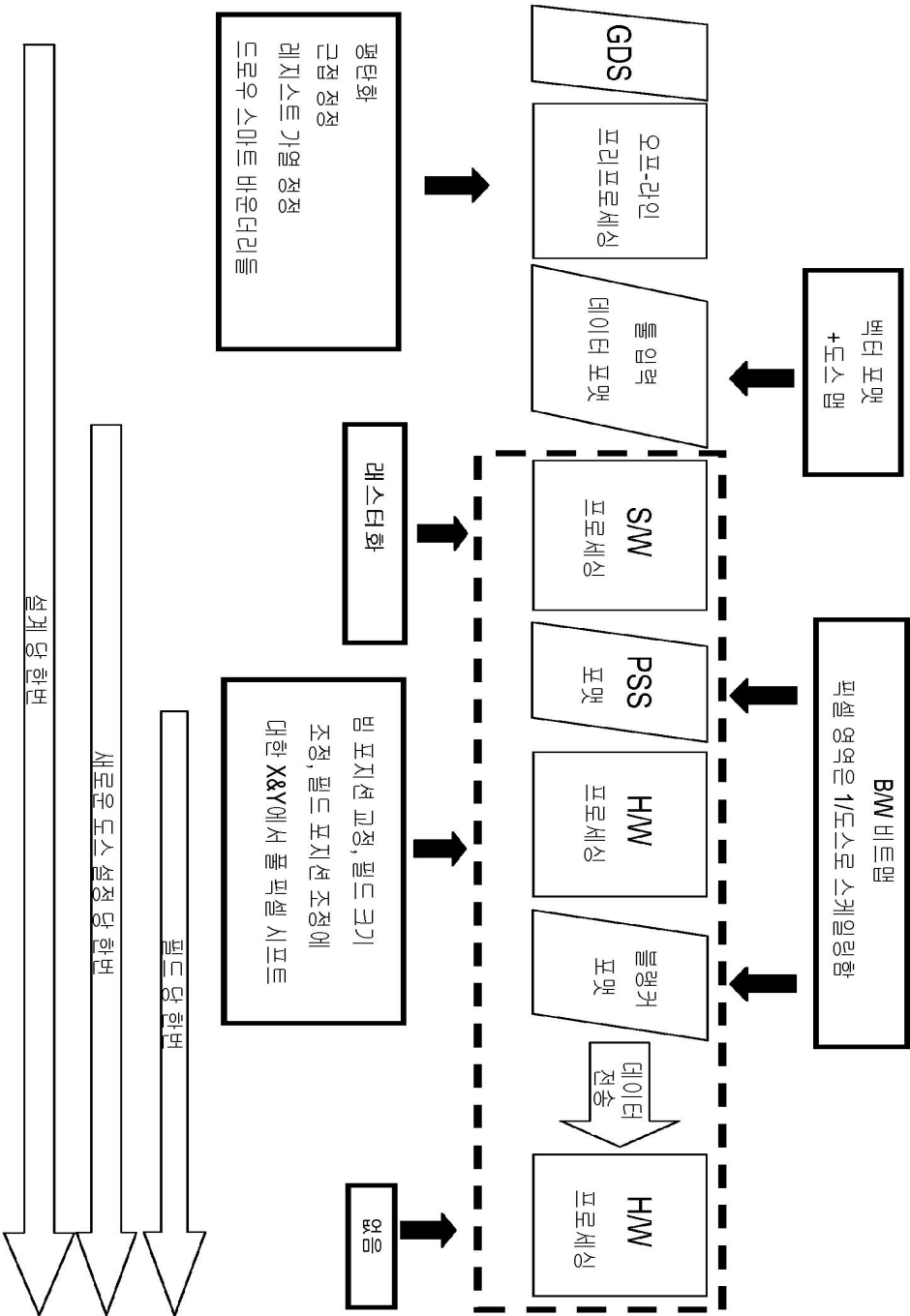
도면58b



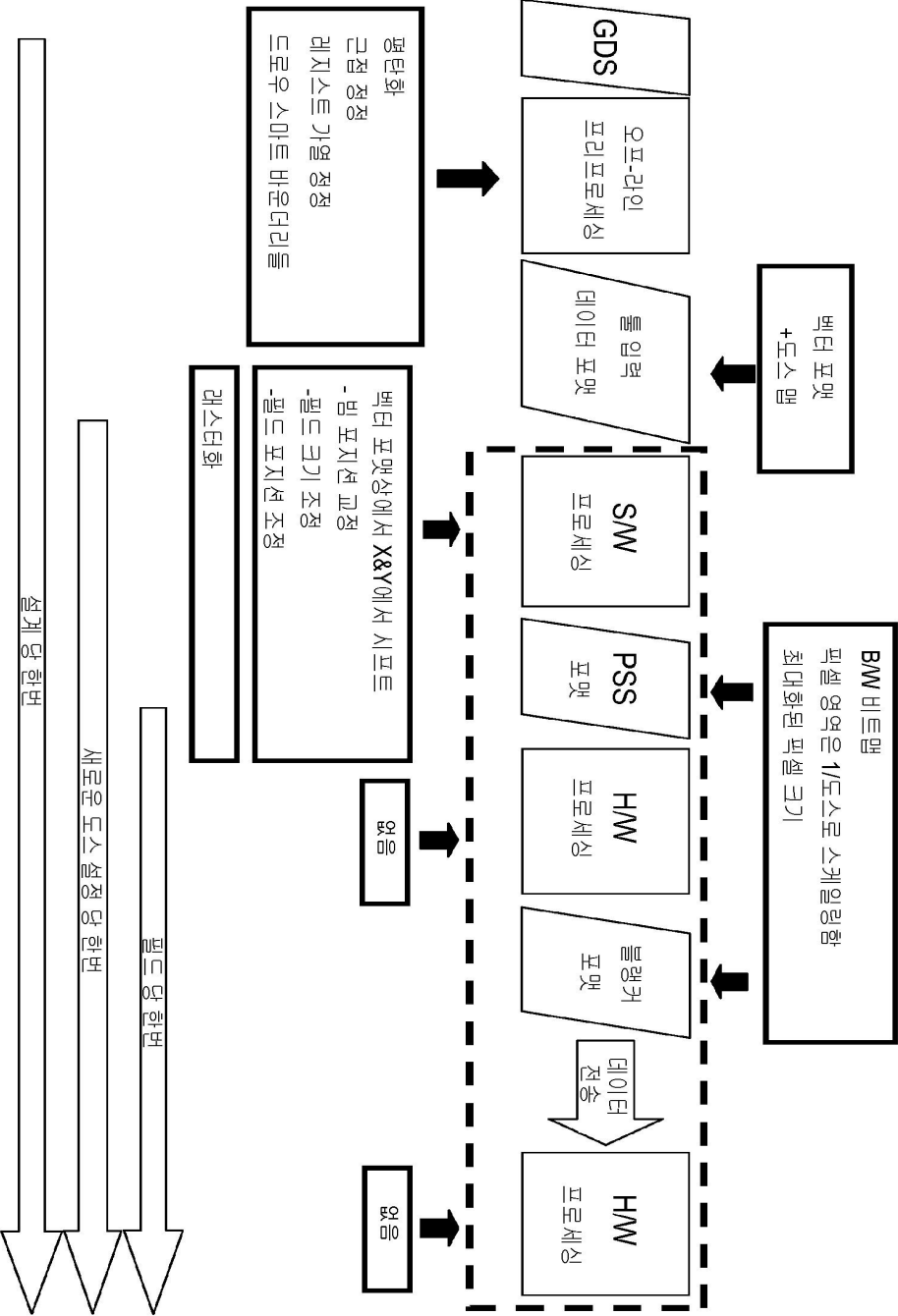
도면59



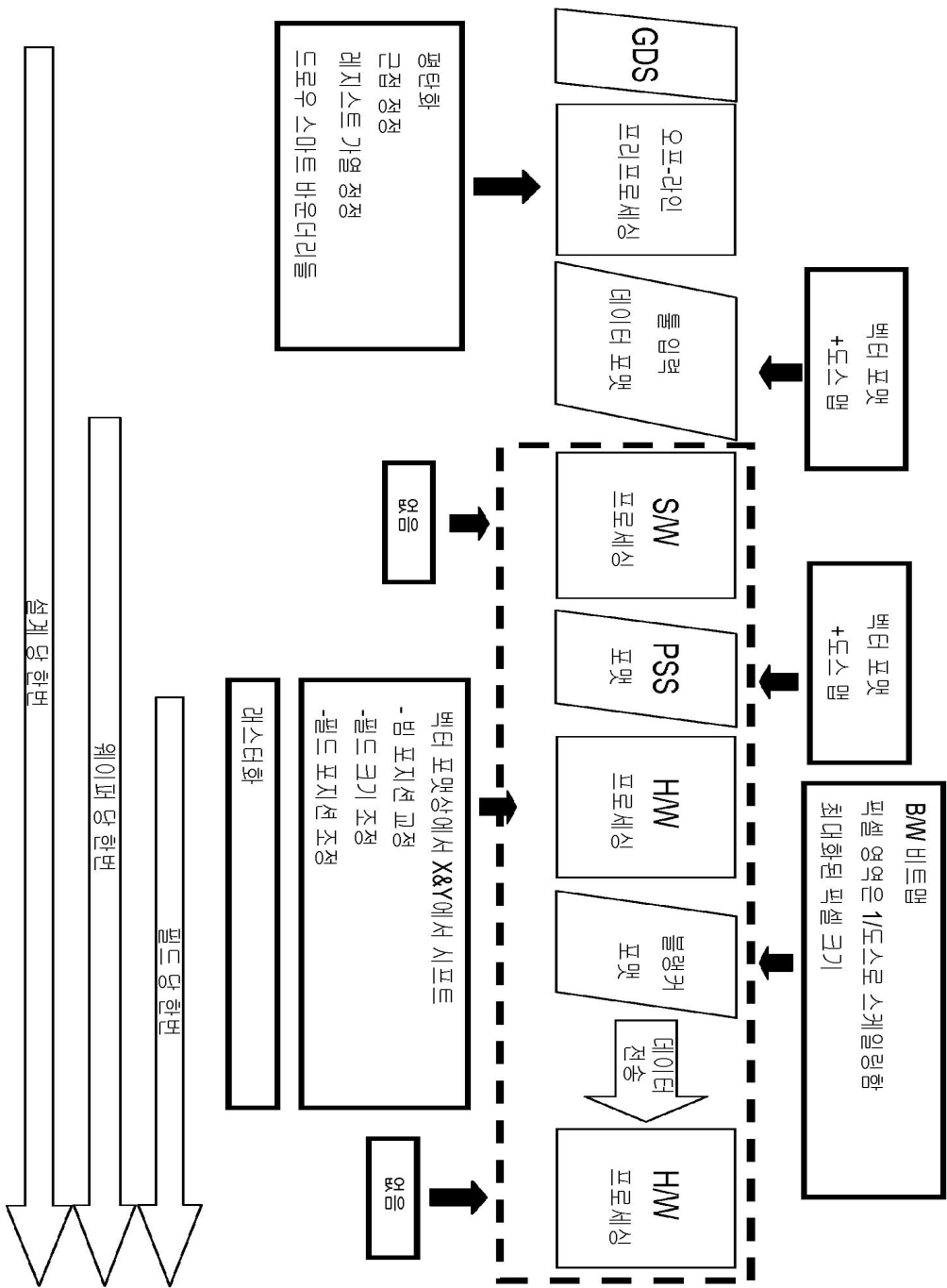
도면60



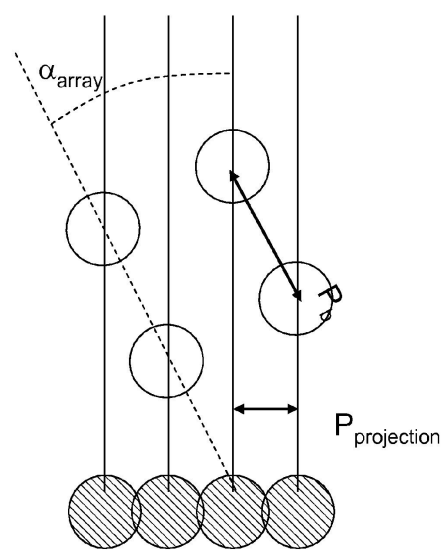
도면61



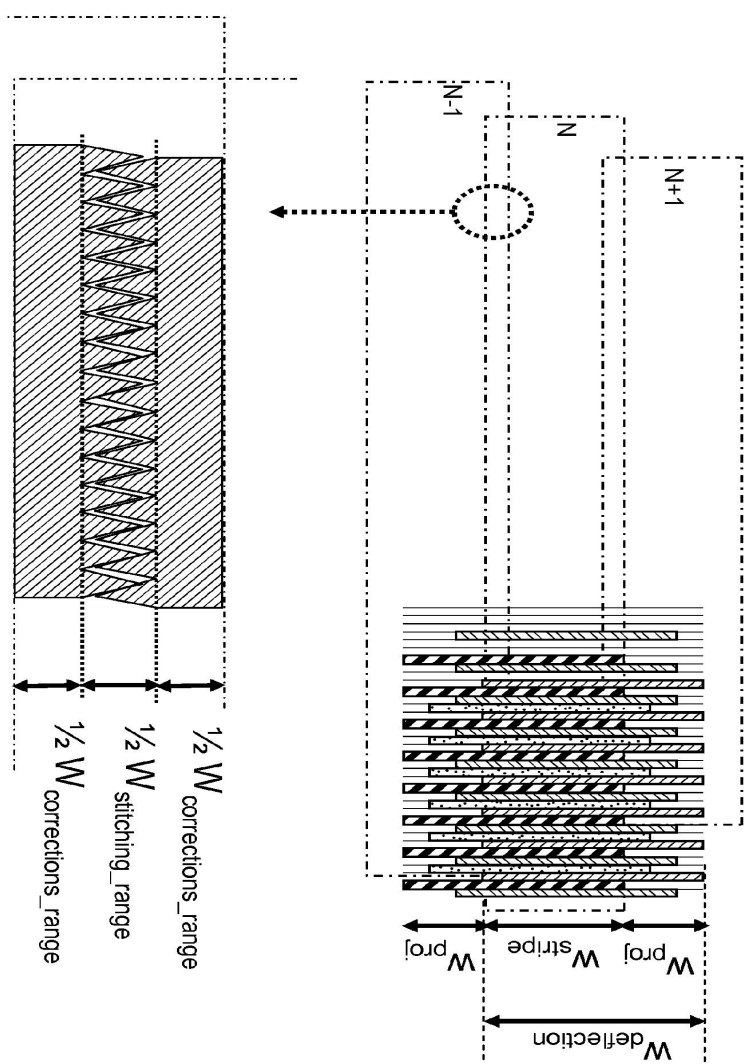
도면62



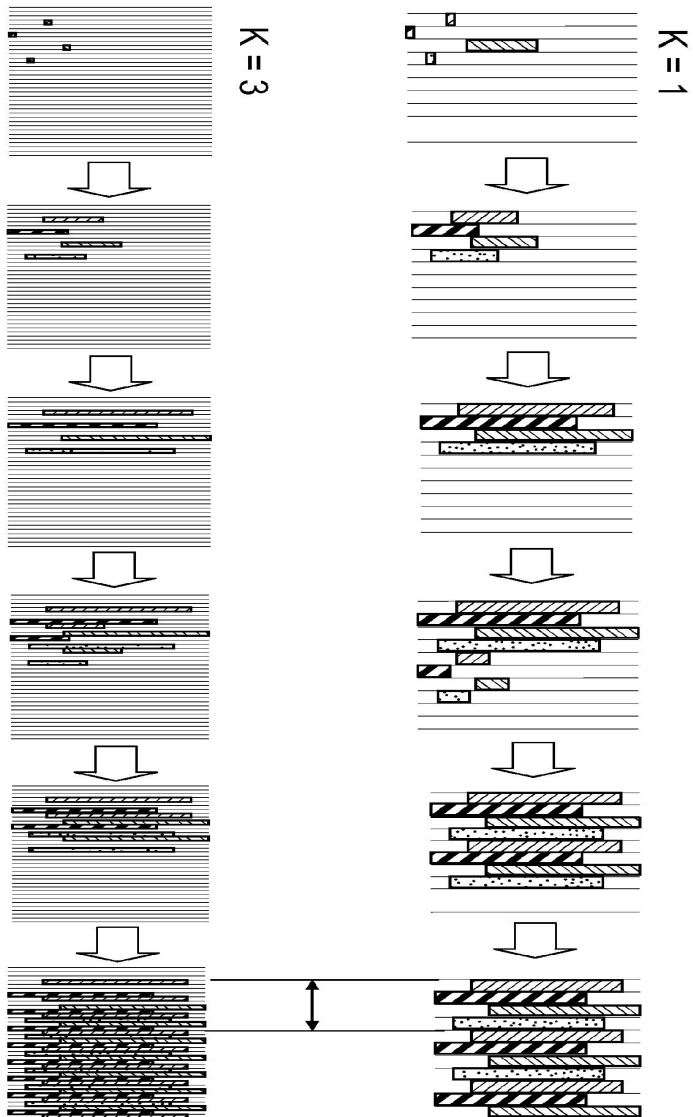
도면63



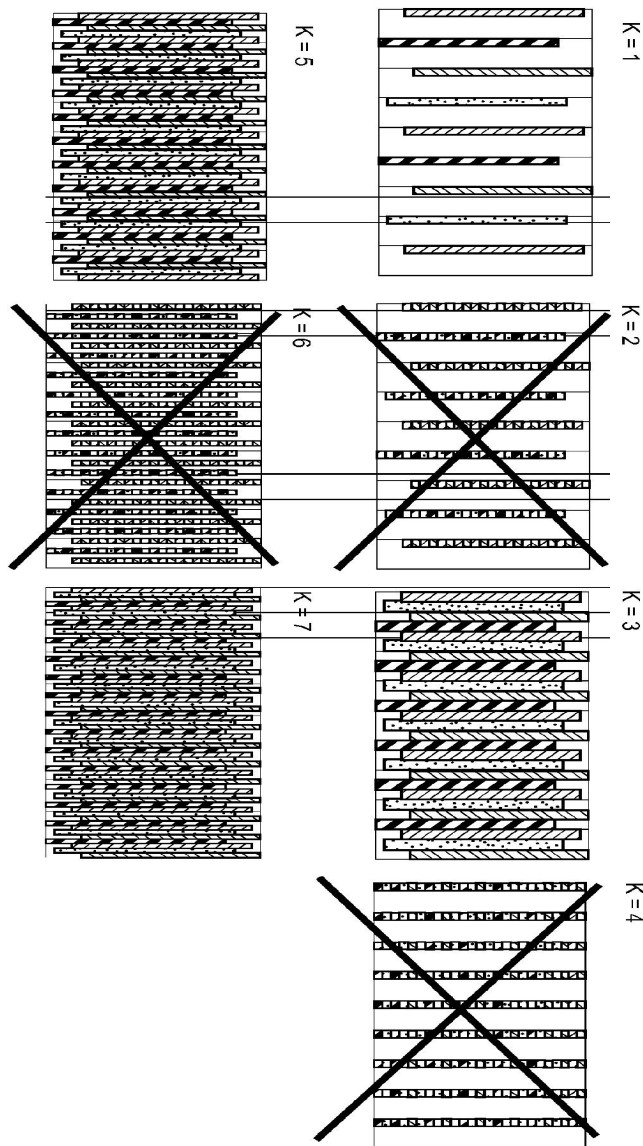
도면64



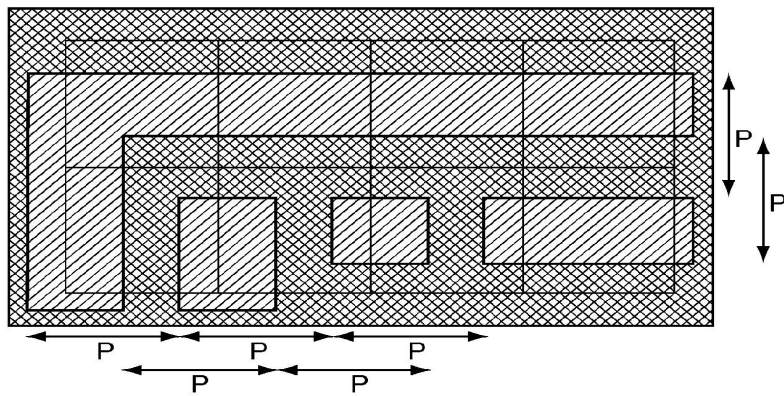
도면65



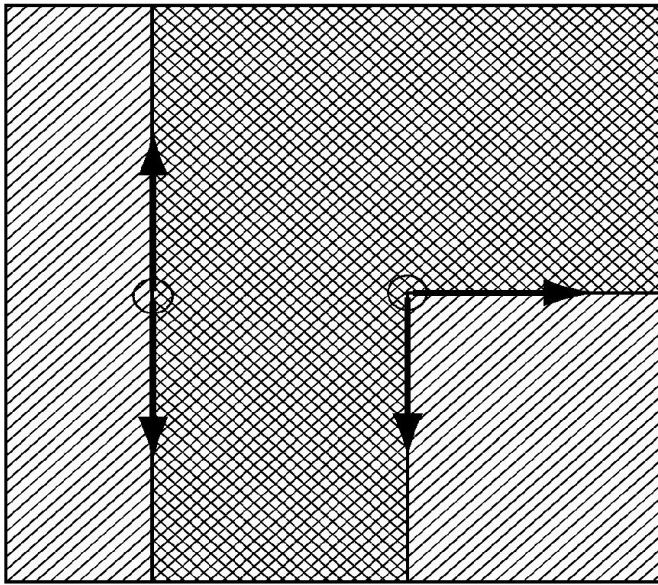
도면66



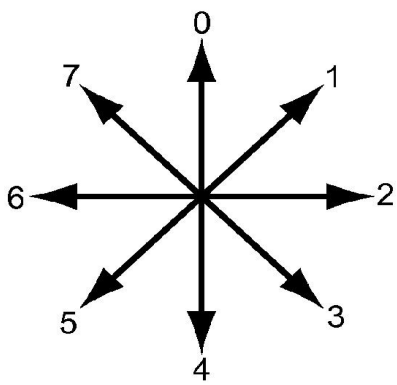
도면67



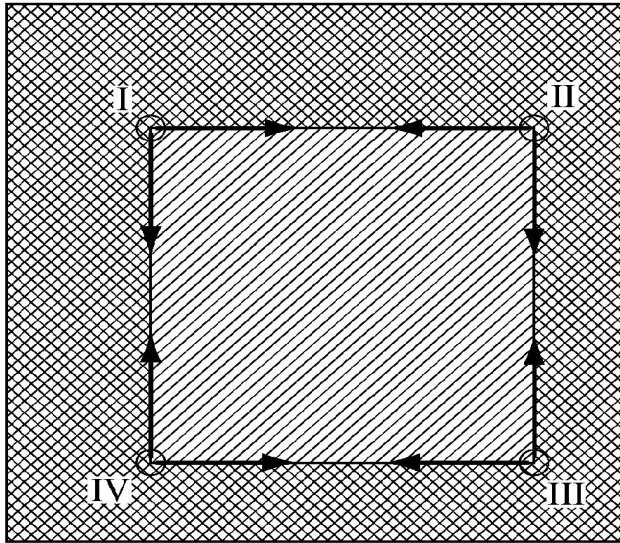
도면68



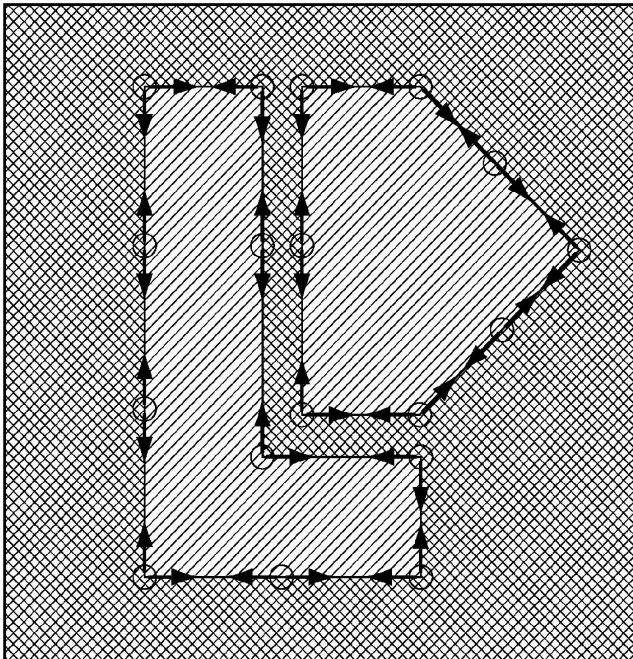
도면69



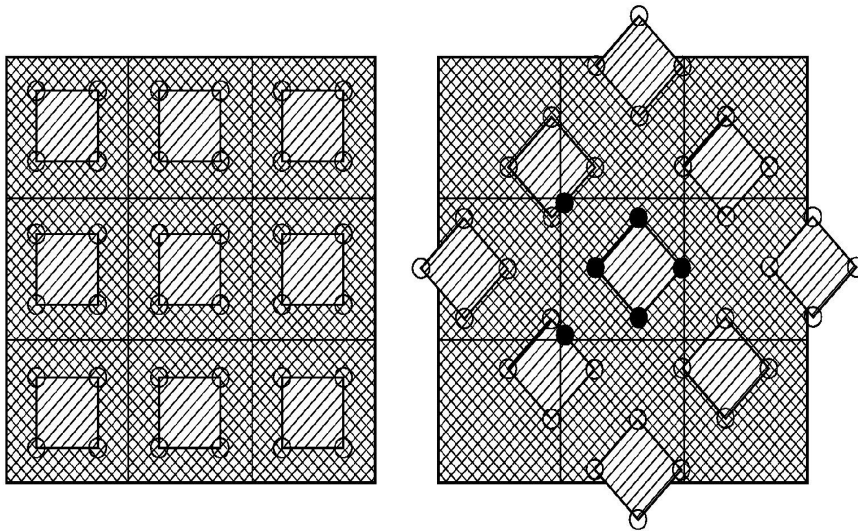
도면70



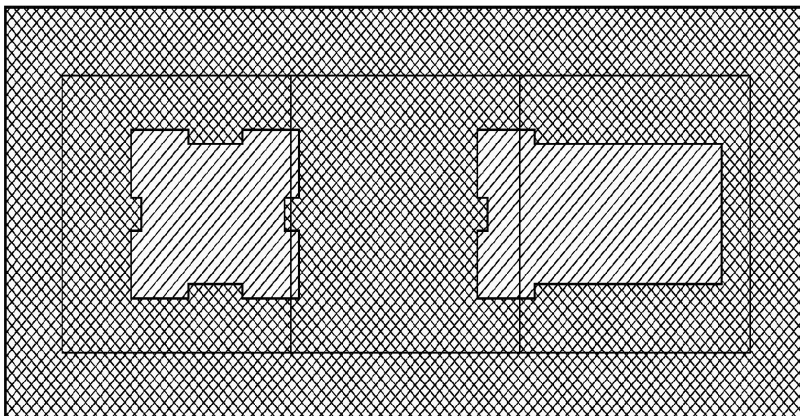
도면71



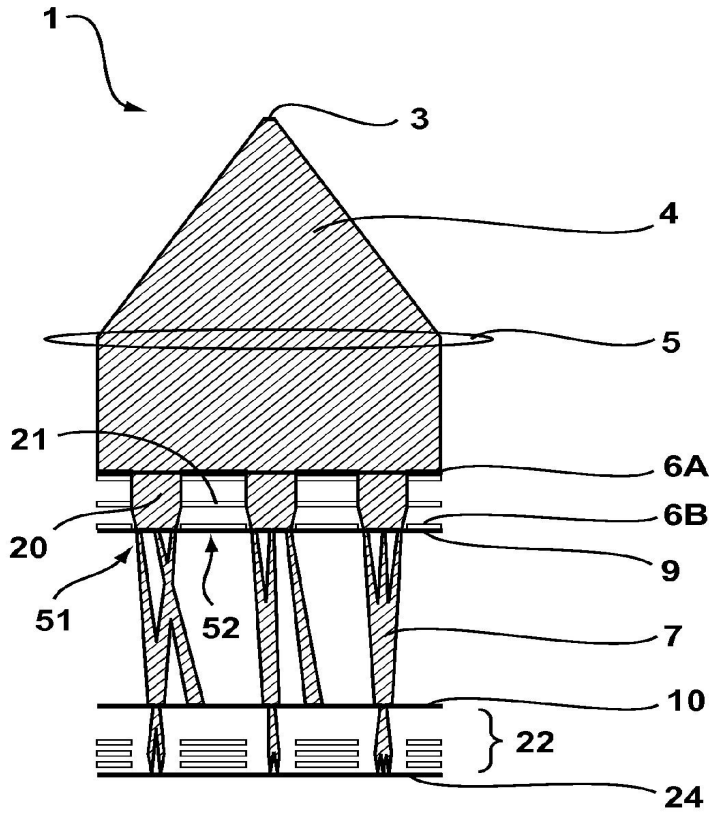
도면72



도면73



도면74



도면75

