

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5262985号
(P5262985)

(45) 発行日 平成25年8月14日 (2013. 8. 14)

(24) 登録日 平成25年5月10日 (2013. 5. 10)

(51) Int. Cl.

F I

GO 1 R 31/319 (2006. 01)

GO 1 R 31/28

R

GO 1 R 31/28 (2006. 01)

GO 1 R 31/28

F

請求項の数 7 (全 26 頁)

(21) 出願番号 特願2009-120958 (P2009-120958)
(22) 出願日 平成21年5月19日 (2009. 5. 19)
(65) 公開番号 特開2010-271067 (P2010-271067A)
(43) 公開日 平成22年12月2日 (2010. 12. 2)
審査請求日 平成24年1月5日 (2012. 1. 5)

(73) 特許権者 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(74) 代理人 100104190
弁理士 酒井 昭徳
(72) 発明者 石田 勉
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
審査官 藤原 伸二

最終頁に続く

(54) 【発明の名称】 遅延故障検査プログラム、遅延故障検査装置、および遅延故障検査方法

(57) 【特許請求の範囲】

【請求項 1】

コンピュータを、

対象回路に関する回路情報を用いて製造された複数個のチップに含まれるパスの第1遅延値を前記チップごとに取得する取得手段、

前記取得手段によって取得されたチップごとのパスの第1遅延値と前記回路情報に基づいて、前記パスの遅延値を表現する関数モデルを構築する構築手段、

前記構築手段によって構築された関数モデルと前記回路情報を用いて、前記複数個のチップにそれぞれ含まれる同一構成のパスの第2遅延値を算出する算出手段、

前記チップごとに、前記算出手段によって算出されたパスの第2遅延値と、当該パスと同一構成のパスの第1遅延値とを比較する比較手段、

前記比較手段によって比較された比較結果に基づいて、前記同一構成のパスを、前記チップごとに不規則に発生する遅延エラーを含むパスに決定する決定手段、

前記決定手段によって決定された決定結果を出力する出力手段、

として機能させることを特徴とする遅延故障検査プログラム。

【請求項 2】

前記コンピュータを、

前記回路情報に基づいて、前記決定手段によって決定されたパス（以下、「故障パス候補」という）のうち、前記複数個のチップの中から選ばれた任意のチップに含まれる第1および第2の故障パス候補に共通して含まれる素子を探索する探索手段として機能させ、

10

20

前記出力手段は、

前記探索手段によって探索された第1および第2の故障パス候補に共通して含まれる素子を出力することを特徴とする請求項1に記載の遅延故障検査プログラム。

【請求項3】

前記コンピュータを、

前記複数のチップの中から選ばれた任意のチップに含まれる任意の故障パス候補と同一構成の故障パス候補が、前記任意のチップとは異なる他のチップに含まれるか否かを判定する判定手段として機能させ、

前記決定手段は、

前記判定手段によって判定された判定結果に基づいて、前記任意の故障パス候補を、前記チップごとに不規則に発生する遅延エラーを含むパスに決定することを特徴とする請求項1または2に記載の遅延故障検査プログラム。

10

【請求項4】

前記コンピュータを、

前記パス間の類似度を表現する関数モデルと前記回路情報を用いて、前記複数のチップの中から選ばれた任意のチップに含まれる一の故障パス候補と、当該任意のチップに含まれる他の故障パス候補との間の類似度を算出する類似度算出手段として機能させ、

前記決定手段は、

前記類似度算出手段によって算出された類似度に基づいて、前記一の故障パス候補を、前記チップごとに不規則に発生する遅延エラーを含むパスに決定することを特徴とする請求項1または2に記載の遅延故障検査プログラム。

20

【請求項5】

前記構築手段は、

前記複数のチップの中から選ばれた任意のチップに含まれるパスの第1遅延値と前記回路情報に基づいて、前記パスの遅延値を表現する関数モデルを構築し、

前記算出手段は、

前記構築手段によって構築された関数モデルと前記回路情報を用いて、前記任意のチップに含まれる故障パス候補の第2遅延値を算出し、

前記比較手段は、

前記算出手段によって算出された故障パス候補の第2遅延値と、当該故障パス候補と同一構成の故障パス候補の第1遅延値とを比較し、

30

前記決定手段は、

前記比較手段によって比較された比較結果に基づいて、前記同一構成の故障パス候補を、前記チップごとに不規則に発生する遅延エラーを含むパスに決定することを特徴とする請求項1または2に記載の遅延故障検査プログラム。

【請求項6】

対象回路に関する回路情報を用いて製造された複数のチップに含まれるパスの第1遅延値を前記チップごとに取得する取得手段と、

前記取得手段によって取得されたチップごとのパスの第1遅延値と前記回路情報に基づいて、前記パスの遅延値を表現する関数モデルを構築する構築手段と、

40

前記構築手段によって構築された関数モデルと前記回路情報を用いて、前記複数のチップにそれぞれ含まれる同一構成のパスの第2遅延値を算出する算出手段と、

前記チップごとに、前記算出手段によって算出されたパスの第2遅延値と、当該パスと同一構成のパスの第1遅延値とを比較する比較手段と、

前記比較手段によって比較された比較結果に基づいて、前記同一構成のパスを、前記チップごとに不規則に発生する遅延エラーを含むパスに決定する決定手段と、

前記決定手段によって決定された決定結果を出力する出力手段と、

を備えることを特徴とする遅延故障検査装置。

【請求項7】

制御手段および記憶手段を備えるコンピュータが、

50

前記制御手段により、対象回路に関する回路情報を用いて製造された複数個のチップに含まれるパスの第1遅延値を前記チップごとに取得して、前記記憶手段に記憶する取得工程と、

前記制御手段により、前記取得工程によって取得されたチップごとのパスの第1遅延値と前記回路情報に基づいて、前記パスの遅延値を表現する関数モデルを構築して、前記記憶手段に記憶する構築工程と、

前記制御手段により、前記構築工程によって構築された関数モデルと前記回路情報を用いて、前記複数個のチップにそれぞれ含まれる同一構成のパスの第2遅延値を算出して、前記記憶手段に記憶する算出工程と、

前記制御手段により、前記チップごとに、前記算出工程によって算出されたパスの第2遅延値と、当該パスと同一構成のパスの第1遅延値とを比較して、前記記憶手段に記憶する比較工程と、

前記制御手段により、前記比較工程によって比較された比較結果に基づいて、前記同一構成のパスを、前記チップごとに不規則に発生する遅延エラーを含むパスに決定して、前記記憶手段に記憶する決定工程と、

前記制御手段により、前記決定工程によって決定された決定結果を出力する出力工程と、

を実行することを特徴とする遅延故障検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示技術は、半導体集積回路の遅延故障を検査する遅延故障検査プログラム、遅延故障検査装置、および遅延故障検査方法に関する。

【背景技術】

【0002】

近年、プロセスの微細化により、チップ上でのポストシリコン（実測値）とプレシリコン（予測値）との間のパス遅延に大きなずれが生じている。パス遅延のずれの原因としては、チップに依存しないシステムティックなエラー（たとえば、セルライブラリの遅延見積ミス）と、チップごとに不規則なエラー（たとえば、遅延故障）とがある。

【0003】

従来、チップごとに不規則なエラーの影響により、チップが目標とする周波数で動作しない場合において、エラーの原因である素子を特定するための手法が各種提供されている。具体的には、たとえば、様々なテストパターンを生成してチップに与え、不規則なエラーの原因となっている素子を探索する手法がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-257654号公報

【特許文献2】特開2007-108863号公報

【非特許文献】

【0005】

【非特許文献1】Pouria Bastani, Nicholas Callegari, Li-C. Wang, Magdy S. Abadir “Statistical Diagnosis of Unmodeled Systematic Timing Effects” DAC 2008, p355-360

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上述した従来技術では、様々なテストパターンを作成してチップに与え、パス遅延を複数回測定してエラーの原因となっている素子を探索することになる。この

10

20

30

40

50

ため、エラー（遅延故障）の特定にかかる作業負担および作業時間が増大し、ひいては設計期間の長期化を招くという問題があった。

【0007】

本開示技術は、上述した従来技術による問題点を解消するため、チップごとに不規則に発生する遅延故障の特定にかかる作業負担の軽減化および作業時間の短縮化を図ることができる遅延故障検査プログラム、遅延故障検査装置、および遅延故障検査方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、目的を達成するため、本開示技術は、対象回路に関する回路情報を用いて製造された複数個のチップに含まれるパスの第1遅延値を前記チップごとに取得し、取得されたチップごとのパスの第1遅延値と前記回路情報に基づいて、前記パスの遅延値を表現する関数モデルを構築し、構築された関数モデルと前記回路情報を用いて、前記複数個のチップにそれぞれ含まれる同一構成のパスの第2遅延値を算出し、前記チップごとに、算出されたパスの第2遅延値と、当該パスと同一構成のパスの第1遅延値とを比較し、比較された比較結果に基づいて、前記同一構成のパスを、前記チップごとに不規則に発生する遅延エラーを含むパスに決定し、決定された決定結果を出力することを特徴とする。

【発明の効果】

【0009】

本開示技術によれば、チップごとに不規則に発生する遅延故障の特定にかかる作業負担の軽減化および作業時間の短縮化を図ることができるという効果を奏する。

【図面の簡単な説明】

【0010】

【図1】遅延故障検査手法の一例を示す説明図である。

【図2】遅延故障検査装置のハードウェア構成を示すブロック図である。

【図3】ネットリストの一例を示す説明図である。

【図4】パス遅延テーブルの記憶内容の一例を示す説明図（その1）である。

【図5】実施の形態1にかかる遅延故障検査装置の機能的構成を示すブロック図である。

【図6】共通要素の探索例を示す説明図である。

【図7】探索結果テーブルの記憶内容の一例を示す説明図である。

【図8】実施の形態1にかかる遅延故障検査処理手順の一例を示すフローチャートである。

。

【図9】故障パス候補決定処理の具体的処理手順の一例を示すフローチャートである。

【図10】共通要素探索処理の具体的処理手順の一例を示すフローチャートである。

【図11】ポストシリコン遅延値の見積ミスの一例を示す説明図である。

【図12】パス遅延テーブルの記憶内容の一例を示す説明図（その2）である。

【図13】実施の形態2にかかる遅延故障検査装置の機能的構成を示すブロック図である。

。

【図14】実施の形態2にかかる遅延故障検査処理手順の一例を示すフローチャートである。

【図15】故障パス決定処理の具体的処理手順の一例を示すフローチャート（その1）である。

【図16】実施の形態3にかかる遅延故障検査装置の機能的構成を示すブロック図である。

。

【図17】故障パス決定処理の具体的処理手順の一例を示すフローチャート（その2）である。

【図18】実施の形態4にかかる遅延故障検査装置の機能的構成を示すブロック図である。

。

【図19】故障パス決定処理の具体的処理手順の一例を示すフローチャート（その3）で

10

20

30

40

50

ある。

【発明を実施するための形態】

【0011】

以下に添付図面を参照して、本開示技術にかかる遅延故障検査プログラム、遅延故障検査装置、および遅延故障検査方法の好適な実施の形態を詳細に説明する。

【0012】

(実施の形態1)

まず、実施の形態1にかかる遅延故障検査手法の一例について説明する。図1は、遅延故障検査手法の一例を示す説明図である。図1において、ウェハ100からダイシングされた同一構成のチップC1～Cmが示されている。なお、図面ではチップC1～Cmの一部を抜粋して表示している。

10

【0013】

また、図1において、各チップC1～Cmに含まれるパス P_i のポストシリコン遅延値が示されている。ここで、ポストシリコン遅延値とは、ATPG (Automatic Test Pattern Generator) で作成されたテストパターンを各チップC1～Cmに与えて得られるテスト結果を利用して求めたパス遅延である。

【0014】

パス P_i のポストシリコン遅延値には、パス P_i の真の遅延値のほかに、全チップC1～Cmに共通して発生するシステムティックなエラーの遅延値やチップC1～Cmごとに不規則に発生するエラーの遅延値が含まれる場合がある。また、このポストシリコンパス遅延は、各パス P_i の実測遅延値の近似値として用いることができる。

20

【0015】

ここで、システムティックなエラーとは、たとえば、セルライブラリの遅延見積ミスやレイアウトに依存するバラツキなどのチップC1～Cmに依存しない遅延エラーである。一方、不規則なエラーとは、たとえば、遅延故障、製造時のガウス雑音、製造時に混入するゴミなどが原因となって発生する各チップC1～Cmに依存する遅延エラーである。

【0016】

本手法では、各チップC1～Cmのパス P_i のポストシリコンパス遅延を用いて、システムティックな遅延エラーのみをモデル化してパス P_i の遅延値を表現する関数モデルを構築する。そして、本手法では、構築された関数モデルを用いて、パス P_i の遅延値（以下、「見積遅延値」という）を算出する。ここでは、パス P_i の見積遅延値を2550 [ps]とする。

30

【0017】

このあと、本手法では、各チップC1～Cmのパス P_i のポストシリコン遅延値と、パス P_i の見積遅延値とを比較する。そして、パス P_i のポストシリコン遅延値とパス P_i の見積遅延値との差分が許容範囲を超えるパスを故障パス候補に決定する。ここで、故障パス候補とは、チップC1～Cmごとの不規則な遅延エラーが発生している可能性が高いパスであり、他のパスに比べてポストシリコン遅延値が大きいパスである。ここでは、チップC2のパス P_i が故障パス候補に決定されている。

【0018】

このように、本手法では、各チップC1～Cmのパス P_i の中から、システムティックな遅延エラーの影響のみを受けているパスを排除することで、チップC1～Cmごとの不規則な遅延エラーが発生している可能性が高いパスを絞り込む。

40

【0019】

(遅延故障検査装置のハードウェア構成)

図2は、遅延故障検査装置のハードウェア構成を示すブロック図である。図2において、遅延故障検査装置200は、CPU (Central Processing Unit) 201と、ROM (Read-Only Memory) 202と、RAM (Random Access Memory) 203と、磁気ディスクドライブ204と、磁気ディスク205と、光ディスクドライブ206と、光ディスク207と、ディスプレイ2

50

08と、I/F (Interface) 209と、キーボード210と、マウス211と、スキャナ212と、プリンタ213と、を備えている。また、各構成部はバス220によってそれぞれ接続されている。

【0020】

ここで、CPU201は、遅延故障検査装置200の全体の制御を司る。ROM202は、ブートプログラムなどのプログラムを記憶している。RAM203は、CPU201のワークエリアとして使用される。磁気ディスクドライブ204は、CPU201の制御にしたがって磁気ディスク205に対するデータのリード/ライトを制御する。磁気ディスク205は、磁気ディスクドライブ204の制御で書き込まれたデータを記憶する。

【0021】

光ディスクドライブ206は、CPU201の制御にしたがって光ディスク207に対するデータのリード/ライトを制御する。光ディスク207は、光ディスクドライブ206の制御で書き込まれたデータを記憶したり、光ディスク207に記憶されたデータをコンピュータに読み取らせたりする。

【0022】

ディスプレイ208は、カーソル、アイコンあるいはツールボックスをはじめ、文書、画像、機能情報などのデータを表示する。このディスプレイ208は、たとえば、CRT、TFT液晶ディスプレイ、プラズマディスプレイなどを採用することができる。

【0023】

インターフェース（以下、「I/F」と略する。）209は、通信回線を通じてLAN (Local Area Network)、WAN (Wide Area Network)、インターネットなどのネットワーク214に接続され、このネットワーク214を介して他の装置に接続される。そして、I/F209は、ネットワーク214と内部のインターフェースを司り、外部装置からのデータの入出力を制御する。I/F209には、たとえばモデムやLANアダプタなどを採用することができる。

【0024】

キーボード210は、文字、数字、各種指示などの入力のためのキーを備え、データの入力をおこなう。また、タッチパネル式の入力パッドやテンキーなどであってもよい。マウス211は、カーソルの移動や範囲選択、あるいはウィンドウの移動やサイズの変更などをおこなう。ポインティングデバイスとして同様に機能を備えるものであれば、トラックボールやジョイスティックなどであってもよい。

【0025】

スキャナ212は、画像を光学的に読み取り、遅延故障検査装置200内に画像データを取り込む。なお、スキャナ212は、OCR (Optical Character Reader) 機能を持たせてもよい。また、プリンタ213は、画像データや文書データを印刷する。プリンタ213には、たとえば、レーザプリンタやインクジェットプリンタを採用することができる。

【0026】

(ネットリストの一例)

図3は、ネットリストの一例を示す説明図である。図3において、ネットリスト300は、バスID、ゲートIDおよび信号線IDのフィールドを有する。各フィールドの情報を設定することで、対象回路内のバスP₁~P_nごとの接続情報300-1~300-nがレコードとして記憶されている。

【0027】

ここで、バスIDとは、対象回路内のバスの識別子である。バスは、対象回路において、たとえば、入力端子からFF (フリップフロップ) までの経路、入出力端子間の経路、FF間の経路、FFから出力端子までの経路などである。ゲートIDとは、バス内のゲートの識別子である。ゲートは、たとえば、AND、OR、NOT、NANDなどの論理回路である。信号線IDとは、バス内のゲート間をつなぐ信号線の識別子である。

【0028】

10

20

30

40

50

パス P_i を例に挙げると、パス P_i はゲート $g_{i1}, g_{i2}, \dots, g_{ip}$ と信号線 $s_{i1}, s_{i2}, \dots, s_{iq}$ とを含む構成である。なお、ネットリスト 300 は、図 2 に示した ROM 202、RAM 203、磁気ディスク 205、光ディスク 207 などの記憶装置に記憶されている。

【0029】

(パス遅延テーブルの記憶内容)

図 4 は、パス遅延テーブルの記憶内容の一例を示す説明図 (その 1) である。図 4 において、パス遅延テーブル 400 は、チップ ID、パス ID、ポストシリコン遅延値、見積遅延値および第 1 故障フラグのフィールドを有する。各フィールドに情報を設定することで、チップ $C_1 \sim C_m$ ごとのパス遅延情報 400-1 ~ 400-m がレコードとして記憶されている。

10

【0030】

ここで、チップ ID は、図 3 に示したネットリスト 300 を用いて製造された複数のチップの識別子である。パス ID とは、チップ内のパスの識別子である。ポストシリコン遅延値とは、テストで活性化させられたパスの遅延値である。

【0031】

見積遅延値とは、システマティックな遅延エラーのみをモデル化して算出されたパスの遅延値である。第 1 故障フラグとは、チップ $C_1 \sim C_m$ ごとの不規則な遅延エラーが発生している可能性が高いパスを示すフラグである。ここでは、第 1 故障フラグが「ON」の場合に、不規則な遅延エラーが発生している可能性が高いパスを示す。なお、第 1 故障フラグは、初期状態では「OFF」となっている。

20

【0032】

パス遅延情報 400-1 を例に挙げると、チップ C_1 内のパス $P_{11} \sim P_{n1}$ ごとのパス遅延情報 400-1-1 ~ 400-1-n が含まれている。パス遅延情報 400-1-i を例に挙げると、パス P_{i1} のポストシリコン遅延値は「 d_{i1} 」、見積遅延値は「 d'_i 」、第 1 故障フラグは「OFF」である。なお、パス遅延テーブル 400 は、図 2 に示した RAM 203、磁気ディスク 205、光ディスク 207 などの記憶装置に記憶されている。

【0033】

また、パスのポストシリコン遅延値の算出手法については「Leonard Lee, Li-C. Wang, T. M. Mak, and Kwang-Ting Cheng "A Path-Based Methodology for Post-Silicon Timing Validation" 2004 IEEE, p713-720」を参照できる。

30

【0034】

(遅延故障検査装置の機能的構成)

つぎに、実施の形態 1 にかかる遅延故障検査装置 200 の機能的構成について説明する。図 5 は、実施の形態 1 にかかる遅延故障検査装置の機能的構成を示すブロック図である。図 5 において、遅延故障検査装置 200 は、取得部 501 と、構築部 502 と、算出部 503 と、比較部 504 と、決定部 505 と、選択部 506 と、探索部 507 と、出力部 508 と、を含む構成である。この制御部となる機能 (取得部 501 ~ 出力部 508) は、具体的には、たとえば、図 2 に示した ROM 202、RAM 203、磁気ディスク 205、光ディスク 207 などの記憶装置に記憶されたプログラムを CPU 201 に実行させることにより、または、I/F 209 により、その機能を実現する。

40

【0035】

取得部 501 は、対象回路に関する回路情報を取得する機能を有する。ここで、対象回路とは、LSI (Large Scale Integration) などの半導体集積回路である。回路情報とは、対象回路における端子間の接続情報であり、たとえば、図 3 に示したネットリスト 300 である。

【0036】

具体的には、たとえば、取得部 501 が、図 2 に示したキーボード 210 やマウス 21

50

1を用いたユーザの操作入力により回路情報を取得する。また、取得部501が、不図示のデータベースやライブラリからの抽出により回路情報を取得してもよい。なお、取得された回路情報は、RAM203、磁気ディスク205、光ディスク207などの記憶装置に記憶される。

【0037】

以下において本明細書では、対象回路に関する回路情報として、図3に示したネットリスト300を例に挙げて説明する。

【0038】

また、取得部501は、ネットリスト300を用いて製造されたチップC1～Cmにそれぞれ含まれる同一構成のパスP_iの第1遅延値をチップC1～Cmごとに取得する機能を有する。ここで、第1遅延値とは、チップC_j上でのパスP_iの遅延値であり、たとえば、図4に示したポストシリコン遅延値である。

10

【0039】

具体的には、たとえば、取得部501が、キーボード210やマウス211を用いたユーザの操作入力によりパスP_{ij}の第1遅延値を取得する。また、取得部501が、不図示のデータベースやライブラリからの抽出によりパスP_{ij}の第1遅延値を取得してもよい。なお、取得されたパスP_{ij}の第1遅延値は、たとえば、図4に示したパス遅延テーブル400に記憶される。

【0040】

以下において本明細書では、チップC_j内のパスP_iの第1遅延値として、図4に示したパスP_{ij}のポストシリコン遅延値d_{ij}を例に挙げて説明する。なお、チップC1～Cmの全パス集合には、動作テストに合格したパスと、不合格となったパスとが含まれている。ただし、全パス集合のうち、動作テストに不合格となったパスよりも合格したパスのほうが多い場合を想定する。

20

【0041】

構築部502は、取得されたパスP_{ij}のポストシリコン遅延値d_{ij}とネットリスト300に基づいて、パスP_iの遅延値を表現する関数モデルを構築する機能を有する。ここで構築される関数モデルは、チップC1～Cmに共通して発生する遅延エラーをモデル化してパスP_iの遅延値を表現する多項式である。

【0042】

具体的には、たとえば、構築部502が、ε-SVR (Support Vector Regression) や最小二乗法を利用して、パスP_iの遅延値を表現する関数モデルを構築する。ここで、ε-SVRは、ε-insensitive関数により、バラツキを考慮したパスP_iの遅延値を求めるための関数モデルを構築する手法である。

30

【0043】

より具体的には、たとえば、構築部502が、ε-SVRを利用して、下記式(1)に含まれる係数X₁～X_p、Y₁～Y_qを求める。ただし、d'_iは、パスP_iの遅延値である。g₁～g_pは、パスP_iがゲートg₁～g_pを含む場合は「1」となり、ゲートg₁～g_pを含まない場合は「0」となる変数である。s₁～s_qは、パスP_iが信号線s₁～s_qを含む場合は「1」となり、信号線s₁～s_qを含まない場合は「0」となる変数である。

40

【0044】

$$d'_i = (X_1 \cdot g_1 + X_2 \cdot g_2 + \dots + X_p \cdot g_p) + (Y_1 \cdot s_1 + Y_2 \cdot s_2 + \dots + Y_q \cdot s_q) \quad \dots (1)$$

【0045】

詳細に説明すると、構築部502が、上記式(1)の左辺に各パスP_{ij}のポストシリコン遅延値d_{ij}をそれぞれ与える。そして、構築部502が、上記式(1)の右辺に各パスP_iの接続情報300-iをそれぞれ与える。その結果、係数X₁～X_p、Y₁～Y_qを未知数とするn×m個の方程式が作成される。

【0046】

50

このあと、構築部 502 が、 ε -SVR（または、最小二乗法）により、各方程式の左辺と右辺の誤差を最小化する係数 $X_1 \sim X_p$ 、 $Y_1 \sim Y_q$ を求める。構築された構築結果は、RAM 203、磁気ディスク 205、光ディスク 207 などの記憶装置に記憶される。

【0047】

上述したように、全パス集合のうち動作テストに不合格となったパスよりも合格したパスのほうが多い。ここで、動作テストに合格したパスは、遅延故障を含まないパスである。したがって、関数モデルでは、結果的に、チップ $C_1 \sim C_m$ に共通して発生する遅延エラーのみがモデル化されて表現されることになる。

【0048】

算出部 503 は、構築された関数モデルとネットリスト 300 を用いて、パス P_i の第 2 遅延値を算出する機能を有する。ここで、パス P_i の第 2 遅延値とは、システムティックな遅延エラーをモデル化して表わすパス P_i の見積遅延値である。具体的には、たとえば、算出部 503 が、上記式 (1) の右辺にパス P_i の接続情報 300-i を与えることで、パス P_i の見積遅延値 d'_i を求めることができる。ただし、係数 $X_1 \sim X_p$ 、 $Y_1 \sim Y_q$ は既知である。

【0049】

なお、算出された算出結果は、たとえば、図 4 に示したパス遅延テーブル 400 に記憶される。具体的には、算出部 503 が、パス遅延テーブル 400 のパス $P_{i1} \sim P_{im}$ の見積遅延値のフィールドに、パス P_i の見積遅延値 d'_i を設定する。

【0050】

比較部 504 は、チップ $C_1 \sim C_m$ ごとに、パス P_{ij} のポストシリコン遅延値 d_{ij} と算出されたパス P_i の見積遅延値 d'_i とを比較する機能を有する。具体的には、たとえば、比較部 504 が、パス遅延テーブル 400 を参照して、パス P_{ij} のポストシリコン遅延値 d_{ij} からパス P_i の見積遅延値 d'_i を差し引くことで差分を算出する。なお、比較された比較結果は、RAM 203、磁気ディスク 205、光ディスク 207 などの記憶装置に記憶される。

【0051】

決定部 505 は、比較された比較結果に基づいて、パス P_{ij} を、チップ $C_1 \sim C_m$ ごとに不規則に発生する遅延エラーを含むパスに決定する機能を有する。具体的には、たとえば、決定部 505 が、算出された差分が閾値以上となるパス P_{ij} を、チップ $C_1 \sim C_m$ ごとに不規則に発生する遅延エラーを含むパス（以下、「故障パス候補」という）に決定する。上記閾値は、任意に設定可能である。具体的には、たとえば、決定部 505 が、パス P_i の見積遅延値の d'_i の 10%～20% を上記閾値に設定する。

【0052】

なお、決定された決定結果は、たとえば、パス遅延テーブル 400 に記憶される。具体的には、決定部 505 が、パス遅延テーブル 400 の故障パス候補の第 1 故障フラグを「OFF」から「ON」に設定する。以下、チップ C_j に含まれる故障パス候補を「故障パス候補 P'_{ij} 」と表記し、故障パス候補 P'_{ij} のパス集合を「パス集合 S'_{ij} 」と表記する ($i = 1, 2, \dots, t \leq n$)。

【0053】

出力部 508 は、決定された決定結果を出力する機能を有する。具体的には、たとえば、出力部 508 が、パス遅延テーブル 400 を参照して、第 1 故障フラグが「ON」のパス P_{ij} のパス ID を羅列したレポート情報を出力することにしてもよい。これにより、遅延故障を引き起こしている可能性が高い素子を含むパスをユーザに提示することができる。

【0054】

なお、出力形式としては、たとえば、ディスプレイ 208 への表示、プリンタ 213 への印刷出力、I/F 209 による外部装置への送信がある。また、RAM 203、磁気ディスク 205、光ディスク 207 などの記憶装置に記憶することとしてもよい。

【0055】

10

20

30

40

50

選択部 506 は、チップ $C_1 \sim C_m$ の中からチップ C_j を選択する機能を有する。具体的には、たとえば、選択部 506 が、パス遅延テーブル 400 を参照して、複数のチップ ID「 $C_1 \sim C_m$ 」の中から任意のチップ ID「 C_j 」を選択する。なお、選択された選択結果は、RAM 203、磁気ディスク 205、光ディスク 207 などの記憶装置に記憶される。

【0056】

探索部 507 は、ネットリスト 300 に基づいて、選択されたチップ C_j のパス集合 S'_{ij} のうち、第 1 および第 2 の故障パス候補に共通して含まれる共通要素を探索する機能を有する。具体的には、たとえば、探索部 507 が、第 1 および第 2 の故障パス候補に含まれるゲートや信号線を調べて、共通するゲートや信号線を探索する。

10

【0057】

図 6 は、共通要素の探索例を示す説明図である。図 6 において、チップ C_j 内の組み合わせ回路のロジックコーン 600 が表示されている。なお、ロジックコーンとは、ある FF と、当該 FF のファンインを辿って他の FF に到達するまでに経由するゲートと当該他の FF とから形成される素子集合である。

【0058】

ここで、ロジックコーン 600 内のパス P_{aj} とパス P_{bj} は故障パス候補である。この場合、探索部 507 は、パス P_{aj} とパス P_{bj} の両方に含まれているゲート 601, 603 と信号線 602, 604 を共通要素として探索することになる。探索された探索結果は、図 7 に示す探索結果テーブル 700 に記憶される。

20

【0059】

なお、共通素子の探索手法については「Zhiyuan Wang, Malgorzata M. Marek-Sadowska, "Delay-Fault Diagnosis Using Timing Information", COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL. 24, No. 9, SEPTEMBER 2005, IV. 5」を参照できる。

【0060】

出力部 508 は、探索された探索結果を出力する機能を有する。具体的には、たとえば、出力部 508 が、図 7 に示す探索結果テーブル 700 を出力することにしてもよい。図 7 は、探索結果テーブルの記憶内容の一例を示す説明図である。図 7 において、探索結果テーブル 700 は、パス ID、ゲート ID および信号線 ID のフィールドを有する。各フィールドに情報を設定することで、探索結果がレコードとして記憶されている。

30

【0061】

ここで、パス ID とは、第 1 および第 2 の故障パス候補のパス ID である。ゲート ID とは、第 1 および第 2 の故障パス候補に共通して含まれるゲートである。信号線 ID とは、第 1 および第 2 の故障パス候補に共通して含まれる信号線である。

【0062】

これにより、故障パス候補となるパス P_{11} とパス P_{21} に共通して含まれる共通要素「ゲート g_3 、信号線 s_5 」をユーザに提示することができる。なお、探索結果テーブル 700 は、RAM 203、磁気ディスク 205、光ディスク 207 などの記憶装置に記憶されている。

40

【0063】

(遅延故障検査装置の遅延故障検査処理手順)

つぎに、実施の形態 1 にかかる遅延故障検査装置 200 の遅延故障検査処理手順について説明する。図 8 は、実施の形態 1 にかかる遅延故障検査処理手順の一例を示すフローチャートである。図 8 のフローチャートにおいて、まず、取得部 501 により、対象回路に関するネットリスト 300 とパス P_{ij} のポストシリコン遅延値 d_{ij} を取得したか否かを判断する(ステップ S801)。

【0064】

50

ここで、ネットリスト300とポストシリコン遅延値 d_{ij} を取得するのを待って（ステップS801：No）、取得した場合（ステップS801：Yes）、決定部505により、故障パス候補決定処理を実行する（ステップS802）。このあと、探索部507により、共通要素探索処理を実行して（ステップS803）、本フローチャートによる一連の処理を終了する。

【0065】

<故障パス候補決定処理手順>

つぎに、図8に示したステップS802の故障パス候補決定処理の具体的な処理手順について説明する。図9は、故障パス候補決定処理の具体的な処理手順の一例を示すフローチャートである。

10

【0066】

図9のフローチャートにおいて、まず、構築部502により、チップC1～Cmに共通して発生する遅延エラーをモデル化してパス P_i の遅延値を表現する関数モデルを構築する（ステップS901）。具体的には、構築部502により、パス P_{ij} のポストシリコン遅延値 d_{ij} とパス P_i の接続情報300-iを上記式（1）に与えて、係数 $X_1 \sim X_p$ 、 $Y_1 \sim Y_q$ を求める。

【0067】

このあと、「 $i = 1$ 」として（ステップS902）、算出部503により、構築された関数モデルとネットリスト300を用いて、パス P_i の見積遅延値 d'_i を算出する（ステップS903）。そして、決定部505により、パス P_i の見積遅延値の d'_i を用いて閾値を算出する（ステップS904）。

20

【0068】

つぎに、「 $j = 1$ 」として（ステップS905）、比較部504により、パス P_{ij} のポストシリコン遅延値 d_{ij} とパス P_i の見積遅延値 d'_i との差分を算出する（ステップS906）。そして、決定部505により、算出された差分が、ステップS904において算出された閾値以上か否かを判断する（ステップS907）。

【0069】

ここで、閾値以上の場合（ステップS907：Yes）、決定部505により、パス P_{ij} を故障パス候補に決定する（ステップS908）。そして、決定部505により、パス遅延テーブル400の故障パス候補の第1故障フラグを「OFF」から「ON」に設定する（ステップS909）。

30

【0070】

このあと、 j をインクリメントして（ステップS910）、「 $j > m$ 」か否かを判断する（ステップS911）。ここで、「 $j \leq m$ 」の場合（ステップS911：No）、ステップS906に戻る。一方、「 $j > m$ 」の場合（ステップS911：Yes）、 i をインクリメントして（ステップS912）、「 $i > n$ 」か否かを判断する（ステップS913）。

【0071】

ここで、「 $i \leq n$ 」の場合（ステップS913：No）、ステップS903に戻る。一方、「 $i > n$ 」の場合（ステップS913：Yes）、図8に示したステップS803に移行する。また、ステップS907において、閾値未満の場合（ステップS907：No）、ステップS910に移行する。

40

【0072】

これにより、チップC1～Cmに含まれる全チップ集合の中から、チップC1～Cmごとに不規則に発生する遅延エラーを含む故障パス候補を絞り込むことができる。

【0073】

<共通要素探索処理手順>

つぎに、図8に示したステップS803の共通要素探索処理の具体的な処理手順について説明する。図10は、共通要素探索処理の具体的な処理手順の一例を示すフローチャートである。図10のフローチャートにおいて、まず、選択部506により、「 $j = 1$ 」とし

50

て（ステップS1001）、チップC1～Cmの中からチップCjを選択する（ステップS1002）。

【0074】

このあと、探索部507により、選択されたチップCjに含まれるパス集合 S'_{ij} に故障パス候補が2つ以上あるか否かを判断する（ステップS1003）。ここで、故障パス候補が2つ以上ある場合（ステップS1003：Yes）、探索部507により、パス集合 S'_{ij} から第1の故障パス候補を選択する（ステップS1004）。

【0075】

さらに、探索部507により、パス集合 S'_{ij} から第2の故障パス候補を選択する（ステップS1005）。ただし、第1および第2の故障パス候補は異なるパスである。そして、探索部507により、第1および第2の故障パス候補の共通要素を探索する（ステップS1006）。

10

【0076】

このあと、探索部507により、共通要素が探索されたか否かを判断する（ステップS1007）。ここで、共通要素が探索されなかった場合（ステップS1007：No）、ステップS1009に移行する。一方、共通要素が探索された場合（ステップS1007：Yes）、探索部507により、探索された共通要素を探索結果テーブル700に登録する（ステップS1008）。

【0077】

つぎに、探索部507により、ステップS1005において選択されていない未選択の第2の故障パス候補があるか否かを判断する（ステップS1009）。ここで、未選択の第2の故障パス候補がある場合（ステップS1009：Yes）、ステップS1005に戻る。

20

【0078】

一方、未選択の第2の故障パス候補がない場合（ステップS1009：No）、探索部507により、ステップS1004において選択されていない未選択の第1の故障パス候補があるか否かを判断する（ステップS1010）。ここで、未選択の第1の故障パス候補がある場合（ステップS1010：Yes）、ステップS1004に戻る。

【0079】

一方、未選択の第1の故障パス候補がない場合（ステップS1010：No）、jをインクリメントして（ステップS1011）、探索部507により、「 $j > m$ 」か否かを判断する（ステップS1012）。ここで、「 $j \leq m$ 」の場合（ステップS1012：No）、ステップS1002に戻る。

30

【0080】

一方、「 $j > m$ 」の場合（ステップS1012：Yes）、出力部508により、探索結果テーブル700を出力して（ステップS1013）、本フローチャートによる一連の処理を終了する。また、ステップS1003において、故障パス候補が1つ以下の場合（ステップS1003：No）、ステップS1011に移行する。

【0081】

これにより、故障パス候補に含まれる素子群の中から、チップC1～Cmごとに不規則に発生する遅延エラーの原因となる素子を絞り込むことができる。

40

【0082】

以上説明したように、実施の形態1によれば、パス P_{ij} のポストシリコン遅延値 d_{ij} とパス P_i の見積遅延値 d'_i との差分が許容範囲を超えるパスを故障パス候補に決定することができる。これにより、チップC1～Cmに含まれる全チップ集合の中から、システムティックな遅延エラーの影響のみを受けているパスを排除して、チップC1～Cmごとに不規則に発生する遅延エラーを含む故障パス候補を絞り込むことができる。

【0083】

また、実施の形態1によれば、チップCjのパス集合 S'_{ij} のうち第1および第2の故障パス候補に共通して含まれる共通要素を探索して出力することができる。これにより、

50

故障パス候補に含まれる素子群の中から、チップ $C_1 \sim C_m$ ごとに不規則に発生する遅延エラーの原因となる素子を絞り込むことができる。

【0084】

これらのことから、実施の形態 1 にかかる遅延故障検査プログラム、遅延故障検査装置、および遅延故障検査方法によれば、チップ $C_1 \sim C_m$ ごとに不規則に発生する遅延故障の特定にかかる作業負担の軽減化および作業時間の短縮化を図ることができる。具体的には、たとえば、チップ内の遅延故障を特定するために、新たなテストパターンを生成する必要がなく、テストを用いた実験をおこなう必要もない。

【0085】

(実施の形態 2)

つぎに、実施の形態 2 にかかる遅延故障検査手法について説明する。実施の形態 1 では、チップ $C_1 \sim C_j$ に含まれる全パス集合からシステマティックな遅延エラーの影響のみを受けているパスを排除して、故障パス候補を絞り込む手法について説明した。ところが、パス P_{ij} のポストシリコン遅延値 d_{ij} には、見積ミスによる誤差が含まれている場合がある。

【0086】

そのため、チップ C_j のパス集合 S'_{ij} には、ポストシリコン遅延値 d_{ij} の見積ミスのパスが含まれている場合がある。すなわち、パス P_{ij} のポストシリコン遅延値 d_{ij} が見積ミスによって大きな値となり、故障パス候補に決定される場合がある。そこで、実施の形態 2 では、チップ C_j のパス集合 S'_{ij} の中から、ポストシリコン遅延値 d_{ij} の見積ミスのパスを排除する手法について説明する。なお、実施の形態 1 で説明した箇所と同一の箇所については図示および説明を省略する。

【0087】

ここで、パス P_{ij} のポストシリコン遅延値 d_{ij} の見積ミスの一例について説明する。図 11 は、ポストシリコン遅延値の見積ミスの一例を示す説明図である。図 11 において、チップ C_j 内の組み合わせ回路のロジックコーン 1100 が表示されている。ここで、ロジックコーン 1100 内のパス P_{cj} とパス P_{dj} は、あるテストパターンで活性化させられたパスである。また、パス P_{cj} のパス遅延は 2800 [ps] であり、パス P_{dj} のパス遅延は 1600 [ps] である。

【0088】

この場合、チップ C_j のテスト結果としては、クロック周期 2800 [ps] 以上で正常に動作することになる。したがって、パス P_{cj} とパス P_{dj} のポストシリコンパス遅延値 d_{cj} , d_{dj} はともに 2800 [ps] となる。この結果、パス P_{dj} のポストシリコンパス遅延値 d_{dj} は 1600 [ps] にも関わらず 2800 [ps] となり、見積ミスが発生する。

【0089】

実施の形態 2 では、個々のチップ C_j に着目して相互に相関関係を有するパスを絞り込むことで、チップ C_j のパス集合 S'_{ij} の中からポストシリコン遅延値 d_{ij} の見積ミスのパスを排除する。ここで、図 13 に示す遅延故障検査装置 1300 が用いるパス遅延テーブル 1200 について説明する。

【0090】

(パス遅延テーブルの記憶内容)

図 12 は、パス遅延テーブルの記憶内容の一例を示す説明図 (その 2) である。図 12 において、パス遅延テーブル 1200 は、チップ ID、パス ID、ポストシリコン遅延値、見積遅延値、第 1 故障フラグおよび第 2 故障フラグのフィールドを有する。各フィールドに情報を設定することで、チップ $C_1 \sim C_m$ ごとのパス遅延情報 1200-1 ~ 1200-m がレコードとして記憶されている。

【0091】

ここで、第 2 故障フラグとは、チップ C_j のパス集合 S'_{ij} のうち、ポストシリコン遅延値 d_{ij} の見積ミスのパスと、チップ $C_1 \sim C_m$ ごとの不規則な遅延エラーが発生してい

10

20

30

40

50

るパスとを区別するためのフラグである。ここでは、第2故障フラグが「ON」の場合に、チップC1～Cmごとの不規則な遅延エラーが発生しているパスを示す。なお、第2故障フラグは、初期状態では「OFF」となっている。

【0092】

パス遅延情報1200-1を例に挙げると、チップC1内のパス $P_{11} \sim P_{n1}$ ごとのパス遅延情報1200-1-1～1200-1-nが含まれている。パス遅延情報1200-1-1を例に挙げると、パス P_{11} のポストシリコン遅延値は「 d_{11} 」、見積遅延値は「 d'_{11} 」、第1故障フラグは「ON」、第2故障フラグは「OFF」である。なお、パス遅延テーブル1200は、図13に示す遅延故障検査装置1300のRAM203、磁気ディスク205、光ディスク207などの記憶装置に記憶されている。

10

【0093】

(遅延故障検査装置の機能的構成)

つぎに、実施の形態2にかかる遅延故障検査装置1300の機能的構成について説明する。図13は、実施の形態2にかかる遅延故障検査装置の機能的構成を示すブロック図である。図13において、遅延故障検査装置1300は、取得部501と、構築部502と、算出部503と、比較部504と、決定部505と、選択部506と、探索部507と、出力部508と、判定部1301と、を含む構成である。

【0094】

判定部1301は、チップCjのパス集合 S'_{ij} から選ばれた故障パス候補 P'_{ij} と同一構成のパスが、チップCjとは異なる他のチップCk ($k \neq j, k = 1, 2, \dots, m$) のパス集合 S'_{ik} に含まれるか否かを判定する機能を有する。

20

【0095】

ここで、ポストシリコン遅延値 d_{ij} の見積ミスは、全チップC1～Cm (または、8～9割のチップ) で共通して発生している可能性が高い。そこで、故障パス候補 P'_{ij} と同一構成のパスが他のチップCkのパス集合 S'_{ik} に含まれるかを判定することで、故障パス候補 P'_{ij} がポストシリコン遅延値 d_{ij} の見積ミスのパスか否かを判断する。すなわち、チップCjだけでなく、他のチップCkでも故障パス候補となっているパスは、ポストシリコン遅延値 d_{ij} の見積ミスのパスである可能性が高いと判断できる。

【0096】

具体的には、たとえば、まず、判定部1301が、パス遅延テーブル1200を参照して、チップC1～Cmの中からチップCjを選択する。そして、判定部1301が、パス遅延テーブル1200を参照して、第1故障フラグが「ON」の故障パス候補 P'_{ij} を選択する。このあと、判定部1301が、パス遅延テーブル1200を参照して、第1故障フラグが「ON」の故障パス候補 P'_{ik} を検索する。

30

【0097】

決定部505は、判定された判定結果に基づいて、故障パス候補 P'_{ij} を、チップC1～Cjごとくに不規則に発生する遅延エラーを含む故障パスに決定する。具体的には、たとえば、決定部505が、故障パス候補 P'_{ij} と同一構成のパスが、チップCkのパス集合 S'_{ik} に含まれていない場合に、故障パス候補 P'_{ij} を故障パスに決定する。

【0098】

また、決定部505が、故障パス候補 P'_{ij} と同一構成のパスを含むチップCkの割合が全体の10%程度であった場合に、故障パス候補 P'_{ij} を故障パスに決定することにしてもよい。すなわち、全チップC1～Cmの8～9割程度のチップで、ポストシリコン遅延値 d_{ij} の見積ミスのパスが共通していると仮定する。

40

【0099】

(遅延故障検査装置の遅延故障検査処理手順)

つぎに、実施の形態2にかかる遅延故障検査装置1300の遅延故障検査処理手順について説明する。図14は、実施の形態2にかかる遅延故障検査処理手順の一例を示すフローチャートである。

【0100】

50

図14のフローチャートにおいて、まず、取得部501により、対象回路に関するネットリスト300とパス P_{ij} のポストシリコン遅延値 d_{ij} を取得したか否かを判断する（ステップS1401）。

【0101】

ここで、ネットリスト300とポストシリコン遅延値 d_{ij} を取得するのを待って（ステップS1401：No）、取得した場合（ステップS1401：Yes）、決定部505により、故障パス候補決定処理を実行する（ステップS1402）。

【0102】

このあと、決定部505により、故障パス決定処理を実行する（ステップS1403）。そして、探索部507により、共通要素探索処理を実行して（ステップS1404）、本フローチャートによる一連の処理を終了する。

10

【0103】

<故障パス決定処理手順>

つぎに、図14に示したステップS1403の故障パス決定処理の具体的な処理手順について説明する。ここでは、チップ C_j のパス集合 S'_{ij} から選ばれた任意の故障パス候補と同一構成のパスがチップ C_k のパス集合 S'_{ik} に含まれていない場合に、故障パス候補を故障パスに決定する場合について説明する。図15は、故障パス決定処理の具体的な処理手順の一例を示すフローチャート（その1）である。

【0104】

図15のフローチャートにおいて、判定部1301により、「 $j=1$ 」として（ステップS1501）、チップ $C_1 \sim C_m$ の中からチップ C_j を選択する（ステップS1502）。このあと、判定部1301により、チップ C_j のパス集合 S'_{ij} から任意の故障パス候補を選択（ステップS1503）。そして、判定部1301により、チップ $C_1 \sim C_m$ の中からチップ C_k （ $k \neq j$ ）を選択する（ステップS1504）。

20

【0105】

つぎに、判定部1301により、チップ C_k のパス集合 S'_{ik} から、ステップS1503において選択された故障パス候補と同一構成の故障パス候補を検索する（ステップS1505）。そして、判定部1301により、故障パス候補が検索されたか否かを判定する（ステップS1506）。

【0106】

30

ここで、故障パス候補が検索された場合（ステップS1506：Yes）、ステップS1510に移行する。一方、故障パス候補が非検索の場合（ステップS1506：No）、判定部1301により、ステップS1504において選択されていない未選択のチップ C_k があるか否かを判断する（ステップS1507）。

【0107】

ここで、未選択のチップ C_k がある場合（ステップS1507：Yes）、ステップS1504に戻る。一方、未選択のチップ C_k がない場合（ステップS1507：No）、決定部505により、任意の故障パス候補を故障パスに決定する（ステップS1508）。そして、決定部505により、パス遅延テーブル1200の故障パス候補の第2故障フラグを「OFF」から「ON」に設定する（ステップS1509）。

40

【0108】

このあと、判定部1301により、ステップS1503において選択されていない未選択の故障パス候補があるか否かを判断する（ステップS1510）。ここで、未選択の故障パス候補がある場合（ステップS1510：Yes）、ステップS1503に戻る。

【0109】

一方、未選択の故障パス候補がない場合（ステップS1510：No）、決定部505により、 j をインクリメントして（ステップS1511）、「 $j > m$ 」か否かを判断する（ステップS1512）。ここで、「 $j \leq m$ 」の場合（ステップS1512：No）、ステップS1502に戻る。一方、「 $j > m$ 」の場合（ステップS1512：Yes）、図14に示したステップS1404に移行する。

50

【0110】

これにより、チップC_jのパス集合 S'_{ij} の中から、ポストシリコン遅延値 d_{ij} の見積ミスのパスを排除することができる。

【0111】

なお、ステップS1402の故障パス候補決定処理手順は、図9に示した手順と同様のため説明を省略する。また、ステップS1404の共通要素探索処理手順は、図10に示した手順と同様のため説明を省略する。ただし、ステップS1404の共通要素探索処理手順では、共通要素の探索対象が「故障パス候補」から「故障パス」となる。

【0112】

以上説明したように、実施の形態2によれば、チップC_jのパス集合 S'_{ij} の中から、他のチップC_kのパス集合 S'_{ik} に含まれる故障パス候補と同一構成のパスを排除することができる。これにより、チップC_jのパス集合 S'_{ij} の中からポストシリコン遅延値 d_{ij} の見積ミスのパスを排除して、チップC1～C_mごとに不規則に発生する遅延エラーを含むパスをより正確に絞り込むことができる。

10

【0113】

(実施の形態3)

つぎに、実施の形態3にかかる遅延故障検査手法について説明する。実施の形態3では、チップC_jのパス集合 S'_{ij} に含まれるパス間の類似度を求める。そして、実施の形態3では、パス間の類似度を用いて、チップC_jのパス集合 S'_{ij} の中から他の故障パス候補と類似していないパスを排除する。

20

【0114】

これにより、チップC_jのパス集合 S'_{ij} の中からポストシリコン遅延値 d_{ij} の見積ミスのパスを排除する。なお、実施の形態1、2で説明した箇所と同一の箇所については図示および説明を省略する。

【0115】

(遅延故障検査装置の機能的構成)

図16は、実施の形態3にかかる遅延故障検査装置の機能的構成を示すブロック図である。図16において、遅延故障検査装置1600は、取得部501と、構築部502と、算出部503と、比較部504と、決定部505と、選択部506と、探索部507と、出力部508と、類似度算出部1601と、を含む構成である。

30

【0116】

類似度算出部1601は、チップC_jのパス集合 S'_{ij} から選ばれた故障パス候補 P'_{ij} と、故障パス候補 P'_{ij} とは異なる他の故障パス候補 P'_{sj} との類似度を算出する機能を有する($s \neq i$ 、 $s = 1, 2, \dots, t \leq n$)。

【0117】

具体的には、たとえば、まず、類似度算出部1601が、one-class SVRを利用して、パス間の類似度を算出するための関数モデルを構築する。ここで、故障パス候補 P'_{ij} 、 P'_{sj} を下記式(2)および(3)のようにベクトル表記する。

【0118】

ただし、 $g_{i1} \sim g_{ip}$ 、 $g_{s1} \sim g_{sp}$ は、故障パス候補 P'_{ij} 、 P'_{sj} がゲート $g1 \sim gp$ を含む場合は「1」となり、ゲート $g1 \sim gp$ を含まない場合は「0」となる変数である。 $s_{i1} \sim s_{iq}$ 、 $s_{s1} \sim s_{sq}$ は、故障パス候補 P'_{ij} 、 P'_{sj} が信号線 $s1 \sim sq$ を含む場合は「1」となり、信号線 $s1 \sim sq$ を含まない場合は「0」となる変数である。

40

【0119】

$$P'_{ij} = (g_{i1}, g_{i2}, \dots, g_{ip}, s_{i1}, s_{i2}, \dots, s_{iq}) \quad \dots (2)$$

$$P'_{sj} = (g_{s1}, g_{s2}, \dots, g_{sp}, s_{s1}, s_{s2}, \dots, s_{sq}) \quad \dots (3)$$

【0120】

この場合、故障パス候補 P'_{ij} と故障パス候補 P'_{sj} との類似度は、下記式(4)を用いて表現することができる。ただし、 $P'_{ij} \cdot P'_{sj}$ は故障パス候補 P'_{ij} と故障パス候

50

補 P'_{sj} との類似度である。

【0121】

$$P'_{ij} \cdot P'_{sj} = g_{i1} \times g_{s1} + g_{i2} \times g_{s2} + \dots + g_{ip} \times g_{sp} + s_{i1} \times s_{s1} + s_{i2} \times s_{s2} + \dots + s_{iq} \times s_{sq} \quad \dots (4)$$

【0122】

より具体的には、たとえば、類似度算出部1601が、ネットリスト300に基づいて、故障パス候補 P'_{ij} および故障パス候補 P'_{sj} の接続情報を上記式(4)に与えることにより類似度を算出することができる。

【0123】

決定部505は、算出された算出結果に基づいて、故障パス候補 P'_{ij} を、チップ $C_1 \sim C_j$ ごとに不規則に発生する遅延エラーを含む故障パスに決定する。具体的には、たとえば、決定部505が、故障パス候補 P'_{sj} との類似度が「1」以上となる故障パス候補 P'_{ij} を故障パスに決定することにしてもよい。すなわち、故障パス候補間の類似度が「1」以上となった場合は、遅延故障の原因となる素子をともに含んでいる可能性が高いと判断する。

【0124】

なお、上記式(4)では、ゲートおよび信号線の両方を考慮することにしたがこれに限らない。たとえば、遅延故障としてゲート遅延故障を想定した場合はゲートのみを考慮することにしてもよい。また、遅延故障として遷移遅延故障を想定した場合は信号線のみを考慮することにしてもよい。

【0125】

<故障パス決定処理手順>

つぎに、実施の形態3にかかる遅延故障検査装置1600の故障パス決定処理手順について説明する。なお、この故障パス決定処理手順は、図14に示したステップS1403の故障パス決定処理に相当する。図17は、故障パス決定処理の具体的処理手順の一例を示すフローチャート(その2)である。

【0126】

図17のフローチャートにおいて、まず、類似度算出部1601により、「 $j=1$ 」として(ステップS1701)、チップ $C_1 \sim C_m$ の中からチップ C_j を選択する(ステップS1702)。このあと、類似度算出部1601により、チップ C_j のパス集合 S'_{ij} から第1の故障パス候補を選択する(ステップS1703)。

【0127】

さらに、類似度算出部1601により、チップ C_j のパス集合 S'_{ij} から第2の故障パス候補を選択する(ステップS1704)。ただし、第1および第2の故障パス候補は異なるパスである。そして、類似度算出部1601により、ネットリスト300と上記式(4)とを用いて、第1および第2の故障パス候補の類似度を算出する(ステップS1705)。

【0128】

このあと、決定部505により、算出された類似度が「0」か否かを判断する(ステップS1706)。ここで、類似度が「0」の場合、決定部505により、ステップS1704において選択されていない未選択の第2の故障パス候補があるか否かを判断する(ステップS1707)。

【0129】

そして、未選択の第2の故障パス候補がある場合(ステップS1707: Yes)、ステップS1704に戻る。一方、未選択の第2の故障パス候補がない場合(ステップS1707: No)、ステップS1710に移行する。

【0130】

また、ステップS1706において、類似度が「0」ではない場合(ステップS1706: No)、決定部505により、第1の故障パス候補を故障パスに決定する(ステップS1708)。そして、決定部505により、パス遅延テーブル1200の第1の故障パ

10

20

30

40

50

ス候補の第2故障フラグを「OFF」から「ON」に設定する（ステップS1709）。

【0131】

このあと、決定部505により、ステップS1703において選択されていない未選択の第1の故障パス候補があるか否かを判断する（ステップS1710）。ここで、未選択の第1の故障パス候補がある場合（ステップS1710：Yes）、ステップS1703に戻る。

【0132】

一方、未選択の第1の故障パス候補がない場合（ステップS1710：No）、決定部505により、jをインクリメントして（ステップS1711）、「 $j > m$ 」か否かを判断する（ステップS1712）。ここで、「 $j \leq m$ 」の場合（ステップS1712：No）
10

【0133】

以上説明したように、実施の形態3によれば、チップCjのパス集合 S'_{ij} に含まれるパス間の類似度を求めて、パス集合 S'_{ij} の中から他の故障パス候補と類似していないパスを排除することができる。これにより、チップCjのパス集合 S'_{ij} の中からポストシリコン遅延値 d_{ij} の見積ミスのパスを排除して、チップC1～Cmごとに不規則に発生する遅延エラーを含むパスをより正確に絞り込むことができる。

【0134】

（実施の形態4）

つぎに、実施の形態4にかかる遅延故障検査手法について説明する。実施の形態4では、チップCjのみに着目して、パス P_i の遅延値を表現する関数モデルを構築する。ただし、チップCjは、チップCjに含まれるパス集合に対する故障パス候補の割合が、予め設定された所定値以上のチップである。
20

【0135】

実施の形態4では、チップCjに含まれるパス P_{ij} のポストシリコン遅延値 d_{ij} を関数モデルに与えて、パス P_i の見積遅延値 d'_i を求める。このあと、実施の形態4では、故障パス候補 P'_{ij} のポストシリコン遅延値とパス P_i の見積遅延値 d'_i との差分を求める。
30

【0136】

そして、実施の形態4では、該差分が許容範囲を超える故障パス候補をポストシリコン遅延値 d_{ij} の見積ミスのパスとする。上述したように、チップCjは、パス集合に対する故障パス候補の割合が所定値以上のチップである。それ故に、チップCjにのみ着目して関数モデルを構築すると、パス P_i の見積遅延値 d'_i に、システムティックな遅延エラーだけでなく、不規則な遅延エラーもモデル中に含まれることになる。

【0137】

その結果、該差分が許容範囲を超えるパスは、ポストシリコン遅延値 d_{ij} の見積ミスのパスと判断できる。これにより、チップCjのパス集合 S'_{ij} の中からポストシリコン遅延値 d_{ij} の見積ミスのパスを排除することができる。なお、実施の形態1～3で説明した箇所と同一の箇所については図示および説明を省略する。
40

【0138】

（遅延故障検査装置の機能的構成）

図18は、実施の形態4にかかる遅延故障検査装置の機能的構成を示すブロック図である。図18において、遅延故障検査装置1800は、取得部501と、構築部502と、算出部503と、比較部504と、決定部505と、選択部506と、探索部507と、出力部508と、モデル構築部1801と、遅延値算出部1802と、遅延値比較部1803と、を含む構成である。

【0139】

モデル構築部1801は、パス P_{ij} のポストシリコン遅延値 d_{ij} とネットリスト300に基づいて、パス P_i の遅延値を表現する関数モデルを構築する。具体的には、たとえば
50

、モデル構築部1801が、 ε -SVRを利用して、上記式(1)に含まれる係数 $X_1 \sim X_p$ 、 $Y_1 \sim Y_q$ を求める。

【0140】

より具体的には、モデル構築部1801が、上記式(1)の左辺にチップCjに含まれるパス P_{ij} のポストシリコン遅延値 d_{ij} を与えると同時に、上記式(1)の右辺にパス P_i の接続情報300-iを与える。その結果、係数 $X_1 \sim X_p$ 、 $Y_1 \sim Y_q$ を未知数とするn個の方程式が作成される。このあと、構築部502が、 ε -SVR(または、最小二乗法)により、各方程式の左辺と右辺の誤差を最小化する係数 $X_1 \sim X_p$ 、 $Y_1 \sim Y_q$ を求める。

【0141】

遅延値算出部1802は、構築された関数モデルとネットリスト300を用いて、パス P_i の見積遅延値 d'_i を算出する。具体的には、たとえば、遅延値算出部1802が、上記式(1)の右辺にパス P_i の接続情報300-iを与えることで、パス P_i の見積遅延値 d'_i を求めることができる。ただし、係数 $X_1 \sim X_p$ 、 $Y_1 \sim Y_q$ は既知である。パス P_i の見積遅延値 d'_i には、システムティックな遅延エラーと不規則な遅延エラーとが含まれることになる。

【0142】

遅延値比較部1803は、故障パス候補 P'_{ij} のポストシリコン遅延値と、算出されたパス P_i の見積遅延値 d'_i とを比較する。ただし、故障パス候補 P'_{ij} とパス P_i は同一構成のパスである。具体的には、たとえば、遅延値比較部1803が、パス P_i の見積遅延値 d'_i から故障パス候補 P'_{ij} のポストシリコン遅延値を差し引くことで差分を算出する。

【0143】

そして、決定部505は、比較された比較結果に基づいて、チップCjに含まれるパス P_i のパス集合から、チップC1~Cmごとに不規則に発生する遅延エラーを含む故障パスを決定する。具体的には、たとえば、決定部505が、算出された差分が閾値以下となる故障パス候補 P'_{ij} を故障パスに決定する。なお、上記閾値は、任意に設定可能である。具体的には、たとえば、決定部505が、パス P_i の見積遅延値の d'_i の10%~20%を上記閾値に設定する。

【0144】

<故障パス決定処理手順>

つぎに、実施の形態4にかかる遅延故障検査装置1800の故障パス決定処理手順について説明する。なお、この故障パス決定処理手順は、図14に示したステップS1403の故障パス決定処理に相当する。

【0145】

図19は、故障パス決定処理の具体的処理手順の一例を示すフローチャート(その3)である。図19のフローチャートにおいて、まず、決定部505により、「j=1」として(ステップS1901)、チップC1~Cmの中からチップCjを選択する(ステップS1902)。

【0146】

そして、決定部505により、チップCjに含まれるパス集合に対する故障パス候補の割合が、予め設定された所定値以上か否かを判断する(ステップS1903)。なお、所定値は、ROM202、RAM203、磁気ディスク205、光ディスク207などの記憶装置に記憶されている。

【0147】

ここで、所定値未満の場合(ステップS1903:No)、ステップS1913に移行する。一方、所定値以上の場合(ステップS1903:Yes)、モデル構築部1801により、パス P_i の遅延値を表現する関数モデルを構築する(ステップS1904)。

【0148】

そして、遅延値算出部1802により、チップCjのパス集合 S'_{ij} から任意の故障パス候補を選択する(ステップS1905)。つぎに、遅延値算出部1802により、構築

10

20

30

40

50

された関数モデルとネットリスト300を用いて、選択された故障パス候補と同一構成のパス P_i の見積遅延値 d'_i を算出する（ステップS1906）。そして、決定部505により、パス P_i の見積遅延値の d'_i を用いて閾値を算出する（ステップS1907）。

【0149】

このあと、遅延値比較部1803により、故障パス候補のポストシリコン遅延値とパス P_i の見積遅延値 d'_i との差分を算出する（ステップS1908）。そして、決定部505により、算出された差分が、ステップS1907において算出された閾値以下か否かを判断する（ステップS1909）。

【0150】

ここで、閾値より大きい場合（ステップS1909：No）、ステップS1912に移行する。一方、閾値以下の場合（ステップS1909：Yes）、ステップS1905において選択された故障パス候補を故障パスに決定する（ステップS1910）。そして、決定部505により、パス遅延テーブル1200の故障パス候補の第2故障フラグを「OFF」から「ON」に設定する（ステップS1911）。

【0151】

このあと、モデル構築部1801により、ステップS1905において選択されていない未選択の故障パス候補があるか否かを判断する（ステップS1912）。ここで、未選択の故障パス候補がある場合（ステップS1912：Yes）、ステップS1905に戻る。

【0152】

一方、未選択の故障パス候補がない場合（ステップS1912：No）、決定部505により、 j をインクリメントして（ステップS1913）、「 $j > m$ 」か否かを判断する（ステップS1914）。ここで、「 $j \leq m$ 」の場合（ステップS1914：No）、ステップS1902に戻る。一方、「 $j > m$ 」の場合（ステップS1914：Yes）、図14に示したステップS1404に移行する。

【0153】

以上説明したように、実施の形態4によれば、故障パス候補のポストシリコン遅延値とパス P_i の見積遅延値 d'_i との差分が許容範囲内のパスを故障パス候補に決定することができる。これにより、チップ C_j のパス集合 S'_{ij} の中からポストシリコン遅延値 d_{ij} の見積ミスのパスを排除して、チップ $C_1 \sim C_m$ ごとに不規則に発生する遅延エラーを含むパスをより正確に絞り込むことができる。

【0154】

なお、本実施の形態で説明した遅延故障検査方法は、予め用意されたプログラムをパーソナル・コンピュータやワークステーション等のコンピュータで実行することにより実現することができる。本遅延故障検査プログラムは、ハードディスク、フレキシブルディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。また、本遅延故障検査プログラムは、インターネット等のネットワークを介して配布してもよい。

【符号の説明】

【0155】

200, 1300, 1600, 1800 遅延故障検査装置

501 取得部

502 構築部

503 算出部

504 比較部

505 決定部

506 選択部

507 探索部

508 出力部

1301 判定部

10

20

30

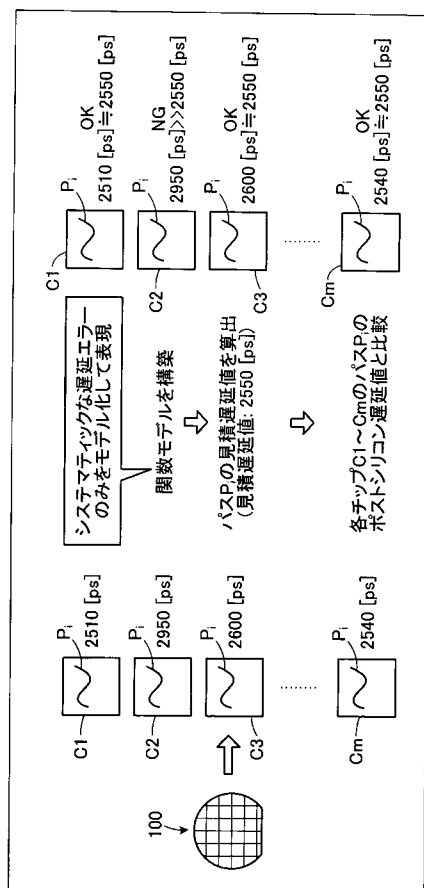
40

50

- 1 6 0 1 類似度算出部
- 1 8 0 1 モデル構築部
- 1 8 0 2 遅延値算出部
- 1 8 0 3 遅延値比較部

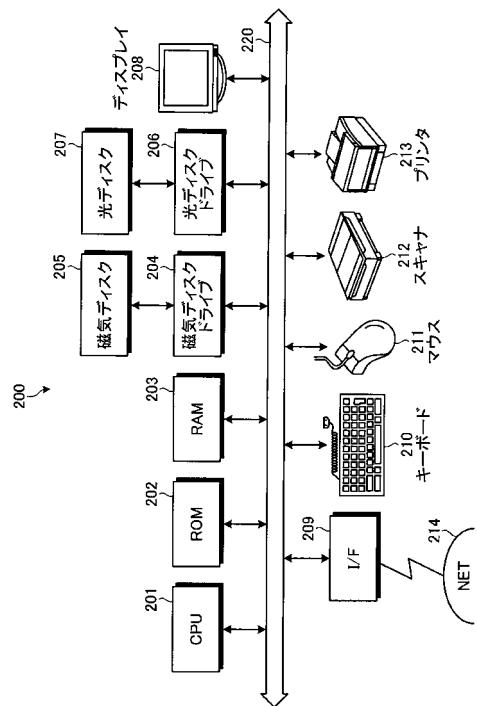
【図 1】

遅延故障検査手法の一例を示す説明図



【図 2】

遅延故障検査装置のハードウェア構成を示すブロック図



【図 3】

ネットリストの一例を示す説明図

300

	パスID	ゲートID	信号線ID
300-1	P ₁	g1, g3, g8, g9	s2, s5, s9
⋮	P ₂	g2, g3, g7, g10	s1, s5, s6
⋮	⋮	⋮	⋮
300-i	P _i	g1, g2, ⋯, gp	s1, s2, ⋯, sq
⋮	⋮	⋮	⋮
300-n	P _n	⋯	⋯

【図 4】

バス遅延テーブルの記憶内容の一例を示す説明図(その1)

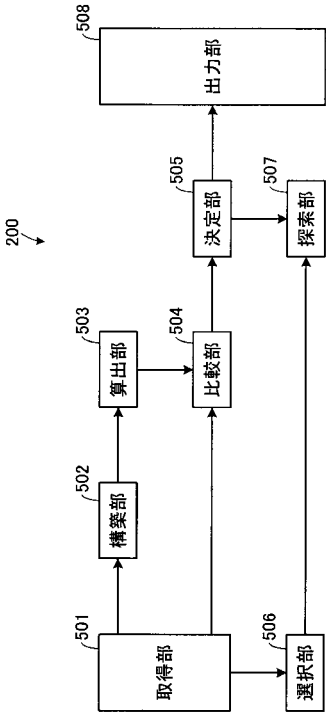
バス遅延テーブル

チップID	バスID	ポストシリコン遅延値	見積遅延値	第1故障フラグ
C1	P ₁₁	d ₁₁	d' ₁	OFF
	P ₂₁	d ₂₁	d' ₂	OFF
	⋮	⋮	⋮	⋮
C2	P ₁₁	d ₁₁	d' ₁	OFF
	P _{n1}	d _{n1}	d' _n	OFF
	P ₁₂	d ₁₂	d' ₁	OFF
⋮	⋮	⋮	⋮	⋮
Cm	P _{m2}	d _{m2}	d' _n	OFF
⋮	⋮	⋮	⋮	⋮
⋮	P _{mm}	d _{mm}	d' _n	OFF

400-1, 400-2, ..., 400-m, 400-1-1, ..., 400-1-i, ..., 400-1-n

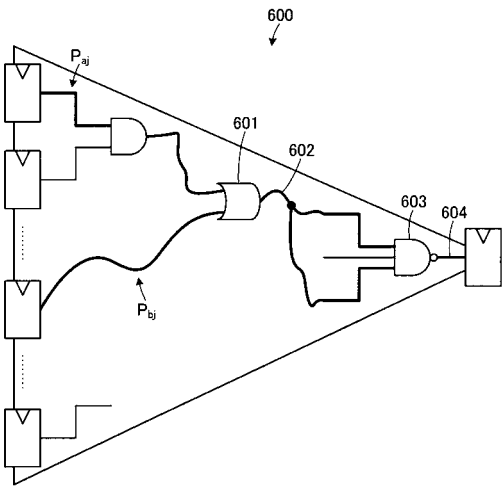
【図 5】

実施の形態1にかかる遅延故障検査装置の機能的構成を示すブロック図



【図 6】

共通要素の探索例を示す説明図



【図 7】

探索結果テーブルの記憶内容の一例を示す説明図

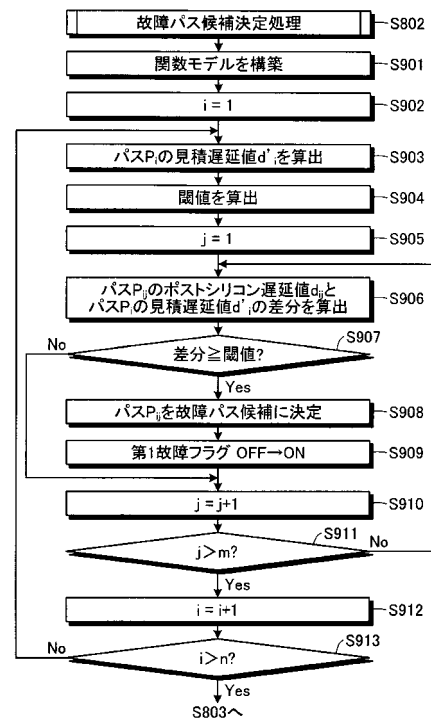
探索結果テーブル

700

パスID	ゲートID	信号線ID
P ₁₁ , P ₂₁	g3	s5

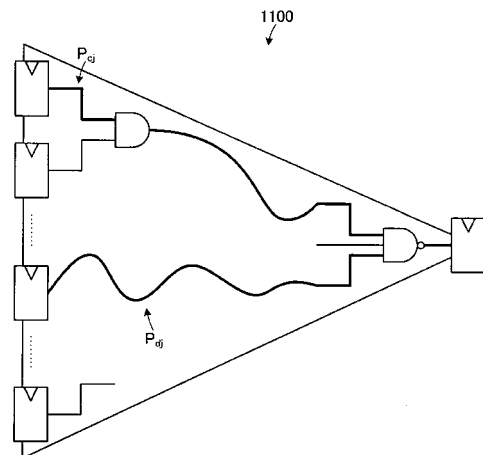
【図 9】

故障パス候補決定処理の具体的処理手順の一例を示すフローチャート



【図 1 1】

ポストシリコン遅延値の見積ミスの一例を示す説明図



【図12】

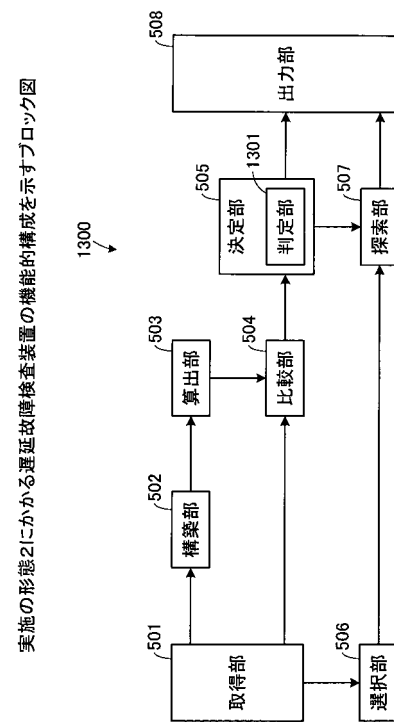
バス遅延テーブル 1200

バス遅延テーブルの記憶内容の一例を示す説明図(その2)

チップID	バスID	ポストシリコン遅延値	見稱遅延値	第1故障フラグ	第2故障フラグ
C1	P ₁₁	d ₁₁	d' ₁	ON	OFF
	P ₂₁	d ₂₁	d' ₂	OFF	OFF
	⋮	⋮	⋮	⋮	⋮
	P _{n1}	d _{n1}	d' _i	OFF	OFF
C2	P ₁₂	d ₁₂	d' ₁	OFF	OFF
	P ₂₂	d ₂₂	d' ₂	⋮	⋮
	⋮	⋮	⋮	⋮	⋮
	P _{n2}	d _{n2}	d' _n	OFF	OFF
⋮	⋮	⋮	⋮	⋮	⋮
	⋮	⋮	⋮	⋮	⋮
	⋮	⋮	⋮	⋮	⋮
	⋮	⋮	⋮	⋮	⋮
Cm	P _{1m}	d _{1m}	d' _n	OFF	OFF
	P _{2m}	d _{2m}	d' _n	⋮	⋮
	⋮	⋮	⋮	⋮	⋮
	P _{nm}	d _{nm}	d' _n	OFF	OFF

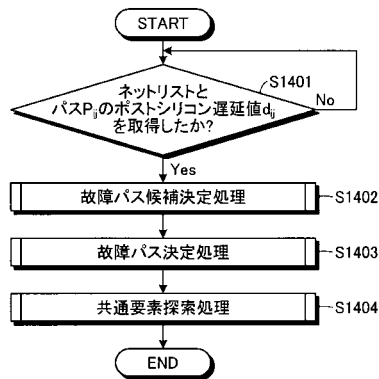
1200-1 1200-1-1 1200-1-2 1200-1-3 1200-2 1200-2-1 1200-2-2 1200-2-3 1200-2-4 1200-2-5 1200-2-6 1200-2-7 1200-2-8 1200-2-9 1200-2-10 1200-2-11 1200-2-12 1200-2-13 1200-2-14 1200-2-15 1200-2-16 1200-2-17 1200-2-18 1200-2-19 1200-2-20 1200-2-21 1200-2-22 1200-2-23 1200-2-24 1200-2-25 1200-2-26 1200-2-27 1200-2-28 1200-2-29 1200-2-30 1200-2-31 1200-2-32 1200-2-33 1200-2-34 1200-2-35 1200-2-36 1200-2-37 1200-2-38 1200-2-39 1200-2-40 1200-2-41 1200-2-42 1200-2-43 1200-2-44 1200-2-45 1200-2-46 1200-2-47 1200-2-48 1200-2-49 1200-2-50 1200-2-51 1200-2-52 1200-2-53 1200-2-54 1200-2-55 1200-2-56 1200-2-57 1200-2-58 1200-2-59 1200-2-60 1200-2-61 1200-2-62 1200-2-63 1200-2-64 1200-2-65 1200-2-66 1200-2-67 1200-2-68 1200-2-69 1200-2-70 1200-2-71 1200-2-72 1200-2-73 1200-2-74 1200-2-75 1200-2-76 1200-2-77 1200-2-78 1200-2-79 1200-2-80 1200-2-81 1200-2-82 1200-2-83 1200-2-84 1200-2-85 1200-2-86 1200-2-87 1200-2-88 1200-2-89 1200-2-90 1200-2-91 1200-2-92 1200-2-93 1200-2-94 1200-2-95 1200-2-96 1200-2-97 1200-2-98 1200-2-99 1200-2-100

【図13】



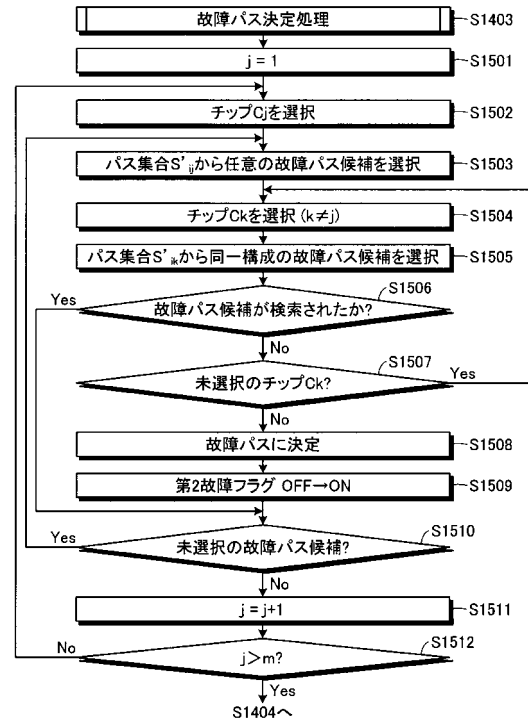
【図14】

実施の形態2にかかる遅延故障検査処理手順の一例を示すフローチャート



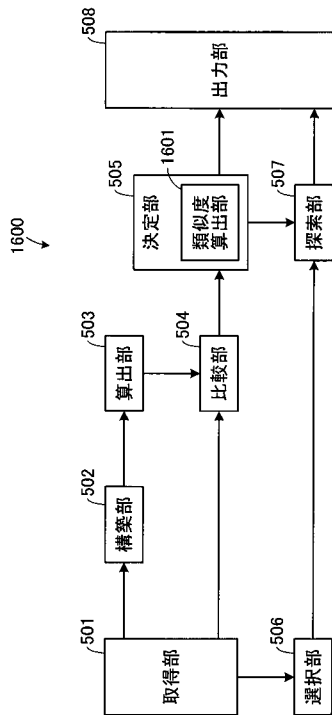
【図15】

故障バス決定処理の具体的な処理手順の一例を示すフローチャート(その1)



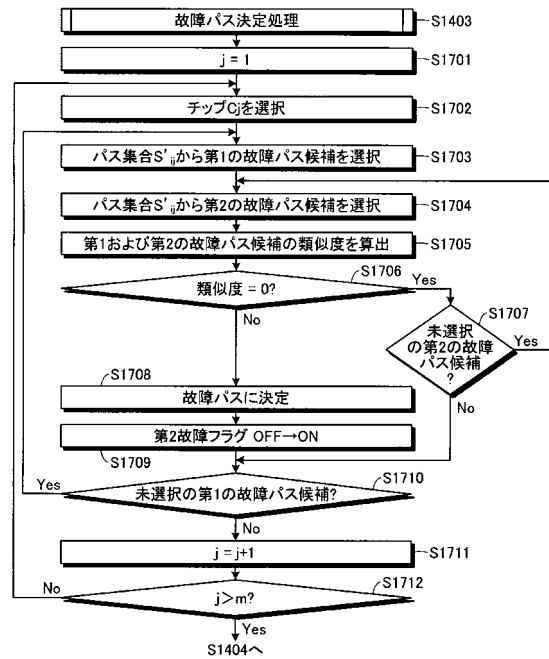
【図16】

実施の形態3にかかる遅延故障検査装置の機能的構成を示すブロック図



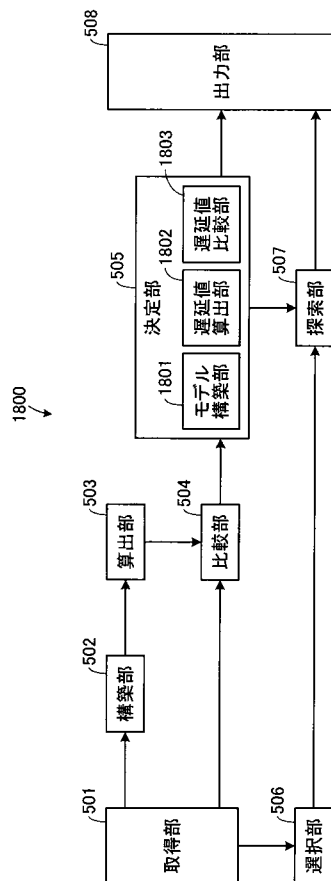
【図17】

故障バス決定処理の具体的処理手順の一例を示すフローチャート(その2)



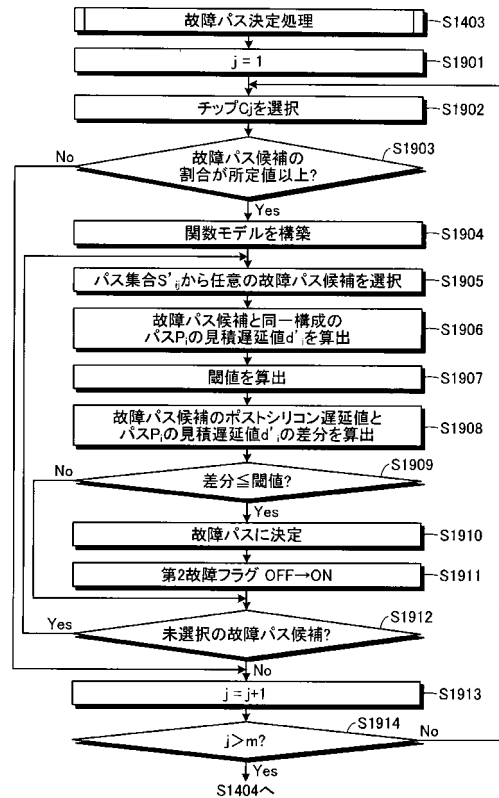
【図18】

実施の形態4にかかる遅延故障検査装置の機能的構成を示すブロック図



【図19】

故障バス決定処理の具体的処理手順の一例を示すフローチャート(その3)



フロントページの続き

- (56)参考文献 特開2003-194885 (JP, A)
特開平07-110779 (JP, A)
特開平11-287848 (JP, A)
特開平11-218563 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G01R 31/28-31/3193
G06F 17/50
H01L 21/822
H01L 27/04
G06F 11/22-11/26