

公告本

申請日期	90.12.20
案 號	90131691
類 別	H01L 21/283

A4
C4

512443

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 型 名 稱	中 文	半導體元件之摻雜區域之電接合方法
	英 文	METHOD OF ELECTRICALLY BONDING A DOPING REGION OF A SEMICONDUCTOR COMPONENT
二、發明 創 作 人	姓 名	1.亞力山大 魯夫 ALEXANDER RUF 2.諾柏特 爾班斯基 NORBERT URBANSKY
	國 籍	3.惠能 克勞森 WILHELM CLAUSSEN 4.湯瑪士 蓋特納 THOMAS GAERTNER
	住、居所	5.史芬 史密德鮑爾 SVEN SCHMIDBAUER 均德國
		1.德國德瑞斯登市沙卡萊斯街8號 2.德國德瑞斯登市達連路8號 3.德國德瑞斯登市多洛瑟伊雷本街10號 4.德國奧坦多夫市林登路11號 5.德國德瑞斯登市弗斯特街14號
三、申請人	姓 名 (名 稱)	德商億恒科技公司 INFINEON TECHNOLOGIES AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑市馬汀街53號
	代 表 人 姓 名	1.彼得 季里茲 PETER ZEDLITZ 2.H. 舒伯特 H. SCHUBERT

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：
國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

德國 2001年01月04日 10100178.9 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

發明背景

本發明係關於一種半導體元件之摻雜區域之電接合方法。

半導體元件係例如形成於矽基板中。為此，電容、電阻或電晶體尤其係形成於半導體基板中。另外，導電區域係藉由引入半導體基板內之摻雜物於半導體基板中產生。該等摻雜區域具有增強之導電性且係用作形成半導體基板中之元件之電氣端。在接著的處理步驟中，不同的摻雜區域係藉由交互連接予以彼此電氣連接。

電氣接線的方式通常為，開始時將一絕緣層沉積於半導體基板之表面上，之後於絕緣層中形成接觸洞。該等接觸洞通常由絕緣層之表面延伸至一所要連接之摻雜區域之表面，該所要連接之摻雜區域之表面係藉由接觸洞予以曝露。之後，舉例而言，一金屬內含層係沉積於絕緣層上及摻雜區域上之接觸洞中。接著，一溫度步驟通常係於含有氮氣之空氣中予以實施，同時達兩處理目標。首先，部分金屬內含層與摻雜區域之矽反應以形成一矽化物層且，其次，金屬內含層之非矽化部分起反應以形成一金屬氮化物內含層。

上述指明之方法步驟係已知的，舉例，出自“如原處角分解之X射線光電子光譜學所探討之多結晶鈦之氮化過程 (Nitridation of Polycrystalline Titanium as Studied by in situ Angle-Resolved X-ray Photoelectron Spectroscopy)”，A. 爾莫利夫 (Ermolieff) 等人，表面及交錯面分析，第11冊，第563-568頁(1988年)；

五、發明說明(2)

出自“氮化鈦/鈦薄膜於高高寬比接觸洞之電阻值上之濺鍍法之影響(Influence of the sputtering method of TiN/Ti films on the resistance of high aspect ratio contact holes)”，R. 卡納慕拉(Kanamura)等人，VMIC會議摘要，第554-559頁(1996年)；出自“使用熱形成之氮化鈦擴散阻障物用於256M DRAM製程之鎢接觸(Tungsten Contacts for 256M DRAM process using a thermally formed TiN diffusion barrier)”，J. 干比諾(Gambino)等人，VMIC會議摘要，第180i-180k頁(1996年)；出自“用於0.25及0.18微米多層交互連接之離子金屬電漿(IMP)沉積之鈦襯墊器(liner)(Ion Metal Plasma (IMP) deposited titanium liners)”，IEEE國際電子元件會議之會議記錄，(1996年)以及出自“用於300釐米鎢阻障物之積體化IMP Ti和MOCVD TiN以及用於次0.18微米積體電路製程之線器(Integrated IMP Ti and MOCVD TiN for 300 mm W Barrier and Liners for Sub 0.18 μ m IC Processing)”，SPIE之會議記錄，第3883冊，第130-136頁，(1999年)。

然而，該等已知方法的缺點在於接觸洞底部的電阻值之阻抗作得較高。此係導因於半導體工業中持續遞減之架構寬度以及從而增加之接觸洞高寬比，其中接觸洞之高寬比量化接觸洞深度對接觸洞直徑之比值。

一先前技藝之缺點在於所形成的矽化物層具有不合適的厚度且電阻值因而於電接合摻雜區域期間作得較大。此舉例導致電氣信號轉換時無法令人容忍之延遲時間，電路及元件從而變得不穩定。

發明概述

五、發明說明(3)

本發明之目的在於指明一種半導體元件之摻雜區域之改良之電接合方法。

根據本發明，本目的係藉由一種半導體元件之摻雜區域之電接合方法予以達成，其步驟為：

- 將摻雜物引入一具有基板表面之矽基板，一摻雜區域係於基板表面形成於基板中；
- 於基板表面上沉積並架構一絕緣層，一摻雜區域之表面區係曝露的；
- 於絕緣層和基板區上沉積一金屬內含層；
- 於一第一時間週期在一可含有氫氣或氫氣之第一空氣中於一第一溫度於一處理室中處理基板，使得金屬矽化物係從部分金屬層與矽產生，以及
- 於一第二時間週期在一可含有氫氣或氫氣之第二空氣中於一第二溫度處理基板，該第二空氣含有比例大於第一空氣之氮氣，剩餘之金屬內含層之數量係轉換成金屬氮化物。

根據本發明，兩溫度步驟係於一含有 H_2 (氫氣)之第一空氣中予以實施，該第一溫度步驟係有利地適用於初始使部分沉積之金屬內含層與摻雜區域之矽反應以形成一矽化物層，該矽化物層與該摻雜區域之間具有低阻抗接觸。

第一和第二空氣包含鈍氣氣體 H_2 或氫氣。氫氣舉例具有可藉由氫氣退火過程校正基板中之瑕疵的正面特性。於一同樣含有氫氣或氫氣之第二空氣中在第二溫度步驟期間增加之氮氣比例具有將金屬內含層之剩餘部分轉換成一金屬

五、發明說明(4)

氮化物內含層的效應。該金屬氮化物內含層於此實例中具有作為摻雜物和雜質之擴散阻障物的優點。類似地，其接下來的步驟期間作為反應氣體之擴散阻障物，如鎢沉積，或以矽中之高擴散作為金屬層之擴散阻障物，例如鋁。

根據本發明之方法之另一優點在於所形成之矽化物層厚度與所形成之金屬氮化物內含層厚度係藉由兩不相關的溫度步驟予以分別設定。這提高了製程的彈性並減少了摻雜區域之電接合中的電阻值。

一根據本發明之方法之有利改良使得第一時間週期比第二時間週期還短。

又一發明步驟規定金屬內含層包含鈦、鈮、鈷、鉬、鈹、鉑、鎳或鎢。這些金屬係適用於形成一金屬矽化物層。

亦規定金屬內含層係於一介於 180°C 至 220°C 之間且最好為 200°C 之溫度下藉由一種離子化金屬電漿方法予以沉積。離子化金屬電漿沉積方法係有利地適用於在具有大高寬比之接觸洞之底部上藉由經過指導的方法沉積金屬離子。因此，金屬內含層係沉積於摻雜區域之表面區上，具有增加之層厚度及改良之一致性。

進一步規定曝露之表面區係藉由一種溼化學清理操作予以清理。該溼化學清理操作具有任何絕緣層皆得以自摻雜區域之表面區予以移除的優點。因而減低接觸電阻值。

本發明之進一步有利改良係相關附屬申請專利範圍之主題。

五、發明說明(5)

圖示簡述

本發明係基於範例性具體實施例及圖示於底下予以詳細解釋，其中：

圖1表示一具有一摻雜區域、一接觸洞和一金屬內含層之基板；

圖2表示來自圖1之配置，已形成一金屬矽化物層；

圖3表示根據圖2之配置，已將金屬內含層轉換成一金屬氮化物內含層；

圖4表示四種不同產生方法中，一摻雜區域之電接合之相對電阻值。

詳細發明說明

圖1所示為一具有基板表面2之基板1。一摻雜區域3係配置於基板表面2上之基板1中。一絕緣層5係配置於基板表面2上。一接觸洞16係形成於絕緣層5中。接觸洞16曝露摻雜區域3之一表面區4。一金屬內含層6係配置於曝露之表面區4和絕緣層5上。

一表示於圖1之形成配置的方法最初係藉由一佈植技術於基板1中形成摻雜區域3。為此，舉例而言，摻雜物係經由基板表面2引入基板1中，這可例如藉由一種離子佈植技術予以實施。其次，絕緣層5係例如藉由一種CVD方法(化學氣相沉積法)予以沉積。絕緣層5係例如一種如BPSG(硼磷矽酸鹽玻璃)之摻雜之矽酸鹽玻璃。取決於所用的摻雜物，可將摻雜區域3作成n型導電性或p型導電性。例如硼、磷及砷係適用作摻雜物。同樣地可將基板1作成p或n

五、發明說明(6)

型摻雜基板。接下來的步驟藉由一種光微影步驟和一種蝕刻步驟於絕緣層5上形成一遮罩，該遮罩係適用於架構絕緣層5。遮罩可從一種矽氮化物予以形成。接著藉由一種導向型蝕刻方法將接觸洞蝕刻至絕緣層5內。在此實例中，接觸洞16係形成至絕緣層5內，其形成之深度得以曝露摻雜區域3之表面區4。接下來，實施一清理步驟以清理表面區4。一溼化學及等向性蝕刻方法係適用於達成此目的。接著，一金屬內含層6係藉由一種離子化金屬電漿沉積法形成於絕緣層5和曝露之表面區4上。此乃電漿輔助性濺鍍法，其中離子化金屬粒子係與一導向性元件沉積於摻雜區域3之表面區4上。該離子化金屬電漿製程係於例如200°C之溫度時予以實施。

引用圖2，一金屬矽化物層7係形成於摻雜區域3與金屬內含層6之間。該金屬矽化物層7係於一第一時間週期12在一第一空氣11中於一第一溫度10在一處理室中予以形成。若金屬內含層6含有鈦，在一含有氫氣之空氣中以5分鐘之時間週期於550°C之溫度之處理係適用於形成如鈦矽化物層之金屬矽化合物7。在此實例中，空氣中的氮氣係有利地維持低比例。氮氣比例最好低於25%。

另外，一位於RTP(快速熱處理)熔爐中的處理步驟係適用於形成金屬矽化物層7。為此，基板係在一內含氫氣之空氣中於600°C之溫度加熱10秒鐘。

引用圖3，已將金屬內含層6轉換成金屬氮化物內含層8。此係使基板在一處理室中於一第二空氣中以一第二溫

五、發明說明(7)

度處理一第二時間週期而達成。若金屬內含層6係一鈦內含層，則可在一由4%之氫氣與96%之氮氣成分所形成之氣體空氣中於一550°C之溫度下以超過20分鐘之時間週期形成一鈦氮化物內含層8。另外，在一由4%氫氣與96%氮氣成分所形氣體空氣中溫度為600°C一第二時間週期為50秒鐘之RTP處理步驟係適用於形成一鈦氮化物內含層8。

再者，時間週期為25分鐘溫度為550°C具有10%氫氣與90%氮氣之空氣之處理室中的溫度步驟係適用於形成一鈦矽化物層和一鈦氮化物層。

圖4表示四種不同處理方法P1、P2、P3和P4下的相對電阻值，每一個實例中皆有兩不同之濺鍍方法用於形成金屬內含層6。第一條曲線K1結合濺鍍沉積之方法用於以離子化金屬電漿沉積法所形成之金屬內含層。曲線K2結合已藉由一標準濺鍍法形成金屬內含層6之點。

方法P1在一由4%氫氣與96%氮氣所組成之空氣中以550°C之溫度實施一時間週期為25分鐘的單步溫度步驟。此處證實曲線K1和曲線K2產生相同的電阻值。作為對其它處理程序P2至P4之比較基礎，處理程序P1之電阻值係為100%之參考值。

處理程序P2最初在內含氫氣之空氣中於550°C之溫度實施一為時10分鐘之第一溫度步驟。接著，在一由4%氫氣和96%氮氣所形成之氣體中於一550°C之溫度下實施一為時15分鐘的溫度步驟。就離子化濺鍍方法而言，電阻值已降低至大約93%，且就標準濺鍍而言，電阻值則已降低至原

五、發明說明(8)

始電阻值之大約82%。

這說明了根據本發明的溫度處理方法優於標準方法。

溫度處理程序P3規定最初在內含氫氣之空氣中於550℃之溫度實施時間週期為20分鐘的溫度步驟。接著，在一由4%氫氣和96%氮氣所形成之空氣中於550℃之溫度實施間週期為5分鐘之溫度處理。方法P3在離子化濺鍍法下將電阻值降低至大約88%且在標準濺鍍法下則大約為79%。

處理程序P4規定在內含氫氣的空氣中於550℃之溫度下實施時間週期為25分鐘之溫度步驟。在此實例中，於離子化濺鍍法下電阻值係下降至原來的88%而於標準濺鍍法下則為78%。然而，方法P4未對金屬內含層6實施任何氮化過程，因而未形成氮化之阻障物。

元件簡要說明表列

- 1 基板
- 2 基板表面
- 3 摻雜區域
- 4 表面區
- 5 絕緣層
- 6 金屬內含層
- 7 金屬矽化物層
- 8 內含金屬氮化物之層
- 10 第一溫度
- 11 第一空氣
- 12 第一時間週期

裝
訂
線

五、發明說明(9)

13 第二溫度

14 第二空氣

15 第二時間週期

16 接觸洞

P1 第一處理

P2 第二處理

P3 第三處理

P4 第四處理

K1 第一曲線

K2 第二曲線

裝

訂

線

四、中文發明摘要(發明之名稱:半導體元件之摻雜區域之電接合方法)

本方法電接合一摻雜區域(3)，該摻雜區域(3)係形成於基板(1)之基板表面(2)。一絕緣層(5)係塗敷於該基板表面(2)，且一接觸洞(16)係形成於絕緣層(5)中。之後，一金屬內含層(6)係沉積於藉由接觸洞(16)而曝露之摻雜區域(3)之表面區(4)和絕緣層(5)上。接著為二段式溫度處理，首先金屬內含層(6)係與摻雜區域(3)之矽反應以形成一金屬矽化物層(7)，且接著在第二步溫度處理中，剩餘之金屬內含層(6)係轉換成一種金屬氮化物內含層(8)。

英文發明摘要(發明之名稱: METHOD OF ELECTRICALLY BONDING A DOPING REGION OF A SEMICONDUCTOR COMPONENT)

The method electrically bonds a doping region (3), which is formed at a substrate surface (2) of a substrate (1). An isolating layer (5) is applied to the substrate surface (2) and a contact hole (16) is formed in the isolating layer (5). After that, a metal-containing layer (6) is deposited on the isolating layer (5) and the surface area (4) of the doping region (3) exposed by means of the contact hole (16). In a subsequent, two-step temperature process, initially the metal-containing layer (6) is reacted with the silicon of the doping region (3) to form a metal silicide layer (7) and after that, in a second temperature step, the remaining metal-containing layer (6) is converted into a metal-nitride-containing layer (8).

六、申請專利範圍

1. 一種半導體元件之摻雜區域電接合之方法，其步驟為：
 - 將摻雜物引入一具有一基板表面(2)之矽基板(1)內，一摻雜區域(3)係於基板表面(2)在基板(1)中形成；
 - 於基板表面(2)上沉積並架構一絕緣層(5)，一摻雜區域(3)之表面區(4)係曝露的；
 - 於絕緣層(5)及表面區(4)上沉積一金屬內含層(6)；
 - 在一第一空氣(11)中以一第一溫度(10)於一處理室內以一第一時間週期(12)處理基板(1)，其中第一空氣(11)含有氫氣或氫氣，因而金屬矽化物係由部分金屬層和矽產生，以及
 - 在一第二空氣(14)中以一第二溫度(13)以一第二時間週期(15)處理基板(1)，其中第二空氣(14)可含有氫氣或氫氣，第二空氣(14)所含有之氮氣比例比第一空氣(11)的還大，剩餘之金屬內含層係轉換成金屬氮化物層。
2. 如申請專利範圍第1項之方法，其特徵在於該第一時間週期(12)比該第二時間週期(15)還短。
3. 如申請專利範圍第1或2項之方法，其特徵在於該金屬內含層(6)含有鈦、鉭、鈷、鉬、鈹、鉑、鎳或鎢。
4. 如申請專利範圍第1項之方法，其特徵在於該金屬內含層(6)係藉由一離子化金屬電漿方法於180°C與220°C的溫度範圍內予以沉積。
5. 如申請專利範圍第1項之方法，其特徵在於該曝露之表

六、申請專利範圍

面區(4)係藉由一溼化學清理操作予以清理。

6. 如申請專利範圍第3項之方法，其特徵在於該金屬內含層(6)係藉由一離子化金屬電漿方法 $200 \pm 5^{\circ}\text{C}$ 的溫度予以沉積。

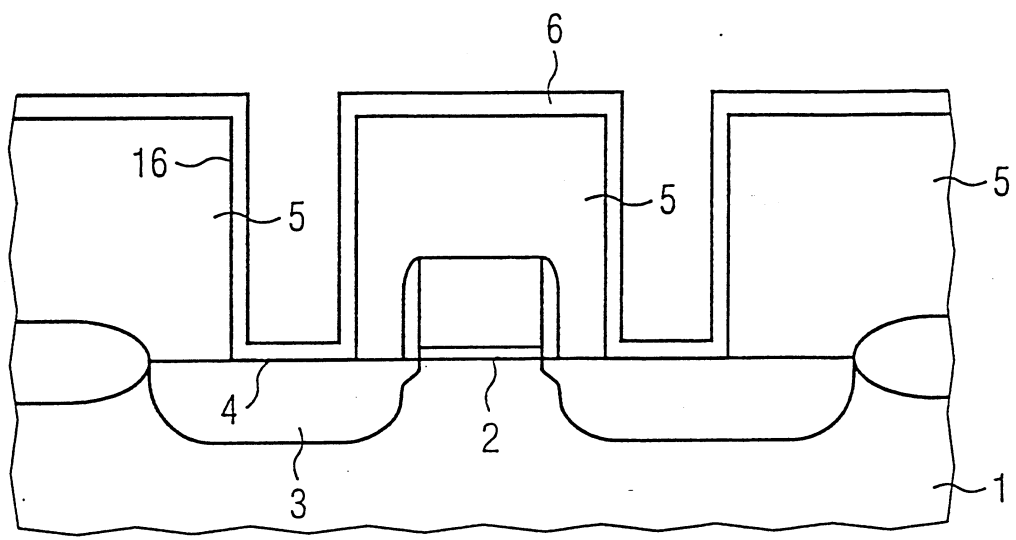


圖 1

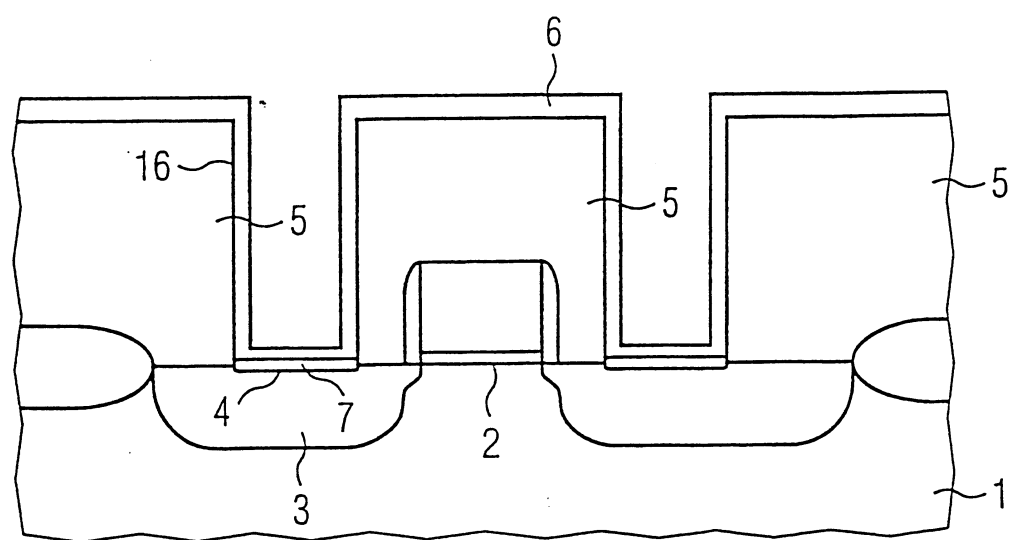


圖 2

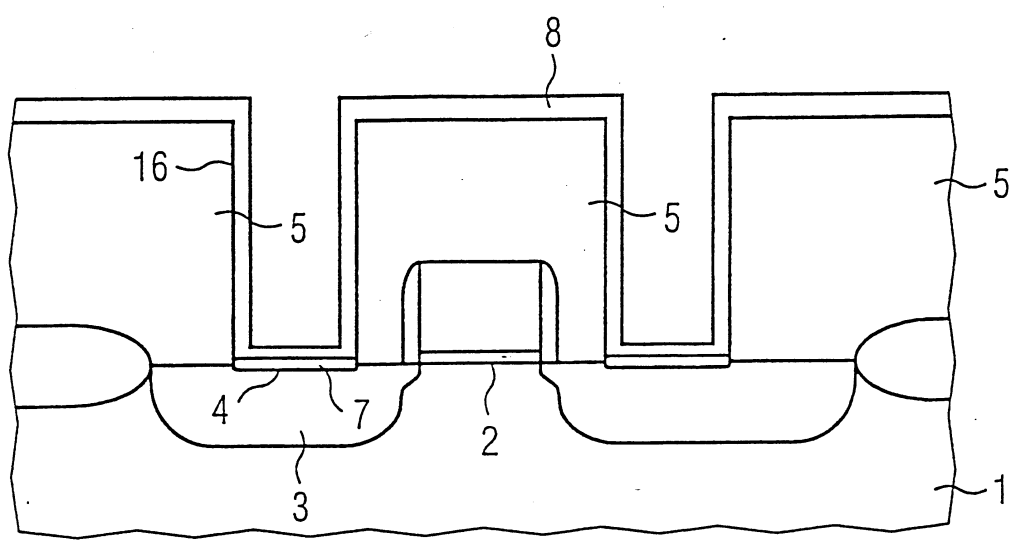


圖3

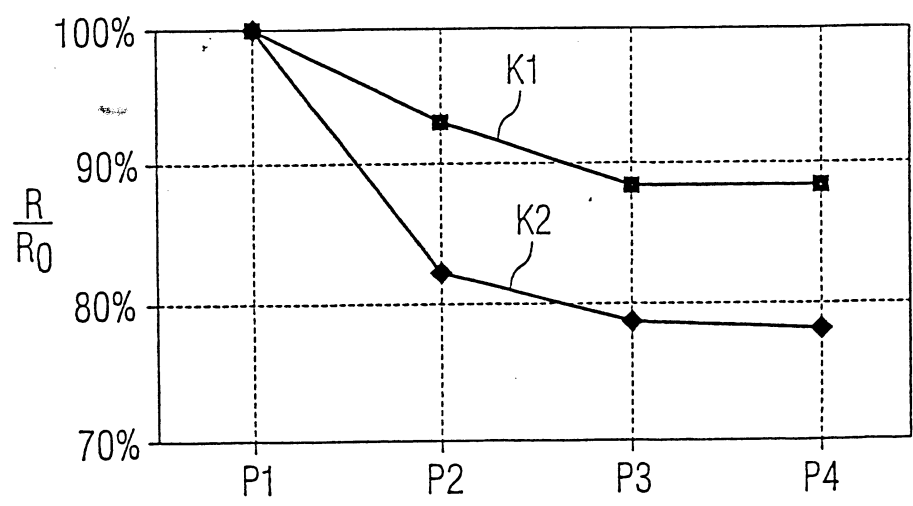


圖4