

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3988707号
(P3988707)

(45) 発行日 平成19年10月10日(2007.10.10)

(24) 登録日 平成19年7月27日(2007.7.27)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/30 K
H01L 51/50 (2006.01)	G09G 3/20 612E
	G09G 3/20 612T
	G09G 3/20 623R
請求項の数 13 (全 40 頁) 最終頁に続く	

(21) 出願番号	特願2003-350741 (P2003-350741)	(73) 特許権者	000002369
(22) 出願日	平成15年10月9日(2003.10.9)		セイコーエプソン株式会社
(62) 分割の表示	特願平10-531361の分割		東京都新宿区西新宿2丁目4番1号
原出願日	平成10年3月6日(1998.3.6)	(74) 代理人	100090479
(65) 公開番号	特開2004-38210 (P2004-38210A)		弁理士 井上 一
(43) 公開日	平成16年2月5日(2004.2.5)	(74) 代理人	100104710
審査請求日	平成17年3月2日(2005.3.2)		弁理士 竹腰 昇
(31) 優先権主張番号	特願平9-57858	(74) 代理人	100124682
(32) 優先日	平成9年3月12日(1997.3.12)		弁理士 黒田 泰
(33) 優先権主張国	日本国(JP)	(74) 代理人	100124626
(31) 優先権主張番号	特願平9-233108		弁理士 榎並 智和
(32) 優先日	平成9年8月28日(1997.8.28)	(74) 代理人	100095728
(33) 優先権主張国	日本国(JP)		弁理士 上柳 雅普
		(74) 代理人	100107076
			弁理士 藤網 英吉
		最終頁に続く	

(54) 【発明の名称】 画素回路、表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

少なくともデータ信号が供給される信号配線並びに駆動電流を流すための電源が供給される第1及び第2給電線が設けられた表示装置の表示領域を構成するマトリクス状の複数の画素の各々に設けられる画素回路であって、

前記第1及び第2給電線間に接続された電流駆動型の発光素子と、

前記第1及び第2給電線間に前記発光素子と直列に接続されたソース及びドレインを介して前記発光素子を流れる前記駆動電流を、ゲートに供給される前記データ信号の電圧に応じて制御する第1薄膜トランジスタ素子と、

前記第1薄膜トランジスタのゲートに接続されており、前記第1薄膜トランジスタのゲート電圧を保持する保持容量と、 10

前記第1及び第2給電線の一方と前記保持容量との間に配置され、入射光が減少するほど高抵抗となる特性を有する駆動電流補償素子と、

を備え、

前記駆動電流補償素子は、前記発光素子からの光が入射され、その入射光量の減少に応じて、前記駆動電流補償素子の抵抗値を増大させて、前記駆動電流を増加させることを特徴とする画素回路。

【請求項2】

前記信号配線は、前記データ信号が供給される信号線及び走査信号が供給される走査線を含み、前記走査信号がゲートに供給されると共にソース及びドレインを介して前記デー 20

タ信号が前記第 1 薄膜トランジスタのゲートに供給されるように接続された第 2 薄膜トランジスタを更に備えたことを特徴とする請求項 1 に記載の画素回路。

【請求項 3】

前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、前記第 1 薄膜トランジスタは、p チャンネル型であり、前記駆動電流補償素子は、前記保持容量と前記第 1 給電線との間に接続された補正用薄膜フォトダイオードを含むことを特徴とする請求項 1 または 2 に記載の画素回路。

【請求項 4】

前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、前記第 1 薄膜トランジスタは、p チャンネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第 1 給電線との間に接続された補正用薄膜トランジスタを含むことを特徴とする請求項 1 または 2 に記載の画素回路。

10

【請求項 5】

前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、前記第 1 薄膜トランジスタは、n チャンネル型であり、前記駆動電流補償素子は、前記保持容量と前記第 1 給電線との間に接続された補正用薄膜フォトダイオードを含むことを特徴とする請求項 1 または 2 に記載の画素回路。

【請求項 6】

前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、前記第 1 薄膜トランジスタは、n チャンネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第 1 給電線との間に接続された補正用薄膜トランジスタを含むことを特徴とする請求項 1 または 2 に記載の画素回路。

20

【請求項 7】

前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、前記第 1 薄膜トランジスタが、n チャンネル型であり、前記駆動電流補償素子は、前記保持容量と前記第 2 給電線との間に接続された補正用薄膜フォトダイオードを含むことを特徴とする請求項 1 または 2 に記載の画素回路。

【請求項 8】

前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、前記第 1 薄膜トランジスタが、n チャンネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第 2 給電線との間に接続された補正用薄膜トランジスタを含むことを特徴とする請求項 1 または 2 に記載の画素回路。

30

【請求項 9】

前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、前記第 1 薄膜トランジスタが、p チャンネル型であり、前記駆動電流補償素子は、前記保持容量と前記第 2 給電線との間に接続された補正用薄膜フォトダイオードを含むことを特徴とする請求項 1 または 2 に記載の画素回路。

【請求項 10】

前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、前記第 1 薄膜トランジスタが、p チャンネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第 2 給電線との間に接続された補正用薄膜トランジスタを含むことを特徴とする請求項 1 または 2 に記載の画素回路。

40

【請求項 11】

前記駆動電流補償素子は、前記第 1 薄膜トランジスタと同一の製造工程により形成されることを特徴とする請求項 1 乃至 10 のいずれかに記載の画素回路。

【請求項 12】

請求項 1 乃至 11 のいずれかに記載の画素回路を画素毎に備えたことを特徴とする表示装置。

【請求項 13】

請求項 12 に記載の表示装置を備えたことを特徴とする電子機器。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子及びこれを駆動する薄膜トランジスタ等の駆動素子を備えて構成される画素回路、及びこのような画素回路を各画素に備えて構成される表示装置、並びにこれらを備えた電子機器の技術分野に関し、特に、発光素子や駆動素子の経時劣化の影響を補正することが可能な駆動回路及び表示装置並びにこれらを備えた電子機器の技術分野に関する。

【背景技術】

【0002】

この種の表示装置として、薄膜トランジスタ（以下、TFTと称す）を駆動素子として用いて有機EL素子等の電流駆動型発光素子を駆動する方式の表示装置は、例えば以下のように構成されている。即ち、走査線駆動回路及び信号線駆動回路から、表示領域内の信号線及び走査線に対し夫々、表示すべき画像に対応するデータ信号及び走査信号が供給される。他方、共通電極駆動回路及び対向電極駆動回路から、表示領域内にマトリクス状に規定された複数の画素の夫々に設けられた駆動用TFTを介して各画素における画素電極と対向電極との間に電圧が印加される。そして、各画素の駆動用TFTにより、走査線から走査信号が供給されるタイミングで、信号線から供給されるデータ信号の電圧に応じて、画素電極及び対向電極間に配置された電流駆動型発光素子を流れる電流を制御するように構成されている。

より具体的には例えば、各画素には、スイッチング用TFTが設けられ、そのゲートに走査線から走査信号が供給されると、そのソース及びドレインを介して信号線からのデータ信号を駆動用TFTのゲートに供給する。駆動用TFTのソース及びドレイン間のコンダクタンスは、このようにゲートに供給されたデータ信号の電圧（即ち、ゲート電圧）に応じて制御（変化）される。この際、ゲート電圧は、当該ゲートに接続された保持容量によりデータ信号が供給された期間よりも長い期間に亘って保持される。そして、このようにコンダクタンスが制御されるソース及びドレインを介して駆動電流を有機EL素子等に供給することにより、有機EL素子等を駆動電流に応じて駆動するように構成されている。

【0003】

特にこのように駆動用TFT備えた有機EL素子は、大型・高精細・広視角・低消費電力の表示パネルを実現するための電流制御型発光素子として（以下、TFT-OELDと表記する）として有望視されている。

【0004】

しかしながら、有機EL素子等の電流駆動型発光素子においては、素子内を駆動電流が流れるために、大なり小なり経時劣化が存在する。例えば、有機EL素子の場合には、顕著な経時劣化が存在すると報告されている（Jpn. J. Appl. Phys., , 34, L824(1995)）。有機EL素子の経時劣化は、2種類に大別される。一つは、有機EL素子に印加される電圧に対して、電流量が低下する劣化である。もう一つは、有機EL素子に印加される電圧或いは有機EL素子を流れる電流に対して発光量が低下する劣化である。また、これらの経時劣化は、有機EL素子毎にバラツキをもって発生する。更に、TFT-OELDでは、駆動素子としてのTFTを流れる電流によりTFTの経時劣化が発生することもある。

【0005】

このため、TFT-OELDを用いた表示装置では、このような有機EL素子や駆動用TFTの経時劣化が生じたときに、画質劣化が問題となる。すなわち、電流量が低下する劣化や発光量が低下する劣化は、画面輝度の低下を招き、電流量の低下のバラツキや発光量の低下のバラツキは、画面ムラを生じさせる。特に、これらの劣化は、製造時における有機EL素子の発光特性、駆動用TFTの電圧電流特性やしきい値特性のバラツキ、表示パターンの履歴等に依存するため、表示装置全体の画質劣化につながると同時に、画面ムラ

10

20

30

40

50

の原因となるのである。

【 0 0 0 6 】

ここで、例えば特許文献 1 には、液晶表示パネルの背面光源（バックライト）として E L 素子を用いて、該 E L 素子により背後から照らされた液晶表示パネル全体の明るさが低下しないように該 E L 素子の輝度を検知して、背面光源全体の劣化を補正する技術が開示されている。しかしながら、この技術は、液晶表示パネルに関するものであり、且つ E L 素子が表示素子として各画素に設けられている訳ではなく、単なる背面光源として用いられており、根本的に本願発明の技術分野とは異なる技術分野に関するものである。そして、各画素に有機 E L 素子等の電流駆動型発光素子を備えて構成される表示装置において、上述のような経時劣化を補正する有効な技術は提案されていない。更に、このような電流駆動型発光素子を各画素に備えた表示装置において、電流駆動型発光素子や駆動用 T F T における経時劣化を補正することにより表示装置の寿命を延ばす或いは表示品質を向上させるという技術的課題自体が当業者間で認識されていないのが現状である。

10

【 0 0 0 7 】

【特許文献 1】特開平 0 5 - 0 1 9 2 3 4 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

そこで、本発明は、電流駆動型発光素子における電流量や発光量が低下する経時劣化が発生した場合や該経時劣化がバラツキをもって発生した場合に、その経時劣化を適宜補正し、画面輝度の低下や画面ムラを低減することが可能な電流駆動型発光素子を備えた画素回路及び表示装置並びにこれらを備えた電子機器を提供することを技術的課題とする。

20

【課題を解決するための手段】

【 0 0 0 9 】

本発明に係る画素回路は、少なくともデータ信号が供給される信号配線並びに駆動電流を流すための電源が供給される第 1 及び第 2 給電線が設けられた表示装置の表示領域を構成するマトリクス状の複数の画素の各々に設けられる画素回路であって、前記第 1 及び第 2 給電線間に接続された電流駆動型の発光素子と、前記第 1 及び第 2 給電線間に前記発光素子と直列に接続されたソース及びドレインを介して前記発光素子を流れる前記駆動電流を、ゲートに供給される前記データ信号の電圧に応じて制御する第 1 薄膜トランジスタ素子と、前記第 1 薄膜トランジスタのゲートに接続されており、前記第 1 薄膜トランジスタのゲート電圧を保持する保持容量と、前記第 1 及び第 2 給電線の間と前記保持容量との間に配置され、入射光が減少するほど高抵抗となる特性を有する駆動電流補償素子と、を備え、前記駆動電流補償素子は、前記発光素子からの光が入射され、その入射光量の減少に応じて、前記駆動電流補償素子の抵抗値を増大させて、前記駆動電流を増加させることを特徴とする。

30

【 0 0 1 9 】

さらに本発明は以下のような特徴を有する。

(1) 本発明の第 1 の表示装置は、画素毎に設けられた電流駆動型の発光素子と、該画素毎に設けられており前記発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子と、前記発光素子に前記駆動電流を前記駆動素子を介して流すための電源を電源配線を介して供給する電源部と、前記駆動素子に前記データ信号を信号配線を介して供給する信号配線駆動部と、前記信号配線を介して所定電圧のデータ信号を前記駆動素子に供給したときに前記発光素子を流れる駆動電流の電流量及び前記発光素子から発せられる光の発光量のうち少なくとも一方が所定基準値に近付くように、前記電源部における電源及び前記信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧を調整する電圧調整部とを備えたことを特徴とする。

40

【 0 0 2 0 】

第 1 の表示装置によれば、電源部からの電源供給により、発光素子には、駆動電流が駆動素子を介して流れる。他方、駆動素子には、データ信号が信号配線駆動部から信号配線

50

を介して供給される。そして、駆動素子により、発光素子に流れる駆動電流がデータ信号の電圧に応じて制御される。これらの結果、電流駆動型の発光素子は、駆動電流によりデータ信号の電圧に対応して発光する。ここで、例えば非表示期間において信号配線を介して所定電圧のデータ信号が駆動素子に供給されたときに、電圧調整部により、発光素子に流れる駆動電流の電流量又は発光素子から発せられる光の発光量が所定基準値（即ち、基準電流量又は基準発光量）に近づくように、電源部における電源及び信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧が調整される。

【 0 0 2 1 】

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなったり、発光素子が発光し難くなったりしても、当該発光素子における駆動電流量或いは発光量は、ほぼ一定とされる。即ち、発光素子や駆動素子の経時劣化による駆動電流量や発光量の低下を、電圧調整部による電圧調整により適宜補正できる。

10

【 0 0 2 2 】

更に、電圧調整部による電圧調整を複数の画素について個別に行うようにすれば、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。即ち、発光素子や駆動素子の特性のバラツキによる駆動電流量や発光量のバラツキを適宜補正できる。

【 0 0 2 3 】

以上の結果、第 1 の表示装置によれば、有機 E L 素子等の電流駆動型の発光素子を薄膜トランジスタ等の駆動素子により駆動する表示装置において、各素子の経時劣化や特性バラツキによる画面輝度の低下や画面ムラを低減できる。

20

（ 2 ）第 1 の表示装置の一つの態様では、前記駆動素子は、ゲートに前記データ信号が供給されると共にゲート電圧によりコンダクタンスが制御されるソース及びドレイン間を介して前記駆動電流が流れる薄膜トランジスタからなる。

【 0 0 2 4 】

この態様によれば、薄膜トランジスタのゲートにデータ信号が供給されると、そのソース及びドレイン間のコンダクタンスは、ゲート電圧により制御（変化）される。従って、このソース及びドレイン間を介して発光素子に流れる駆動電流を、データ信号の電圧に応じて制御することができる。

30

（ 3 ）第 1 の表示装置の他の態様では、前記電圧調整部は、前記所定電圧のデータ信号を前記駆動素子に供給したときの前記駆動電流の電流量を測定する電流量測定部と、該測定された電流量が予め設定された基準電流量に近づくように前記少なくとも一方の電圧を調整する電圧制御部とを備える。

【 0 0 2 5 】

この態様によれば、所定電圧のデータ信号を駆動素子に供給したときの駆動電流の電流量が、電流量測定部により測定される。そして、該測定された電流量が予め設定された基準電流量に近づくように、データ信号の電圧又は駆動電流の電源電圧が電圧制御部により調整される。

40

【 0 0 2 6 】

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなっても、当該発光素子における駆動電流量は、ほぼ一定とされる。更に、複数の画素間で、発光素子や駆動素子の電圧電流特性にバラツキがあったとしても、データ信号の電圧調整を画素毎に個別に行うようにすれば、当該複数の画素の発光素子における駆動電流量をほぼ一定にできる。

（ 4 ）第 1 の表示装置の他の態様では、前記電圧調整部は、前記所定電圧のデータ信号を前記駆動素子に供給したときの前記発光量を測定する発光量測定部と、該測定された発光量が予め設定された基準発光量に近づくように前記少なくとも一方の電圧を調整する電圧制御部とを備える。

50

【 0 0 2 7 】

この態様によれば、所定電圧のデータ信号を駆動素子に供給したときの発光素子の発光量が、発光量測定部により測定される。そして、該測定された発光量が予め設定された基準発光量に近付くように、データ信号の電圧又は駆動電流の電源電圧が電圧制御部により調整される。

【 0 0 2 8 】

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して発光素子が発光し難くなっても、当該発光素子における発光量は、ほぼ一定とされる。更に、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、データ信号の電圧調整を画素毎に個別に行うようにすれば、当該複数の画素の発光素子における駆動電流量をほぼ一定にできる。

10

(5) 第 1 の表示装置の他の態様では、表示期間に先立つ非表示期間に、前記少なくとも一方の電圧を調整するように前記電圧調整部を制御するコントローラを更に備える。

【 0 0 2 9 】

この態様によれば、コントローラによる制御下で、表示期間に先立つ非表示期間に、データ信号の電圧又は駆動電流の電源電圧が電圧調整部により調整される。

【 0 0 3 0 】

従って、表示期間の一部を測定のために占有しなくて済むと同時に、電圧調整部により適宜電圧調整をしながら、調整動作により表示期間における画像表示に悪影響を及ぼすことはない。また、発光素子や駆動素子における経時劣化の進行速度に鑑みれば、例えば、電源投入時などの非表示期間毎に電源調整部による調整を行えば十分である場合が多い。

20

(6) 本発明の第 2 の表示装置は上述の技術的課題を解決するために、表示領域において画素毎に設けられた電流駆動型の表示用発光素子と、該画素毎に設けられており前記表示用発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子と、前記表示用発光素子に前記駆動電流を前記駆動素子を介して流すための電源を電源配線を介して供給する電源部と、前記駆動素子に前記データ信号を信号配線を介して供給する信号配線駆動部と、モニタ用領域に設けられており前記表示用発光素子と同様に電流駆動される電流駆動型のモニタ用発光素子と、該モニタ用発光素子における電流量及び発光量のうち少なくとも一方が所定基準値に近付くように、前記電源部における電源及び前記信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧を調整する電圧調整部とを備えたことを特徴とする。

30

【 0 0 3 1 】

第 2 の表示装置によれば、電源部からの電源供給により、表示用発光素子には、駆動電流が駆動素子を介して流れる。他方、駆動素子には、データ信号が信号配線駆動部から信号配線を介して供給される。そして、駆動素子により、表示用発光素子に流れる駆動電流がデータ信号の電圧に応じて制御される。これらの結果、電流駆動型の表示用発光素子は、駆動電流によりデータ信号の電圧に対応して発光する。ここで、例えば非表示期間において信号配線を介して所定電圧のデータ信号が駆動素子に供給されたときに、電圧調整部により、表示用発光素子と同様に電流駆動される電流駆動型のモニタ用発光素子における電流量又は発光量が所定基準値（即ち、基準電流量又は基準発光量）に近付くように、電源部における電源及び信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧が調整される。ここで特に、モニタ用領域に設けられたモニタ用発光素子は、表示領域に設けられた表示用発光素子と同様に電流駆動されるため、モニタ用発光素子における経時劣化は、表示用発光素子における経時劣化と類似或いは同様の傾向を持つと考察される。

40

【 0 0 3 2 】

従って、表示用発光素子や駆動素子の経時劣化により、表示用発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなったり、表示用発光素子が発光し難くなったりしても、当該表示用発光素子における駆動電流量或いは発光量は、ほぼ一定とされる。即ち、表示用発光素子や駆動素子の経時劣化による駆動電流量や発光量の低下を、モニタ用発光素子における電流量や発光量に基づく電圧調整部の電圧調整により適宜補正できる。

50

【0033】

更に、電圧調整部による電圧調整を複数の画素について個別に行うようにすれば、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。即ち、発光素子や駆動素子の特性のバラツキによる駆動電流量や発光量のバラツキを適宜補正できる。

【0034】

以上の結果、第2の表示装置によれば、有機EL素子等の電流駆動型の発光素子を薄膜トランジスタ等の駆動素子により駆動する表示装置において、各素子の経時劣化や特性バラツキによる画面輝度の低下や画面ムラを低減できる。

10

(7)第2の表示装置の一つの態様では、前記駆動素子は、ゲートに前記データ信号が供給されると共にゲート電圧によりコンダクタンスが制御されるソース及びドレイン間を介して前記駆動電流が流れる薄膜トランジスタからなる。

【0035】

この態様によれば、薄膜トランジスタのゲートにデータ信号が供給されると、そのソース及びドレイン間のコンダクタンスは、ゲート電圧により制御(変化)される。従って、このソース及びドレイン間を介して表示用発光素子に流れる駆動電流を、データ信号の電圧に応じて制御することができる。

(8)第2の表示装置の他の態様では、前記電圧調整部は、前記モニタ用発光素子における電流量を測定する電流量測定部と、該測定された電流量が予め設定された基準電流量に近付くように前記少なくとも一方の電圧を調整する電圧制御部とを備える。

20

【0036】

この態様によれば、モニタ用発光素子における電流量が、電流量測定部により測定される。そして、該測定された電流量が予め設定された基準電流量に近付くように、データ信号の電圧又は駆動電流の電源電圧が電圧制御部により調整される。

【0037】

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなっても、当該発光素子における駆動電流量は、ほぼ一定とされる。更に、複数の画素間で、発光素子や駆動素子の電圧電流特性にバラツキがあったとしても、電圧調整を画素毎に個別に行うようにすれば、当該複数の画素の発光素子における駆動電流量をほぼ一定にできる。

30

(9)第2の表示装置の他の態様では、前記電圧調整部は、前記モニタ用発光素子における発光量を測定する発光量測定部と、該測定された発光量が予め設定された基準発光量に近付くように前記少なくとも一方の電圧を調整する電圧制御部とを備える。

【0038】

この態様によれば、モニタ用発光素子における発光量が、発光量測定部により測定される。そして、該測定された発光量が予め設定された基準発光量に近付くように、データ信号の電圧又は駆動電流の電源電圧が電圧制御部により調整される。

【0039】

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して発光素子が発光し難くなっても、当該発光素子における発光量は、ほぼ一定とされる。更に、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、データ信号の電圧調整を画素毎に個別に行うようにすれば、当該複数の画素の発光素子における駆動電流量をほぼ一定にできる。

40

(10)第2の表示装置の他の態様では、表示期間に先立つ非表示期間に前記少なくとも一方の電圧を調整するように前記電圧調整部を制御するコントローラを更に備える。

【0040】

この態様によれば、コントローラによる制御下で、表示期間に先立つ非表示期間に、データ信号の電圧又は駆動電流の電源電圧が電圧調整部により調整される。従って、電圧調整部により適宜電圧調整をしながらも、調整動作により表示期間における画像表示に悪影

50

響を及ぼすことはない。

(11) 第2の表示装置の他の態様では、前記表示用発光素子と前記モニタ用発光素子とが、同一の基板上に形成されている。

【0041】

この態様によれば、表示用発光素子とモニタ用発光素子とを類似或いは同様の環境で動作させることにより、両者における経時劣化の傾向を類似した或いは同様のものにできる。従って、モニタ用発光素子における電流量や発光量に基づいて表示用発光素子についての電圧調整を精度良く行うことができる。

(12) 第2の表示装置の他の態様では、前記表示用発光素子と前記モニタ用発光素子とが、同一の製造工程により形成されている。

10

【0042】

この態様によれば、モニタ用発光素子を製造するために、別途製造工程を必要としないので製造上有利である。しかも、比較的容易に表示用発光素子の特性とモニタ用発光素子の特性とを類似或いは同様のものとすることができる。従って、両者における経時劣化の傾向を類似した或いは同様のものにできる。

(13) 第2の表示装置の他の態様では、前記電源部は、表示期間に前記表示用発光素子及び前記モニタ用発光素子の両方に前記駆動電流を流すための電源を供給する。

【0043】

この態様によれば、表示期間には、表示用発光素子及びモニタ用発光素子の両方に駆動電流が流されるので、両者における経時劣化の傾向を類似した或いは同様のものにできる。

20

(14) 本発明の画素回路は上述の技術的課題を解決するために、少なくともデータ信号が供給される信号配線並びに駆動電流を流すための電源が供給される第1及び第2給電線が設けられた表示装置の表示領域を構成するマトリクス状の複数の画素の各々に設けられる画素回路であって、前記第1及び第2給電線間に接続された電流駆動型の発光素子と、前記第1及び第2給電線間に前記発光素子と直列に接続されたソース及びドレインを介して前記発光素子を通る前記駆動電流を、ゲートに供給される前記データ信号の電圧に応じて制御する第1薄膜トランジスタ(カレント制御用の薄膜トランジスタ)と、前記駆動電流の電流量の減少及び前記発光素子の発光量の減少のうち少なくとも一方に応じて前記駆動電流を増加させる駆動電流補償素子とを備えたことを特徴とする。

30

【0044】

本発明の画素回路によれば、第1及び第2給電線からの電源供給により、発光素子には、駆動電流が第1薄膜トランジスタのソース及びドレインを介して流れる。他方、第1薄膜トランジスタのゲートには、データ信号が信号配線を介して供給される。そして、第1薄膜トランジスタのソース及びドレイン間のコンダクタンスがゲート電圧により制御(変化)され、発光素子に流れる駆動電流がデータ信号の電圧に応じて制御されることになる。これらの結果、電流駆動型の発光素子は、駆動電流によりデータ信号の電圧に対応して発光する。そして、このように流れる駆動電流は、駆動電流補償素子により、駆動電流の電流量又は発光素子の発光量の減少に応じて増加させられる。

【0045】

40

従って、発光素子や第1薄膜トランジスタの経時劣化により、発光素子や第1薄膜トランジスタの抵抗が増加等して駆動電流が流れ難くなったり、発光素子が発光し難くなったりしても、当該発光素子における駆動電流量或いは発光量は、ほぼ一定とされる。即ち、発光素子や第1薄膜トランジスタの経時劣化による駆動電流量や発光量の低下を、駆動電流補償素子による抵抗減少等による駆動電流を増加させる作用により自動的に補正できる。

【0046】

更に、このような補正は複数の画素について個別に行われるので、複数の画素間で、発光素子や第1薄膜トランジスタの電圧電流特性や電流発光特性にバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる

50

。即ち、発光素子や第 1 薄膜トランジスタの特性のバラツキによる駆動電流量や発光量のバラツキを自動的に補正できる。

【 0 0 4 7 】

以上の結果、本発明の画素回路によれば、有機 E L 素子等の電流駆動型の発光素子を第 1 薄膜トランジスタにより駆動する画素回路において、各素子の経時劣化や特性バラツキによる画面輝度の低下や画面ムラを低減できる。

(1 5) 画素回路の一つの態様では、前記信号配線は、前記データ信号が供給される信号線及び走査信号が供給される走査線を含み、前記走査信号がゲートに供給されると共にソース及びドレインを介して前記データ信号が前記第 1 薄膜トランジスタのゲートに供給されるように接続された第 2 薄膜トランジスタ (スイッチング用の薄膜トランジスタ) を更に備える。

10

【 0 0 4 8 】

この態様によれば、走査線を介して走査信号が第 2 薄膜トランジスタのゲートに供給されると、当該第 2 薄膜トランジスタのソース及びドレイン間は導通状態とされる。これと並行して、信号線を介してデータ信号が第 2 薄膜トランジスタのソース又はドレインに供給されると、該第 2 薄膜トランジスタのソース及びドレインを介して、データ信号が第 1 薄膜トランジスタのゲートに供給される。

(1 6) 画素回路の他の態様では、前記駆動電流補償素子は、前記発光素子の両端の電圧と前記駆動電流の電流量との関係に依存して、前記第 1 給電線と前記第 2 給電線との間の抵抗を調整する。

20

【 0 0 4 9 】

この態様によれば、発光素子の両端の電圧と駆動電流の電流量との関係に依存して、第 1 給電線と第 2 給電線との間の抵抗が駆動電流補償素子により調整されることにより、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(1 7) この電圧と電流量との関係に依存して調整する態様では、前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第 2 給電線との間に前記発光素子と直列に接続された n チャネル型の第 1 の補正用薄膜トランジスタを含むように構成してもよい。

【 0 0 5 0 】

30

この場合、第 1 給電線と第 2 給電線との間の抵抗が、 n チャネル型の第 1 の補正用薄膜トランジスタにより調整されて、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(1 8) 或いは、この電圧と電流量との関係に依存して調整する態様では、前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第 2 給電線との間に前記発光素子と直列に接続された p チャネル型の第 1 の補正用薄膜トランジスタを含むように構成してもよい。

【 0 0 5 1 】

この場合、第 1 給電線と第 2 給電線との間の抵抗が、 p チャネル型の第 1 の補正用薄膜トランジスタにより調整されて、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

40

(1 9) 或いは、この電圧と電流量との関係に依存して調整する態様では、前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第 2 給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第 1 給電線との間に前記発光素子と直列に接続された p チャネル型の第 2 の補正用薄膜トランジスタを含むように構成してもよい。

【 0 0 5 2 】

この場合、第 1 給電線と第 2 給電線との間の抵抗が、 p チャネル型の第 2 の補正用薄膜トランジスタにより調整されて、駆動電流の電流量の減少に応じて当該駆動電流が増加さ

50

せられる。

(20) 或いは、この電圧と電流量との関係に依存して調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第2給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第1給電線との間に前記発光素子と直列に接続されたnチャネル型の第2の補正用薄膜トランジスタを含むように構成してもよい。

【0053】

この場合、第1給電線と第2給電線との間の抵抗が、nチャネル型の第2の補正用薄膜トランジスタにより調整されて、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

10

(21) 画素回路の他の態様では、前記第1薄膜トランジスタのゲートに接続されており、前記第1薄膜トランジスタのゲート電圧を保持する保持容量を更に備える。

【0054】

この態様によれば、データ信号が供給された後の第1薄膜トランジスタのゲート電圧は、保持容量により保持される。従って、データ信号を与える期間よりも長い期間に亘って、第1薄膜トランジスタのソース及びドレインを介して駆動電流を流すことが可能となる。

(22) この保持容量を備えた態様では、前記駆動電流補償素子は、前記発光素子の両端の電圧と前記駆動電流の電流量との関係に依存して、前記第1及び第2給電線の一方と前記保持容量との間の抵抗を調整するように構成してもよい。

20

【0055】

この態様によれば、発光素子の両端の電圧と駆動電流の電流量との関係に依存して、第1又は第2給電線と保持容量との間の抵抗が駆動電流補償素子により調整されることにより、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(23) このように給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第1給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第1給電線との間に接続された、前記第1薄膜トランジスタと同じn又はpチャネル型の第3の補正用薄膜トランジスタを含むように構成してもよい。

【0056】

この場合、第1又は第2給電線と保持容量との間の抵抗が、第1薄膜トランジスタと同じn又はpチャネル型の第3の補正用薄膜トランジスタにより調整されて、第1給電線から第2給電線に向かって流れる駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

30

(24) 或いは、このように給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第1給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第1給電線との間に接続された、前記第1薄膜トランジスタと同じn又はpチャネル型の第3の補正用薄膜トランジスタを含むように構成してもよい。

【0057】

この場合、第1又は第2給電線と保持容量との間の抵抗が、第1薄膜トランジスタと同じn又はpチャネル型の第3の補正用薄膜トランジスタにより調整されて、第2給電線から第1給電線に向かって流れる駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

40

(25) 或いは、このように給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第1給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第2給電線との間に接続された、前記第1薄膜トランジスタと反対のn又はpチャネル型の第4の補正用薄膜トランジスタを含むように構成してもよい。

【0058】

50

この場合、第1又は第2給電線と保持容量との間の抵抗が、第1薄膜トランジスタと反対のn又はpチャネル型の第4の補正用薄膜トランジスタにより調整されて、第1給電線から第2給電線に向かって流れる駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(26)或いは、このように給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第1給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第2給電線との間に接続された、前記第1薄膜トランジスタと反対のn又はpチャネル型の第4の補正用薄膜トランジスタを含むように構成してもよい。

【0059】

10

この場合、第1又は第2給電線と保持容量との間の抵抗が、第1薄膜トランジスタと反対のn又はpチャネル型の第4の補正用薄膜トランジスタにより調整されて、第2給電線から第1給電線に向かって流れる駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(27)画素回路の他の態様では、前記駆動電流補償素子は、前記発光素子の両端の電圧と前記発光量との関係に依存して、前記第1給電線と前記第2給電線との間の抵抗を調整する。

【0060】

この態様によれば、発光素子の両端の電圧と発光量との関係に依存して、第1給電線と第2給電線との間の抵抗が駆動電流補償素子により調整されることにより、発光素子の発光量の減少に応じて当該駆動電流が増加させられる。

20

(28)更に、上述の保持容量を備えた態様では、前記駆動電流補償素子は、前記発光素子の両端の電圧と前記発光量との関係に依存して、前記第1及び第2給電線の一方と前記保持容量との間の抵抗を調整するように構成してもよい。

【0061】

この態様によれば、発光素子の両端の電圧と発光量との関係に依存して、第1又は第2給電線と保持容量との間の抵抗が駆動電流補償素子により調整されることにより、発光量の減少に応じて当該駆動電流が増加させられる。

(29)このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記第1薄膜トランジスタは、pチャネル型であり、前記駆動電流補償素子は、前記保持容量と前記第1給電線との間に接続された第1の補正用薄膜フォトダイオードを含むように構成してもよい。

30

【0062】

この場合、第1又は第2給電線と保持容量との間の抵抗が、第1の補正用薄膜フォトダイオードにより調整されて、pチャネル型の第1薄膜トランジスタに対し第1給電線から第2給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(30)或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記第1薄膜トランジスタは、pチャネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第1給電線との間に接続された第5の補正用薄膜トランジスタを含むように構成してもよい。

40

【0063】

この場合、第1又は第2給電線と保持容量との間の抵抗が、第5の補正用薄膜トランジスタにより調整されて、pチャネル型の第1薄膜トランジスタに対し第1給電線から第2給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(31)或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記第1薄膜トランジスタは、nチャネル型であり、前記駆動電流補償素子は、前記保持容量と前記第1給電線との間に接続された第1の補正用薄膜フォトダイオード

50

ドを含むように構成してもよい。

【0064】

この場合、第1又は第2給電線と保持容量との間の抵抗が、第1の補正用薄膜フォトダイオードにより調整されて、nチャネル型の第1薄膜トランジスタに対し第2給電線から第1給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(32)或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記第1薄膜トランジスタは、nチャネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第1給電線との間に接続された第5の補正用薄膜トランジスタを含むように構成してもよい。

10

【0065】

この場合、第1又は第2給電線と保持容量との間の抵抗が、第5の補正用薄膜トランジスタにより調整されて、nチャネル型の第1薄膜トランジスタに対し第2給電線から第1給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(33)或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記第1薄膜トランジスタが、nチャネル型であり、前記駆動電流補償素子は、前記保持容量と前記第2給電線との間に接続された第2の補正用薄膜フォトダイオードを含むように構成してもよい。

【0066】

20

この場合、第1又は第2給電線と保持容量との間の抵抗が、第2の補正用薄膜フォトダイオードにより調整されて、nチャネル型の第1薄膜トランジスタに対し第1給電線から第2給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(34)或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記第1薄膜トランジスタが、nチャネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第2給電線との間に接続された第6の補正用薄膜トランジスタを含むように構成してもよい。

【0067】

この場合、第1又は第2給電線と保持容量との間の抵抗が、第6の補正用薄膜トランジスタにより調整されて、nチャネル型の第1薄膜トランジスタに対し第1給電線から第2給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

30

(35)或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記第1薄膜トランジスタが、pチャネル型であり、前記駆動電流補償素子は、前記保持容量と前記第2給電線との間に接続された第2の補正用薄膜フォトダイオードを含むように構成してもよい。

【0068】

この場合、第1又は第2給電線と保持容量との間の抵抗が、第2の補正用薄膜フォトダイオードにより調整されて、pチャネル型の第1薄膜トランジスタに対し第2給電線から第1給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

40

(36)或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記第1薄膜トランジスタが、pチャネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第2給電線との間に接続された第6の補正用薄膜トランジスタを含むように構成してもよい。

【0069】

この場合、第1又は第2給電線と保持容量との間の抵抗が、第6の補正用薄膜トランジスタにより調整されて、pチャネル型の第1薄膜トランジスタに対し第2給電線から第1給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

50

(37) 画素回路の他の態様では、前記駆動電流補償素子は、前記第1薄膜トランジスタと同一の製造工程により形成される薄膜トランジスタを含む。

【0070】

この態様によれば、駆動電流補償素子を製造するために、別途製造工程を必要としないので製造上有利である。

(38) 本発明の第3の表示装置は上述の技術的課題を解決するために、画素毎に設けられた電流駆動型の発光素子と、該画素毎に設けられており前記発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子と、前記発光素子に前記駆動電流を前記駆動素子を介して流すための電源を電源配線を介して供給する電源部と、画像信号源から入力される画像信号に対応する電圧を持つデータ信号を信号線を介して前記駆動素子に供給する信号線駆動回路と、前記信号線を介して所定電圧のデータ信号を前記駆動素子に供給したときに前記発光素子に流れる駆動電流の電流量及び前記発光素子から発せられる光の発光量のうち少なくとも一方を測定する測定部と、前記画像信号源と前記信号線駆動回路との間に介在しており前記測定された電流量及び発光量の少なくとも一方が所定基準値に近づくように前記画像信号を補正した後に前記信号線駆動回路に入力する補正回路とを備えたことを特徴とする。

【0071】

第3の表示装置によれば、電源部からの電源供給により、発光素子には、駆動電流が駆動素子を介して流れる。他方、駆動素子には、画像信号源から入力され画像信号に対応する電圧を持つデータ信号が、信号線駆動回路から信号線を介して供給される。そして、駆動素子により、発光素子に流れる駆動電流がデータ信号の電圧に応じて制御される。これらの結果、電流駆動型の発光素子は、駆動電流によりデータ信号の電圧に対応して発光する。ここで、例えば非表示期間において信号線を介して所定電圧のデータ信号が駆動素子に供給されたときに、測定部により、発光素子に流れる駆動電流の電流量又は発光素子の発光量が測定される。このように測定された電流量又は発光量が所定基準値（即ち、基準電流量又は基準発光量）に近づくように、画像信号が補正回路により補正される。そして、補正された画像信号が信号線駆動回路に入力される。従って、駆動素子には、補正された画像信号に対応する電圧を持つデータ信号が、信号線駆動回路から信号線を介して供給される。

【0072】

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなったり、発光素子が発光し難くなったりしても、当該発光素子における駆動電流量或いは発光量は、ほぼ一定とされる。

【0073】

更に、補正回路による補正を複数の画素について個別に行うようにすれば、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。

【0074】

以上の結果、第3の表示装置によれば、有機EL素子等の電流駆動型の発光素子を薄膜トランジスタ等の駆動素子により駆動する表示装置において、各素子の経時劣化や特性バラツキによる画面輝度の低下や画面ムラを低減できる。

(39) 第3の表示装置の一つの態様では、前記駆動素子は、ゲートに前記データ信号が供給されると共にゲート電圧によりコンダクタンスが制御されるソース及びドレイン間を介して前記駆動電流が流れる薄膜トランジスタからなる。

【0075】

この態様によれば、薄膜トランジスタのゲートにデータ信号が供給されると、そのソース及びドレイン間のコンダクタンスは、ゲート電圧により制御（変化）される。従って、このソース及びドレイン間を介して発光素子に流れる駆動電流を、データ信号の電圧に応じて制御することができる。

(40) 第3の表示装置の他の態様では、前記測定された電流量及び発光量の少なくとも

10

20

30

40

50

一方を記憶するメモリ装置を更に備えており、前記補正回路は、該記憶された電流量及び発光量の少なくとも一方に基づいて前記画像信号を補正する。

【 0 0 7 6 】

この態様によれば、測定された電流量又は発光量は、メモリ装置に記憶される。そして、画像信号は、該記憶された電流量又は発光量に基づいて補正回路により補正される。従って、表示期間とは時間的に相前後する非表示期間における測定により、表示期間における補正を行うことが可能となる。更に、複数の画素に対する補正を同一の測定部や補正回路を用いて行うことが可能となる。

(4 1) 第 3 の表示装置の他の態様では、前記電源配線は、画素列に対応して設けられており、前記測定部は、前記駆動電流の電流量を測定し、前記電源配線を表示期間に前記電源部の側に接続すると共に非表示期間に前記測定部の側に接続する切換スイッチと、順次パルスを前記電源配線の各々に対応して順次出力するシフトレジスタと、前記非表示期間に前記順次パルスに応じて前記電源配線の各々と前記測定部との間の導通を順次制御する伝送スイッチとを含む共通線駆動回路を更に備える。

10

【 0 0 7 7 】

この態様によれば、共通線駆動回路内において、表示期間には、電源配線は切換スイッチにより電源部の側に接続される。従って、電源部からの電源供給を受けて発光素子は発光して通常の表示動作を行う。他方、非表示期間には、電源配線は切換スイッチにより測定部の側に接続される。この際、シフトレジスタからは、電源配線の各々に対応して順次パルスが順次出力され、伝送スイッチにより順次パルスに応じて電源配線の各々と測定部との間の導通が順次とられる。そして、測定部により、駆動電流の電流量が測定される。従って、画素列に対応して設けられた電源配線を測定対象として順次選択することにより、画素列毎の電流量測定が可能となり、更に、走査信号を用いて行毎に発光素子を駆動する構成を採れば、画素毎の電流量測定が可能となる。この結果、画素列毎或いは画素毎の補正が可能となる。

20

(4 2) 第 3 の表示装置の他の態様では、前記測定部は、前記発光量を測定し、画素列に対応して設けられており前記発光量を示す電気信号を前記測定部に伝送する検光線と、順次パルスを前記検光線の各々に対応して順次出力するシフトレジスタと、非表示期間に前記順次パルスに応じて前記検光線の各々と前記測定部との間の導通を順次制御する伝送スイッチとを含む検光線駆動回路とを更に備える。

30

【 0 0 7 8 】

この態様によれば、非表示期間には、シフトレジスタからは、検光線の各々に対応して順次パルスが順次出力され、伝送スイッチにより順次パルスに応じて検光線の各々と測定部との間の導通が順次とられる。そして、測定部により、発光量が測定される。従って、画素列に対応して設けられた検光線を測定対象として順次選択することにより、画素列毎の発光量測定が可能となり、更に、走査信号を用いて行毎に発光素子を駆動する構成を採れば、画素毎の発光量測定が可能となる。この結果、画素列毎或いは画素毎の補正が可能となる。

(4 3) 第 3 の表示装置の他の態様では、前記測定部は、半導体素子の光励起電流によって前記発光量を測定する。

40

【 0 0 7 9 】

この態様によれば、半導体素子の光励起電流によって、発光素子の発光量が測定部により測定され、この測定された発光量に基づいて補正が行われる。従って、比較的単純な素子を用いて高精度の測定を行うことが可能となる。

(4 4) このように半導体素子の光励起電流によって測定する態様では、前記半導体素子が P I N ダイオードであってもよい。

【 0 0 8 0 】

この場合、P I N ダイオードの P I N 接合部における光励起電流によって、発光素子の発光量が測定可能となる。

(4 5) 或いは、このように半導体素子の光励起電流によって測定する態様では、前記半

50

導体素子が電界効果型トランジスタであってもよい。

【0081】

この場合、電界効果トランジスタのチャネル部における光励起電流によって、発光素子の発光量が測定可能となる。

(46) 或いは、このように半導体素子の光励起電流によって測定する態様では、前記駆動素子は薄膜トランジスタからなり、該薄膜トランジスタと前記半導体素子とが、同一の工程で形成されるように構成してもよい。

【0082】

この態様によれば、駆動素子と半導体素子とを同一の工程で形成できるので、製造上有利である。

(47) 第3の表示装置の他の態様では、前記駆動素子は、600 以下の低温プロセスで形成された、多結晶シリコン薄膜トランジスタからなる。

【0083】

この態様によれば、比較的低価格の大型ガラス基板等の上に、高駆動能力を持つ駆動素子を、低コストで作成することが可能となる。

(48) 第3の表示装置の他の態様では、前記発光素子は、インクジェットプロセスで形成された、有機エレクトロルミネッセンス素子からなる。

【0084】

この態様によれば、発光効率が高く長寿命の発光素子を作成することができ、基板上でのパターニングを容易に行うことができる。更に、プロセス中の廃棄材料が少なく、プロセス用の装置も比較的低価格であるため、当該表示装置における低コスト化を実現できる。

(49) 第3の表示装置の他の態様では、前記測定部は、前記駆動電流及び前記発光量の少なくとも一方の測定を画素毎に行い、前記補正回路は、該画素毎に前記画像信号を補正する。

【0085】

この態様によれば、駆動電流又は発光量の測定が測定部により画素毎に行われ、前記画像信号は補正回路により画素毎に補正される。従って、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性に、製造バラツキや表示履歴による劣化の程度の差に起因したバラツキ等のバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。この結果、各素子の特性バラツキによる画面ムラを詳細に低減できる。

(50) 第3の表示装置の他の態様では、前記測定部は、前記駆動電流及び前記発光量の少なくとも一方の測定を複数の画素からなる所定単位毎に行い、前記補正回路は、該所定単位毎に前記画像信号を補正する。

【0086】

この態様によれば、駆動電流又は発光量の測定が測定部により、複数の画素からなる所定単位毎に行われ、前記画像信号は補正回路により、この所定単位毎に補正される。この所定単位としては、例えば相隣接する n 個 ($n = 2, 4, 8, 16, 32, 64, \dots$) の画素からなるが、その数は、要求される輝度の均一性や測定部や補正回路の処理能力に応じて決めればよい。従って、複数の所定単位間で、発光素子や駆動素子の電圧電流特性や電流発光特性に、製造バラツキや表示履歴による劣化の程度の差に起因したバラツキ等のバラツキがあったとしても、当該複数の所定単位の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。この結果、各素子の特性バラツキによる画面ムラを効率良く低減できる。そして、このような測定及び補正は、画素毎に測定及び補正を行う場合と比較して、比較的短時間で且つ容易に行うことが可能である。

(51) 第3の表示装置の他の態様では、前記補正回路は、前記画像信号の信号レベルを既定の信号レベルから他の既定の信号レベルへと変換することにより前記画像信号を補正する。

【0087】

10

20

30

40

50

この態様によれば、前記補正回路による補正の際に、画像信号の信号レベルは既定の信号レベルから他の既定の信号レベルへと変換されるので、規定の信号レベルとは異なる信号レベルを設けておく必要が無い。これにより、例えば、信号線駆動回路の構成を簡素化できたり、信号線駆動回路に必要な電源の種類を減らしたり出来る。この結果、表示装置として、回路の簡素化、動作の高速化及び消費電流の低減を実現できる。

(52) 本発明の第4の表示装置は上述の技術的課題を解決するために、上述した本発明の各種態様における画素回路を画素毎に備えたことを特徴とする。

【0088】

第4の表示装置によれば、画素毎に本発明の画素回路を備えているので、発光素子や駆動素子における経時劣化や特性バラツキによる画面輝度の低下や画面ムラが低減された高品位の画像表示が可能となる。

(53) 本発明の電子機器は上述の技術的課題を解決するために、上述した本発明の各種態様における第1、第2及び第3表示装置のいずれか一つを備えたことを特徴とする。

【0089】

本発明の電子機器によれば、本発明の表示装置を備えているので、発光素子や駆動素子における経時劣化や特性バラツキによる画面輝度の低下や画面ムラが低減された高品位の画像表示が可能な各種の電子機器を実現できる。

【発明を実施するための最良の形態】

【0090】

以下、本発明を実施するための最良の形態について実施例毎に図面に基づいて説明する。

【0091】

先ず以下に説明する各実施例のTFT-OELD(即ち、駆動用の薄膜トランジスタ及び該薄膜トランジスタにより電流駆動される有機EL素子)を備えた表示装置において共通する基本的な構成について図1及び図2を参照して説明する。ここに、図1は、表示装置の基本的な全体構成を示すブロック図であり、特に4つの相隣接する画素に夫々設けられた画素回路の基本的な回路構成を示す回路図を含む。また、図2は、この表示装置の一画素の平面図である。

【0092】

図1に示すように、表示装置100は、TFTアレイ基板1上に、X方向に夫々延びておりY方向に配列された複数の走査線131と、Y方向に夫々延びておりX方向に配列された複数の信号線132及び複数の共通線(共通給電線)133と、走査線131に走査信号を供給する走査線駆動回路11と、信号線132にデータ信号を供給する信号線駆動回路12と、共通線133に所定電位の正電源(又は負電源)を供給する共通線駆動回路13とを備えて構成されている。そして、TFTアレイ基板1の中央には、表示領域15が設けられており、表示領域15内には、複数の画素10がマトリクス状に規定されている。

【0093】

図1及び図2に示すように、各画素10には、第2薄膜トランジスタの一例としてのスイッチングTFT221、スイッチングTFT221に制御されて各画素への電流を制御する第1薄膜トランジスタの一例としてのTFT(以下、カレントTFTと称す)223、有機EL素子224及び保持容量222からなる画素回路が設けられている。更にカレントTFT223のドレインには、ITO(Indium Tin Oxide)膜等からなる画素電極141が接続されており(図2参照)、画素電極141に対して有機EL素子224を介してA1(アルミニウム)膜等からなる対向電極が対向配置されている。この対向電極は、例えば接地されているか或いは所定電位の負電源(又は正電源)に接続されている。

【0094】

以上のように構成されているため、一画素における発光動作は、以下のように行われる。即ち、走査線駆動回路11から走査線131への走査信号の出力があり且つ信号線駆動

10

20

30

40

50

回路 1 2 から信号線 1 3 2 にデータ信号が供給された際に、これらの走査線 1 3 1 及び信号線 1 3 2 に対応する画素 1 0 におけるスイッチング T F T 2 2 1 がオンとなり、信号線 1 3 2 に供給されるデータ信号の電圧 (V_{sig}) がカレント T F T 2 2 3 のゲートに印加される。これにより、ゲート電圧に応じた駆動電流 (I_d) が共通線駆動回路 1 3 から共通線 1 3 3 を介してカレント T F T 2 2 3 のドレイン・ソース間に流れ、更に画素電極 1 4 1 (図 2 参照) を介して有機 E L 素子 2 2 4 から対向電極へと流れて、有機 E L 素子 2 2 4 が発光する。そして、スイッチング T F T 2 2 1 がオンの間に保持容量 2 2 2 に充電された電荷が、スイッチング T F T 2 2 1 がオフとなった後に放電されて、この有機 E L 素子 2 2 4 を流れる電流はスイッチング T F T 2 2 1 がオフとなった後にも所定期間に亘り流れ続ける。

10

【0095】

尚、以下の各実施例では、表示装置の各画素において電流駆動される電流駆動型発光素子には有機 E L 素子とされているが、この有機 E L 素子に代えて、その他の例えば、無機のエレクトロルミネッセンス (以下、無機 E L 素子と称す)、L E D (ライト・エミッティング・ダイオード = 発光ダイオード)、L E P (ライト・エミッティング・ポリマー) 等の公知の電流駆動型発光素子を用いて当該表示装置を構成してもよい。また、各電流駆動型発光素子の駆動電流を制御する駆動素子はカレント T F T とされているが、このカレント T F T に代えて、その他の例えば F E T (電界効果トランジスタ)、バイポーラトランジスタ等の駆動素子を用いて当該表示装置を構成してもよい。電流駆動型発光素子や電流駆動用の駆動素子であれば、駆動電流が流れるにつれて経時劣化が多少なりとも生じるため、以下に説明する各実施例の効果が発揮される。但し、経時劣化が特に顕著である有機 E L 素子 2 2 4 及びカレント T F T 2 2 3 を用いて表示装置を構成した場合に、以下に説明する各実施例の効果が有効に発揮される。

20

【0096】

以上説明した基本構成において、下記の実施例 1 ~ 実施例 1 3 に示した有機 E L 素子 2 2 4 やカレント T F T 2 2 3 における経時劣化や特性のばらつきを適宜補正する回路や素子を付加することにより、表示領域 1 5 における画面輝度の低下や複数の画素 1 0 間における画面むらの発生を防止することが可能となる。以下、各実施例について説明する。

【実施例 1】

【0097】

図 3 は、本発明の実施例 1 に係る T F T - O E L D を備えた表示装置のブロック図である。本実施例では、共通電極駆動回路 1 3 は、共通線 1 3 3 (図 1 及び図 2 参照) に所定電位 (例えば正電位) の電源信号を供給する回路である。対向電極駆動回路 1 4 は、画素電極 1 4 1 (図 2 参照) に有機 E L 素子 2 2 4 を挟んで対向配置された対向電極に対し、所定電位 (例えば、接地電位) の電源信号を供給する回路である。

30

【0098】

本実施例では特に、有機 E L 素子 2 2 4 やカレント T F T 2 2 3 の経時劣化による駆動電流の低下 (従って、有機 E L 素子 2 2 4 の発光量の低下) を補正するために、電流量測定器 1 6、比較回路 2 1 a、電圧制御回路 2 2 a 及びコントローラ 2 3 が設けられている。尚、これらの共通電極駆動回路 1 3、対向電極駆動回路 1 4、電流量測定器 1 6、比較回路 2 1 a、電圧制御回路 2 2 a 及びコントローラ 2 3 のうち少なくとも一つは、図 1 に示した T F T アレイ基板 1 上に設けられてもよいし、或いは、外部 I C として構成され、T F T アレイ基板 1 に対して外付けされてもよい。

40

【0099】

電流量測定器 1 6 は、共通電極駆動回路 1 3 から、表示領域 1 5 内の表示用の有機 E L 素子 2 2 4 (図 1 参照) へ流れる駆動電流を測定する。

【0100】

比較回路 2 1 a は、電流量測定器 1 6 により測定された測定電流量 I_D と、予め設定された基準電流量 I_{ref} とを比較し、電圧制御回路 2 2 a は、その比較結果に基づき両電流量の差が小さくなるように共通電極駆動回路 1 3 の出力電圧 (V_{com}) を調整する。即

50

ち、共通電極駆動回路 13 からの出力電圧 (V_{com}) に対して、測定電流量 I_D が基準電流量 I_{ref} に近付くようにフィードバックが掛けられる。この結果、仮にこのようなフィードバックを掛けなかった場合に有機 EL 素子 224 やカレント T F T 223 の経時劣化による有機 EL 素子 224 を流れる駆動電流の減少分は、共通電極駆動回路 13 の出力電圧 (V_{com}) の増加による駆動電流の増加分により補正される。

【0101】

このような本実施例による補正作用を図 4 を参照して説明する。

【0102】

先ず、本実施例の如き補正を行わない場合について図 4 の上段を参照して説明する。この場合、画像信号の階調レベル D_1 に対応して画素表示する際に電圧 V_1 のデータ信号を信号線に供給すると、駆動電流 I_{d1} が流れるように表示装置における共通電極電位、対向電極電位、データ信号の電源電位等が初期設定されていたとする。その後、有機 EL 素子やカレント T F T が経時劣化すると、同じ電圧 V_1 のデータ信号を供給しても、有機 EL 素子を流れる駆動電流 I_d は、減少してしまう（ここで、減少後の電流を I_{d1}' とする）。従って、このままの諸電圧の設定状態で、画像表示を行うと、駆動電流 I_d に応じて発光する有機 EL 素子の明るさ（輝度）は低下してしまうのである。

【0103】

次に、本実施例の如き補正を行う場合について図 4 の下段を参照して説明する。この場合には、有機 EL 素子 224 やカレント T F T 223 が経時劣化しても、同じ階調レベル D_1 に対しては初期状態と同じ駆動電流 I_{d1} が得られるように、共通電極駆動回路 13 からの出力電圧 (V_{com}) が増加される。即ち、共通電極駆動回路 13 からの出力電圧 (V_{com}) を増加させることにより、階調レベル D_1 の画像信号に対しては、電圧 V_1 よりも V_1 だけ高い電圧 V_1' のデータ信号が供給された時と同様の駆動電流 I_{d1} が流れる。

【0104】

このように、有機 EL 素子 224 を流れる駆動電流 I_d は、共通電極駆動回路 13 の出力電圧 (V_{com}) を上げることで、画像信号に対する電流特性が初期状態と同じになるように補正されるのである。従って、このような経時劣化に対する補正処理（即ち、共通電極駆動回路 13 の出力電圧 (V_{com}) の調整処理）後に画像表示を行うと、有機 EL 素子 224 やカレント T F T 223 において顕著な経時劣化が発生していた場合にも、有機 EL 素子 224 の明るさ（輝度）の低下を低減することが出来る。

【0105】

以上のような補正処理は、表示動作と並行してリアルタイムで行うことも可能である。但し、経時劣化の進行速度に鑑みれば、表示装置 100 の表示動作の間中常時行う必要性は低く、適当な期間をおいて行えば十分である。そこで本実施例では、コントローラ 23 により、例えば表示期間に先立って表示装置 100 の主電源投入時や一定の期間毎に通常の表示動作とは独立して、このような経時劣化に対する補正処理を行い、一の補正処理から次の補正処理までの間は共通電極駆動回路 13 の出力電圧値 (V_{com}) を最後に補正（調整）された値に固定するように構成されている。この構成によれば、補正処理により表示画像の画質に悪影響を与えない利点や、表示装置 100 における動作速度やリフレッシュレートを低下させない利点が見られる。

【0106】

更に本実施例では、コントローラ 23 により、例えば、全ての有機 EL 素子 224 を最大限に発光させるデータ信号を供給するなど、所定パターンの画像表示を表示領域 15 において行いつつ、このような電圧制御回路 22a 等による補正処理を行うように構成されている。この構成により、精度よく電流量を測定することができ、正確に経時劣化による影響を補正することが可能となる。

【0107】

以上の結果、本実施例によれば、有機 EL 素子 224 を流れる駆動電流 I_d の電流量が低下する経時劣化が発生したときに、その経時劣化による電流低下分を精度良く補正し、

10

20

30

40

50

画面輝度の低下を生じさせないようにすることが可能となる。

【0108】

尚、本実施例では、測定した有機EL素子224を流れる測定電流量IDに対応して、共通線133に印加される電圧、即ち画素電極141に印加される電圧を調整するように構成されている。しかしながら、本実施例の変形例として、このように測定された測定電流量IDに対応して、走査線131、信号線132(走査線131及び信号線132を総称して“バス配線”と称す)、又は、対向電極(画素電極141及び対向電極を総称して“電極”と称す)に印加される電圧を調整するように構成してもよい。

【0109】

即ち、例えば、図5に示したように、図3に示した電圧制御回路22aに代えて、比較回路21aにおいて比較される測定電流量IDと基準電流量I_{ref}とが一致するように対向電極駆動回路14の電圧を調整する電圧制御回路22bを設けても、上述の実施例1と同様の効果が得られる。但し、この場合には、対向電極を接地したのでは機能しないことは言うまでもない。

【0110】

或いは、図6に示したように、図3に示した電圧制御回路22aに代えて、比較回路21aにおいて比較される測定電流量IDと基準電流量I_{ref}とが一致するように信号線駆動回路12の電圧を調整する電圧制御回路22cを設けても、上述の実施例1と同様の効果が得られる。

【0111】

更に、以上の実施例1及びその変形例において、補正処理(電圧制御回路22a等による電圧調整処理)を行う際に表示領域15に表示する所定パターンとしては、例えば、前述のように全ての有機EL素子224を最大限に発光させるデータ信号を供給する一種類のパターンを用いてもよく、或いは、コントローラ23による制御下で、複数のパターンについての測定電流量IDを予め各パターンに対して設定された基準電流量I_{ref}と夫々比較して、例えば、複数のパターンについての両者の差の合計が最も小さくなるように電圧制御回路22a等による電圧調整を行うように構成してもよい。

【0112】

特に、図6に示した信号線駆動回路12の出力電圧(即ち、データ信号の電圧V_{sig})を調整する変形例の場合には、コントローラ23による制御下で、このように複数のパターンについて測定電流量IDを夫々対応する基準電流量I_{ref}に一致させるようにデータ信号の電圧V_{sig}を調整することにより、図7に示すように、データ信号の各電圧(V_n)を、駆動電流I_dの各値I_{d1}、I_{d2}、...、I_{dn}、...について別々に、各電圧(V_n′)にまで夫々高めることも可能となる。即ち、データ信号V_{sig}に対する駆動電流I_dの電圧電流特性曲線がC1からC2のように経時劣化により複雑に変化した場合(例えば、経時劣化による変化が低電流側で高電流側より激しい場合或いはその逆の場合等)に、このように各駆動電流I_dの値に応じて補正量を定めれば、入力される画像信号の各階調レベルに対し、有機EL素子224における駆動電流I_dや発光量を精度良く維持することが可能となる。

【0113】

以上詳細に説明したように本実施例及びその変形例によれば、実際に有機EL素子224を流れる駆動電流(測定電流量ID)と予め設定された基準電流(基準電流量I_{ref})との差に対応して、バス配線または電極に印加される電圧を調整するので、有機EL素子224やカレントTF T 223における経時劣化を補正することが可能となる。

【実施例2】

【0114】

図8は、本発明の実施例2に係るTF T - O E L Dを備えた表示装置のブロック図である。図8において、図3に示した実施例1と同じ構成要素には同じ参照符号を付し、その説明は省略する。本実施例では、表示領域15に隣接して設けられた電流モニタ領域17内のモニタ用有機EL素子17aに対し共通電極及び対向電極間の電圧が印加されており

10

20

30

40

50

、表示期間には、表示用の有機EL素子224（図1参照）とほぼ同じ条件で、モニタ用有機EL素子17aは電流駆動される。そして、経時劣化に対する補正処理を行う際には、電流量測定器16は、モニタ用有機EL素子17aを流れる電流 I_{dm} を測定する。この電流量測定器16による電流 I_{dm} の測定値である測定電流量 I_D を基準電流量 I_{ref} に一致させるように、比較回路21a、電圧制御回路22a及びコントローラ23により、共通電極駆動回路13の出力電圧(V_{com})を調整するように構成されている。その他の構成については、実施例1の場合と同様である。

【0115】

以上のように構成されているため実施例2によれば、有機EL素子224やカレントTF T 223（図1及び図2参照）の電流量が低下する経時劣化が発生したときに、その経時劣化による電流低下を補正し、表示領域15における画面輝度の低下を低減することが可能となる。

10

【0116】

尚、本実施例では特に、表示用の有機EL素子224とモニタ用EL素子17aとは、同一のTF Tアレイ基板1上に同一の製造工程により形成されている。従って、モニタ用有機EL素子17aを形成するための工程を別途設ける必要が無い。しかも、電流駆動される表示用の有機EL素子224とモニタ用有機EL素子17aとにおける経時劣化傾向を相類似させることができ、モニタ用有機EL素子17aを流れる電流 I_{dm} に基づいて表示用の有機EL素子224における経時劣化に対する補正をかなり適切に行うことが可能となる。

20

【0117】

また実施例2においても、実施例1の場合と同様に、経時劣化に対する補正処理は、例えば表示期間に先立って表示装置100の主電源投入時や一定の期間毎に行ってもよいし、リアルタイムで行ってもよい。更に、変形例として、このように測定された測定電流量 I_D に対応して、走査線駆動回路11、信号線駆動回路12又は対向電極駆動回路14における出力電圧を調整するように構成してもよい。特に、信号線駆動回路12の出力電圧を調整する変形例の場合には、コントローラ23による制御下で、明るさの相異なる複数の表示を電流モニタ領域17で行うようにモニタ用有機EL素子17aを駆動すれば、各明るさに対して得られる測定電流量 I_D を夫々対応する基準電流量 I_{ref} に一致させるようにデータ信号の電圧 V_{sig} を調整することにより、経時劣化による電流電圧特性に複雑な変化が生じた場合等にも対処可能である。

30

【実施例3】

【0118】

図9は、本発明の実施例3に係るTF T - O E L Dを備えた表示装置のブロック図である。図9において、図3に示した実施例1と同じ構成要素には同じ参照符号を付し、その説明は省略する。

【0119】

本実施例では、実施例1における電流量測定器16に代えて、表示領域15内の表示用の有機EL素子224（図1参照）の発光量を測定する発光量測定器18が備えられている。経時劣化に対する補正を行う際には、走査線駆動回路11からの所定電圧の走査信号、信号線駆動回路12からの所定電圧のデータ信号、並びに共通電極駆動回路13及び対向電極駆動回路14からの所定電圧の電源信号が印加される。発光量測定器18は、これに応じて発光する有機EL素子224から発せられる光を検出する。比較回路21bは、その測定発光量 L_D と予め設定された基準発光量 L_{ref} とを比較する。そして、この比較される発光量 L_D と基準発光量 L_{ref} とを一致させるように、比較回路21b、電圧制御回路22a及びコントローラ23により、共通電極駆動回路13の出力電圧を調整するように構成されている。その他の構成については、実施例1の場合と同様である。

40

【0120】

以上のように構成された実施例3によれば、カレントTF T 223（図1及び図2参照）におけるゲート電圧に対するドレイン電流（駆動電流）量が低下する経時劣化、有機E

50

L素子224における電圧に対する電流量が低下する経時劣化、有機EL素子224における駆動電流に対する発光量が低下する経時劣化などが発生し、最終的に有機EL素子224における発光量が低下したときに、その経時劣化による発光量低下分を有機EL素子224に印加される電圧を増加することにより補正し、表示領域15における画面輝度の低下を防ぐことが可能となる。

【0121】

また実施例3においても、実施例1の場合と同様に、経時劣化に対する補正は、例えば表示期間に先立って表示装置100の主電源投入時や一定の期間毎に行ってもよいし、リアルタイムで行ってもよい。更に、変形例として、このように測定された測定発光量LDに対応して、走査線駆動回路11、信号線駆動回路12又は対向電極駆動回路14における出力電圧を調整するように構成してもよいし、経時劣化に対する補正を行う際の所定パターンは一種類でも複数種類でもよい。特に、信号線駆動回路12の出力電圧を調整する変形例の場合には、コントローラ23による制御下で、複数の所定パターンについて測定発光量LDを夫々対応する基準発光量L_{ref}に一致させるようにデータ信号の電圧V_{sig}を調整することにより、経時劣化による電流電圧特性の複雑な変化にも対処可能となる。

10

【実施例4】

【0122】

図10は、本発明の実施例4に係るTFT-OELDを備えた表示装置のブロック図である。図10において、図3及び図9に夫々示した第1及び実施例3と同じ構成要素には同じ参照符号を付し、その説明は省略する。

20

【0123】

本実施例では、表示領域15に隣接して設けられた発光モニタ領域19内のモニタ用有機EL素子19aに対し共通電極及び対向電極間の電圧が印加されており、表示期間には、表示用の有機EL素子224（図1参照）とほぼ同じ条件で、モニタ用有機EL素子19aは電流駆動される。そして、経時劣化に対する補正を行う際には、発光量測定器18は、モニタ用有機EL素子19aの発光を測定する。この発光量測定器18による発光の測定値である測定発光量LDを基準発光量L_{ref}に一致させるように、比較回路21b、電圧制御回路22a及びコントローラ23により、共通電極駆動回路13の出力電圧を調整するように構成されている。その他の構成については、第1及び実施例3の場合と同様である。

30

【0124】

以上のように構成された実施例4によれば、実施例3の場合と同様に、カレントTFT223（図1及び図2参照）や有機EL素子224における電圧に対する電流量が低下する経時劣化、有機EL素子224における駆動電流に対する発光量が低下する経時劣化などが発生し、最終的に有機EL素子224における発光量が低下したときに、その発光量低下分を補正し、表示領域15における画面輝度の低下を防ぐことが可能となる。

【0125】

また実施例4においても、実施例1の場合と同様に、経時劣化に対する補正は、例えば表示期間に先立って表示装置100の主電源投入時や一定の期間毎に行ってもよいし、リアルタイムで行ってもよい。更に、変形例として、このように測定された測定発光量LDに対応して、走査線駆動回路11、信号線駆動回路12又は対向電極駆動回路14における出力電圧を調整するように構成してもよいし、経時劣化に対する補正を行う際の所定パターンは一種類でも複数種類でもよい。特に、信号線駆動回路12の出力電圧を調整する変形例の場合には、コントローラ23による制御下で、複数の所定パターンについて測定発光量LDを夫々対応する基準発光量L_{ref}に一致させるようにデータ信号の電圧V_{sig}を調整することにより、経時劣化による電流電圧特性の複雑な変化にも対処可能となる。尚、本実施例では特に、表示用の有機EL素子224とモニタ用有機EL素子19aとは、同一のTFTアレイ基板1上に同一の製造工程により形成されている。従って、モニタ用EL素子19aを形成するための工程を別途設ける必要が無い。しかも、電流駆動さ

40

50

れる表示用の有機EL素子224とモニタ用有機EL素子19aとにおける経時劣化傾向は相類似したものにすることができ、モニタ用EL素子19aから発せられる光に基づいて表示用の有機EL素子224における経時劣化に対する補正を正確に行うことが可能となる。

【実施例5】

【0126】

以下に説明する実施例5から実施例10は、上述の実施例1から実施例4の場合とは異なり、各画素の単位で発生する有機EL素子224やカレントTF T 223における経時劣化による駆動電流量低下或いは有機EL素子224の発光量低下を、各画素の単位で補正する画素回路に関するものである。

10

【0127】

尚、以下の実施例5から実施例10では、複数の画素回路を画素毎に備えてなる表示装置の構成は、図1に示したものと同様であるので、その説明は省略する。

図11は、本発明の実施例5に係るTF T - O E L Dを含んで構成された画素回路の等価回路図である。尚、図11において、図1の各画素10内における回路図部分に示した構成要素と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

【0128】

図11において、本実施例の画素回路では、有機EL素子224の両端の電圧と、これを通る駆動電流 I_d の電流量との関係に依存して、第1給電線213と第2給電線間215の抵抗を変化させる。ここに、第1給電線213とは、共通線駆動回路からの所定電位の電源信号が供給される、画素電極に接続された各画素内における共通線部分である。他方、第2給電線間215とは、対向電極駆動回路からの所定電位の電源信号が供給される、対向電極に接続された各画素内における給電線部分である。

20

【0129】

より具体的には、第1給電線（共通電極）213の電位が第2給電線（対向電極）215よりも高電位である（即ち、共通電極に正電源が供給されると共に対向電極に負電源が供給される）場合には、図11に示した通りに、 n チャネル型の第1の補正用TF T 231は、そのゲート電極が有機EL素子224の第1給電線側の電極に接続され、ソース電極及びドレイン電極が有機EL素子224と第2給電線215間に有機EL素子224と直列に接続されるように付加される。この構成によれば、有機EL素子224の抵抗が増加すると、第1の補正用TF T 231のゲート電圧が上昇し、そのソース電極とドレイン電極間の抵抗が減少する。従って実施例5によれば、経時劣化により有機EL素子224の抵抗が増加しても、第1の補正用TF T 231のソース及びドレイン間の抵抗減少により、その有機EL素子224における抵抗増加による駆動電流 I_d の電流量低下を補正し、画面輝度の低下を低減することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の画素間で電流電圧特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

30

【0130】

なお、実施例5の変形例として、第1給電線213の電位が第2給電線215よりも低電位である（即ち、共通電極に負電源が供給されると共に対向電極に正電源が供給される）場合には、第1の補正用TF T 231を p チャネル型として、そのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を有機EL素子224と第2給電線215間に有機EL素子224と直列に接続するように構成すればよい。この構成によれば、有機EL素子224の抵抗が増加すると、第1の補正用TF T 231のゲート電圧が下降し、ソース電極とドレイン電極間の抵抗が減少して、自動的に補正が行われる。本実施例では好ましくは、スイッチングTF T 221、カレントTF T 223及び第1の補正用TF T 231は、同一のTF T アレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

40

50

【実施例 6】

【0131】

図12は、本発明の実施例6に係るTFT-OELDを含んで構成された画素回路の等価回路図である。尚、図12において、図1及び図11に示した構成要素と同様の構成要素には同様の参照符号を付し、その説明は省略する。

【0132】

図12において、本実施例の画素回路では、有機EL素子224の両端の電圧と、これを通る駆動電流 I_d の電流量との関係に依存して、第1給電線213と第2給電線間215の抵抗を変化させる。

【0133】

より具体的には、第1給電線213の電位が第2給電線215よりも高電位である場合には、図12に示した通りに、pチャネル型の第2の補正用TFT232は、そのゲート電極が有機EL素子221の第2給電線側の電極に接続され、ソース電極およびドレイン電極が有機EL素子224と第1給電線間に有機EL素子224と直列に接続されるように付加される。この構成によれば、有機EL素子224の抵抗が増加すると、第2の補正用TFT232のゲート電圧が下降し、そのソース電極とドレイン電極間の抵抗が減少する。

【0134】

従って実施例6によれば、経時劣化により有機EL素子224の抵抗が増加しても、第2の補正用TFT232のソース及びドレイン間の抵抗減少により、その有機EL素子224における抵抗増加による駆動電流 I_d の電流量低下を補正し、画面輝度の低下を低減することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の画素間で電流電圧特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

【0135】

なお、実施例6の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合には、第2の補正用TFT232をnチャネル型TFTとして、そのゲート電極を有機EL素子224の第2給電線側の電極に接続し、ソース電極およびドレイン電極を有機EL素子224と第1給電線間に有機EL素子224と直列に接続するように構成すればよい。この構成によれば、有機EL素子224の抵抗が増加すると、第2の補正用TFT232のゲート電圧が上昇し、ソース電極とドレイン電極間の抵抗が減少して、自動的に補正が行われる。

【0136】

本実施例では好ましくは、スイッチングTFT221、カレントTFT223及び第2の補正用TFT232は、同一のTFTアレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

【実施例 7】

【0137】

図13は、本発明の実施例7に係るTFT-OELDを含んで構成された画素回路の等価回路図である。尚、図13において、図1及び図11に示した構成要素と同様の構成要素には同様の参照符号を付し、その説明は省略する。

【0138】

図13において、本実施例の画素回路では、有機EL素子224の両端の電圧と、これを通る駆動電流 I_d の電流量との関係に依存して、保持容量222と第1給電線213間の抵抗を変化させる。

より具体的には、第1給電線213の電位が第2給電線215よりも高電位である場合には、図13に示した通りに、カレントTFT223と同じnチャネル型の第3の補正用TFT233は、そのゲート電極が有機EL素子224の第1給電線側の電極に接続され、ソース電極およびドレイン電極を保持容量222と第1給電線213間に接続されるよう

10

20

30

40

50

に付加されている。この構成によれば、有機EL素子224の抵抗が増加すると、第3の補正用TF T 233のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が減少する。このため、カレントTF T 223のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が減少する。

【0139】

従って実施例7によれば、経時劣化により有機EL素子224の抵抗が増加しても、第3の補正用TF T 233のソース及びドレイン間の抵抗減少により、その有機EL素子224における抵抗増加による駆動電流 I_d の電流量低下を補正し、画面輝度の低下を低減することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の画素間で電流電圧特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

10

【0140】

なお、実施例7の一変形例として、第1給電線213の電位が第2給電線よりも高電位である場合に、カレントTF T 223をpチャネル型とし、第3の補正用TF T 233をpチャネル型とすると共にそのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量222と第1給電線213間に接続するように構成してもよい。この構成によれば、有機EL素子224の抵抗が増加すると、第3の補正用TF T 233のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が増加する。このため、カレントTF T 223のゲート電圧が下降し、そのソース電極とドレイン電極間の抵抗が減少して、自動的に補正が行われる。

20

【0141】

また、実施例7の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合には、カレントTF T 223をnチャネル型とし、第3の補正用TF T 233をnチャネル型とすると共にそのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量222と第1給電線213間に接続するように構成してもよい。この構成によれば、有機EL素子224の抵抗が増加すると、第3の補正用TF T 233のゲート電圧が下降して、そのソース電極とドレイン電極間の抵抗が増加する。このため、カレントTF T 223のゲート電圧が上昇し、そのソース電極とドレイン電極間の抵抗が減少して、自動的に補正が行われる。

【0142】

30

更にまた、実施例7の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位で場合に、カレントTF T 223をpチャネル型とし、第3の補正用TF T 233をpチャネル型とすると共にそのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量222と第1給電線213間に接続するように構成してもよい。この構成によれば、有機EL素子224の抵抗が増加すると、第3の補正用TF T 233のゲート電圧が下降して、そのソース電極とドレイン電極間の抵抗が減少する。このため、カレントTF T 223のゲート電圧が下降して、そのソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

【0143】

本実施例では好ましくは、スイッチングTF T 221、カレントTF T 223及び第3の補正用TF T 233は、同一のTF T アレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

40

【実施例8】

【0144】

図14は、本発明の実施例8に係るTF T - OLEDを含んで構成された画素回路の等価回路図である。尚、図14において、図1及び図11に示した構成要素と同様の構成要素には同様の参照符号を付し、その説明は省略する。

【0145】

図14において、本実施例の画素回路では、有機EL素子224の両端の電圧と、こ

50

れを流れる駆動電流 I_d の電流量との関係に依存して、保持容量 222 と第 2 給電線 215 間の抵抗を変化させる。

【0146】

より具体的には、第 1 給電線 213 の電位が第 2 給電線 215 よりも高電位である場合には、図 14 に示した通りに、 n チャネル型の TFT 223 に対して、 p チャネル型の第 4 の補正用 TFT 234 は、そのゲート電極が有機 EL 素子 224 の第 1 給電線側の電極に接続され、ソース電極およびドレイン電極が保持容量 222 と第 2 給電線 215 間に接続されるように付加されている。この構成によれば、有機 EL 素子 224 の抵抗が増加すると、第 4 の補正用 TFT 234 のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が増加する。このため、カレント TFT 223 のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が減少する。

10

【0147】

従って実施例 8 によれば、経時劣化により有機 EL 素子 224 の抵抗が増加しても、第 4 の補正用 TFT 234 のソース及びドレイン間の抵抗増加により、その有機 EL 素子 224 における抵抗増加による駆動電流 I_d の電流量低下を補正し、画面輝度の低下を低減することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の画素間で電流電圧特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

【0148】

なお、実施例 8 の一変形例として、第 1 給電線 213 の電位が第 2 給電線 215 よりも高電位である場合に、カレント TFT 223 を p チャネル型とし、第 4 の補正用 TFT を n チャネル型とすると共にそのゲート電極を有機 EL 素子 224 の第 1 給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量 222 と第 2 給電線 215 間に接続するように構成してもよい。この構成によれば、有機 EL 素子 224 の抵抗が増加すると、第 4 の補正用 TFT 234 のゲート電圧が上昇して、ソース電極とドレイン電極間の抵抗が減少する。このため、カレント TFT 223 のゲート電圧が下降して、ソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

20

【0149】

また、実施例 8 の他の変形例として、第 1 給電線 213 の電位が第 2 給電線 215 よりも低電位である場合には、 n チャネル型のカレント TFT 223 に対して第 4 の補正用 TFT を p チャネル型とし、そのゲート電極を有機 EL 素子 224 の第 1 給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量 222 と第 2 給電線 215 間に接続するように構成してもよい。この構成によれば、有機 EL 素子 224 の抵抗が増加すると、第 4 の補正用 TFT 234 のゲート電圧が下降して、ソース電極とドレイン電極間の抵抗が減少する。このため、カレント TFT 223 のゲート電圧が上昇して、ソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

30

【0150】

更にまた、実施例 8 の他の変形例として、第 1 給電線 213 の電位が第 2 給電線 215 よりも低電位である場合に、カレント TFT 223 を p チャネル型とし、第 4 の補正用 TFT 234 を n チャネル型とすると共にそのゲート電極を有機 EL 素子 224 の第 1 給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量 222 と第 2 給電線 215 間に接続するように構成してもよい。この構成によれば、有機 EL 素子 224 の抵抗が増加すると、第 4 の補正用 TFT 234 のゲート電圧が下降して、ソース電極とドレイン電極間の抵抗が増加する。このため、カレント TFT 223 のゲート電圧が下降して、ソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

40

【0151】

本実施例では好ましくは、スイッチング TFT 221、カレント TFT 223 及び第 4 の補正用 TFT 234 は、同一の TFT アレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

50

【実施例 9】

【0152】

図15は、本発明の実施例9に係るTFT-OELDを含んで構成された画素回路の等価回路図である。尚、図15において、図1及び図11に示した構成要素と同様の構成要素には同様の参照符号を付し、その説明は省略する。

【0153】

図15において、本実施例の画素回路に備えられた第1の補正用薄膜フォトダイオード241には、光を照射すると、低抵抗になる性質がある。

【0154】

本実施例では、有機EL素子224の両端の電圧と発光量との関係に依存して、保持容量222と第1給電線213間の抵抗を変化させる。 10

【0155】

より具体的には、第1給電線213の電位が第2給電線215よりも高電位である場合には、図15に示した通りに、pチャネル型のカレントTFT223に対し、第1の補正用薄膜フォトダイオード241は、保持容量222と第1給電線213間に接続されている。この構成によれば、有機EL素子224の発光が減少すると、第1の補正用薄膜フォトダイオード241の抵抗が増加する。このため、カレントTFT223は、そのゲート電圧が降下して、ソース電極とドレイン電極間の抵抗が減少する。

【0156】

従って実施例9によれば、経時劣化により有機EL素子224の発光量が低下しても、第1の補正用薄膜フォトダイオード241の抵抗増加により、その有機EL素子224における発光量低下を補正することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の有機EL素子間で発光特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。 20

【0157】

なお、実施例9の一変形例として、第5の補正用TFT(図示せず)を、そのソース電極およびドレイン電極を保持容量222と第1給電線213間に接続するように設けてもよい。

【0158】

また、実施例9の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合には、カレントTFT223をnチャネル型とし、第1の補正用薄膜フォトダイオード241を、保持容量222と第1給電線213間に接続するように構成すればよい。この場合更に、第5の補正用TFT(図示せず)を、そのソース電極およびドレイン電極を保持容量と第1給電線間に接続するように設けてもよい。この構成によれば、有機EL素子224の発光量が減少すると、第1の補正用薄膜フォトダイオード241の抵抗が増加し、更にカレントTFT223のゲート電圧が上昇してそのソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。 30

【0159】

本実施例では好ましくは、スイッチングTFT221、カレントTFT223及び第1の補正用薄膜フォトダイオード241は、同一のTFTアレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。 40

【実施例 10】

【0160】

図16は、本発明の実施例10に係るTFT-OELDを含んで構成された画素回路の等価回路図である。尚、図16において、図1及び図11に示した構成要素と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

【0161】

図16において、本実施例の画素回路に備えられた第2の補正用薄膜フォトダイオード 50

242には、光を照射すると、低抵抗になる性質がある。

【0162】

本実施例では、有機EL素子224の両端の電圧と発光量との関係に依存して、保持容量222と第2給電線215間の抵抗を変化させる。

より具体的には、第1給電線213の電位が第2給電線215よりも高電位である場合には、図16に示した通りに、nチャネル型のカレントTF T 223に対し、第2の補正用薄膜フォトダイオード242が、保持容量222と第2給電線215間に接続されている。この構成によれば、有機EL素子224の発光量が減少すると、第2の補正用薄膜フォトダイオード242の抵抗が増加する。このため、カレントTF T 223は、そのゲート電圧が上昇され、ソース電極とドレイン電極間の抵抗が減少する。

10

【0163】

従って実施例10によれば、経時劣化により有機EL素子224の発光量が低下しても、第2の補正用薄膜フォトダイオード242の抵抗増加により、その有機EL素子224における発光量低下を補正することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の有機EL素子間で発光特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

【0164】

なお、実施例10の一変形例として、第6の補正用TF T (図示せず)を、そのソース電極およびドレイン電極が保持容量と第2給電線215間に接続されるように設けてもよい。

20

【0165】

また、実施例10の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合には、カレントTF T 223をpチャネル型とし、第2の補正用薄膜フォトダイオード242を、保持容量222と第2給電線215間に接続するように構成すればよい。この場合更に、第6の補正用TF T (図示せず)を、そのソース電極およびドレイン電極が保持容量222と第2給電線215間に接続されるように設けてもよい。この構成によれば、有機EL素子224の発光量が減少すると、第2の補正用薄膜フォトダイオード242の抵抗が増加し、更にカレントTF T 223のゲート電圧が下降してそのソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

30

【0166】

本実施例では好ましくは、スイッチングTF T 221、カレントTF T 223及び第2の補正用薄膜フォトダイオード242は、同一のTF T アレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

【実施例11】

【0167】

次に、本発明の実施例11を図17及び図18を参照して説明する。

【0168】

図17は、実施例11に係るTF T - OLEDを備える表示装置のブロック図であり、図18は、この表示装置に備えられた共通線駆動回路13'のブロック図である。尚、図17において、表示領域115内には一画素のみについての画素回路を図記しているが、実際には各画素毎に同様の画素回路が設けられている。

40

【0169】

図17において、本実施例の表示装置200aは、走査線駆動回路11及び信号線駆動回路12の他に、複数の共通線133夫々に対して別々に電源信号を供給可能に構成された共通線駆動回路13'と、共通線駆動回路13'に電源を供給する共通線電源205と、電流測定回路16'により測定された表示領域15内の複数の画素10夫々についての測定電流量 I_{Dmn} (m : 信号線の番号(1~M)、 n : 信号線の番号(1~N))を格納するフレームメモリ207と、画像信号源208と信号線駆動回路12との間に

50

介在する劣化補正回路209とを更に備えて構成されている。劣化補正回路209は、複数の画素10夫々における経時劣化による駆動電流 I_d の電流量低下を補正すべく、画像信号源208から入力される画像信号の階調(輝度)レベルをフレームメモリ207に格納された各測定電流量 ID_n に応じて画素10毎に補正した後に、信号線駆動回路12に出力するように構成されている。尚、共通線駆動回路13'、共通線電源205、電流測定回路16'、フレームメモリ207及び劣化補正回路209の少なくとも一つは、中央に表示領域115が設けられたTFTアレイ基板土に形成されてもよいし(図1参照)、或いは、外部ICとして構成され、TFTアレイ基板に対して外付けされてもよい。

【0170】

図17において、共通線駆動回路13'は、切替スイッチ301、シフトレジスタ302及び伝送スイッチ303を備えて構成されている。切替スイッチ301は、通常の表示動作の際に、配線310を介して複数の共通線133に対し一括して所定電位の電源信号が供給される(即ち、全ての共通線133の電位は等しくされる)ように、コントローラによる制御下で、共通線電源205に接続された電源配線310の側に切り換えられる。他方、切替スイッチ301は、後述の如き経時劣化に対する補正(各共通線133に供給する電源信号の電圧の調整)を行う際に、配線320を介して複数の共通線133に対し測定用電源信号が順次供給されるように、伝送スイッチ303を介して電流量測定回路16'に接続された配線320の側に切り換えらるよう構成されている。

尚、測定用電源信号は、電流測定回路16'が内蔵する電源から配線320を介して供給してもよいし、共通線電源205の電源を利用して配線320を介して供給してもよい。

【0171】

伝送スイッチ303は、経時劣化に対する補正を行う際に、シフトレジスタ302から順次出力される転送信号に応じて測定用電源信号を切替スイッチ301に伝送し、切替スイッチ301はこれを共通線133を介して各画素回路に供給する。この際、シフトレジスタ302は、図示しないコントローラによる制御下で、転送信号を複数の共通線133夫々に対応して順次出力するように構成されている。

【0172】

次に以上のように構成された本実施例の動作について説明する。

【0173】

先ず、経時劣化に対する補正を行う際には、シフトレジスタ302から順次出力される転送信号に応じて伝送可能とされる各伝送スイッチ303を介して、複数の共通線133に対して順次測定用電源信号が供給される。そして、この測定用電源信号の電流量が夫々の共通線133について測定される。ここで、各画素10には、走査線駆動回路11から走査信号が順次供給されるので、電源信号が一本の共通線133から供給される画素列のうち、走査信号が供給された画素毎にカレントTFT223を介して有機EL素子224に駆動電流として測定用電源信号が流れる。即ち、走査線駆動回路11から走査信号を順次供給しつつ、シフトレジスタ302による転送信号のタイミングで共通線133に測定用電源信号を順次供給することにより、各画素10毎の駆動電流 I_d が電流量測定回路16'で点順次で測定される。そして、その測定電流量 ID_{mn} は、フレームメモリ207に記憶される。

【0174】

次に、通常の表示動作を行う際には、画像信号源208からの画像信号は、劣化補正回路209に送られる。劣化補正回路209は、フレームメモリ207に記憶された各画素10の電流量 ID_{mn} に基づき定まる経時劣化の程度(即ち、基準電流量に対する測定駆動電流量の低下の度合い)に従って、その経時劣化による電流低下分を補正するように、各画素10毎に画像信号の階調レベルを補正して信号線駆動回路12に出力する。この結果、各画素10における有機EL素子224の発光量の変化は、劣化補正回路209による階調レベル変化により補正される。尚、通常の表示動作を行う際には、共通線駆動回路

203の切替えスイッチ301は、共通線電源205側に切り替えられ、共通線103には所定の電位が供給される。

【0175】

なお、本実施例では、全ての画素10に対して別々に電流量の測定を行い、その測定値IDmnをフレームメモリ207に記憶するようにしたが、いくつかの抜き取った画素10に対して、或いは、まとまった画素ブロックに対して電流量の測定を行い、その測定値を記憶してもよい。また、本実施例では、全ての画素10に対して各々異なる補正量を施したが、適当な処理の後に、まとまった画素ブロックやパネル全体に対して補正を行うようにしてもよい。

【0176】

なお、本実施例では、各駆動回路内の各TFT及び画素回路内の各TFTは、例えば、600以下の低温プロセスで形成された多結晶シリコンTFTであり、各有機EL素子224は、例えば、インクジェットプロセスで形成される。

【実施例12】

【0177】

次に、本発明の実施例12を図19及び図20を参照して説明する。

【0178】

図19は、実施例12に係るTFT-OELDを備える表示装置のブロック図であり、図20は、この表示装置の各画素に備えられる画素回路の断面図である。尚、図19において、表示領域115内には一画素のみについての回路を図記しているが、実際には各画素毎に同様の回路が設けられている。また、図19において、図17に示した実施例1と同様の構成要素には同様の参照符号を付し、その説明は省略する。

【0179】

図19において、本実施例の表示装置200bは、走査線駆動回路11、信号線駆動回路12、共通線133に一括して所定電位の電源信号を供給する共通線電源205、電流測定回路16”、フレームメモリ207及び劣化補正回路209を備えて構成されている。表示装置200bは特に、共通線133に一端が接続された発光量測定用の半導体素子の一例としてのPINダイオード110を各画素回路内に備えており、各PINダイオード110の他端には測定用電流をPINダイオード110に流すための検光線104が信号線132及び共通線133と平行に設けられている。そして、表示装置200bは更に、各検光線104を介して各画素におけるPINダイオード110を駆動する検光線駆動回路204を備えており、電流測定回路16”は、検光線駆動回路204により駆動されるPINダイオード110に流れる測定用電流を各画素10毎に測定するように構成されている。尚、検光線駆動回路204、共通線電源205、電流測定回路16”、フレームメモリ207及び劣化補正回路209の少なくとも一つは、中央に表示領域115が設けられたTFTアレイ基板上に形成されてもよいし(図1参照)、或いは、外部ICとして構成され、TFTアレイ基板に対して外付けされてもよい。また、PINダイオード110に代わる発光量測定用の半導体素子の他の例としては、チャネル部に光が入射することにより光励起電流が流れる電界効果トランジスタが挙げられる。

【0180】

図20に示すように、本実施例では、各画素10において、PINダイオード110は、スイッチングTFT221及びカレントTFT223の形成に用いる半導体膜と同じ膜を用いてTFTアレイ基板1上に形成されており、不純物ドーパにより形成されたPIN接合を有する。そして、層間絶縁膜251~253を介して有機EL素子224からPIN接合に光が入射すると光励起電流が流れるように、このPIN接合に対し逆バイアス電圧が検光線104を介して検光線駆動回路204から供給されるように構成されている。また、各TFTのゲートや走査線131は、Ta等の金属膜や低抵抗ポリシリコン膜から構成されており、信号線132、共通線133及び検光線104は、Al等の低抵抗金属膜から構成されている。そして、カレントTFT223を介して駆動電流が、ITO等からなる画素電極141からEL素子224を経て、対向電極105(上電極)へと流れ

10

20

30

40

50

るように構成されている。対向電極 105 を ITO 等の透明材料から構成すれば、表示装置 200a の図 20 における上側の面を表示面とすることができる。他方、対向電極 105 を Al 等の光反射性或いは遮光性の金属材料等から構成すれば、表示装置 200a の図 20 における下側の面を表示面とすることができる。ここでは、対向電極 105 を Al を主成分として構成するものとする。

【0181】

次に以上のように構成された本実施例の動作について説明する。

【0182】

先ず、経時劣化に対する補正処理を行う際には、走査線駆動回路 11 及び信号線駆動回路 12 から所定パターンを表示するための走査信号及びデータ信号を供給することにより、有機 EL 素子 224 を発光させる。すると、対向電極 105 は Al を主とする材料であるため、光は反射されて、画素電極 141 を通して、下方に放射される。このとき、光路の一部に検光線 104 により逆バイアスを掛けられた PIN ダイオード 110 が配置されているため、PIN ダイオード 110 では、光励起電流が発生し、検光線 104 を通じて検光線駆動回路 204 に達する。検光線駆動回路 204 は、実施例 11 における共通線駆動回路 203 と同様に複数の伝送スイッチを備えており、PIN ダイオード 110 への逆バイアス電源を検光線 204 から PIN ダイオード 110 へ順次供給し、測定用電流を電流測定回路 16" に順次供給する。そして、実施例 11 の場合と同様に、電流測定回路 16" では、このような測定用電流を各画素 10 について点順次で測定する。尚、各画素 10 に設けられた有機 EL 素子 224 の発光量は、この測定用電流の測定電流量 I_{Dmn} の増加に応じて、ほぼ増加するものである。そして、測定電流量 I_{Dmn} (測定発光量) に対応するフレームメモリ 207 による記憶、劣化補正回路 209 による補正も、実施例 11 と同様に行われる。

【0183】

より具体的には、図 21 に示すように、実施例 11 における劣化補正方法は行われる。

【0184】

即ち、先ず初期状態では、図 21 (a) に示すように、劣化補正回路 209 が補正を行わないので、画像信号 208 の階調レベル D1、D2、...、D6 から信号変換曲線 404 にしたがって、信号線駆動回路 12 は、信号レベル V1、V2、...、V6 のデータ信号を出力する。このデータ信号が、信号線駆動回路 12 から、信号線 132、スイッチング TFT 221 及び保持容量 222 により、カレント TFT 223 のゲート電極に印加される。この結果、カレント TFT 223 のゲート電極に印加される電位と、有機 EL 素子 224 の発光量との関係を示した発光特性曲線 405 に対応して、有機 EL 素子 224 により発光レベル L1、L2、...、V6 の発光が得られる。なお、ここでは、信号レベル Vb があるしきい値電圧を越えてから、有機 EL 素子 224 が発光し始めることも考慮している。

【0185】

次に、有機 EL 素子 224 やカレント TFT 223 が劣化し、発光量が変化した状態では、図 21 (b) に示すように、発光特性曲線 405 は変化する。前述した補正処理における検光線駆動回路 204、電流測定回路 16" 等を用いた発光量の測定により、この発光特性曲線 405 が得られる。劣化補正回路 209 には、この発光特性曲線 405 に基づいて、適切な信号変換曲線 404 が設定される。その後、通常の表示期間においては、この信号変換曲線 404 を用いて、劣化補正回路 209 により、階調レベル D1、D2...、D6 に対して信号レベル V1、V2...V6 の画像信号が信号線駆動回路 12 から出力されるように各階調レベルに対する調整が施される。このため、各画素 10 においては、劣化後の発光特性曲線 405 に従って、劣化前と同じ発光量が劣化後も得られることになる。なお、本実施例では、有機 EL 素子 224 の発光に対するしきい値電圧の劣化も考慮されている。

【0186】

以上のように 12 実施例によれば、各画素 10 における有機 EL 素子 224 の発光量を

P I Nダイオード 1 1 0 を用いて測定するので、駆動電流量を測定する実施例 1 1 の場合よりも、劣化による発光量低下をより正確に補正することが可能となる。

【 0 1 8 7 】

なお、本実施例では、全ての画素 1 0 に対して発光量の測定を行い、その測定値をフレームメモリ 2 0 7 に記憶したが、いくつかの抜き取った画素 1 0 に対して、あるいは、まとまった画素ブロックに対して発光量の測定を行い、その測定値を記憶してもよい。また、ここでは、全ての画素 1 0 に対して各々異なる補正量を施したが、適当な処理の後に、まとまった画素ブロックやパネル全体に対して補正してもよい。

【 0 1 8 8 】

また、本実施例では、光励起電流を発生させるモニタ用受光素子として、P I Nダイオード 1 1 0 を用いたが、電界効果型トランジスタ等の半導体素子を用いてもよい。このとき、電界効果型トランジスタのゲート電極に印加される電位としては、有効に光励起電流を発生させる電位が選択される。更に、有機 E L 素子 2 2 4 からの発光がチャネルに到達するために、トップゲート型、正スタガ型、逆スタガ型、チャネルエッチ型またはチャネルストッパ型などから、適した構成が用いられ、ゲート電極も I T O で形成される可能性がある。更にまた、本実施例では好ましくは、各駆動回路や各画素回路内に形成される T F T と、光励起電流を発生させる半導体素子としての P I Nダイオードとが、同一の工程で形成される。このようにすれば、P I Nダイオードを形成するための工程を別途設けなくて済むので有利である。

【 実施例 1 3 】

【 0 1 8 9 】

図 2 2 に、本発明の実施例 1 3 の T F T - O E L D を備えた表示装置における劣化補正方法を示す。実施例 1 3 の表示装置のハードウェア構成は、実施例 1 1 或いは実施例 1 2 の場合と同様であるのでその説明は省略する。

【 0 1 9 0 】

実施例 1 3 では、図 2 1 を用いて説明された、劣化補正回路 2 0 9 における発光量測定により得られた発光特性曲線 4 0 5 に基づく信号変換曲線 4 0 4 の設定方法が実施例 1 2 の場合と異なる。実施例 1 3 では、データ信号の電圧値の調整が、或る既定の信号レベルから他の既定の信号レベルへと変換することにより行われる。即ち、有機 E L 素子 2 2 4 が劣化し発光量が低下した場合に対応する図 2 1 (b) において、補正された後のデータ信号の信号レベル V 1 、 V 2 、 ... 、 V 6 を、信号線駆動回路 1 2 の電源等の制約により予め定められている離散化された電位の中から選ぶことにより、発光特性曲線 4 0 5 に対する信号変換曲線 4 0 4 を設定する。これにより、発光量の線形性は損なわれるが、階調反転は起こっていないので、肉眼では良好な階調性が得られる。

【 0 1 9 1 】

以上のように実施例 1 3 によれば、信号線駆動回路 1 2 において、限られた種類の電位の電源を用いて、経時劣化による発光量低下に対する補正を行うことが可能となる。

【 0 1 9 2 】

尚、以上の実施例 1 から実施例 1 3 では、スイッチング T F T を備えて画素回路を構成したが、例えば、駆動用 T F T のゲートに走査信号を走査線から直接供給すると共にデータ信号を駆動用 T F T のソースに信号線から直接供給することにより、データ信号を駆動用 T F T のソース及びドレインを介して有機 E L 素子に供給して、有機 E L 素子を駆動するように構成してもよい。即ち、この場合にも、各画素に設けられた有機 E L 素子や駆動用 T F T における経時劣化による駆動電流や発光量の低下を本発明により補正することが可能となる。また、各画素回路に設けられたスイッチング T F T は、そのゲートに印がする走査信号の電圧極性を合わせさえすれば、nチャネル型 T F T から構成してもよいし、pチャネル型 T F T から構成してもよい。

【 0 1 9 3 】

(電子機器)

次に、以上各実施例において詳細に説明した表示装置を備えた電子機器の実施例につい

10

20

30

40

50

て図 2 3 から図 2 6 を参照して説明する。

【 0 1 9 4 】

先ず図 2 3 に、このように表示装置を備えた電子機器の概略構成を示す。

【 0 1 9 5 】

図 2 3 において、電子機器は、表示情報出力源 1 0 0 0、表示情報処理回路 1 0 0 2、駆動回路 1 0 0 4、表示パネル 1 0 0 6、クロック発生回路 1 0 0 8 並びに電源回路 1 0 1 0 を備えて構成されている。

【 0 1 9 6 】

前述した各実施例における表示装置は、本実施例における表示パネル 1 0 0 6 及び駆動回路 1 0 0 4 に相当する。従って、表示パネル 1 0 0 6 を構成する T F T アレイ基板の上に、駆動回路 1 0 0 4 を搭載してもよく、更に表示情報処理回路 1 0 0 2 等を搭載してもよい。或いは、表示パネル 1 0 0 6 を搭載する T F T アレイ基板に対し駆動回路 1 0 0 4 を外付けして構成してもよい。

10

【 0 1 9 7 】

表示情報出力源 1 0 0 0 は、R O M (Read Only Memory)、R A M (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含み、クロック発生回路 1 0 0 8 からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路 1 0 0 2 に出力する。表示情報処理回路 1 0 0 2 は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号 C L K と共に駆動回路 1 0 0 4 に出力する。駆動回路 1 0 0 4 は、表示パネル 2 0 0 を駆動する。電源回路 1 0 1 0 は、上述の各回路に所定電源を供給する。

20

【 0 1 9 8 】

次に図 2 4 から図 2 5 に、このように構成された電子機器の具体例を夫々示す。

【 0 1 9 9 】

図 2 4 において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ (P C) 1 2 0 0 は、上述した表示パネル 2 0 0 がトップカバーケース 1 2 0 6 内に備えられており、更に C P U、メモリ、モデム等を収容すると共にキーボード 1 2 0 2 が組み込まれた本体 1 2 0 4 を備えている。

30

【 0 2 0 0 】

また図 2 5 に示すように、駆動回路 1 0 0 4 や表示情報処理回路 1 0 0 2 を搭載しない表示パネル 1 3 0 4 の場合には、駆動回路 1 0 0 4 や表示情報処理回路 1 0 0 2 を含む I C 1 3 2 4 がポリイミドテープ 1 3 2 2 上に実装された T C P (Tape Carrier Package) 1 3 2 0 に、T F T アレイ基板 1 の周辺部に設けられた異方性導電フィルムを介して物理的且つ電氣的に接続して、表示パネルとして、生産、販売、使用等することも可能である。

【 0 2 0 1 】

以上図 2 4 から図 2 5 を参照して説明した電子機器の他にも、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション (E W S)、携帯電話、テレビ電話、P O S 端末、タッチパネルを備えた装置等などが図 2 3 に示した電子機器の例として挙げられる。

40

【 0 2 0 2 】

以上説明したように、本実施例によれば、有機 E L 素子等の電流駆動型発光素子やカレント T F T 等の駆動素子における経時劣化による悪影響が表示上に及ぶことなく、高品質の画像表示を長期に亘って行える各種の電子機器を実現できる。

【 産業上の利用可能性 】

【 0 2 0 3 】

本発明に係る表示装置は、有機 E L 素子、無機 E L 素子、ライトエミッティングポリマ

50

一、LED等の各種の電流駆動型発光素子とこれを駆動するTFT等の駆動素子とを備えた表示装置として利用可能であり、更に、本発明に係る画素回路は、各種のアクティブマトリクス駆動方式の表示装置に利用可能である。また、本発明に係る電子機器は、このような画素回路や表示装置を用いて構成され、高品質の画像表示を長期に亘って行える電子機器等として利用可能である。

【図面の簡単な説明】

【0204】

【図1】本発明の各実施例に共通する表示装置の基本的な全体構成を示すブロック図である。

【図2】図1の表示装置の一画素における平面図である。

10

【図3】本発明の実施例1の表示装置のブロック図である。

【図4】実施例1における画像信号の階調レベル(D)、データ信号電圧(Vsig)及び駆動電流(I_d)の関係並びに経時劣化の補正方法を示す特性図である。

【図5】実施例1の一変形例のブロック図である。

【図6】実施例1の他の変形例のブロック図である。

【図7】図6の変形例におけるデータ信号(Vsig)及び駆動電流(I_d)の関係並びに経時劣化の補正方法を示す特性図である。

【図8】本発明の実施例2の表示装置のブロック図である。

【図9】本発明の実施例3の表示装置のブロック図である。

【図10】本発明の実施例4の表示装置のブロック図である。

20

【図11】本発明の実施例5の表示装置の一画素における等価回路図である。

【図12】本発明の実施例6の表示装置の一画素における等価回路図である。

【図13】本発明の実施例7の表示装置の一画素における等価回路図である。

【図14】本発明の実施例8の表示装置の一画素における等価回路図である。

【図15】本発明の実施例9の表示装置の一画素における等価回路図である。

【図16】本発明の実施例10の表示装置の一画素における等価回路図である。

【図17】本発明の実施例11の表示装置の全体構成を一画素の回路図を含めて示すブロック図である。

【図18】実施例11の表示装置が備える共通線駆動回路の回路図である。

【図19】本発明の実施例12の表示装置の全体構成を一画素の回路図を含めて示すブロック図である。

30

【図20】実施例12の表示装置が備えるTFT-OELD部分の断面図である。

【図21】実施例12の表示装置における経時劣化の補正方法を示す特性図である。

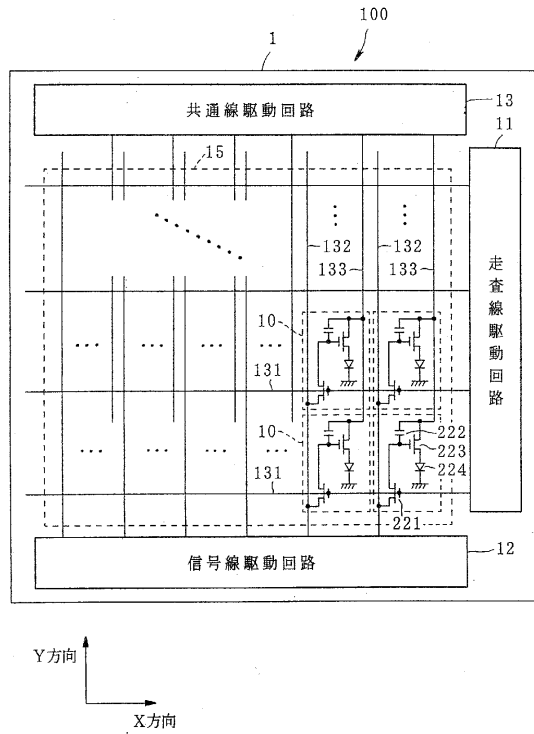
【図22】本発明の実施例13の表示装置における経時劣化の補正方法を示す特性図である。

【図23】本発明による電子機器の実施の形態の概略構成を示すブロック図である。

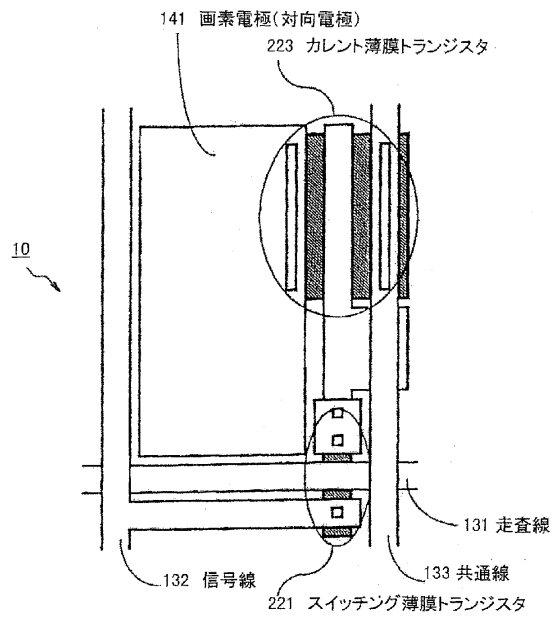
【図24】電子機器の一例としてのパーソナルコンピュータを示す正面図である。

【図25】電子機器の他の例としてのTCPを用いた液晶装置を示す斜視図である。

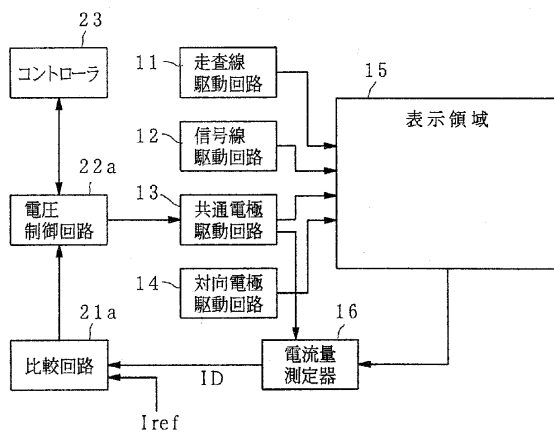
【図 1】



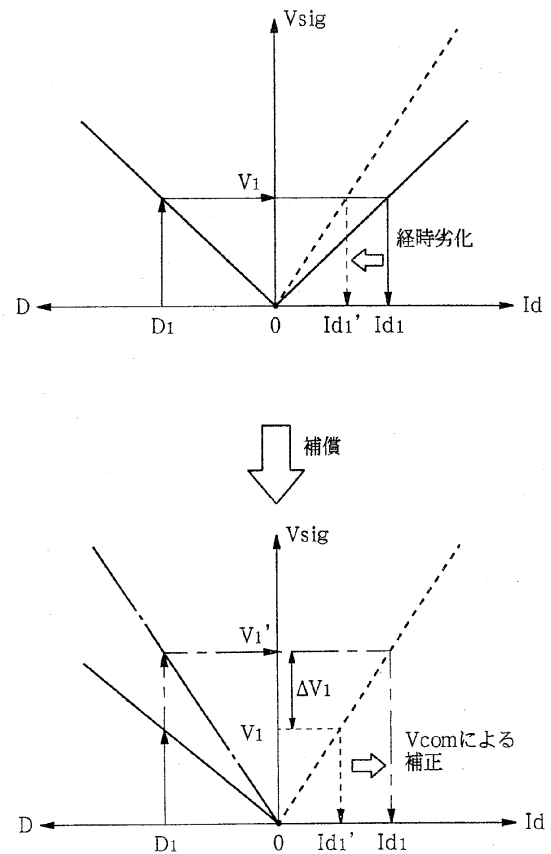
【図 2】



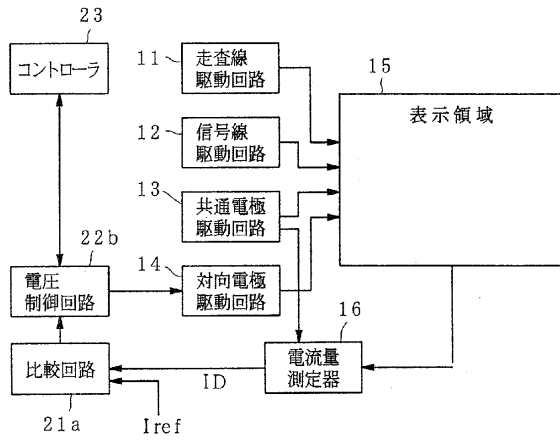
【図 3】



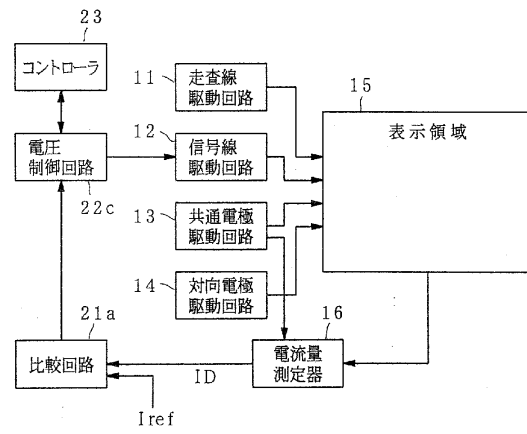
【図 4】



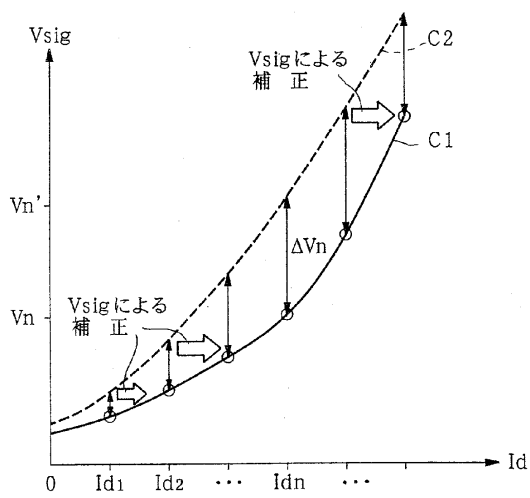
【図 5】



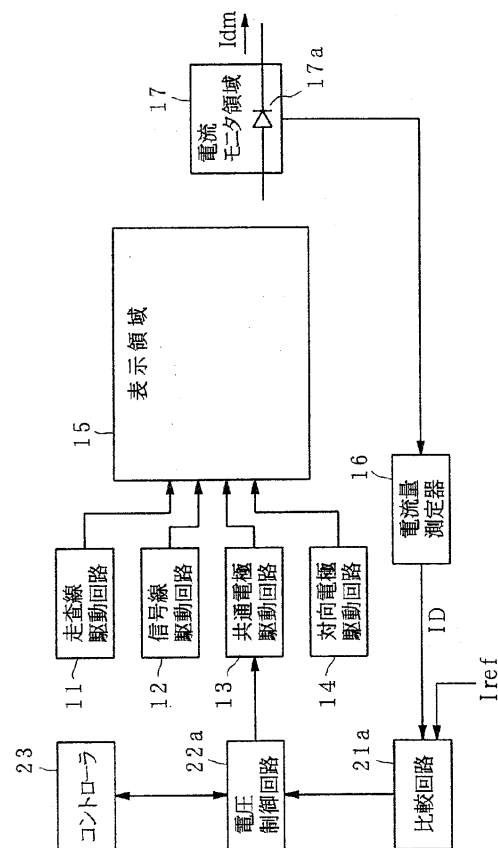
【図 6】



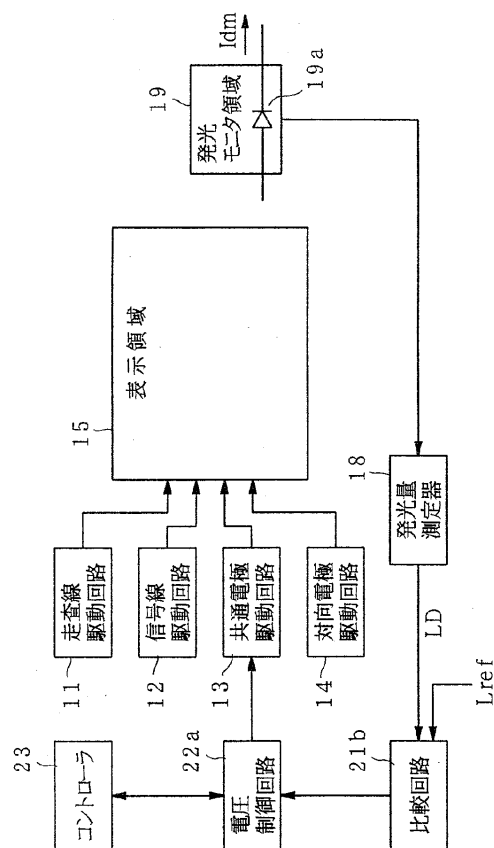
【図 7】



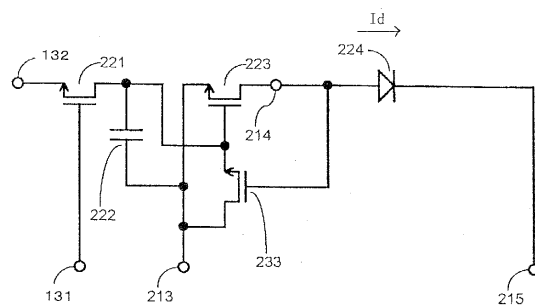
【図 8】



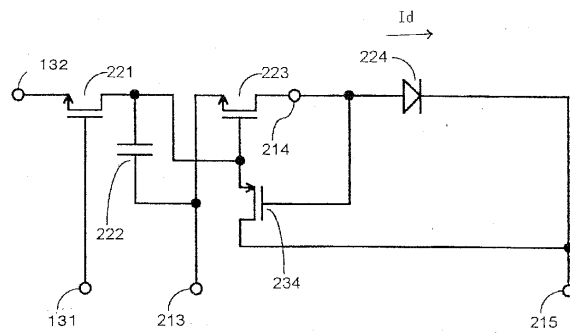
【 図 1 0 】



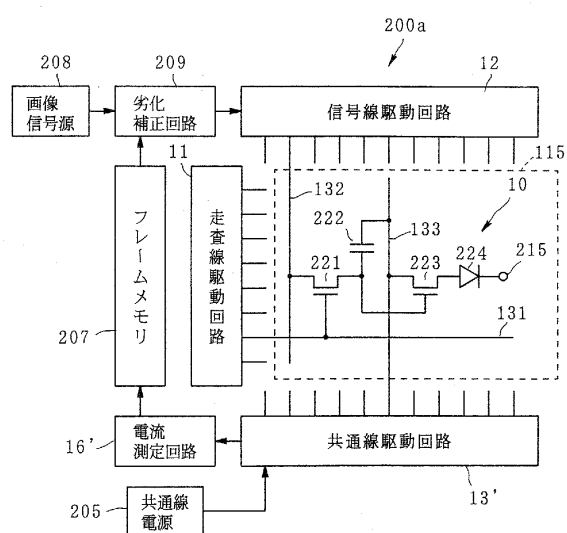
【 図 1 3 】



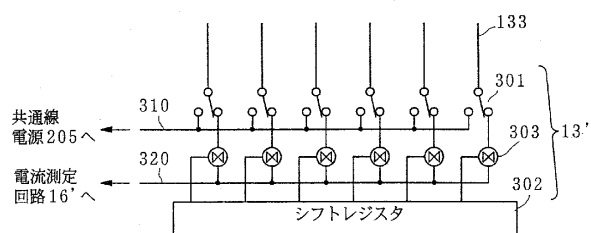
【 図 1 4 】



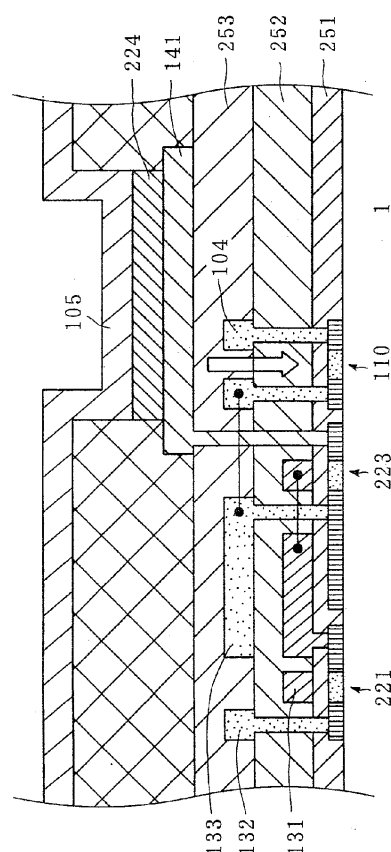
【 图 1 7 】



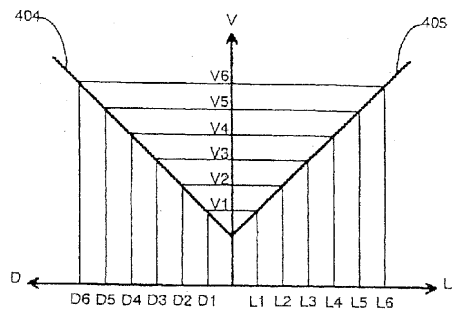
【 図 1 8 】



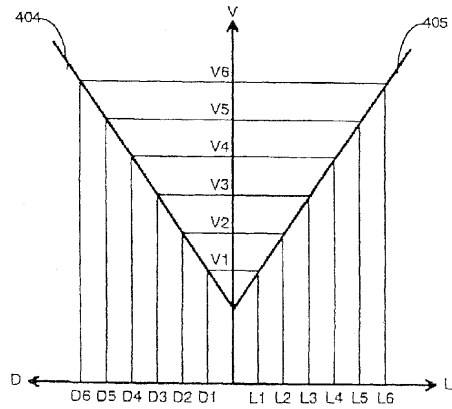
【 図 2 0 】



【図 2 1】

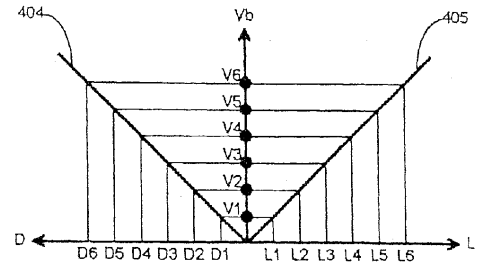


(a)

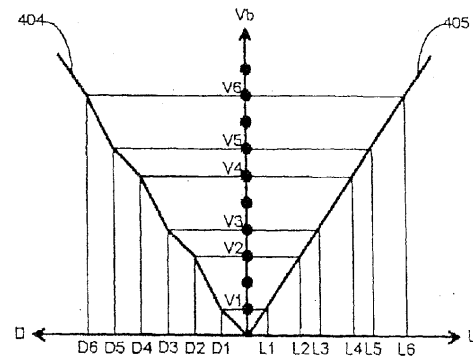


(b)

【図 2 2】



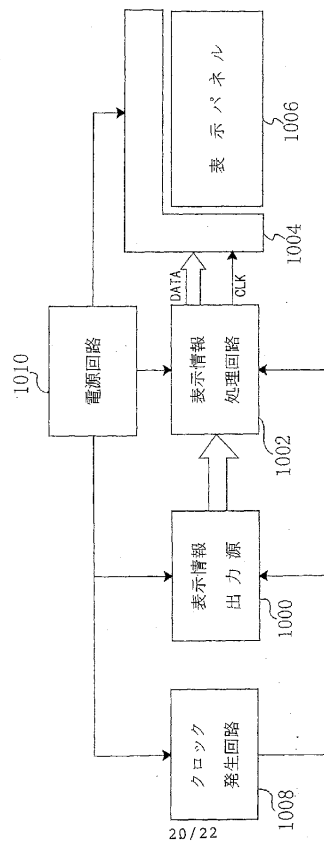
(a)



(b)

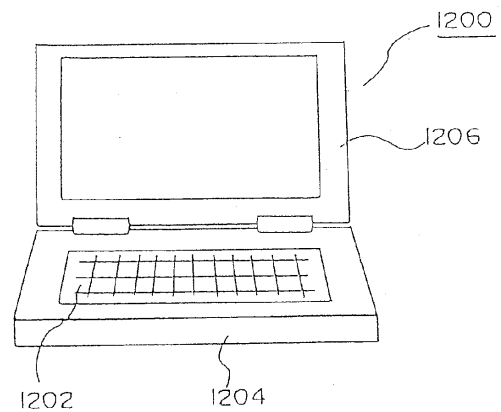
【図 2 3】

電子機器の概要構成を示すブロック図



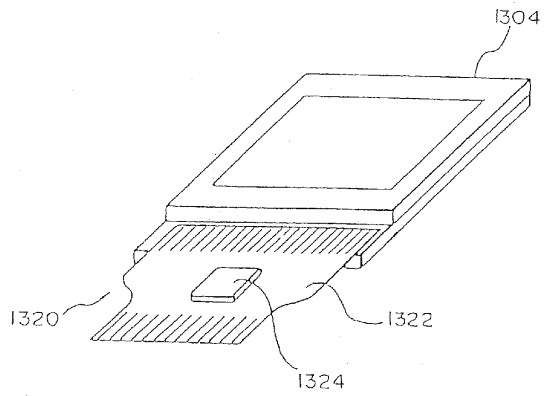
【図 2 4】

パーソナルコンピュータの外観を示す正面図



【図 25】

TCPを用いた表示装置の外観を示す斜視図



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 4 2 A
 G 0 9 G 3/20 6 4 2 P
 G 0 9 G 3/20 6 7 0 J
 H 0 5 B 33/14 A

(74)代理人 100107261
 弁理士 須澤 修
 (72)発明者 木村 睦
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72)発明者 下田 達也
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72)発明者 木口 浩史
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 橋本 直明

(56)参考文献 特開平09-016123(JP,A)
 特開2006-309260(JP,A)
 特開平09-115673(JP,A)
 特開平08-234690(JP,A)
 特開平10-254410(JP,A)
 特開平07-036409(JP,A)
 特開平07-036410(JP,A)
 特開平01-193797(JP,A)
 特開昭60-198872(JP,A)
 特開平04-161984(JP,A)
 特開平08-044314(JP,A)
 特開平05-035207(JP,A)
 特開昭61-045281(JP,A)
 特開平04-269790(JP,A)
 実開平04-067689(JP,U)
 特開昭59-214897(JP,A)
 実開昭59-170892(JP,U)
 特開平09-305145(JP,A)
 特開昭59-181882(JP,A)
 特開平09-016122(JP,A)
 国際公開第98/040871(WO,A1)

(58)調査した分野(Int.Cl., DB名)
 G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0
 H 0 1 L 5 1 / 5 0