



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA DI INVENZIONE NUMERO	102009901727315
Data Deposito	28/04/2009
Data Pubblicazione	28/10/2010

Classifiche IPC

Titolo

DISPOSITIVO E METODO DI PROTEZIONE DA DISTURBI PER UN SEGNALE DIGITALE

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"DISPOSITIVO E METODO DI PROTEZIONE DA DISTURBI PER UN SEGNALE DIGITALE"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MI)

Inventori: CAULI Arber, PRANDI Luciano, CAMINADA Carlo

* * *

La presente invenzione si riferisce ad un dispositivo e a un metodo di protezione da disturbi per un segnale digitale.

La figura 1 mostra un comparatore 1 differenziale a tempo continuo, di tipo noto. Il comparatore 1 è configurato per accettare in ingresso un segnale di ingresso analogico V_{in} e fornire in uscita un segnale di comparazione V_{comp} , di tipo binario, che può assumere un valore logico alto V_{comp_H} (uno logico) o basso V_{comp_L} (zero logico) sulla base del segnale di ingresso analogico V_{in} . Più in dettaglio, il comparatore 1 riceve su un ingresso invertente e su un ingresso non invertente il segnale di ingresso analogico V_{in} . In uso, il comparatore 1 compara il segnale di tensione V_{in_P} presente sull'ingresso non invertente con il segnale di tensione V_{in_N} presente

sull'ingresso invertente, e fornisce in uscita il segnale di comparazione V_{comp} secondo la seguente formula (1):

$$\begin{cases} V_{comp} = V_{comp_L} & \text{se } V_{in_P} < V_{in_N} \\ V_{comp} = V_{comp_H} & \text{se } V_{in_P} > V_{in_N} \end{cases} \quad (1)$$

Risulta chiaro che, mentre i segnali di tensioni V_{in_P} e V_{in_N} sono segnali analogici, il segnale di comparazione V_{comp} è di tipo binario, poiché assume alternativamente il valore logico alto V_{comp_H} o il valore basso V_{comp_L} . Definendo il segnale di ingresso analogico V_{in} come segnale differenziale $V_{in} = V_{in_P} - V_{in_N}$ le equazioni della formula (1) possono essere espresse secondo la seguente formula (2):

$$\begin{cases} V_{comp} = V_{comp_L} & \text{se } V_{in} < 0 \\ V_{comp} = V_{comp_H} & \text{se } V_{in} > 0 \end{cases} \quad (2)$$

La figura 2a mostra un segnale di ingresso analogico V_{in} di tipo sinusoidale, rappresentato mostrando i segnali di tensione V_{in_P} e V_{in_N} agli ingressi del comparatore 1, oscillante entro i valori di tensione $(-V_s, \dots, +V_s)$, mentre la figura 2b mostra il segnale di comparazione V_{comp} , che assumere il valore logico $V_{comp_H}=1$ o $V_{comp_L}=0$ secondo le equazione espresse dalla formula (2).

Il segnale di ingresso analogico V_{in} comprende generalmente una componente di segnale utile ed una componente di disturbo. La componente di disturbo può essere a sua volta scomposta in una componente di rumore elettronico e in una componente di disturbo impulsivo, ad esempio causata da accoppiamenti capacitivi, spesso associati a strutture a capacità commutate (circuiti di

tipo "switched capacitor"), che causano picchi di tensione brevi ed improvvisi (chiamati "glitch"), generalmente di tipo periodico, in corrispondenza di commutazioni di segnali digitali propri delle strutture a capacità commutate.

Come mostrato nelle figure 2a e 2b, la presenza di numerosi disturbi impulsivi 5 (ad esempio i glitch) in rapida successione tra loro nel segnale di ingresso analogico V_{in} può causare rispettive commutazioni di disturbo 6 spurie e indesiderate, anch'esse in rapida successione tra loro, del segnale di comparazione V_{comp} del comparatore 1.

Tali commutazioni di disturbo 6 possono causare un funzionamento non corretto di un sistema in cui il comparatore 1 è implementato. Ad esempio, se il segnale di tensione di uscita del comparatore 1 viene utilizzata come ingresso di un circuito PLL ("phase locking loop") ad esempio di un circuito di feedback che opera in modo sincrono, tali commutazioni di disturbo potrebbero inficiare il funzionamento corretto del circuito PLL e di conseguenza dell'intero sistema.

Scopo della presente invenzione è fornire un dispositivo e un metodo di protezione da disturbi per un segnale digitale che superi gli inconvenienti dell'arte nota.

Secondo la presente invenzione vengono realizzati un dispositivo e un metodo di protezione da disturbi per un segnale digitale come definito nelle rivendicazioni 1 e 9.

Per una migliore comprensione dell'invenzione, ne viene ora descritta una forma di realizzazione preferita, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra un comparatore di tipo noto;
 - le figure 2a e 2b mostrano rispettivamente un segnale differenziale in ingresso al e in uscita dal comparatore di figura 1;
 - la figura 3 mostra un dispositivo comparatore secondo la presente invenzione;
 - la figura 4 mostra un circuito di protezione da segnali di disturbo del dispositivo comparatore di figura 3;
 - la figura 5 mostra un circuito di ritardo di segnali interni al circuito di protezione di figura 4;
 - le figure 6a-6f mostrano forme d'onda di segnali in ingresso al, interni al e generati dal dispositivo comparatore di figura 3 in assenza di segnali di disturbo;
 - le figure 7a-7d mostrano forme d'onda di segnali in ingresso al, interni al e generati dal dispositivo comparatore di figura 3 in presenza di segnali di disturbo;
- e

- la figura 8 mostra un sistema microelettromeccanico in cui il dispositivo comparatore di figura 3 può essere implementato.

La figura 3 mostra un dispositivo comparatore 10 comprendente un comparatore 1, ad esempio del tipo descritto con riferimento alla figura 1, ed un circuito di protezione 11, configurato per ricevere in ingresso un segnale digitale, eventualmente con segnali di disturbo ad esso sovrapposti, (come ad esempio i disturbi impulsivi 5 mostrati in figura 2b) e generare un segnale di uscita utile V_{out} simile al segnale in ingresso ma privo di commutazioni di disturbo 6 in rapida successione tra loro. In generale, il segnale di uscita utile V_{out} generato dal circuito di protezione 11 possiede lo stesso periodo e lo stesso duty-cycle del segnale di comparazione V_{comp} , in ingresso al circuito di protezione 11. Casi particolari, in cui il duty-cycle e/o il periodo del segnale di uscita utile V_{out} potrebbero variare rispetto a quelli del segnale di comparazione V_{comp} saranno meglio illustrati nel seguito.

Più in dettaglio, il circuito di protezione 11 riceve in ingresso il segnale di comparazione V_{comp} generato dal comparatore 1 che, come detto descritto con riferimento alle figure 2a, 2b, può essere soggetto a commutazioni di disturbo 6, e genera in uscita un segnale di uscita utile

Vout privo di commutazioni di disturbo 6 in rapida successione tra loro. Il circuito di protezione 11, infatti, opera una mascheratura del segnale di comparazione Vcomp generato dal comparatore 1 al fine di evitare che commutazioni di disturbo 6 presenti nel segnale di comparazione Vcomp causino rispettive commutazioni di disturbo nel segnale di uscita utile Vout. La mascheratura è attivata quando viene rilevata una prima commutazione del segnale di comparazione Vcomp ed ha una durata di mascheratura Tmask.

In funzionamento normale, cioè in assenza di mascheratura, il circuito di protezione 11 è sostanzialmente trasparente ed il segnale di comparazione Vcomp è riprodotto in uscita, realizzando il segnale di uscita utile Vout. Un primo fronte di commutazione del segnale di comparazione Vcomp causa una rispettiva commutazione del segnale di uscita utile Vout. Quindi, in seguito a tale primo fronte di commutazione, con un ritardo minimo, intrinseco ai componenti elettronici utilizzati (generalmente di pochi nanosecondi), viene attivata la mascheratura. In questo caso, il circuito di protezione 11 disaccoppia il proprio ingresso dalla propria uscita, e mantiene, per un tempo pari alla durata di mascheratura Tmask, il segnale di uscita utile Vout all'ultimo valore acquisito dal segnale di comparazione Vcomp in seguito al

rilevamento del fronte di commutazione, indipendentemente da eventuali ulteriori fronti di commutazione dal segnale di comparazione V_{comp} . In questo modo, durante l'intera durata di mascheratura T_{mask} , eventuali commutazioni di disturbo 6 del segnale di comparazione V_{comp} non generano rispettive commutazioni del segnale di uscita utile V_{out} . Al termine della durata di mascheramento T_{mask} la fase di mascheratura termina, il segnale di uscita utile V_{out} sull'uscita del circuito di protezione 11 riproduce nuovamente il segnale di comparazione V_{comp} e il circuito di protezione 11 rimane in attesa di un successivo fronte di commutazione del segnale di comparazione V_{comp} . Tale successivo fronte di commutazione, analogamente a quanto descritto relativamente al primo fronte di commutazione, comanda una rispettiva commutazione del segnale di uscita utile V_{out} e quindi, con un ritardo dato dai componenti elettronici utilizzati, viene nuovamente attivata la mascheratura. Il circuito di protezione 11 disaccoppia nuovamente il proprio ingresso dalla propria uscita, e mantiene il segnale di uscita utile V_{out} all'ultimo valore acquisito per l'intera durata di mascheratura T_{mask} .

La durata di T_{mask} è condizionata dalla durata del periodo del segnale in ingresso al circuito di protezione 11 (il segnale di comparazione V_{comp} nella forma di realizzazione descritta). Ad esempio, si può dimensionare

la durata di mascheratura Tmask secondo la seguente formula (3) :

$$T_{mask} < T_{SEM} , \quad (3)$$

dove T_{SEM} è il semiperiodo più breve del periodo del segnale di ingresso analogico Vin (uguale, a meno di commutazioni di disturbo δ , al semiperiodo più breve del periodo del segnale di comparazione Vcomp).

Supponendo che il segnale di comparazione Vcomp abbia un duty-cycle del 50% (semiperiodi di uguale durata), dimensionando la durata di mascheratura Tmask come inferiore a metà del periodo del segnale di ingresso analogico Vin, si riesce ad ottenere una adeguata protezione da eventuali disturbi garantendo comunque la rilevazione del fronte di commutazione (salita/discesa) del segnale di comparazione Vcomp (supponendo assenza di disturbi nell'intervallo compreso tra la fine della durata di mascheratura Tmask ed il fronte di commutazione del segnale di comparazione Vcomp).

Nel caso in cui il duty-cycle del segnale di comparazione Vcomp sia diverso dal 50%, la rilevazione del fronte di commutazione è garantito dimensionando la durata di mascheratura Tmask in modo tale che sia inferiore al semiperiodo del segnale di comparazione Vcomp avente durata minore.

La figura 4 mostra una possibile implementazione del

circuito di protezione 11. Secondo questa forma di realizzazione, il circuito di protezione 11 comprende un elemento di memoria, ad esempio un flip-flop 15, configurato per accettare su un ingresso D di dati il segnale di comparazione Vcomp, su un ingresso E di abilitazione ("enable") un segnale di abilitazione e generare su un'uscita Q il segnale di uscita utile Vout; un elemento di ritardo 16, configurato per accettare in ingresso il segnale di comparazione Vcomp e per generare in uscita un segnale di ingresso digitale ritardato Vcomp_rit, in particolare ritardato di un tempo pari alla durata di mascheratura Tmask desiderata; e una porta logica 17, più precisamente un XOR, configurata per accettare su un primo ingresso il segnale di ingresso digitale ritardato Vcomp_rit, su un secondo ingresso il segnale di uscita utile Vout generato dal flip-flop 15, e per generare in uscita un segnale di controllo mascheratura Vcontr, di tipo digitale, fornito sull'ingresso di abilitazione E del flip-flop 15.

In questo modo, l'uscita Vcomp_rit dell'elemento di ritardo 16 e l'uscita Vout del flip-flop 15 controllano, attraverso la porta logica 17 XOR, il funzionamento del flip-flop 15 stesso. Infatti, quando il segnale di controllo mascheratura Vcontr è basso (zero logico), si ha che il segnale di uscita utile Vout corrisponde al segnale

di comparazione V_{comp} , a meno di un ritardo introdotto dal flip-flop 15, e quindi la mascheratura è disattivata; al contrario, quando il segnale di controllo mascheratura V_{contr} è alto (uno logico), la mascheratura è attiva e il flip-flop 15 mantiene il segnale di uscita utile V_{out} al valore definito dallo stato precedentemente acquisito.

La figura 5 mostra uno schema circuitale dell'elemento di ritardo 16, secondo una possibile forma di realizzazione.

L'elemento di ritardo 16 comprende una pompa di carica 20, di tipo noto, collegata all'ingresso dell'elemento di ritardo e configurata per essere comandata dal segnale di comparazione V_{comp} .

La pompa di carica 20 è mostrata secondo una rappresentazione schematica, e comprende un primo generatore di corrente 22, collegato ad una tensione di alimentazione V_{dd} (di valore opportuno, ad esempio compresa tra 2 V e 5 V) e configurato per generare una corrente I_{up} ; un secondo generatore di corrente 23, collegato ad un terminale di terra GND (ad esempio posto a 0 V) e configurato per generare una corrente I_{dw} , ad esempio pari a $2 \cdot I_{up}$; ed un interruttore 24, ad esempio un transistor MOSFET a canale N, comandato in conduzione o interdizione mediante il segnale di comparazione V_{comp} , avente un primo terminale di conduzione collegato al primo generatore di

corrente 22 ed un secondo terminale di conduzione collegato al secondo generatore di corrente 23.

Il primo terminale di conduzione dell'interruttore elettronico 24 è inoltre collegato ad un primo morsetto di un condensatore 25, a sua volta collegato tramite un secondo morsetto al terminale di terra GND. Inoltre, il primo terminale di conduzione dell'interruttore elettronico 24 è collegato ad un invertitore 26. Ulteriori invertitori 27, ad esempio dello stesso tipo dell'invertitore 26, possono opzionalmente essere collegati in serie all'invertitore 26 per ottenere in uscita dal blocco di ritardo un segnale con fronti di salita e di discesa più ripidi. L'uscita della serie degli invertitori 26 e 27 forma il segnale di ingresso digitale ritardato V_{comp_rit} .

In uso, quando la tensione di comparazione V_{comp} commuta verso V_{comp_L} , l'interruttore elettronico 24 è comandato in interdizione e il condensatore 25 è caricato dalla corrente I_{up} , fino a che la tensione sul condensatore 25 raggiunge un valore di tensione $V_c \approx V_{dd}$. Viceversa, quando la tensione di comparazione V_{comp} commuta verso V_{comp_H} , l'interruttore elettronico 24 è comandato in conduzione e il condensatore 25 si scarica con una corrente data da $I_{dw} - I_{up}$, fino a che la tensione sul condensatore 25 raggiunge un valore di tensione $V_c \approx GND$.

La mascheratura ha inizio quando il condensatore 25

comincia a caricarsi/scaricarsi, e perdura fino a quando la tensione V_c aumentando/diminuendo attraversa la soglia di inversione dell'invertitore 26 (e degli ulteriori invertitori 27 se presenti). La mascheratura pertanto si attiva sia sul fronte di salita sia sul fronte di discesa della tensione di comparazione V_{comp} . Secondo la forma di realizzazione mostrata, la durata di mascheratura T_{mask} è definita dal valore di capacità C del condensatore 25, dalla corrente I_{up} e dal valore della tensione di soglia di inversione V_{th} dell'invertitore 26, secondo la seguente formula (4):

$$T_{mask} = \frac{C}{I_{up}} \cdot V_{th} . \quad (4)$$

La durata di mascheratura T_{mask} è dunque intrinsecamente definita dal tempo di carica/scarica del condensatore 25 fino al raggiungimento della tensione di soglia di inversione V_{th} dell'inverter 26 (e degli ulteriori invertitori 27 se presenti).

Le figure 6a-6f e 7a-7d mostrano un esempio di variazione temporale dei segnali coinvolti durante la mascheratura. La mascheratura interviene sempre, sia in presenza di glitch o altri disturbi sia in assenza di essi. Le figure 6a-6f mostrano un caso in cui la mascheratura interviene in assenza di glitch e disturbi in genere. Un esempio di mascheratura in presenza di glitch e disturbi è descritto con riferimento alle figure 7a-7d.

Con riferimento alle figure 6a-6f e 7a-7d, i ritardi intrinseci del flip-flop 15 e della porta logica 17 non vengono considerati per semplicità di descrizione.

La figura 6a mostra il segnale di ingresso analogico V_{in} secondo una rappresentazione differenziale, mostrando i segnali di tensione V_{in_P} e V_{in_N} presenti su rispettivi ingressi non invertente e invertente del comparatore 1 di figura 3. Nell'esempio di figura 6a, il segnale di ingresso analogico V_{in} è di tipo sinusoidale, idealmente compreso nell'intervallo di valori di tensione $(-V_s, \dots, +V_s)$. Risulta chiaro che tale segnale di ingresso analogico V_{in} può essere di tipo diverso da quello mostrato, e può essere compreso in un intervallo di valori di tensione qualsiasi, a seconda delle necessità.

La figura 6b mostra il segnale di comparazione V_{comp} generato in uscita dal comparatore 1 di figura 3. Il segnale di comparazione V_{comp} è un'onda quadra, con duty-cycle del 50% e frequenza uguale alla frequenza del segnale di ingresso analogico V_{in} . Essendo il segnale di comparazione V_{comp} un segnale digitale, la figura 6b mostra una rappresentazione ideale in cui il segnale V_{comp} un valore di zero logico V_{comp_L} e un valore di uno logico V_{comp_H} . Risulta anche in questo caso chiaro che lo zero logico e l'uno logico possono essere implementati mediante opportuni valori di tensione, a seconda delle necessità.

Nel seguito, quando non diversamente specificato, il segnale di ingresso analogico V_{in} è inteso come segnale di ingresso differenziale $V_{in}=V_{inP}-V_{inN}$ in ingresso al comparatore 1 di figura 3.

Con riferimento congiunto alle figure 6a e 6b, nell'intervallo temporale t_0-t_1 , il segnale di ingresso analogico V_{in} è negativo. Pertanto, con riferimento alla formula (2), il segnale di comparazione V_{comp} ha valore logico basso, pari a $V_{compL}=0$. Con riferimento alla figura 5, l'interruttore 24 è comandato in interdizione e il condensatore 25, caricandosi, sviluppa una tensione ai suoi capi pari a $V_c \approx V_{dd}$. La figura 6c mostra l'andamento della tensione V_c sul condensatore 25 (supposto, per semplicità di descrizione, già parzialmente carico all'istante t_0).

Nell'istante temporale t_1 , il segnale di ingresso analogico V_{in} è pari a zero ($V_{inP}=V_{inN}$) e, negli istanti temporali successivi a t_1 , il segnale di ingresso analogico V_{in} assume valore positivo. Il segnale di comparazione V_{comp} commuta da livello logico basso a livello logico alto, assumendo il valore $V_{compH}=1$. In particolare, con riferimento congiunto alla figura 5, il valore in tensione effettivo di V_{compH} deve essere tale da comandare l'interruttore 24 in conduzione e consentire uno scaricamento progressivo del condensatore 25. Ad esempio è possibile associare all'uno logico il valore di 3.5 V..

Come mostrato in figura 6c, il condensatore 25 inizia a scaricarsi all'istante temporale t_1 (la tensione V_c ai sui capi decresce) e risulta completamente scarico all'istante temporale t_{c1} .

Quando, in un istante temporale t_R compreso tra gli istanti temporali t_1 e t_{c1} , la tensione V_c ai capi del condensatore 25 scaricandosi raggiunge la tensione di soglia di inversione V_{th} dell'invertitore 26 (e degli inverter 27 se presenti), il circuito di ritardo 16 genera in uscita, figura 6d, il segnale di ingresso digitale ritardato V_{comp_rit} .

Durante l'intervallo temporale t_1 - t_R i segnali in ingresso alla porta logica 17 non posseggono lo stesso valore logico. Infatti, come mostrato nelle figure 6b, 6d e 6f, il segnale di comparazione V_{comp} con valore logico alto causa all'istante temporale t_1 una commutazione ad un valore logico alto del segnale di uscita utile V_{out} , mentre il segnale V_{comp_rit} mantiene un valore logico basso. Gli ingressi della porta logica 17, di tipo XOR, assumono pertanto valore logico diverso. Il segnale di controllo mascheratura V_{contr} generato dalla porta logica 17 è dunque un segnale con valore logico alto.

Il segnale di controllo mascheratura V_{contr} sull'ingresso di abilitazione $\underline{E}$ del flip-flop 15 (il segnale invertito non è mostrato in figura), in modo tale

che un segnale di controllo mascheratura V_{contr} alto comandi il flip-flop 15 in uno stato di memoria. Il segnale di uscita utile V_{out} sull'uscita Q mantiene l'ultimo valore logico acquisito indipendentemente dal valore assunto dal segnale di comparazione V_{comp} sull'ingresso dati D .

Quindi, quando il segnale di controllo mascheratura V_{contr} presente sull'ingresso E di attivazione del flip-flop 15 viene mantenuto a livello logico alto, l'uscita Q del latch conserva il proprio stato indipendentemente dal valore assunto dal segnale di comparazione V_{comp} sull'ingresso D . Al contrario, quando il segnale di controllo mascheratura V_{contr} sull'ingresso E viene commutato a livello logico basso, il segnale sull'uscita Q assume il valore logico del segnale di comparazione V_{comp} presente sull'ingresso D .

Durante l'intervallo t_1-t_R , cioè finché il segnale di controllo mascheratura V_{contr} è mantenuto al valore logico alto, il flip-flop 15 genera un segnale di uscita utile V_{out} avente un valore logico alto, indipendentemente dalle variazioni del segnale di comparazione V_{comp} .

Quando, all'istante temporale t_R , il segnale di ingresso digitale ritardato V_{comp_rit} assume valore logico alto, il segnale di controllo mascheratura V_{contr} assume valore logico basso. L'uscita del flip-flop 15 commuterà pertanto alla successiva commutazione del segnale di

comparazione V_{comp} .

Nell'istante temporale t_2 , il segnale di ingresso analogico V_{in} è nuovamente pari a zero ($V_{inP}=V_{inN}$), mentre negli istanti temporali successivi a t_2 assume valore negativo. Il segnale di comparazione V_{comp} commuta all'istante temporale t_2 da livello logico alto a livello logico basso, assumendo il valore V_{compL} e causando una rispettiva commutazione del segnale di uscita utile V_{out} .

Con riferimento alla figura 5, il valore V_{compL} deve essere tale da comandare l'interruttore 24 in interdizione e consentire il caricamento del condensatore 25 (ad esempio V_{compL} può essere pari a 0 V). Come mostrato in figura 6c, il condensatore 25 inizia a caricarsi all'istante temporale t_2 (la tensione V_c ai sui capi cresce) e risulta completamente carico all'istante temporale t_{c2} .

Quando la tensione V_c ai capi del condensatore 25 caricandosi raggiunge la tensione di soglia di inversione V_{th} dell'invertitore 26 (e degli invertitori 27 se presenti), in un istante temporale t_D compreso tra gli istanti temporali t_2 e t_{c2} , il segnale di ingresso digitale ritardato V_{comp_rit} generato dal circuito di ritardo 16 assume valore logico basso.

Nell'intervallo temporale compreso tra t_2 e t_D il segnale di controllo mascheratura V_{contr} generato dalla porta logica 17, di tipo XOR, è nuovamente un segnale con

valore logico alto, in quanto, in tale intervallo temporale, il segnale di uscita utile V_{out} ha valore logico basso, mentre il segnale V_{comp_rit} ha valore logico alto.

Quindi, durante l'intervallo t_2-t_D , il flip-flop 15 genera in uscita un valore logico basso, indipendentemente dalle variazioni del segnale di comparazione V_{comp} . Il flip-flop 15 è comandato in uno stato di memoria e mantiene il segnale di uscita utile V_{out} fisso all'ultimo valore logico assunto (in questo caso un valore logico basso).

All'istante temporale t_D la tensione V_c raggiunge la tensione di soglia di inversione V_{th} dell'invertitore 26 (e degli invertitori 27 se presenti) ed il segnale di ingresso digitale ritardato V_{comp_rit} assume valore logico basso. Di conseguenza, anche il segnale di controllo mascheratura V_{contr} assume valore logico basso, terminando la mascheratura. Il segnale di uscita utile V_{out} generato dal flip-flop 15 può pertanto commutare alla successiva commutazione del segnale di comparazione V_{comp} .

La durata di mascheratura T_{mask} è pertanto definita dal tempo di scaricamento e caricamento del condensatore 25, cioè dagli intervalli temporali t_1-t_R e t_2-t_D , rispettivamente.

La figura 6f mostra il segnale di uscita utile V_{out} , generato dal flip-flop 15 secondo quanto descritto con riferimento alle figure 6a-6e. Il segnale di uscita utile

V_{out} risulta essere disaccoppiato dal segnale di comparazione V_{comp} durante gli intervalli temporali t_1-t_R e t_2-t_D , e segue le variazioni del segnale di comparazione V_{comp} al di fuori di tali intervalli temporali.

Quindi, all'istante temporale t_3 il segnale di ingresso differenziale V_{in} è nuovamente pari a zero e le fasi descritte con riferimento alle figure 6a-6f si ripetono.

Le figure 7a-7d mostrano un esempio in cui disturbi (ad esempio forti glitch differenziali) presenti sul segnale di tensione in ingresso V_{in} (figura 7a) causano commutazioni non desiderate del segnale di ingresso digitale (figura 7b) generato dal comparatore 1 di figura 3.

Il circuito di protezione 11 opera come già descritto con riferimento alle figure 6a-6f.

Come si può notare dalla figura 7c, che mostra il segnale di controllo mascheratura V_{contr} , la durata di mascheratura T_{mask} è superiore alla durata di disturbi che si verificano in seguito al passaggio attraverso lo zero del segnale di ingresso analogico V_{in} . In questo modo, il segnale utile di uscita V_{out} è insensibile alla presenza di tali disturbi e coincide con il segnale utile di uscita V_{out} che si avrebbe in assenza di disturbi sul segnale di ingresso analogico V_{in} .

Come espresso dalla formula (4), la durata di mascheratura T_{mask} dipende dalla corrente I_{up} , dal valore di capacità C del condensatore 25 e dalla tensione di soglia di inversione V_{th} . Quest'ultima, in particolare, può variare in funzione del valore di tensione di alimentazione V_{dd} (ad esempio, nel caso di inverter di tipo CMOS, la tensione di soglia di inversione V_{th} è pari a $V_{dd}/2$). Per ottenere durate di mascheratura T_{mask} uguali sia al fronte positivo di commutazione del segnale di comparazione V_{comp} che a quello negativo, è preferibile garantire che il condensatore 25 si carichi/scarichi completamente.

Un modo per dimensionare i vari parametri che determinano T_{mask} secondo le formule (3) e (4) può essere il seguente. Si considera il valore di tensione di soglia V_{th} massima (definita in fase di progetto, ad esempio, nel caso di inverter CMOS in cui $V_{th}=V_{dd}/2$, considerando il valore di tensione di alimentazione V_{dd} massimo) e di frequenza del segnale di comparazione V_{comp} massima prevista (periodo del segnale di comparazione V_{comp} minimo), per i quali infatti il tempo di caricamento (e scaricamento) del condensatore 25 è maggiore. Inoltre si considerano dei valori nominali di corrente I_{up} e I_{dw} ragionevolmente piccoli, per limitare i consumi. Infine, sulle base delle considerazioni precedenti, si definisce un valore nominale di capacità C del condensatore 25.

Il dispositivo comparatore 10 può essere ad esempio utilizzato in circuiti di pilotaggio di strutture microelettromeccaniche, in cui una massa mobile deve essere eccitata e continuamente mantenuta in oscillazione a una pulsazione propria di risonanza, come ad esempio un giroscopio microintegrato. Ciò non si deve tuttavia considerare limitativo, in quanto l'invenzione può essere sfruttata in tutti i casi in cui risulti vantaggioso mascherare segnali di disturbo sovrapposti ad un segnale digitale generato da un convertitore, da un comparatore o altro dispositivo.

Ad esempio, il dispositivo comparatore 10 può essere utilizzato in un giroscopio microintegrato del tipo descritto nel brevetto US 7,305,880 e descritto brevemente nel seguito con riferimento alla figura 8. Qui, un sistema microintegrato 100, ad esempio un giroscopio microintegrato, comprende una microstruttura 102, realizzata in tecnologia MEMS, un dispositivo di pilotaggio 103 e un dispositivo di lettura 104, alloggiati su un supporto (non mostrato). La microstruttura 102 è provvista di un sistema di attuazione 5 e di un sensore inerziale 6, includenti rispettive masse mobili. Più precisamente, il sistema di attuazione 5 comprende una massa di pilotaggio 107, oscillante attorno a una posizione di riposo secondo un proprio grado di libertà, mentre il sensore inerziale 6

comprende una massa di rilevamento 108, meccanicamente collegata alla massa di pilotaggio 107 mediante molle (qui non mostrate), in modo da essere trascinata in movimento quando la massa di pilotaggio 107 viene eccitata. Inoltre, la massa di rilevamento 108 è relativamente mobile rispetto alla massa di pilotaggio 107 secondo un ulteriore grado di libertà.

Il dispositivo di pilotaggio 103 comprende, ad esempio un amplificatore 109, uno stadio derivatore 110, un circuito amplificatore a guadagno variabile o circuito VGA 111 ("Variable Gain Amplifier"), un controllore 112 e un circuito ad aggancio di fase o circuito PLL 113 ("Phase Locked Loop").

Il circuito PLL 113 ha ingressi collegati alle uscite dello stadio derivatore 110 attraverso il dispositivo comparatore 10, e un'uscita 113a, collegata a un ingresso di temporizzazione 112c del controllore 112. Il dispositivo comparatore 10 riceve in ingresso un segnale di ingresso analogico V_{in} in uscita dallo stadio derivatore, ad esempio un segnale sinusoidale con frequenza pari a 4.6kHz, e fornisce in uscita al circuito PLL 113 un segnale di uscita V_{out} , di tipo binario (in particolare un segnale a onda quadra che assume due valori logici, uno alto e uno basso). Il segnale di uscita V_{out} ha qui la funzione di primo segnale di temporizzazione ("clock") CK. Il primo segnale

di temporizzazione ("clock") CK, insieme con un secondo segnale di temporizzazione CK_{90} , sfasato di 90° e prelevato sull'uscita del circuito PLL 113, è fornito al dispositivo di lettura 104, allo scopo di sincronizzare le operazioni di pilotaggio e lettura della microstruttura 102.

Inoltre, il dispositivo di pilotaggio 103 opera sul guadagno e sulla fase complessivi dell'anello di retroazione di pilotaggio 105, in modo da mantenere la massa di pilotaggio 107 costantemente in oscillazione ad una pulsazione di risonanza ω_R .

Risulta quindi chiaro come il mantenimento del sincronismo per le operazioni di pilotaggio e lettura della microstruttura 102 sia essenziale per il corretto funzionamento del giroscopio microintegrato 100. Come descritto con riferimento alle figure 2a e 2b, segnali di disturbo potrebbero infatti generare una pluralità di commutazioni indesiderate sul primo segnale di temporizzazione CK; in questo caso, il circuito PLL 113 potrebbe perdere il sincronismo, sganciandosi dalla frequenza di oscillazione della massa di pilotaggio 107 che verrebbe quindi eccitata ad una frequenza diversa da quella di risonanza.

Risulta evidente dalla descrizione del circuito di protezione 11 che il segnale di controllo mascheratura Vcontr (e quindi la mascheratura di eventuali commutazioni

del segnale di comparazione V_{comp}) viene attivato da un qualsiasi cambiamento di stato logico del segnale di comparazione V_{comp} , cioè dal passaggio da un valore logico basso ad uno alto e viceversa indipendentemente dal fatto che tale cambiamento di stato logico sia causato da un evento di disturbo presente sul segnale di ingresso analogico V_{in} o da una effettiva variazione di stato logico.

In presenza di forti disturbi sul segnale di ingresso analogico V_{in} , precedenti al passaggio per lo zero del segnale di ingresso analogico V_{in} , (ad esempio, con riferimento alla figura 7b, precedenti all'istante temporale t_1 e/o t_2 ma fuori dall'intervallo di mascheratura $t_R - t_1$ e/o $t_D - t_2$), può accadere che la mascheratura venga attivata da una commutazione di errore generata da un disturbo e non dall'effettiva commutazione del segnale.

Tali disturbi sono generalmente glitch sistematici, tali da causare uno spostamento ("shift") temporale del segnale di comparazione V_{comp} . Ciò causa un anticipo sistematico del segnale di uscita utile V_{out} che viene a trovarsi non più in fase con il segnale di ingresso analogico V_{in} . Tale spostamento temporale, poiché sistematico, è calibrabile digitalmente per consentire il ripristino della sincronia.

Con particolare riferimento al giroscopio di figura 8, il segnale di uscita utile V_{out} è fornito in ingresso a un circuito PLL. In questo caso, un eventuale rumore di jitter può essere comunque compensato dal circuito PLL stesso che, sulla base delle proprie specifiche, è in grado di recuperare il sincronismo.

In alternativa, metodi e circuiti di compensazione aggiuntivi possono essere implementati per compensare tale variazione del duty-cycle.

Da un esame delle caratteristiche del dispositivo e del metodo di protezione da disturbi di un segnale digitale realizzati secondo la presente invenzione sono evidenti i vantaggi che essa consente di ottenere.

Ad esempio, la presente invenzione consente di eliminare problemi di sincronismo derivanti da commutazioni multiple in rapida successione derivanti da segnali di disturbo, specialmente nel caso di glitch che si verificano in architetture a capacità commutate.

Inoltre, la mascheratura dei disturbi viene effettuata senza la necessità di segnali digitali generati esternamente al circuito comparatore 10 da un opportuno circuito digitale dedicato al controllo della mascheratura. Risulta infine chiaro che al dispositivo e metodo di protezione da disturbi di un segnale digitale qui descritti ed illustrato possono essere apportate modifiche e varianti

senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate.

Ad esempio il circuito di ritardo 16 e la porta logica 17 possono essere realizzati in forma integrata totalmente digitale, ad esempio implementando un software comprendente un blocco contatore (non mostrato), configurato per ricevere in ingresso il segnale di comparazione Vcomp e fornire in uscita il segnale di controllo mascheratura Vcontr, avente un fronte di salita comandato dal fronte di salita del segnale di comparazione Vcomp ed un fronte di discesa comandato dal blocco contatore stesso.

RIVENDICAZIONI

1. Metodo di protezione da disturbi di un segnale digitale (Vcomp) generato da un comparatore (1), comprendente le fasi di:

generare un segnale di uscita (Vout) commutante da un primo a un secondo stato logico ad una prima commutazione di stato logico del segnale digitale (Vcomp);

rilevare un cambiamento dal primo al secondo stato logico del segnale di uscita (Vout);

inibire ulteriori commutazioni del segnale di uscita (Vout) per un primo intervallo di tempo dopo detto cambiamento dal primo al secondo stato logico.

2. Metodo secondo la rivendicazione 1, in cui la fase di inibire comprende mantenere il segnale di uscita (Vout) al secondo livello logico durante detto primo intervallo di tempo (Tmask).

3. Metodo secondo la rivendicazione 1 o 2, comprendente, dopo il primo intervallo di tempo, le fasi di:

commutare il segnale di uscita (Vout) dal secondo al primo stato logico al rilevamento di una seconda commutazione di stato logico del segnale digitale (Vcomp);

rilevare un cambiamento dal secondo al primo stato logico del segnale di uscita (Vout); e

inibire ulteriori commutazioni del segnale di uscita

(Vout) per un secondo intervallo di tempo dopo detto cambiamento dal secondo al primo stato logico.

4. Metodo secondo la rivendicazione 3, in cui la fase di inibire ulteriori commutazioni del segnale di uscita (Vout) per un secondo intervallo di tempo comprende mantenere il segnale di uscita (Vout) al primo livello logico durante detto secondo intervallo di tempo (Tmask).

5. Metodo secondo la rivendicazione 3 o 4, in cui detto segnale digitale è un segnale periodico avente un semiperiodo, detti primo e secondo intervallo di tempo (Tmask) avendo una durata inferiore a detto semiperiodo del segnale digitale (Vcomp).

6. Metodo secondo una qualsiasi delle rivendicazioni 3-5, in cui la fase di rilevare un cambiamento dal primo al secondo stato logico del segnale di uscita comprende:

prelevare detto segnale di uscita (Vout);

generare un segnale di verifica (Vcomp_rit) ritardato rispetto a detto segnale digitale;

confrontare detto segnale di uscita (Vout) con il segnale di verifica (Vcomp_rit); e

generare un segnale di controllo inibizione (Vcontr) abilitante un ulteriore cambiamento di stato logico di detto segnale di uscita solo dopo il rilevamento di una commutazione di stato logico di detto segnale di verifica.

7. Metodo secondo la rivendicazione 6, in cui detta

fase di generare un segnale di verifica (Vcomp_rit) comprende:

inviare detto segnale digitale (Vcomp) ad un ingresso di controllo di un interruttore (24);

comandare rispettivamente la carica e la scarica di un condensatore (25) da parte dell'interruttore (24);

abilitare la generazione del segnale di verifica (Vcomp_rit) al raggiungimento di un valore di carica del condensatore (25).

8. Metodo secondo la rivendicazione 6 o 7, in cui detta fase di confrontare comprende eseguire un'operazione logica di XOR tra il segnale di uscita (Vout) ed il segnale di verifica (Vcomp_rit).

9. Dispositivo comparatore (10) comprendente un comparatore (1), configurato per generare un segnale digitale (Vcomp), e un circuito di protezione (11), il circuito di protezione (11) comprendendo:

mezzi generatori di segnale (15), configurati per generare un segnale di uscita (Vout) commutante da un primo a un secondo stato logico al rilevamento di commutazioni di stato logico del segnale digitale (Vcomp);

mezzi di rilevamento cambiamento stato (16, 17), configurati per rilevare un cambiamento dal primo al secondo stato logico del segnale di uscita (Vout); e

mezzi di inibizione commutazione (15), configurati per

inibire la commutazione del segnale di uscita (Vout) per un intervallo di tempo (Tmask) dopo detto cambiamento dal primo al secondo stato logico.

10. Dispositivo secondo la rivendicazione 9, in cui detti mezzi di inibizione commutazione (15) comprendono mezzi di memoria (15), configurati per mantenere il segnale di uscita (Vout) in detto secondo stato logico durante detto intervallo di tempo (Tmask).

11. Dispositivo secondo la rivendicazione 9 o 10, in cui detti mezzi di rilevamento commutazione (16, 17) comprendono:

mezzi di ritardo (16), configurati per ricevere il segnale digitale (Vcomp) e generare un segnale di verifica ritardato rispetto al segnale digitale; e

mezzi di confronto (17), configurati per confrontare detto segnale di uscita (Vout) con il segnale di verifica (Vcomp_rit) e generare un segnale di controllo inibizione (Vcontr) abilitante un ulteriore cambiamento di stato logico di detto segnale di uscita solo dopo il rilevamento di una commutazione di stato logico di detto segnale di verifica.

12. Dispositivo secondo la rivendicazione 11, in cui i mezzi di memoria comprendono un flip-flop (15) di tipo D, avente un ingresso di abilitazione (E) configurato per ricevere il segnale di controllo (Vcontr), un ingresso dati

(D) configurato per ricevere il segnale digitale (Vcomp) ed un'uscita (Q) configurata per generare il segnale di uscita (Vout); e i mezzi di confronto (17) comprendono una porta logica XOR, avente un primo ingresso collegato ad una uscita dei mezzi di ritardo (16), un secondo ingresso collegato all'uscita del flip-flop (15) ed un'uscita collegata all'ingresso di abilitazione (E) del flip-flop (15).

13. Dispositivo secondo la rivendicazione 11 o 12, in cui i mezzi di ritardo (16) comprendono:

una pompa di carica (20), includente un interruttore (24) avente un terminale di controllo collegato ad un'uscita del comparatore, un primo terminale di conduzione collegato ad una prima linea a potenziale di riferimento (Vdd) ed un secondo terminale di conduzione collegato ad una seconda linea a potenziale di riferimento (GND);

un condensatore (25) avente un primo morsetto collegato al primo terminale di conduzione dell'interruttore ed un secondo morsetto collegato alla seconda linea a potenziale di riferimento (GND); e

almeno un elemento a soglia (26), avente un ingresso collegato al primo morsetto del condensatore (25) ed un'uscita collegata ai mezzi di confronto (17).

14. Sistema microelettromeccanico risonante comprendente una microstruttura (102), avente una massa

(107) liberamente oscillabile; e un dispositivo di pilotaggio (103), accoppiato a detta massa (107) per mantenere detta massa (107) in oscillazione, in cui detto dispositivo di pilotaggio (103) comprende:

un amplificatore differenziale di lettura (109);

uno stadio di attuazione e controllo (111, 112, 113), includente un circuito PLL (113) e configurato per pilotare detta massa (107); e

un dispositivo comparatore (10) secondo una qualsiasi delle rivendicazioni 9-13, collegato fra detto amplificatore differenziale di lettura (109) e il circuito PLL (113) di detto stadio di attuazione e controllo (111, 112, 113).

15. Sistema microelettromeccanico secondo la rivendicazione 14 costituente un giroscopio.

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO

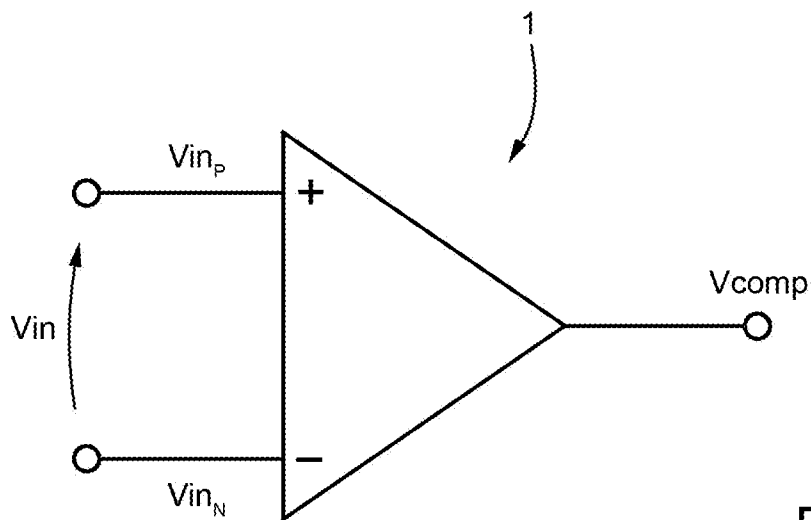


FIG. 1

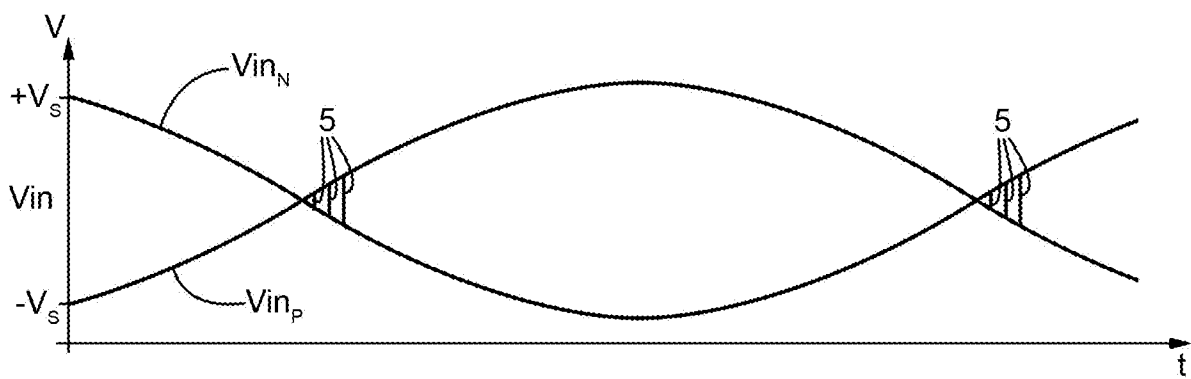


FIG. 2a

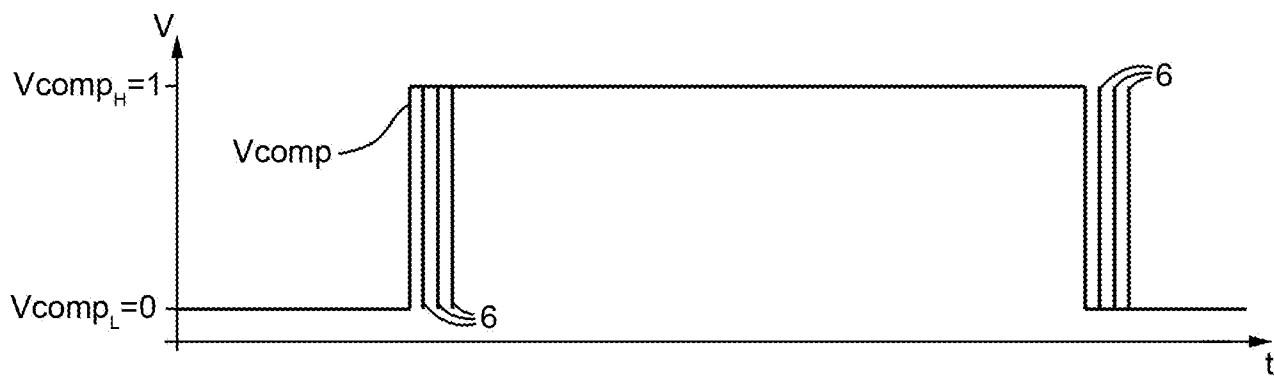


FIG. 2b

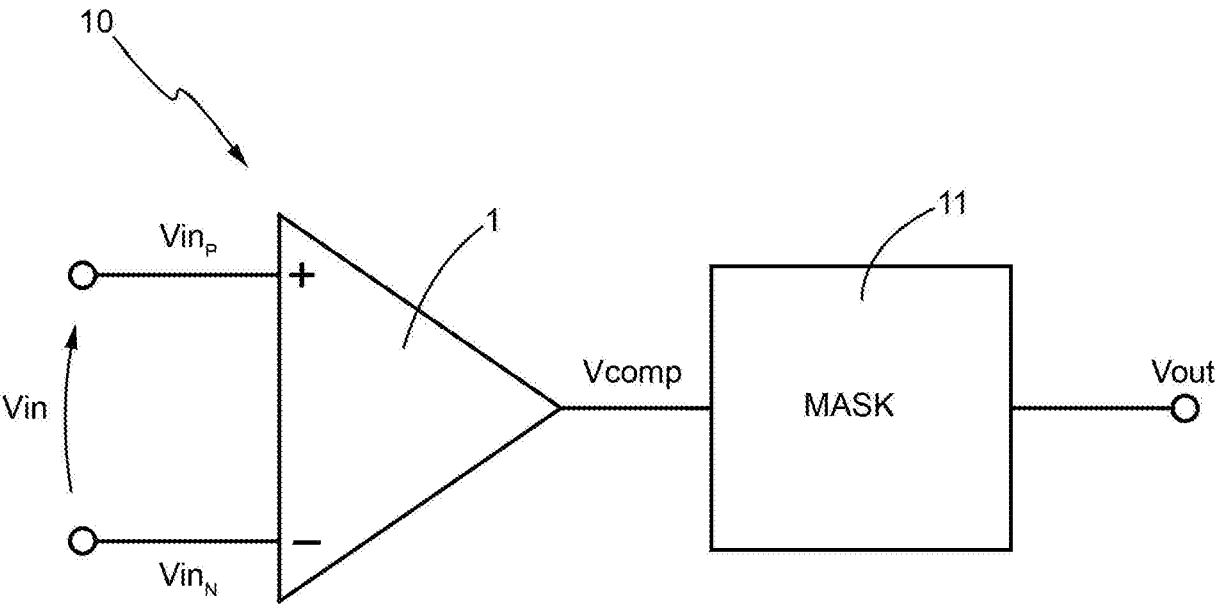


FIG. 3

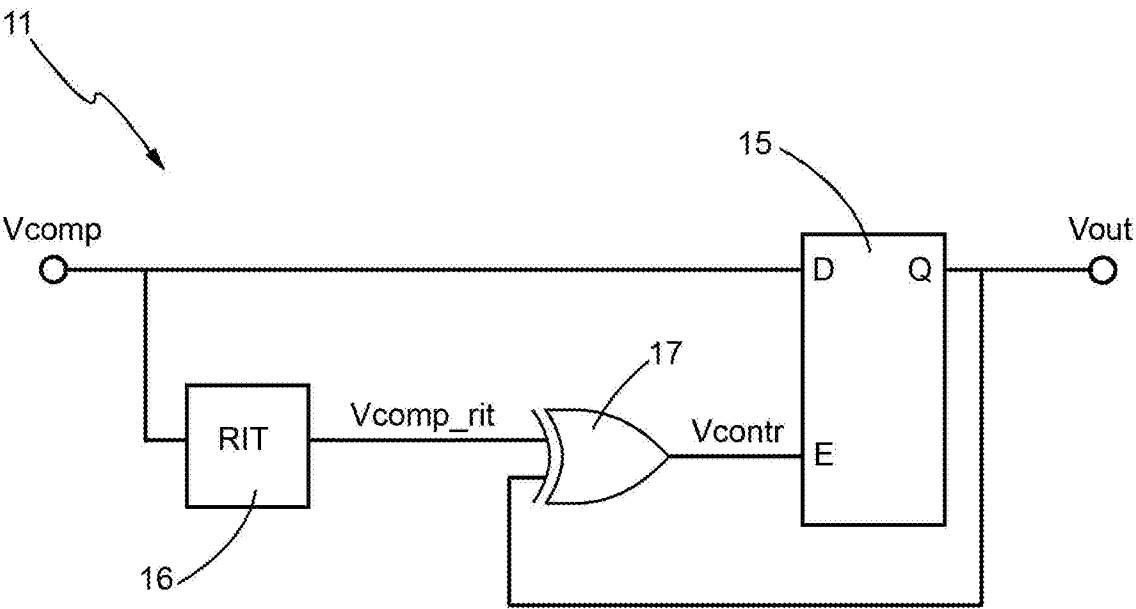


FIG. 4

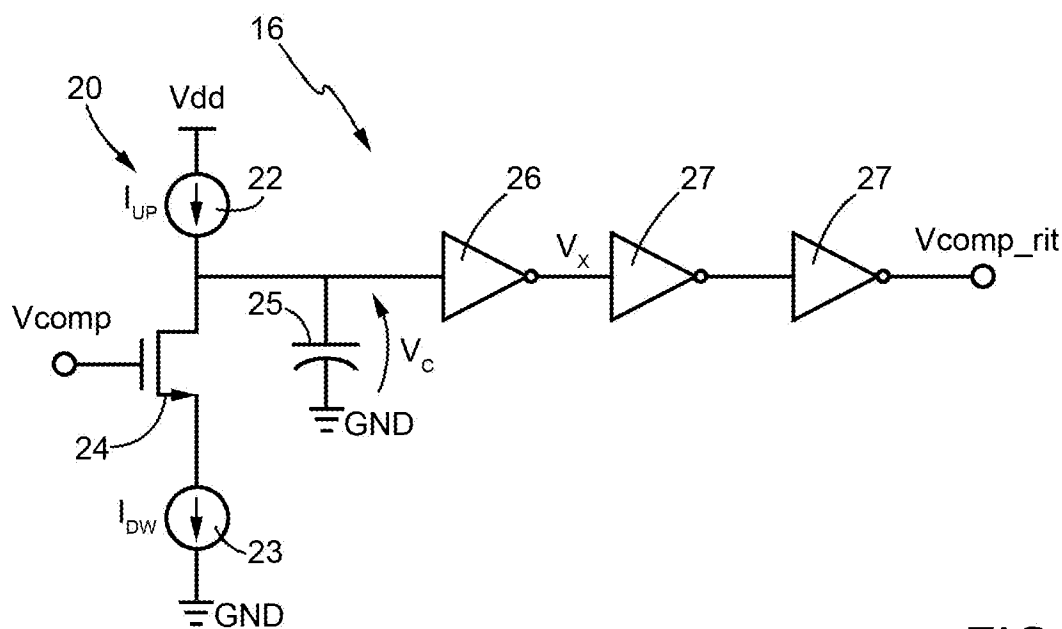


FIG. 5

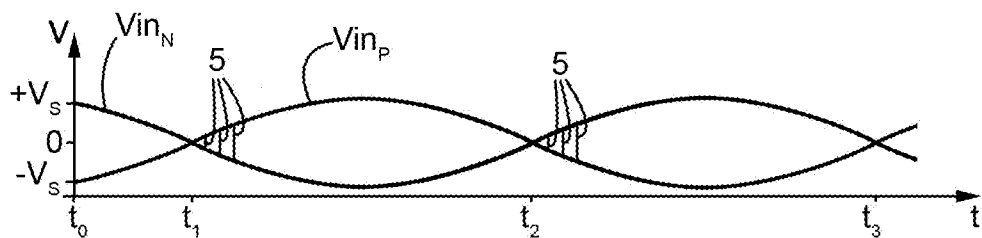


FIG. 7a

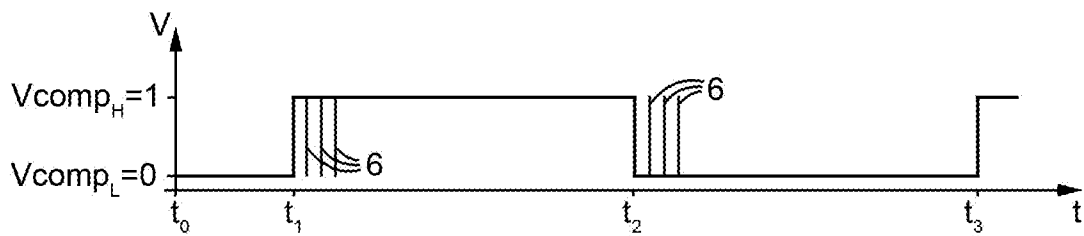


FIG. 7b

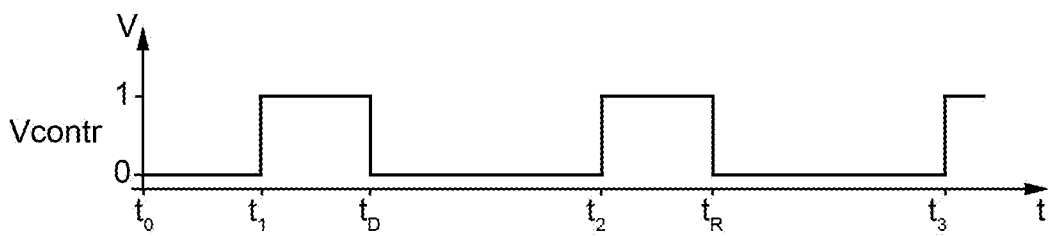


FIG. 7c

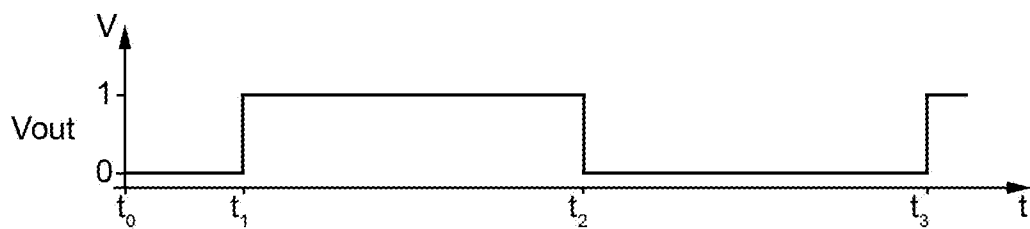


FIG. 7d

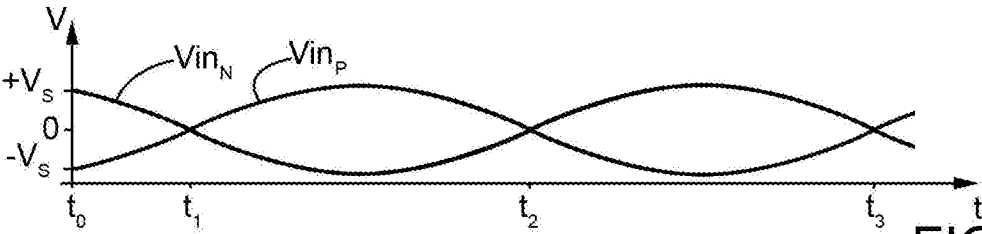


FIG. 6a

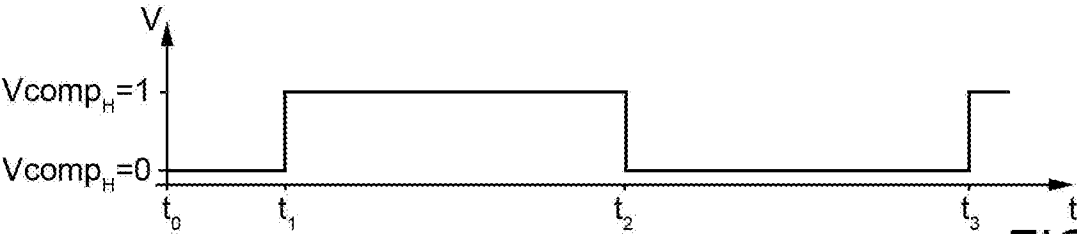


FIG. 6b

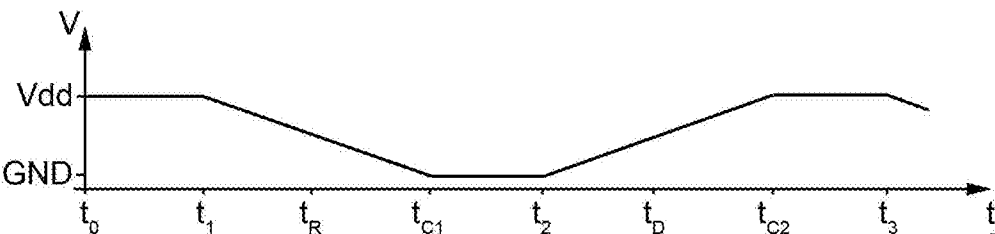


FIG. 6c

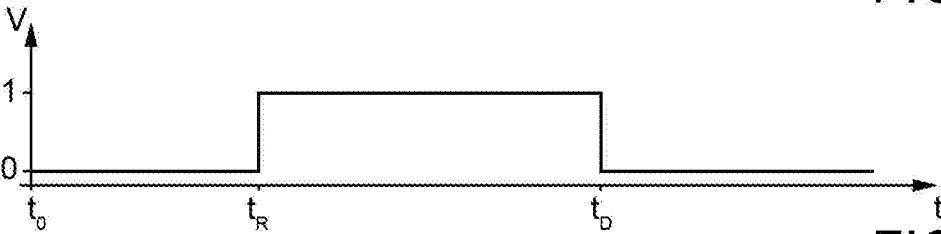


FIG. 6d

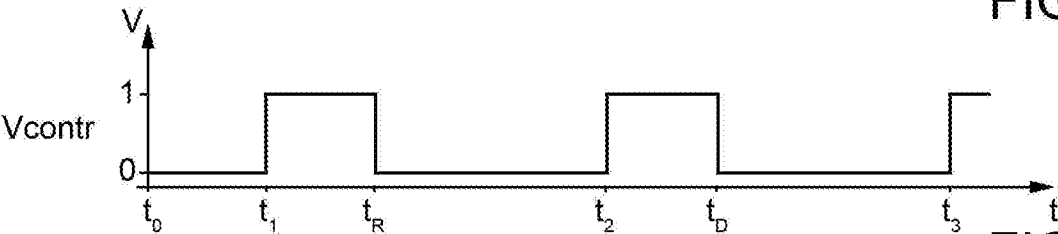


FIG. 6e

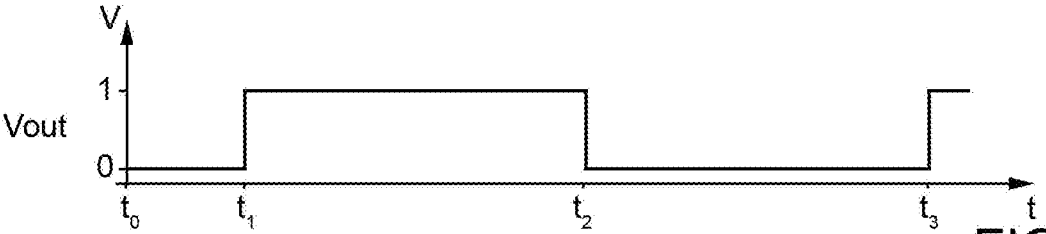
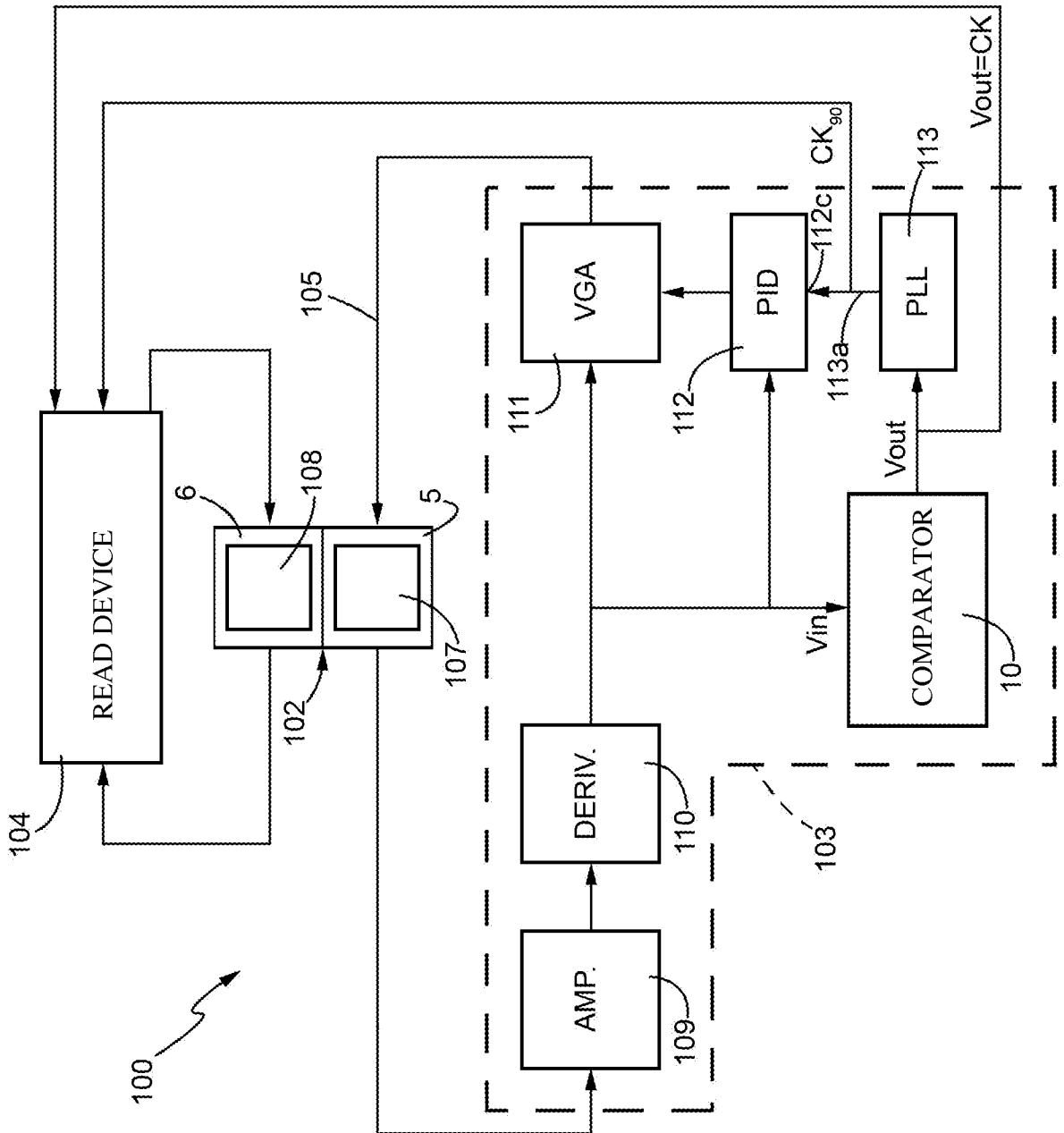


FIG. 6f



8
G
F