

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7625825号
(P7625825)

(45)発行日 令和7年2月4日(2025.2.4)

(24)登録日 令和7年1月27日(2025.1.27)

(51)国際特許分類		F I		
H 1 0 D	10/80 (2025.01)	H 0 1 L	29/72	H
H 1 0 D	8/50 (2025.01)	H 0 1 L	29/91	H
H 1 0 D	8/20 (2025.01)	H 0 1 L	29/91	L
H 1 0 D	84/60 (2025.01)	H 0 1 L	29/91	F
H 1 0 D	84/90 (2025.01)	H 0 1 L	29/91	Z

請求項の数 16 (全26頁) 最終頁に続く

(21)出願番号	特願2020-176595(P2020-176595)	(73)特許権者	000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号
(22)出願日	令和2年10月21日(2020.10.21)	(74)代理人	100105887 弁理士 来山 幹雄
(65)公開番号	特開2022-67797(P2022-67797A)	(74)代理人	100145023 弁理士 川本 学
(43)公開日	令和4年5月9日(2022.5.9)	(72)発明者	高橋 新之助 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
審査請求日	令和5年9月14日(2023.9.14)	(72)発明者	青池 将之 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
		(72)発明者	長谷 昌俊 京都府長岡京市東神足1丁目10番1号 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

半導体材料からなる表層部を含む基板と、
前記基板の表層部の上に配置され、平面視において少なくとも1つの金属領域を含む接着層と、
前記接着層の上に配置された素子形成層と
を備えており、
前記素子形成層は、
少なくとも1つの半導体素子と、
前記半導体素子を覆うように、前記接着層の上に配置された層間絶縁膜と
を含み、

前記半導体素子は、前記接着層の1つの金属領域である第1金属領域の上に配置された第1トランジスタを含み、

前記第1トランジスタは、前記第1金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、
前記素子形成層は、さらに、前記第1トランジスタのエミッタ層の上に配置され、エミッタ層に電氣的に接続された第1エミッタ電極を含み、

さらに、前記第1エミッタ電極の上に配置されて前記第1エミッタ電極に電氣的に接続され、前記基板から遠ざかる方向に突出した第1導体突起を備えており、

前記基板の表層部の半導体材料の熱伝導率が、前記第1トランジスタのコレクタ層、ベ

ース層、及びエミッタ層のいずれの熱伝導率よりも高く、

前記第1金属領域は、平面視において前記素子形成層の外側まで広がっており、

さらに、

前記第1金属領域のうち前記素子形成層の外側まで広がっている部分に接続されているコレクタ用導体突起を備えた半導体装置。

【請求項2】

前記第1トランジスタは複数個配置されており、前記第1エミッタ電極は複数の前記第1トランジスタのそれぞれに対して配置されており、

さらに、複数の前記第1エミッタ電極と前記第1導体突起との間に配置され、複数の前記第1エミッタ電極同士を接続する第1エミッタ配線を備えており、

前記第1導体突起は前記第1エミッタ配線に電氣的に接続されている請求項1に記載の半導体装置。

【請求項3】

複数の前記第1トランジスタのコレクタ層及びベース層は、それぞれ複数の前記第1トランジスタに亘って連続している請求項2に記載の半導体装置。

【請求項4】

前記半導体素子は、さらに、前記接着層の1つの金属領域である第2金属領域の上に配置された第2トランジスタを含み、

前記第2トランジスタは、前記第2金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

さらに、

前記第2トランジスタのエミッタ層の上に配置され、前記第2トランジスタのエミッタ層に電氣的に接続された第2エミッタ電極と、

前記第2エミッタ電極の上に配置されて前記第2エミッタ電極に電氣的に接続され、前記基板から遠ざかる方向に突出した第2導体突起とを備えた請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】

半導体材料からなる表層部を含む基板と、

前記基板の表層部の上に配置され、平面視において少なくとも1つの金属領域を含む接着層と、

前記接着層の上に配置された少なくとも1つの半導体素子とを備えており、

前記半導体素子は、前記接着層の1つの金属領域である第1金属領域の上に配置された第1トランジスタを含み、

前記第1トランジスタは、前記第1金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

さらに、

前記第1トランジスタのエミッタ層の上に配置され、エミッタ層に電氣的に接続された第1エミッタ電極と、

前記第1エミッタ電極の上に配置されて前記第1エミッタ電極に電氣的に接続され、前記基板から遠ざかる方向に突出した第1導体突起とを備えており、

前記基板の表層部の半導体材料の熱伝導率が、前記第1トランジスタのコレクタ層、ベース層、及びエミッタ層のいずれの熱伝導率よりも高く、

前記半導体素子は、さらに、前記接着層の1つの金属領域である第3金属領域の上に配置された第3トランジスタを含み、

前記第3トランジスタは、前記第3金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

前記第3トランジスタのエミッタ層の上に配置され、前記第3トランジスタのエミッタ層に電氣的に接続された第3エミッタ電極を、さらに備えており、

10

20

30

40

50

前記第 3 エミッタ電極に接続される導体突起は設けられてない半導体装置。

【請求項 6】

平面視において、前記第 3 金属領域の内側であって、かつ前記第 3 トランジスタの外側に配置され、前記第 3 金属領域に電氣的に接続されている第 3 コレクタ電極を、さらに備えている請求項 5 に記載の半導体装置。

【請求項 7】

半導体材料からなる表層部を含む基板と、

前記基板の表層部の上に配置され、第 1 金属領域、第 4 金属領域、及び前記第 1 金属領域と前記第 4 金属領域とを分離する絶縁領域を含む接着層と、

前記接着層の上であって、前記第 1 金属領域の上に配置された第 1 トランジスタと、

前記接着層の上であって、前記第 4 金属領域の上に配置されたダイオードと

前記接着層の上に配置された少なくとも 1 つの半導体素子とを備えており、

前記第 1 トランジスタは、前記第 1 金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

さらに、

前記第 1 トランジスタのエミッタ層の上に配置され、エミッタ層に電氣的に接続された第 1 エミッタ電極と、

前記第 1 エミッタ電極の上に配置されて前記第 1 エミッタ電極に電氣的に接続され、前記基板から遠ざかる方向に突出した第 1 導体突起と

を備えており、

前記基板の表層部の半導体材料の熱伝導率が、前記第 1 トランジスタのコレクタ層、ベース層、及びエミッタ層のいずれの熱伝導率よりも高く、

前記ダイオードは、前記第 4 金属領域の上に配置された第 1 導電型の半導体からなる下層と、前記下層の上に配置され、前記第 1 導電型とは反対の第 2 導電型の半導体からなる上層とを含み、

前記上層の上に配置されて前記上層に電氣的に接続された上側電極を、さらに備えている半導体装置。

【請求項 8】

平面視において、前記第 4 金属領域の内側であって、かつ前記ダイオードの外側に配置され、前記第 4 金属領域に電氣的に接続されている下側電極を、さらに備えている請求項 7 に記載の半導体装置。

【請求項 9】

さらに、前記接着層と前記半導体素子との間に配置された下地半導体層を備えており、

前記下地半導体層は、平面視において前記接着層の金属領域と重なる導電領域を含み、

前記下地半導体層の導電領域は、平面視において自己に重なる前記接着層の金属領域と、前記下地半導体層の上の前記半導体素子とを電氣的に接続している請求項 5 乃至 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

半導体材料からなる表層部を含む基板と、

前記基板の表層部の上に配置され、平面視において少なくとも 1 つの金属領域を含む接着層と、

前記接着層の上に配置された少なくとも 1 つの半導体素子とを備えており、

前記半導体素子は、前記接着層の 1 つの金属領域である第 1 金属領域の上に配置された第 1 トランジスタを含み、

前記第 1 トランジスタは、前記第 1 金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

さらに、

前記第 1 トランジスタのエミッタ層の上に配置され、エミッタ層に電氣的に接続された

10

20

30

40

50

第 1 エミッタ電極と、

前記第 1 エミッタ電極の上に配置されて前記第 1 エミッタ電極に電氣的に接続され、前記基板から遠ざかる方向に突出した第 1 導体突起とを備えており、

前記基板の表層部の半導体材料の熱伝導率が、前記第 1 トランジスタのコレクタ層、ベース層、及びエミッタ層のいずれの熱伝導率よりも高く、

さらに、前記接着層と前記半導体素子との間に配置された下地半導体層を備えており、前記下地半導体層は、平面視において複数の導電領域と、導電領域以外の素子分離領域とを含み、

前記第 1 トランジスタのコレクタ層は、前記下地半導体層の導電領域を介して前記接着層の金属領域に電氣的に接続されており、

前記接着層は、平面視において金属領域の外側に配置された絶縁領域を含み、

前記下地半導体層は、さらに、前記接着層の絶縁領域の上に配置された第 3 導電領域を含み、

前記半導体素子は、さらに、前記第 3 導電領域の上に配置された第 3 トランジスタを含み、

前記第 3 トランジスタは、前記第 3 導電領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

さらに、

前記第 3 トランジスタのエミッタ層の上に配置され、前記第 3 トランジスタのエミッタ層に電氣的に接続された第 3 エミッタ電極と、

平面視において、前記第 3 導電領域の内側であって、かつ前記第 3 トランジスタの外側に配置され、前記第 3 導電領域に電氣的に接続されている第 3 コレクタ電極とを備えた半導体装置。

【請求項 1 1】

半導体材料からなる表層部を含む基板と、

前記基板の表層部の上に配置され、平面視において少なくとも 1 つの金属領域を含む接着層と、

前記接着層の上に配置された少なくとも 1 つの半導体素子とを備えており、

前記半導体素子は、前記接着層の 1 つの金属領域である第 1 金属領域の上に配置された第 1 トランジスタを含み、

前記第 1 トランジスタは、前記第 1 金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

さらに、

前記第 1 トランジスタのエミッタ層の上に配置され、エミッタ層に電氣的に接続された第 1 エミッタ電極と、

前記第 1 エミッタ電極の上に配置されて前記第 1 エミッタ電極に電氣的に接続され、前記基板から遠ざかる方向に突出した第 1 導体突起とを備えており、

前記基板の表層部の半導体材料の熱伝導率が、前記第 1 トランジスタのコレクタ層、ベース層、及びエミッタ層のいずれの熱伝導率よりも高く、

さらに、前記接着層と前記半導体素子との間に配置された下地半導体層を備えており、前記下地半導体層は、平面視において複数の導電領域と、導電領域以外の素子分離領域とを含み、

前記第 1 トランジスタのコレクタ層は、前記下地半導体層の導電領域を介して前記接着層の金属領域に電氣的に接続されており、

前記接着層は、平面視において金属領域の外側に配置された絶縁領域を含み、

前記下地半導体層は、さらに、前記接着層の絶縁領域の上に配置された第 4 導電領域を含み、

10

20

30

40

50

前記半導体素子は、さらに、前記第 4 導電領域の上に配置されたダイオードを含み、
前記ダイオードは、前記第 4 導電領域の上に配置された第 1 導電型の半導体からなる下層と、前記下層の上に配置され、前記第 1 導電型とは反対の第 2 導電型の半導体からなる上層とを含み、

さらに、

前記上層の上に配置されて前記上層に電氣的に接続された上側電極と、

平面視において、前記第 4 導電領域の内側であって、かつ前記ダイオードの外側に配置され、前記第 4 導電領域に電氣的に接続されている下側電極とを備えた半導体装置。

【請求項 1 2】

半導体材料からなる表層部を含む基板と、

前記基板の表層部の上に配置され、平面視において少なくとも 1 つの金属領域を含む接着層と、

前記接着層の上に配置された少なくとも 1 つの半導体素子とを備えており、

前記半導体素子は、前記接着層の 1 つの金属領域である第 1 金属領域の上に配置された第 1 トランジスタを含み、

前記第 1 トランジスタは、前記第 1 金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

さらに、

前記第 1 トランジスタのエミッタ層の上に配置され、エミッタ層に電氣的に接続された第 1 エミッタ電極と、

前記第 1 エミッタ電極の上に配置されて前記第 1 エミッタ電極に電氣的に接続され、前記基板から遠ざかる方向に突出した第 1 導体突起と

を備えており、

前記基板の表層部の半導体材料の熱伝導率が、前記第 1 トランジスタのコレクタ層、ベース層、及びエミッタ層のいずれの熱伝導率よりも高く、

さらに、前記基板の表層部と前記接着層との間に配置された絶縁層を備えた半導体装置。

【請求項 1 3】

半導体材料からなる表層部を含む基板と、

前記基板の表層部の上に配置され、平面視において少なくとも 1 つの金属領域を含む接着層と、

前記接着層の上に配置された少なくとも 1 つの半導体素子とを備えており、

前記半導体素子は、前記接着層の 1 つの金属領域である第 1 金属領域の上に配置された第 1 トランジスタを含み、

前記第 1 トランジスタは、前記第 1 金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

さらに、

前記第 1 トランジスタのエミッタ層の上に配置され、エミッタ層に電氣的に接続された第 1 エミッタ電極と、

前記第 1 エミッタ電極の上に配置されて前記第 1 エミッタ電極に電氣的に接続され、前記基板から遠ざかる方向に突出した第 1 導体突起と

を備えており、

前記基板の表層部の半導体材料の熱伝導率が、前記第 1 トランジスタのコレクタ層、ベース層、及びエミッタ層のいずれの熱伝導率よりも高く、

さらに、前記基板の表層部と前記接着層との間に配置された多層配線構造を備えている半導体装置。

【請求項 1 4】

前記多層配線構造は、複数の配線及び複数のビアを含み、前記接着層の金属領域は、前

10

20

30

40

50

記多層配線構造に含まれる少なくとも1つの配線に電氣的に接続されている請求項13に記載の半導体装置。

【請求項15】

さらに、前記基板の表層部に形成された少なくとも1つの基板側トランジスタを備え、前記基板側トランジスタは、前記多層配線構造に含まれる配線に接続されている請求項13または14に記載の半導体装置。

【請求項16】

前記基板の表層部はシリコンで形成されており、前記第1トランジスタのコレクタ層、ベース層、及びエミッタ層は、化合物半導体で形成されている請求項1乃至15のいずれか1項に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

高周波信号の増幅回路にヘテロ接合型バイポーラトランジスタ(HBT)が用いられる。増幅回路の高出力化を図るために、HBTからの放熱特性を向上させることが望まれる。下記の特許文献1に、放熱特性を向上させたHBTが開示されている。特許文献1に開示されたHBTは、コレクタ層の上に積層されたベース層及びエミッタ層を有し、コレクタ層の下にコレクタ電極が配置されている。コレクタ電極が放熱基板に接合されることにより、HBTで発生した熱が放熱基板に伝導され、放熱基板から外部に放熱される。

20

【先行技術文献】

【特許文献】

【0003】

【文献】特開2016-219682号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

増幅回路のさらなる出力向上を行うために、HBT等のトランジスタからの放熱特性のさらなる向上が求められている。本発明の目的は、トランジスタからの放熱特性の向上を図ることができる半導体装置を提供することである。

30

【課題を解決するための手段】

【0005】

本発明の一観点によると、半導体材料からなる表層部を含む基板と、前記基板の表層部の上に配置され、平面視において少なくとも1つの金属領域を含む接着層と、

前記接着層の上に配置された素子形成層と

を備えており、

40

前記素子形成層は、

少なくとも1つの半導体素子と、

前記半導体素子を覆うように、前記接着層の上に配置された層間絶縁膜と

を含み、

前記半導体素子は、前記接着層の1つの金属領域である第1金属領域の上に配置された第1トランジスタを含み、

前記第1トランジスタは、前記第1金属領域に電氣的に接続されたコレクタ層、コレクタ層の上に配置されたベース層、及びベース層の上に配置されたエミッタ層を含み、

前記素子形成層は、さらに、前記第1トランジスタのエミッタ層の上に配置され、エミッタ層に電氣的に接続された第1エミッタ電極を含み、

50

さらに、前記第 1 エミッタ電極の上に配置されて前記第 1 エミッタ電極に電氣的に接続され、前記基板から遠ざかる方向に突出した第 1 導体突起を備えており、

前記基板の表層部の半導体材料の熱伝導率が、前記第 1 トランジスタのコレクタ層、ベース層、及びエミッタ層のいずれの熱伝導率よりも高く、

前記第 1 金属領域は、平面視において前記素子形成層の外側まで広がっており、

さらに、

前記第 1 金属領域のうち前記素子形成層の外側まで広がっている部分に接続されているコレクタ用導体突起を備えた半導体装置が提供される。

【発明の効果】

【0006】

第 1 トランジスタで発生した熱が、第 1 エミッタ電極及び第 1 導体突起を通して、第 1 導体突起に接続される部材に伝導される。さらに、第 1 トランジスタで発生した熱は、接着層を介して基板まで伝導される。このように、第 1 トランジスタで発生した熱が二方向に伝導されるため、第 1 トランジスタからの放熱特性を向上させることができる。

【図面の簡単な説明】

【0007】

【図 1】図 1 は、第 1 実施例による半導体装置の概略平面図である。

【図 2】図 2 は、図 1 の一点鎖線 2 - 2 における断面図である。

【図 3】図 3 A から図 3 F までの図面は、半導体装置の製造途中段階における概略断面図である。

【図 4】図 4 A から図 4 C までの図面は、半導体装置の製造途中段階における概略断面図であり、図 4 D は、完成した半導体装置の概略断面図である。

【図 5】図 5 A は、第 1 実施例による半導体装置の概略平面図であり、図 5 B は、比較例による半導体装置の概略平面図である。

【図 6】図 6 は、第 1 実施例の変形例による半導体装置の概略平面図である。

【図 7】図 7 は、第 2 実施例による半導体装置の概略平面図である。

【図 8】図 8 は、図 7 の一点鎖線 8 - 8 における断面図である。

【図 9】図 9 は、第 3 実施例による半導体装置の断面図である。

【図 10】図 10 は、第 4 実施例による半導体装置の断面図である。

【図 11】図 11 A は、第 4 実施例による半導体装置を用いた電子回路の一例を示す等価回路図であり、図 11 B は、図 11 A に示した電子回路を実現するための半導体装置の部分断面図である。

【図 12】図 12 は、第 5 実施例による半導体装置の断面図である。

【図 13】図 13 は、第 6 実施例による半導体装置の断面図である。

【図 14】図 14 は、第 7 実施例による半導体装置の断面図である。

【図 15】図 15 は、第 8 実施例による半導体装置の断面図である。

【図 16】図 16 は、第 8 実施例の変形例による半導体装置の断面図である。

【図 17】図 17 は、第 8 実施例の他の変形例による半導体装置の断面図である。

【発明を実施するための形態】

【0008】

[第 1 実施例]

図 1 から図 5 B までの図面を参照して第 1 実施例による半導体装置について説明する。

図 1 は、第 1 実施例による半導体装置の概略平面図である。基板の上に第 1 金属領域 2 1 A を含む接着層が配置されている。第 1 金属領域 2 1 A とほぼ重なるように、下地半導体層の第 1 導電領域 4 0 A が配置されている。この第 1 導電領域 4 0 A の上に、複数の半導体素子が配置されている。複数の半導体素子として、複数の第 1 トランジスタ 4 1 が配置されている。

【0009】

第 1 トランジスタ 4 1 の各々は、コレクタ層 4 1 C、ベース層 4 1 B、及びエミッタ層 4 1 E を含む。コレクタ層 4 1 C とベース層 4 1 B とは、平面視においてほぼ重なって

10

20

30

40

50

る。エミッタ層 4 1 E は、平面視においてベース層 4 1 B より小さく、ベース層 4 1 B に包含されている。

【 0 0 1 0 】

平面視においてエミッタ層 4 1 E とほぼ重なるように第 1 エミッタ電極 4 2 E が配置されている。第 1 エミッタ電極 4 2 E は、平面視において一方向（図 1 において左右方向）に長い形状を有する。第 1 エミッタ電極 4 2 E の平面視における形状は、例えば長方形である。平面視において、第 1 エミッタ電極 4 2 E の 2 本の長辺及び 1 本の短辺のそれぞれから間隔を隔てて、U 字状の第 1 ベース電極 4 2 B が配置されている。図 1 において、第 1 エミッタ電極 4 2 E 及び第 1 ベース電極 4 2 B にハッチングを付している。複数の第 1 トランジスタ 4 1 は、第 1 エミッタ電極 4 2 E の長手方向と直交する幅方向に並んで配置されている。

10

【 0 0 1 1 】

図 2 は、図 1 の一点鎖線 2 - 2 における断面図である。基板 2 0 の上に接着層 2 1 が配置されている。接着層 2 1 は、少なくとも 1 つの第 1 金属領域 2 1 A を含む。図 2 には、接着層 2 1 の 1 つの第 1 金属領域 2 1 A の断面が現れている。基板 2 0 は、半導体からなる表層部を含む。基板 2 0 として、例えばシリコン基板、シリコンオンインシュレータ（SOI）基板等を用いることができる。

【 0 0 1 2 】

接着層 2 1 の上に、半導体からなる下地半導体層 4 0 が接合されている。下地半導体層 4 0 は、導電性が付与された第 1 導電領域 4 0 A と、絶縁化された素子分離領域とを含む。図 2 には、第 1 導電領域 4 0 A の断面が現れている。第 1 導電領域 4 0 A の上に、複数の第 1 トランジスタ 4 1 が配置されている。

20

【 0 0 1 3 】

第 1 トランジスタ 4 1 の各々は、基板 2 0 側から順番に積層されたコレクタ層 4 1 C、ベース層 4 1 B、及びエミッタ層 4 1 E を含む。第 1 トランジスタ 4 1 は、例えばヘテロ接合型バイポーラトランジスタである。一例として、下地半導体層 4 0 の第 1 導電領域 4 0 A、コレクタ層 4 1 C は n 型 GaAs で形成され、ベース層 4 1 B は p 型 GaAs で形成される。エミッタ層 4 1 E は、例えば n 型 InGaP 層とその上の n 型 GaAs 層との 2 層を含む。なお、これらの半導体層を、他の化合物半導体、例えば InP、GaN、SiGe、SiC 等で形成してもよい。

30

【 0 0 1 4 】

コレクタ層 4 1 C は、第 1 導電領域 4 0 A を介して第 1 金属領域 2 1 A に電氣的に接続されている。第 1 金属領域 2 1 A が第 1 トランジスタ 4 1 のコレクタ電極として機能する。エミッタ層 4 1 E は、ベース層 4 1 B の一部の領域の上に配置されている。なお、ベース層 4 1 B の全域の上にエミッタ層 4 1 E を配置し、エミッタ層 4 1 E の一部の領域の上にエミッタメサを配置してもよい。この構成では、平面視においてエミッタメサと重なる領域が、実質的にエミッタ層として機能する。

【 0 0 1 5 】

ベース層 4 1 B の上に第 1 ベース電極 4 2 B が配置されており、エミッタ層 4 1 E の上に第 1 エミッタ電極 4 2 E が配置されている。第 1 ベース電極 4 2 B はベース層 4 1 B に電氣的に接続されており、第 1 エミッタ電極 4 2 E はエミッタ層 4 1 E に電氣的に接続されている。

40

【 0 0 1 6 】

第 1 エミッタ電極 4 2 E の上に、層間絶縁膜 8 0 を介して第 1 エミッタ配線 8 1 E が配置されている。第 1 エミッタ配線 8 1 E は、層間絶縁膜 8 0 に設けられた開口を通して、複数の第 1 エミッタ電極 4 2 E を相互に接続する。なお、複数の第 1 トランジスタ 4 1 のコレクタ層 4 1 C 同士も、第 1 導電領域 4 0 A 及び第 1 金属領域 2 1 A によって相互に接続されている。すなわち、複数の第 1 トランジスタ 4 1 は並列に接続されている。

【 0 0 1 7 】

第 1 エミッタ配線 8 1 E の上に第 1 エミッタパッド 8 2 E 及び第 1 導体突起 8 3 E が配

50

置されている。第1導体突起83Eの上にハンダ84が載せられている。第1導体突起83EをCuで形成し、その上にハンダ84を載せた構造は、「Cuピラーバンプ」といわれる。なお、第1導体突起83Eとして、Auバンプのように上面にハンダを載せない構造のものを用いてもよい。このような構造の突起は、「ピラー」ともいわれる。また、第1導体突起83Eとして、パッド上に導体柱を立てた構造のものを採用してもよい。このような構造の導体突起は、「ポスト」ともいわれる。また、第1導体突起83Eとしてハンダをリフローさせてボール状にしたボールバンプを用いてもよい。導体突起として、これらの種々の構造のもの以外にも、基板から突出した導体を含む種々の構造のものを用いることができる。

【0018】

次に、図3Aから図4Dまでの図面を参照して、第1実施例による半導体装置の製造方法について説明する。図3Aから図4Cまでの図面は、半導体装置の製造途中段階における概略断面図であり、図4Dは、完成した半導体装置の概略断面図である。

【0019】

図3Aに示すように、GaAs等の化合物半導体の単結晶の母基板200の上に剥離層201をエピタキシャル成長させ、剥離層201の上に素子形成層202を形成する。素子形成層202には、図2に示した下地半導体層40、複数の第1トランジスタ41、第1エミッタ電極42E、第1ベース電極42B、層間絶縁膜80、第1エミッタ配線81E等を含む素子構造が形成されている。これらの素子構造は、一般的な半導体プロセスにより形成される。図3Aでは、素子形成層202に形成されている素子構造については記載を省略している。この段階では、素子形成層202に複数の半導体装置に相当する素子構造が形成されており、個々の半導体装置に分離されていない。また、第1エミッタパッド82E、第1導体突起83E、及びハンダ84(図2)は形成されていない。

【0020】

次に、図3Bに示すように、レジストパターン(図示せず)をエッチングマスクとして、素子形成層202及び剥離層201をパターニングする。この段階で、素子形成層202は半導体装置ごとに分離される。

【0021】

次に、図3Cに示すように、分離された素子形成層202の上に連結支持体204を貼り付ける。これにより、複数の素子形成層202が、連結支持体204を介して相互に連結される。なお、図3Bのパターニング工程でエッチングマスクとして用いたレジストパターンを残しておき、素子形成層202と連結支持体204との間にレジストパターンを介在させてもよい。

【0022】

次に、図3Dに示すように、母基板200及び素子形成層202に対して剥離層201を選択的にエッチングする。これにより、素子形成層202及び連結支持体204が母基板200から剥離される。剥離層201を選択的にエッチングするために、剥離層201として、母基板200及び素子形成層202のいずれともエッチング耐性の異なる化合物半導体が用いられる。

【0023】

図3Eに示すように、基板20の上面に接着層21を形成する。接着層21は、面内に分布する複数の第1金属領域21Aと、第1金属領域21Aが配置されていない領域に配置された絶縁領域21Zとを含む。接着層21は、例えばダマシンプロセスによって形成することができる。

【0024】

図3Fに示すように、素子形成層202を接着層21に接合する。素子形成層202と接着層21との接合は、ファンデルワールス結合または水素結合による。その他に、静電気力、共有結合、共晶合金結合等によって素子形成層202を接着層21に接合してもよい。例えば、第1金属領域21AがAuで形成されている場合、素子形成層202をAu膜に密着させて加圧することにより、両者を接合してもよい。

10

20

30

40

50

【 0 0 2 5 】

次に、図 4 A に示すように、素子形成層 2 0 2 から連結支持体 2 0 4 を剥離する。連結支持体 2 0 4 を剥離した後、図 4 B に示すように、接着層 2 1 及び素子形成層 2 0 2 の上に層間絶縁膜 8 6 及び再配線層を形成する。再配線層には、第 1 エミッタ配線 8 1 E (図 2) の上に配置された第 1 エミッタパッド 8 2 E、素子形成層 2 0 2 に含まれる回路と接着層 2 1 の 1 つの金属領域とを接続する相互接続配線 8 2 W 等が含まれる。

【 0 0 2 6 】

次に、図 4 C に示すように、再配線層の上に保護膜 8 7 を形成し、保護膜 8 7 に複数の開口 8 7 A を形成する。複数の開口 8 7 A は、それぞれ、平面視において複数の第 1 エミッタパッド 8 2 E に包含される。開口 8 7 A 内及び保護膜 8 7 の上に、第 1 導体突起 8 3 E を形成する。第 1 導体突起 8 3 E は、基板 2 0 から遠ざかる方向に突出している。さらに、第 1 導体突起 8 3 E の天面にハンダ 8 4 を載せてリフロー処理を行う。

【 0 0 2 7 】

最後に、図 4 D に示すように、基板 2 0 をダイシングする。これにより、基板 2 0、接着層 2 1、素子形成層 2 0 2、第 1 エミッタパッド 8 2 E、第 1 導体突起 8 3 E、相互接続配線 8 2 W 等を含む個片化された半導体装置 2 8 が得られる。個片化された半導体装置 2 8 に関して、基板 2 0 は、平面視において素子形成層 2 0 2 より大きい。個片化された半導体装置は、モジュール基板等にフリップチップ実装される。

【 0 0 2 8 】

次に、第 1 実施例の優れた効果について説明する。

第 1 実施例では、第 1 トランジスタ 4 1 (図 2) で発生した熱が、下地半導体層 4 0 及び接着層 2 1 を通って基板 2 0 に伝導されるとともに、第 1 エミッタ電極 4 2 E、第 1 エミッタ配線 8 1 E、第 1 エミッタパッド 8 2 E、第 1 導体突起 8 3 E を通ってハンダ 8 4 まで伝導される。ハンダ 8 4 まで伝導された熱は、半導体装置が実装されているモジュール基板等に伝導される。基板 2 0 まで伝導された熱は、基板 2 0 内を拡散した後、外部に放熱される。モジュール基板まで伝導された熱も、同様にモジュール基板から外部に放熱される。

【 0 0 2 9 】

このように、第 1 トランジスタ 4 1 で発生した熱が、下方 (基板 2 0 側) 及び上方 (第 1 導体突起 8 3 E 側) の両方向に伝導され、放熱される。このため、一方向に伝導される場合と比べて、第 1 トランジスタ 4 1 からの放熱特性を向上させることができる。第 1 トランジスタ 4 1 からの放熱特性が向上するため、複数の第 1 トランジスタ 4 1 を密に配置することが可能である。これにより、半導体装置の小型化を図ることが可能になる。

【 0 0 3 0 】

基板 2 0 まで伝導された熱を基板 2 0 内に十分拡散させるために、基板 2 0 の表層部の半導体材料として、第 1 トランジスタ 4 1 のコレクタ層 4 1 C、ベース層 4 1 B、及びエミッタ層 4 1 E のいずれの熱伝導率より高い熱伝導率を持つ材料を用いることが好ましい。このような半導体材料として、例えばシリコン等が挙げられる。また、基板 2 0 から外部に効率的に放熱させるために、平面視において基板 2 0 が下地半導体層 4 0 より大きな構成とすることが好ましい。

【 0 0 3 1 】

次に、図 5 A 及び図 5 B を参照して、比較例と対比しながら第 1 実施例のさらなる優れた効果について説明する。

【 0 0 3 2 】

図 5 A は、第 1 実施例による半導体装置の概略平面図であり、図 1 に示した概略平面図と同一である。図 5 B は、比較例による半導体装置の概略平面図である。

【 0 0 3 3 】

比較例による半導体装置では、第 1 金属領域 2 1 A を含む接着層 2 1 (図 2) が配置されておらず、相互に隣り合う 2 つの第 1 トランジスタ 4 1 の間に第 1 コレクタ電極 4 2 C が配置されている。第 1 コレクタ電極 4 2 C は、下地半導体層 4 0 (図 2) の第 1 導電領

10

20

30

40

50

域 4 0 A の上に配置されており、第 1 導電領域 4 0 A を介して第 1 トランジスタ 4 1 のコレクタ層 4 1 C (図 2) に電氣的に接続されている。これに対して第 1 実施例では、接着層 2 1 の第 1 金属領域 2 1 A (図 2) がコレクタ電極として機能する。

【 0 0 3 4 】

第 1 実施例では、平面視において第 1 コレクタ電極 4 2 C (図 5 B) を配置するスペースを確保する必要がないため、半導体装置の小型化を図ることができる。

【 0 0 3 5 】

図 5 B に示した比較例では、エミッタ層 4 1 E の縁から第 1 コレクタ電極 4 2 C までの距離と、エミッタ層 4 1 E の内奥部から第 1 コレクタ電極 4 2 C までの距離とが等しくなく、面内の位置によって距離にばらつきが生じている。これに対して第 1 実施例では、エミッタ層 4 1 E と、コレクタ電極として機能する第 1 金属領域 2 1 A との厚さ方向の距離が、面内の位置に依らず一定である。このため、エミッタ層 4 1 E の面内で均一な動作が可能になる。

10

【 0 0 3 6 】

次に、図 6 を参照して第 1 実施例の変形例について説明する。

図 6 は、第 1 実施例の変形例による半導体装置の概略平面図である。第 1 実施例 (図 1) では、第 1 トランジスタ 4 1 の各々が 1 つのエミッタ層 4 1 E を含み、第 1 トランジスタ 4 1 ごとに 1 つの第 1 エミッタ電極 4 2 E が配置されている。これに対して図 6 に示した変形例では、1 つの第 1 トランジスタ 4 1 が 2 つのエミッタ層 4 1 E を含んでおり、1 つの第 1 トランジスタ 4 1 ごとに 2 つの第 1 エミッタ電極 4 2 E が配置されている。2 つの第 1 エミッタ電極 4 2 E は、第 1 エミッタ電極 4 2 E の長手方向に対して直交する方向に並んでいる。

20

【 0 0 3 7 】

平面視において、2 つの第 1 エミッタ電極 4 2 E の間に第 1 ベース電極 4 2 B の主部 4 2 B A が配置されている。第 1 ベース電極 4 2 B の主部 4 2 B A の一端に、第 1 エミッタ電極 4 2 E の幅方向に延びるコンタクト部 4 2 B B が設けられている。第 1 ベース電極 4 2 B は、コンタクト部 4 2 B B において上層のベース配線 (図示せず) に接続される。

【 0 0 3 8 】

本変形例においても第 1 実施例と同様に、第 1 トランジスタ 4 1 からの放熱特性の向上、及びさらなる効果として半導体装置の小型化を図ることができる。

30

【 0 0 3 9 】

次に、第 1 実施例の他の変形例について説明する。

第 1 実施例では、第 1 導電領域 4 0 A (図 1) を絶縁化された素子分離領域で取り囲んでいるが、素子分離領域を設けず、下地半導体層 4 0 (図 2) の全域を第 1 導電領域 4 0 A としてもよい。第 1 実施例では、第 1 トランジスタ 4 1 を複数個配置しているが、第 1 トランジスタ 4 1 を 1 つのみ配置してもよい。また、第 1 実施例では、図 2 に示したように、接着層 2 1 と第 1 トランジスタ 4 1 との間に下地半導体層 4 0 を配置しているが、下地半導体層 4 0 を省略してもよい。この場合、第 1 トランジスタ 4 1 のコレクタ層 4 1 C が接着層 2 1 の第 1 金属領域 2 1 A に直接接合される。また、層間絶縁膜 8 0 も、接着層 2 1 に直接接合される。

40

【 0 0 4 0 】

[第 2 実施例]

次に、図 7 及び図 8 を参照して第 2 実施例による半導体装置について説明する。以下、図 1 から図 4 D までの図面を参照して説明した第 1 実施例による半導体装置と共通の構成については説明を省略する。

【 0 0 4 1 】

図 7 は、第 2 実施例による半導体装置の概略平面図である。図 8 は、図 7 の一点鎖線 8 - 8 における断面図である。図 7 において、第 1 エミッタ電極 4 2 E 及び第 1 ベース電極 4 2 B にハッチングを付している。第 1 実施例 (図 1 、 図 2) では、コレクタ層 4 1 C 及びベース層 4 1 B が、第 1 トランジスタ 4 1 ごとに分離されている。これに対して第 2 実

50

施例では、コレクタ層 4 1 C 及びベース層 4 1 B が、複数の第 1 トランジスタ 4 1 に亘って連続している。なお、第 2 実施例において、1 つのエミッタ層 4 1 E、及びその直下のベース層 4 1 B 及びコレクタ層 4 1 C を 1 つの第 1 トランジスタ 4 1 と定義する。

【 0 0 4 2 】

相互に隣り合う 2 つの第 1 エミッタ電極 4 2 E の間に、1 つの第 1 ベース電極 4 2 B の主部 4 2 B A が配置されている。第 1 ベース電極 4 2 B の主部 4 2 B A の一端に、第 1 エミッタ電極 4 2 E の幅方向に延びるコンタクト部 4 2 B B が設けられている。1 つの第 1 ベース電極 4 2 B は、その両側の 2 つの第 1 エミッタ電極 4 2 E にそれぞれ接続された 2 つの第 1 トランジスタ 4 1 で共用されている。複数の第 1 ベース電極 4 2 B は、それぞれベースバラスト抵抗 4 5 を介してベースバイアス回路 4 6 に接続される。

10

【 0 0 4 3 】

次に、第 2 実施例の優れた効果について説明する。

第 1 実施例では、相互に隣り合う 2 つの第 1 エミッタ電極 4 2 E の間に 2 つの第 1 ベース電極 4 2 B が配置されている。これに対して第 2 実施例では、相互に隣り合う 2 つの第 1 エミッタ電極 4 2 E の間に 1 つの第 1 ベース電極 4 2 B が配置されている。このため、第 1 実施例と比べて半導体装置の小型化を図ることが可能である。また、第 1 トランジスタ 4 1 の大きさ及び個数が同一である場合、第 2 実施例による半導体装置のコレクタベース接合界面の面積が、第 1 実施例による半導体装置のコレクタベース接合界面の合計の面積より小さくなる。このため、ベースコレクタ間の寄生容量が低減するという優れた効果が得られる。

20

【 0 0 4 4 】

次に、第 2 実施例の変形例について説明する。

第 2 実施例では、相互に隣り合う 2 つの第 1 エミッタ電極 4 2 E の間にそれぞれ配置された複数の第 1 ベース電極 4 2 B が相互に分離され、複数の第 1 ベース電極 4 2 B のそれぞれにベースバラスト抵抗 4 5 が接続されている。複数の第 1 トランジスタ 4 1 の間でコレクタ電流にばらつきが生じると、コレクタ電流が相対的に大きな特定の第 1 トランジスタ 4 1 が熱暴走してしまう場合がある。ベースバラスト抵抗 4 5 は、コレクタ電流のばらつきを平準化し、熱暴走を抑制する機能を持つ。第 1 トランジスタ 4 1 の動作条件によっては、第 1 トランジスタ 4 1 が熱暴走に至りにくい場合がある。このような場合には、複数の第 1 ベース電極 4 2 B を相互に連続させ、複数の第 1 ベース電極 4 2 B に対して 1 つのベースバラスト抵抗 4 5 を接続してもよい。

30

【 0 0 4 5 】

[第 3 実施例]

次に、図 9 を参照して第 3 実施例による半導体装置について説明する。以下、図 1 から図 4 D までの図面を参照して説明した第 1 実施例による半導体装置と共通の構成については説明を省略する。

【 0 0 4 6 】

図 9 は、第 3 実施例による半導体装置の断面図である。第 1 実施例による半導体装置（図 1、図 2）は、半導体素子として複数の第 1 トランジスタ 4 1 を備えている。これに対して第 3 実施例による半導体装置は、基板 2 0 の上に配置される複数の半導体素子に、第 1 トランジスタ 4 1 の他に第 2 トランジスタ 5 1 が含まれる。

40

【 0 0 4 7 】

接着層 2 1 は、金属領域として、第 1 金属領域 2 1 A の他に第 2 金属領域 2 1 B を含んでいる。第 1 金属領域 2 1 A と第 2 金属領域 2 1 B とは、接着層 2 1 に含まれる絶縁領域 2 1 Z によって相互に分離されている。下地半導体層 4 0 は、導電領域として、第 1 導電領域 4 0 A の他に第 2 導電領域 4 0 B を含んでいる。第 1 導電領域 4 0 A と第 2 導電領域 4 0 B とは、下地半導体層 4 0 に含まれる素子分離領域 4 0 Z によって相互に分離されている。平面視において、第 1 導電領域 4 0 A と第 1 金属領域 2 1 A とは、相互に重なる領域を有している。同様に、第 2 導電領域 4 0 B と第 2 金属領域 2 1 B とは、相互に重なる領域を有している。さらに、第 1 導電領域 4 0 A 及び第 1 金属領域 2 1 A からなる領域と

50

、第2導電領域40B及び第2金属領域21Bからなる領域とを、相互に電氣的に絶縁するように、素子分離領域40Zと絶縁領域21Zとの少なくとも一部分同士が平面視において重なっている。

【0048】

第2トランジスタ51は、第2導電領域40Bの上に配置されている。第2トランジスタ51も第1トランジスタ41と同様に、コレクタ層51C、ベース層51B、及びエミッタ層51Eを含む。第2金属領域21Bが、第2トランジスタ51のコレクタ電極として機能する。ベース層51Bに第2ベース電極52Bが接続され、エミッタ層51Eに第2エミッタ電極52Eが接続されている。

【0049】

第2エミッタ電極52Eの上に、第2エミッタ配線91E、第2エミッタパッド92E、及び第2導体突起93Eが配置されている。第2導体突起93Eの上にハンダ84が載せられている。第2エミッタパッド92Eは、第1エミッタパッド82Eと同様に再配線層(図4B)に含まれる。第1エミッタ配線81E及び第2エミッタ配線91Eと、再配線層都の間には、層間絶縁膜86が配置されている。第1エミッタパッド82E及び第2エミッタパッド92Eは、第1導体突起83E及び第2導体突起93Eに接続された領域を除いて保護膜87で覆われている。

【0050】

次に、第3実施例の優れた効果について説明する。

第3実施例では、共通の基板20の上に、相互に電氣的に分離された第1トランジスタ41及び第2トランジスタ51が形成される。このため、1つの半導体装置に2つの増幅回路を含めることができる。例えば、第2トランジスタ51で前段増幅回路を構成し、第1トランジスタ41で後段増幅回路を構成して、2段構成の増幅回路を実現することができる。また、第3実施例においても第1実施例と同様に、放熱特性の向上を図ることができる。

【0051】

[第4実施例]

次に、図10、図11A、及び図11Bを参照して、第4実施例による半導体装置について説明する。以下、図1から図4Dまでの図面を参照して説明した第1実施例による半導体装置と共通の構成については説明を省略する。

【0052】

図10は、第4実施例による半導体装置の断面図である。第4実施例による半導体装置においては、基板20の上に配置される複数の半導体素子に、第1トランジスタ41の他に、第3トランジスタ61及びダイオード71が含まれている。

【0053】

接着層21は、金属領域として、第1金属領域21Aの他に、第3金属領域21C及び第4金属領域21Dを含む。第1金属領域21A、第3金属領域21C、及び第4金属領域21Dは、絶縁領域21Zにより相互に分離されている。下地半導体層40は、第1導電領域40Aの他に、第3導電領域40C、及び第4導電領域40Dを含む。第1導電領域40A、第3導電領域40C、及び第4導電領域40Dは、素子分離領域40Zにより相互に分離されている。第1金属領域21A、第3金属領域21C、及び第4金属領域21Dと、第1導電領域40A、第3導電領域40C、及び第4導電領域40Dとは、それぞれ平面視において少なくとも一部分同士が重なっている。また、第1導電領域40A及び第1金属領域21Aからなる領域、第2導電領域40B及び第2金属領域21Bからなる領域、第3導電領域40C及び第3金属領域21Cからなる領域の3つの領域を、相互に電氣的に絶縁するように、絶縁領域21Zと素子分離領域40Zとの少なくとも一部分同士が平面視において重なっている。

【0054】

第3トランジスタ61は、第3導電領域40Cの上に配置されている。第3トランジスタ61は、第1トランジスタ41と同様に、コレクタ層61C、ベース層61B、及びエ

10

20

30

40

50

ミッタ層 6 1 E を含んでいる。ベース層 6 1 B に第 3 ベース電極 6 2 B が接続されており、エミッタ層 6 1 E に第 3 エミッタ電極 6 2 E が接続されている。

【 0 0 5 5 】

平面視において、第 3 導電領域 4 0 C 及び第 3 金属領域 2 1 C の内側であって、かつ第 3 トランジスタ 6 1 の外側に、第 3 コレクタ電極 6 2 C が配置されている。第 3 コレクタ電極 6 2 C は、第 3 導電領域 4 0 C 及び第 3 金属領域 2 1 C を介して第 3 トランジスタ 6 1 のコレクタ層 6 1 C に電氣的に接続されている。第 3 トランジスタ 6 1 用の導体突起は配置されていない。なお、第 3 コレクタ電極 6 2 C は、平面視において第 3 導電領域 4 0 C の内側に配置されていればよく、必ずしも第 3 金属領域 2 1 C の内側に配置されている必要はない。また、第 3 金属領域 2 1 C 及び第 3 導電領域 4 0 C を、他の電子素子等に直接接続する構成を採用する場合には、第 3 コレクタ電極 6 2 C を省略してもよい。例えば、第 3 金属領域 2 1 C 及び第 3 導電領域 4 0 C を介して、第 3 トランジスタ 6 1 のコレクタ層 6 1 C を、基板 2 0 に設けられた他の電子素子や、下地半導体層 4 0 の上に設けられた他の電子素子に接続してもよい。

10

【 0 0 5 6 】

ダイオード 7 1 は、第 4 導電領域 4 0 D の上に配置されている。ダイオード 7 1 は、第 4 導電領域 4 0 D に接続された第 1 導電型（例えば n 型）の下層 7 1 L と、その上に配置された第 1 導電型とは反対の第 2 導電型（例えば p 型）の上層 7 1 U とを含む。下層 7 1 L は、第 1 トランジスタ 4 1 のコレクタ層 4 1 C 及び第 3 トランジスタ 6 1 のコレクタ層 6 1 C と共に、共通の半導体層をパターニングすることにより形成される。同様に、上層 7 1 U は、第 1 トランジスタ 4 1 のベース層 4 1 B 及び第 3 トランジスタ 6 1 のベース層 6 1 B と共に、共通の半導体層をパターニングすることにより形成される。

20

【 0 0 5 7 】

平面視において、第 4 導電領域 4 0 D 及び第 4 金属領域 2 1 D の内側であって、かつダイオード 7 1 の外側に、下側電極 7 2 L が配置されている。下側電極 7 2 L は、第 4 導電領域 4 0 D 及び第 4 金属領域 2 1 D を介して下層 7 1 L に電氣的に接続されている。なお、下側電極 7 2 L は、平面視において第 4 導電領域 4 0 D の内側に配置されていればよく、必ずしも第 4 金属領域 2 1 D の内側に配置されている必要はない。上層 7 1 U の上に上側電極 7 2 U が配置されている。上側電極 7 2 U は上層 7 1 U に電氣的に接続されている。なお、第 4 金属領域 2 1 D 及び第 4 導電領域 4 0 D を、他の電子素子等に直接接続する構成を採用する場合には、下側電極 7 2 L を省略してもよい。例えば、第 4 金属領域 2 1 D 及び第 4 導電領域 4 0 D を介して、ダイオード 7 1 の下層 7 1 L を、基板 2 0 に設けられた他の電子素子や、下地半導体層 4 0 の上に設けられた他の電子素子に接続してもよい。

30

【 0 0 5 8 】

次に、第 4 実施例の優れた効果について説明する。

第 4 実施例においても第 1 実施例と同様に、第 1 トランジスタ 4 1 からの放熱特性の向上を図ることができる。さらに、第 4 実施例による半導体装置は、コレクタ電極として機能する第 1 金属領域 2 1 A が下地半導体層 4 0 の下に配置されている第 1 トランジスタ 4 1 の他に、第 3 コレクタ電極 6 2 C が下地半導体層 4 0 の上に配置されている第 3 トランジスタ 6 1 を含んでいる。このため、トランジスタのコレクタに接続される配線の設計の自由度が高まり、回路を設計しやすくなるという優れた効果が得られる。

40

【 0 0 5 9 】

次に、図 1 1 A 及び図 1 1 B を参照して、第 4 実施例による半導体装置を用いた電子回路の一例について説明する。

【 0 0 6 0 】

図 1 1 A は、第 4 実施例による半導体装置を用いた電子回路の一例を示す等価回路図である。第 1 トランジスタ 4 1 によってパワー増幅回路が構成される。第 1 トランジスタ 4 1 のコレクタに、電源端子 V c c からチョークコイル L c を通して電源電圧が印加される。

【 0 0 6 1 】

50

第1トランジスタ41のベースバイアス回路に第3トランジスタ61が含まれる。第3トランジスタ61のエミッタが、ベースバラスト抵抗Rbを介して第1トランジスタ41のベースに接続されている。第3トランジスタ61のコレクタ及びベースが、それぞれバイアス電源ポートVbatt及びバイアス制御ポートVbiasに接続されている。バイアス制御ポートVbiasに与えられる制御電流に応じて、バイアス電源ポートVbattから第3トランジスタ61及びベースバラスト抵抗Rbを介して第1トランジスタ41にベースバイアスが供給される。

【0062】

高周波信号が、入力ポートRFinから入力キャパシタCinを介して第1トランジスタ41のベースに入力される。第1トランジスタ41のエミッタが接地されており、コレクタが出力ポートRFoutに接続されている。

10

【0063】

第1トランジスタ41のコレクタが、直列接続された複数のダイオード71を介して接地されている。複数のダイオード71は、第1トランジスタ41のコレクタからグラウンド電位に向かって順方向になる極性で接続されており、クランプダイオードとして機能する。

【0064】

図11Bは、図11Aに示した電子回路を実現するための半導体装置の部分断面図である。以下、図10に示した構造との相違点について説明する。接着層21が第5金属領域21Eを含み、下地半導体層40が第5導電領域40Eを含む。第5導電領域40Eの上に、パッド76が配置されている。第5金属領域21Eと第5導電領域40Eとは、平面視において相互に重なっている。パッド76は、第5導電領域40Eを介して第5金属領域21Eに電氣的に接続されている。

20

【0065】

層間絶縁膜80の上に、第1エミッタ配線81Eの他に配線75が配置されている。配線75は、層間絶縁膜80に設けられた開口を介して上側電極72U及びパッド76に接続されている。基板20と接着層21との間に多層配線構造22が配置されている。多層配線構造22は、配線25及び複数のビア26を含む。ダイオード71の上側電極72Uは、配線75、パッド76、第5導電領域40E、第5金属領域21E、及び多層配線構造22内の配線25及びビア26を介して、第1トランジスタ41のコレクタ電極として機能する第1金属領域21Aに電氣的に接続されている。なお、第5金属領域21Eを、接着層21内で第3トランジスタ61を迂回して第1金属領域21Aまで延ばすことにより、上側電極72Uを第1金属領域21Aに接続してもよい。この構成を採用する場合には、多層配線構造22を省略してもよい。

30

【0066】

図11Bでは、層間絶縁膜80と第1エミッタパッド82Eとの間に、第1エミッタ配線81Eを含む1層の配線層を配置した例を示しているが、層間絶縁膜80と第1エミッタパッド82Eとの間に複数の配線層を配置してもよい。ベースバラスト抵抗Rb及び入力キャパシタCinは、例えば層間絶縁膜80を形成する前に、下地半導体層40の上に形成される。

【0067】

第3トランジスタ61の第3コレクタ電極62Cは、保護膜87の上に配置されるコレクタ用の導体突起(図示せず)に接続される。モジュール基板のバイアス電源ポートVbatt(図11A)から、コレクタ用の導体突起、第3コレクタ電極62Cを介して第3トランジスタ61のコレクタにバイアス電源が供給される。第3コレクタ電極62Cが下地半導体層40の上に配置されているため、第3トランジスタ61のコレクタ電極が下地半導体層40の下に配置されている場合と比べて、第3コレクタ電極62Cと、バイアス電源ポートVbattに接続するためのコレクタ用の導体突起との接続構造を簡単化することができる。

40

【0068】

次に、第4実施例の変形例について説明する。第4実施例では、多層配線構造22内に

50

配線 2 5 及びビア 2 6 を配置しているが、その他に、金属パターンで構成した受動素子を配置してもよい。例えば、スパイラル状、メアング状の金属パターンによってインダクタを構成してもよい。または、層間絶縁膜を介して上下に配置された金属パターンによってキャパシタを構成してもよい。

【 0 0 6 9 】

[第 5 実施例]

次に、図 1 2 を参照して第 5 実施例による半導体装置について説明する。以下、図 1 から図 4 D までの図面を参照して説明した第 1 実施例による半導体装置と共通の構成については説明を省略する。

【 0 0 7 0 】

図 1 2 は、第 5 実施例による半導体装置の断面図である。第 5 実施例では、接着層 2 1 が、金属領域として第 1 金属領域 2 1 A の他に第 6 金属領域 2 1 F を含む。下地半導体層 4 0 は、導電領域として第 1 導電領域 4 0 A の他に第 6 導電領域 4 0 F 及び第 7 導電領域 4 0 G を含む。第 6 導電領域 4 0 F 及び第 7 導電領域 4 0 G は、平面視において第 6 金属領域 2 1 F の一部と重なっており、両者は第 6 金属領域 2 1 F を介して相互に電氣的に接続されている。

【 0 0 7 1 】

第 6 導電領域 4 0 F の上にダイオード 7 1 が配置されている。ダイオード 7 1 は、第 4 実施例による半導体装置のダイオード 7 1 (図 1 0) と同一の構造を有する。第 7 導電領域 4 0 G の上に、配線等の金属部材 7 7 が配置されている。金属部材 7 7 は、下地半導体層 4 0 に設けられた開口 4 0 K を通って第 6 金属領域 2 1 F に電氣的に接続されている。金属部材 7 7 は、第 6 金属領域 2 1 F、第 6 導電領域 4 0 F を通ってダイオード 7 1 に電氣的に接続されている。開口 4 0 K は、製造工程途中の図 3 A に示した段階で形成されている。図 3 D に示した剥離層 2 0 1 を除去した状態では、開口 4 0 K 内の金属部材 7 7 が露出している。

【 0 0 7 2 】

次に、第 5 実施例の優れた効果について説明する。第 5 実施例においても第 1 実施例と同様に、第 1 トランジスタ 4 1 からの放熱特性の向上を図ることができる。さらに、第 5 実施例では、ダイオード 7 1 と金属部材 7 7 とが、接着層 2 1 に含まれる第 6 金属領域 2 1 F を介して相互に接続される。接着層 2 1 に含まれる金属領域を配線として利用することにより、配線設計の自由度を高めることができる。また、金属部材 7 7 が、下地半導体層 4 0 に設けられた開口 4 0 K を通って第 6 金属領域 2 1 F に接続されているため、下地半導体層 4 0 に含まれる導電領域を通して電氣的に接続される構成と比べて、低抵抗化を図ることができる。

【 0 0 7 3 】

次に、第 5 実施例の変形例について説明する。

第 5 実施例では、接着層 2 1 の第 6 金属領域 2 1 F により、下地半導体層 4 0 の上の金属部材 7 7 とダイオード 7 1 とが接続されているが、金属部材 7 7 を、第 6 金属領域 2 1 F を介して他の半導体素子に接続してもよい。また、第 5 実施例では、下地半導体層 4 0 に含まれる第 7 導電領域 4 0 G の上に金属部材 7 7 を配置しているが、素子分離領域 4 0 Z の上に金属部材 7 7 を配置してもよい。この場合には、素子分離領域 4 0 Z に開口 4 0 K を設ければよい。

【 0 0 7 4 】

[第 6 実施例]

次に、図 1 3 を参照して第 6 実施例による半導体装置について説明する。以下、図 1 0 から図 1 1 B までの図面を参照して説明した第 4 実施例による半導体装置と共通の構成については説明を省略する。

【 0 0 7 5 】

図 1 3 は、第 6 実施例による半導体装置の断面図である。第 4 実施例 (図 1 0) では、下地半導体層 4 0 の第 3 導電領域 4 0 C 及び第 4 導電領域 4 0 D が、それぞれ接着層 2 1

10

20

30

40

50

の第3金属領域21C及び第4金属領域21Dの上に配置されている。これに対して第6実施例では、下地半導体層40の第3導電領域40C及び第4導電領域40Dが、接着層21の絶縁領域21Zの上に配置されている。

【0076】

第6実施例では、第3コレクタ電極62Cが、下地半導体層40の第3導電領域40Cのみを介して第3トランジスタ61のコレクタ層61Cに接続される。同様に、下側電極72Lが、下地半導体層40の第4導電領域40Dのみを介してダイオード71の下層71Lに接続される。

【0077】

基板20と接着層21との間に多層配線構造22が配置されている。多層配線構造22は、複数の配線25及び複数のビア26を含む。

10

【0078】

次に、第6実施例の優れた効果について説明する。

第6実施例においても第1実施例と同様に、第1トランジスタ41からの放熱特性の向上を図ることができる。さらに、第6実施例では、下地半導体層40の第3導電領域40C及び第4導電領域40Dの直下が絶縁領域21Zとされているため、多層配線構造22内の最も上の配線層の配線25を、平面視において第3導電領域40C及び第4導電領域40Dに重なる領域に配置することができる。このため、多層配線構造22内の配線25の配置の自由度が高まるという優れた効果が得られる。

【0079】

20

[第7実施例]

次に、図14を参照して第7実施例による半導体装置について説明する。以下、図1から図4Dまでの図面を参照して説明した第1実施例による半導体装置と共通の構成については説明を省略する。

【0080】

図14は、第7実施例による半導体装置の断面図である。第1実施例(図2)では、基板20と接着層21とが接触している。これに対して第7実施例では、基板20と接着層21との間に絶縁層23が配置されている。絶縁層23として、窒化シリコン、酸化シリコン、酸窒化シリコン等の無機絶縁材料が用いられる。

【0081】

30

次に、第7実施例の優れた効果について説明する。

第7実施例においても第1実施例と同様に、第1トランジスタ41からの放熱特性の向上を図ることができる。さらに、第7実施例では、下地半導体層40の上に配置されている半導体素子、例えば第1トランジスタ41と基板20との間の絶縁性を高めることができる。

【0082】

[第8実施例]

次に、図15を参照して第8実施例による半導体装置について説明する。以下、図10を参照して説明した第4実施例による半導体装置と共通の構成については説明を省略する。

【0083】

40

図15は、第8実施例による半導体装置の断面図である。第8実施例においては、基板20と接着層21との間に多層配線構造22が配置されている。多層配線構造22は、複数の配線25及び複数のビア26を含む。基板20の表層部に、基板側トランジスタ27が形成されている。基板側トランジスタ27は、例えばシリコン系のMOSトランジスタまたはシリコン系のバイポーラトランジスタである。

【0084】

接着層21に含まれる第1金属領域21Aが、多層配線構造22内の少なくとも1つの配線25及びビア26に接続されている。さらに、基板側トランジスタ27も、多層配線構造22内の少なくとも1つの配線25及びビア26に電氣的に接続されている。例えば、接着層21に含まれる1つの金属領域が、多層配線構造22内の配線25及びビア26

50

を介して、基板側トランジスタ 27 に接続されている。なお、接着層 21 に含まれる第 1 金属領域 21A 以外の金属領域を、多層配線構造 22 内の配線及びビアに接続してもよい。

【0085】

次に、第 8 実施例の優れた効果について説明する。

第 8 実施例においても第 1 実施例と同様に、第 1 トランジスタ 41 からの放熱特性の向上を図ることができる。さらに、第 8 実施例では、基板 20 の表層部に形成した基板側トランジスタ 27 で構成される電子回路と、下地半導体層 40 の上に配置した第 1 トランジスタ 41 等の半導体素子で構成される電子回路とが、多層配線構造 22 を介して電氣的に接続される。このため、化合物半導体系の半導体素子と、シリコン系の半導体素子とを、モジュール基板等を介すことなく、半導体装置内で接続することができる。これにより、半導体装置を含む半導体モジュールの小型化を図ることが可能になる。

10

【0086】

次に、第 8 実施例の変形例について説明する。第 8 実施例では、多層配線構造 22 内の配線 25 及びビア 26 が、接着層 21 より下に配置された基板側トランジスタ 27 等と、接着層 21 の上に配置された第 1 トランジスタ 41 等とのいずれにも電氣的に接続されている。一変形例として、多層配線構造 22 内の配線 25 及びビア 26 が、接着層 21 より下の基板側トランジスタ 27 等に電氣的に接続されているが、接着層 21 より上の素子には電氣的に接続されていない構成を採用することも可能である。この構成を採用し、基板側トランジスタ 27 等と接着層 21 より上の素子とを接続する場合には、例えば、導体突起及びモジュール基板側の配線等を介して両者を電氣的に接続するか、またはモジュール基板を介することなく相互接続配線 82W (図 4D) を介して両者を電氣的に接続すればよい。さらに他の変形例として、多層配線構造 22 内の配線 25 及びビア 26 が、接着層 21 より上の素子に電氣的に接続されているが、多層配線構造 22 より下の基板 20 上の素子には電氣的に接続されていない構成を採用することも可能である。

20

【0087】

また、第 8 実施例では、第 1 トランジスタ 41 に電氣的に接続された第 1 金属領域 21A が、多層配線構造 22 内のビア 26 及び配線 25 に電氣的に接続されているが、第 1 金属領域 21A を多層配線構造 22 内のビア 26 や配線 25 に接続しない構成を採用してもよい。

【0088】

次に、図 16 及び図 17 を参照して、第 1 金属領域 21A を多層配線構造 22 内のビア 26 や配線 25 に接続しない構成を採用した変形例について説明する。

30

【0089】

図 16 は、第 8 実施例の一変形例による半導体装置の断面図である。第 1 金属領域 21A は、多層配線構造 22 内の配線に接続されていない。第 1 金属領域 21A 及び第 1 導電領域 40A が面内方向に広げられており、広げられた部分の第 1 導電領域 40A の上に、金属パターン 42CC が配置されている。金属パターン 42CC は層間絶縁膜 80 で覆われている。層間絶縁膜 80 の上に第 1 コレクタ配線 81C が配置されている。第 1 コレクタ配線 81C は、層間絶縁膜 80 に設けられた開口を通して金属パターン 42CC に接続されている。

40

【0090】

第 1 コレクタ配線 81C の上に、第 1 コレクタパッド 82C 及びコレクタ用導体突起 83C が配置されている。第 1 コレクタパッド 82C 及びコレクタ用導体突起 83C の構成は、第 1 エミッタパッド 82E 及び第 1 導体突起 83E の構成と同一である。コレクタ用導体突起 83 の上にハンダ 84 が載せられている。図 16 に示した変形例では、第 1 トランジスタ 41 のコレクタが、コレクタ用導体突起 83C を介してモジュール基板上の電子回路に接続される。

【0091】

図 16 に示した変形例では、第 1 トランジスタ 41 が配置された領域からコレクタ用導体突起 83C が配置された領域まで第 1 導電領域 40A が連続しているが、第 1 導電領域

50

40Aは必ずしも連続させなくてもよい。第1導電領域40Aが連続しない場合でも、第1トランジスタ41のコレクタとコレクタ用導体突起83Cとは、第1金属領域21Aを介して電氣的に接続される。

【0092】

金属パターン42CCは、例えば図5Aに示した平面図において、複数の第1トランジスタ41からなる列に並走するように配置するとよい。このように配置することにより、図5Bに示した比較例と比べて複数の第1トランジスタ41からなる列の長さを短くすることができる。

【0093】

図17は、第8実施例の他の変形例による半導体装置の断面図である。本変形例においても、第1金属領域21Aは、多層配線構造22内の配線に接続されていない。図16に示した変形例では、コレクタ用導体突起83Cが、平面視において素子形成層202（図4D）の内側に配置されているが、本変形例では、コレクタ用導体突起83Cが、平面視において素子形成層202（図4D）の外側に配置されている。

10

【0094】

第1金属領域21Aが、平面視において素子形成層202（図4D）の外側まで、すなわち下地半導体層40の外側まで広がっている。下地半導体層40の外側の接着層21の上に層間絶縁膜86が配置されている。下地半導体層40の外側の層間絶縁膜86の上に第1コレクタパッド82Cが配置されている。第1コレクタパッド82Cは、層間絶縁膜86に設けられた開口を通して第1金属領域21Aに接続されている。第1コレクタパッド82Cの上に保護膜87が配置されている。保護膜87の上にコレクタ用導体突起83Cが配置されている。コレクタ用導体突起83Cは、保護膜87に設けられた開口を通して第1コレクタパッド82Cに接続されている。コレクタ用導体突起83Cの上にハンダ84が載せられている。

20

【0095】

第1コレクタパッド82Cは、例えば図5Aに示した平面図において、複数の第1トランジスタ41からなる列に並走するように配置するとよい。このように配置することにより、図5Bに示した比較例と比べて複数の第1トランジスタ41からなる列の長さを短くすることができる。

【0096】

本変形例のように、第1トランジスタ41のコレクタに接続されるコレクタ用導体突起83Cを、平面視において下地半導体層40が配置されていない領域に配置してもよい。

30

【0097】

図16及び図17にそれぞれ示した第8実施例の変形例において、多層配線構造22内の配線及びビアによって、第1金属領域21Aに並列に接続された電流経路を形成してもよい。これにより、第1トランジスタ41のコレクタとコレクタ用導体突起83Cとの間の電気抵抗を低減させることができる。

【0098】

上述の各実施例は例示であり、異なる実施例で示した構成の部分的な置換または組み合わせが可能であることは言うまでもない。複数の実施例の同様の構成による同様の作用効果については実施例ごとには逐次言及しない。さらに、本発明は上述の実施例に制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なのは当業者に自明であろう。

40

【符号の説明】

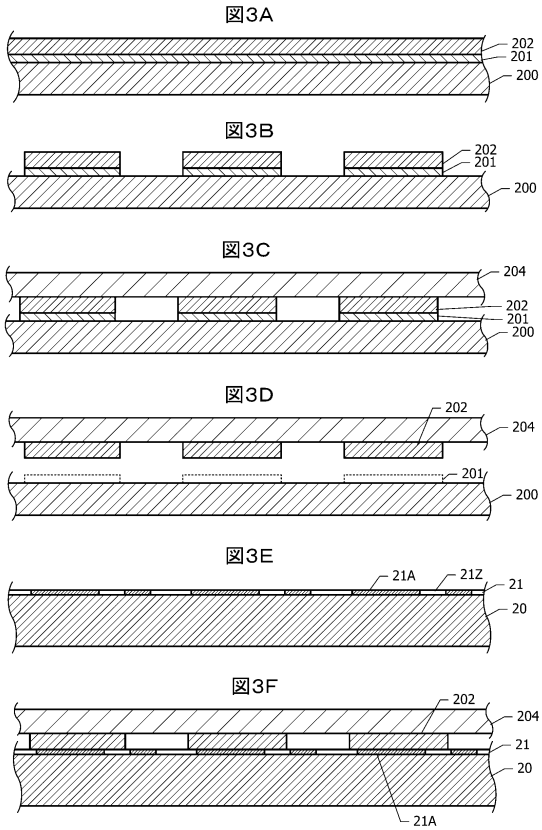
【0099】

- 20 基板
- 21 接着層
- 21A 第1金属領域
- 21B 第2金属領域
- 21C 第3金属領域

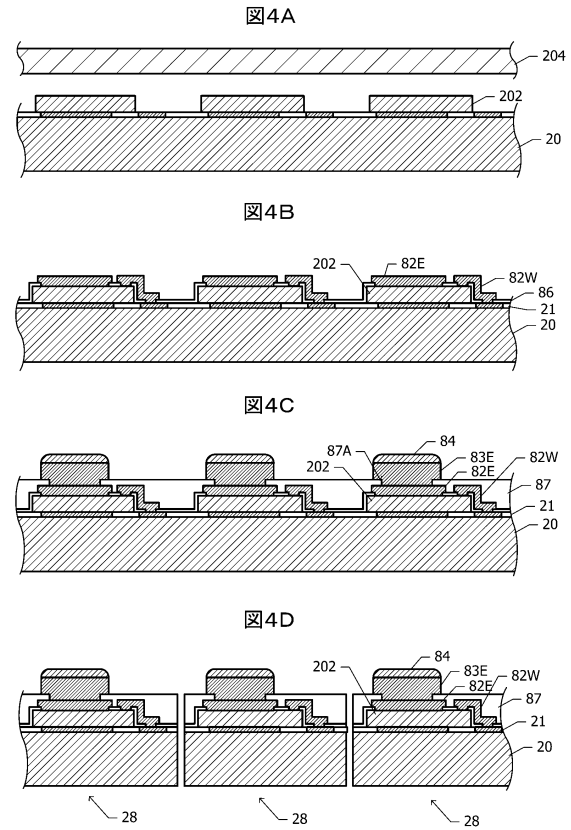
50

2 1 D	第 4 金属領域	
2 1 E	第 5 金属領域	
2 1 F	第 6 金属領域	
2 1 Z	絶縁領域	
2 2	多層配線構造	
2 3	絶縁層	
2 5	配線	
2 6	ビア	
2 7	基板側トランジスタ	
2 8	半導体装置	10
4 0	下地半導体層	
4 0 A	第 1 導電領域	
4 0 B	第 2 導電領域	
4 0 C	第 3 導電領域	
4 0 D	第 4 導電領域	
4 0 E	第 5 導電領域	
4 0 F	第 6 導電領域	
4 0 G	第 7 導電領域	
4 0 K	開口	
4 0 Z	素子分離領域	20
4 1	第 1 トランジスタ	
4 1 B	ベース層	
4 1 C	コレクタ層	
4 1 E	エミッタ層	
4 2 B	第 1 ベース電極	
4 2 B A	主部	
4 2 B B	コンタクト部	
4 2 C	第 1 コレクタ電極	
4 2 C C	金属パターン	
4 2 E	第 1 エミッタ電極	30
4 5	ベースバラスト抵抗	
4 6	ベースバイアス回路	
5 1	第 2 トランジスタ	
5 1 B	ベース層	
5 1 C	コレクタ層	
5 1 E	エミッタ層	
5 2 B	第 2 ベース電極	
5 2 E	第 2 エミッタ電極	
6 1	第 3 トランジスタ	
6 1 B	ベース層	40
6 1 C	コレクタ層	
6 1 E	エミッタ層	
6 2 B	第 3 ベース電極	
6 2 C	第 3 コレクタ電極	
6 2 E	第 3 エミッタ電極	
7 1	ダイオード	
7 1 L	ダイオードの下層	
7 1 U	ダイオードの上層	
7 2 U	上側電極	
7 2 L	下側電極	50

【 図 3 】



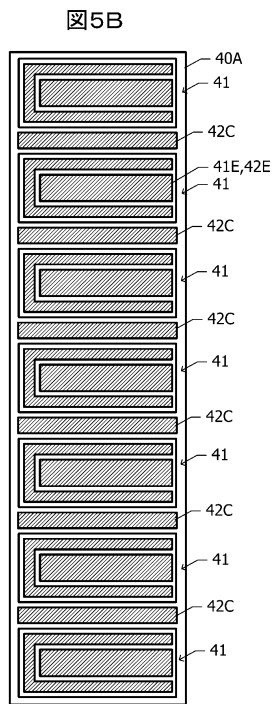
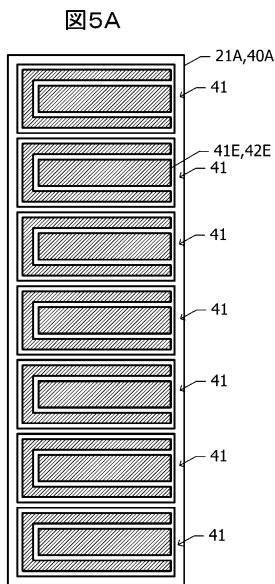
【 図 4 】



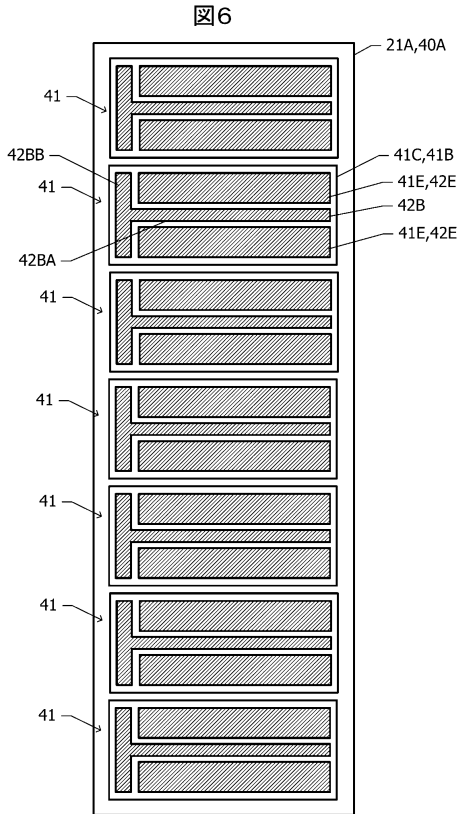
10

20

【 図 5 】



【 図 6 】

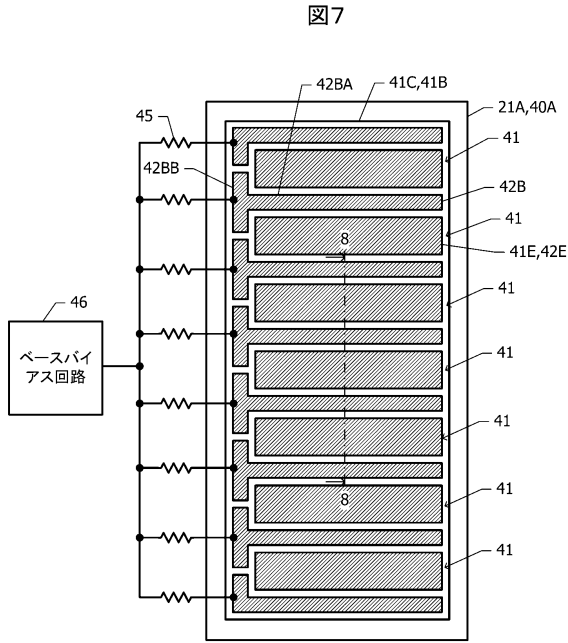


30

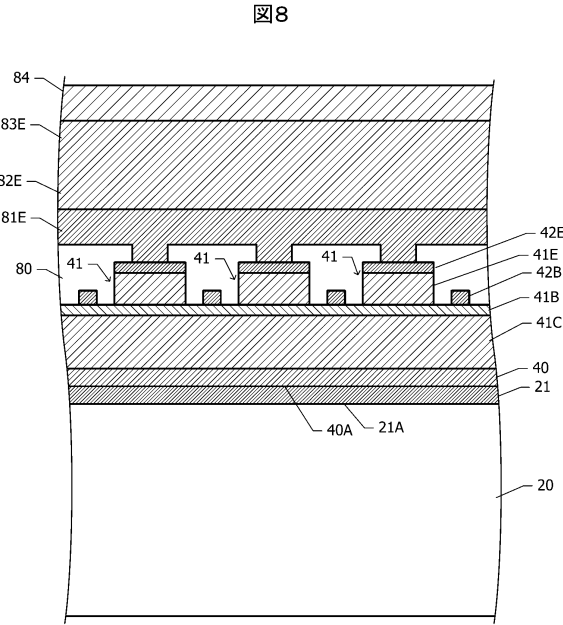
40

50

【 図 7 】



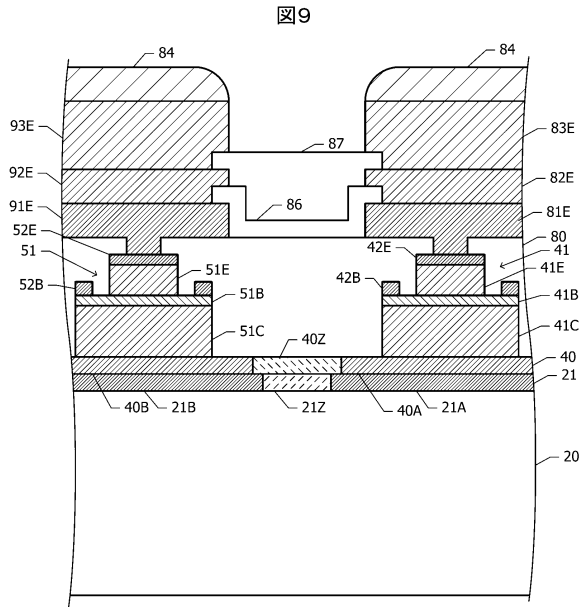
【 図 8 】



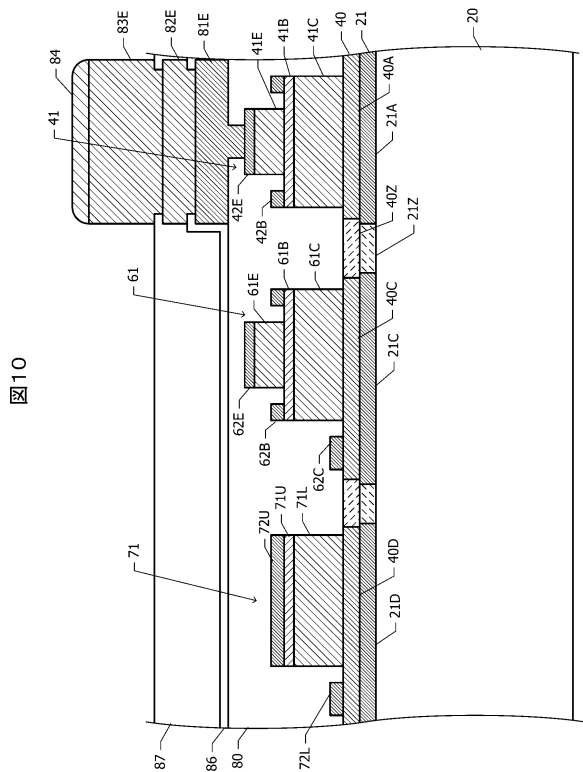
10

20

【 図 9 】



【 図 10 】

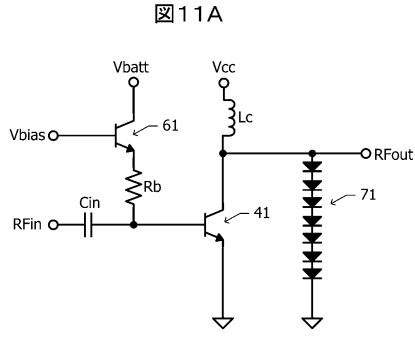


30

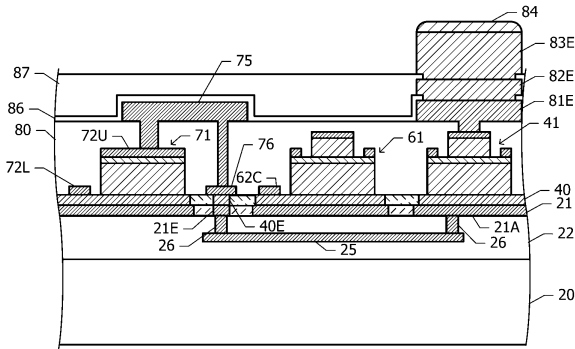
40

50

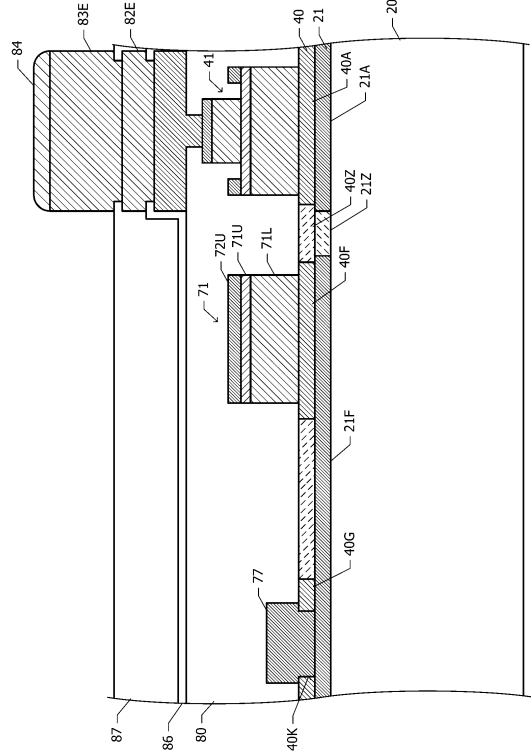
【 1 1 】



11B



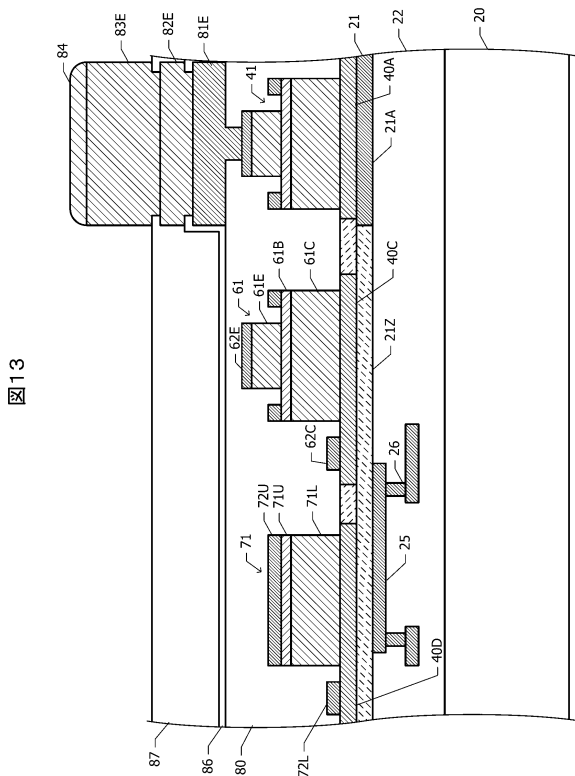
1 2



10

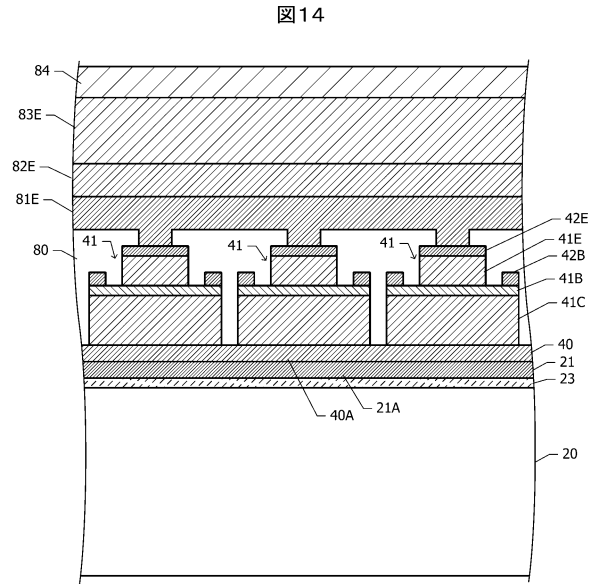
20

1 3



13

1 4



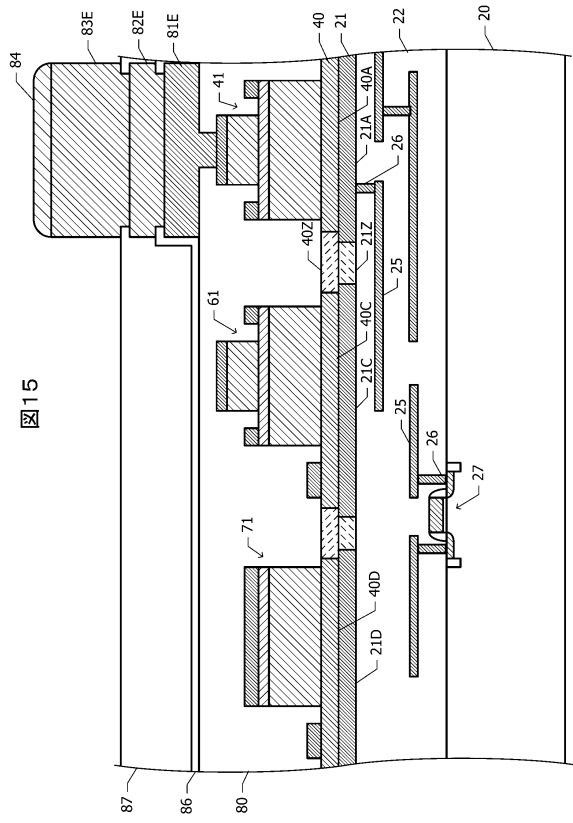
14

30

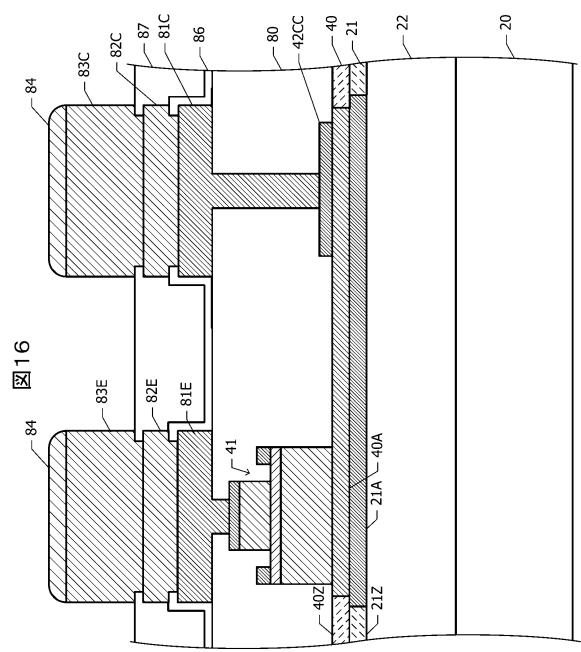
40

50

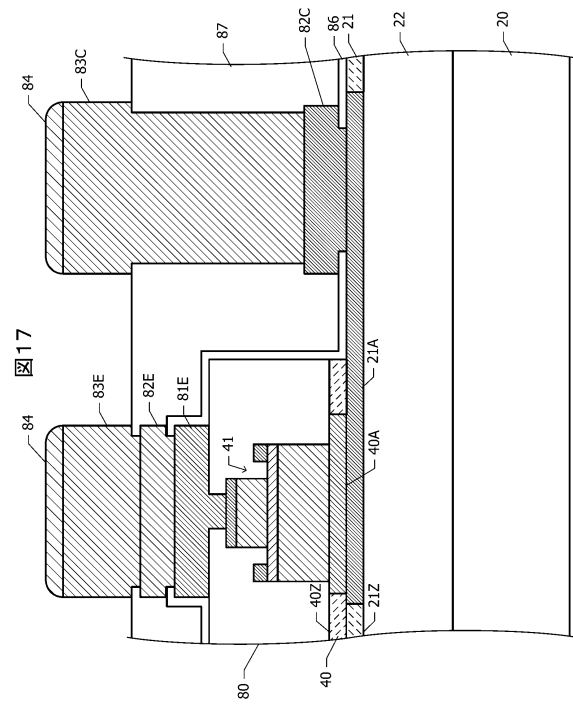
【 図 15 】



【 図 16 】



【 図 17 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 0 1 L 21/02 (2006.01)	H 0 1 L	29/90	P
	H 0 1 L	27/06	1 0 1 D
	H 0 1 L	27/118	1 0 1
	H 0 1 L	27/06	1 0 1 U
	H 0 1 L	21/02	B

株式会社村田製作所内

(72)発明者 播磨 史生
 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内

審査官 志津木 康

(56)参考文献 特開2019-220669(JP,A)
 特開2016-103635(JP,A)
 特開2015-211182(JP,A)
 米国特許第10515872(US,B1)
 国際公開第2005/096365(WO,A1)
 特開2020-031191(JP,A)
 特開2005-236259(JP,A)
 米国特許出願公開第2018/0233604(US,A1)
 特開2016-197618(JP,A)
 特開2016-197619(JP,A)
 特開2019-75536(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 21 / 3 3 1
 H 0 1 L 29 / 8 6 1
 H 0 1 L 21 / 3 2 9
 H 0 1 L 21 / 8 2 2 2
 H 0 1 L 27 / 1 1 8
 H 0 1 L 21 / 8 2 4 8
 H 0 1 L 21 / 0 2