

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6706570号
(P6706570)

(45) 発行日 令和2年6月10日(2020.6.10)

(24) 登録日 令和2年5月20日(2020.5.20)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	613Z
HO1L 21/336	(2006.01)	HO1L 29/78	618B
HO1L 21/8234	(2006.01)	HO1L 29/78	612Z
HO1L 27/088	(2006.01)	HO1L 29/78	619A
HO1L 27/06	(2006.01)	HO1L 27/088	A

請求項の数 13 (全 23 頁) 最終頁に続く

(21) 出願番号

特願2016-235981 (P2016-235981)

(22) 出願日

平成28年12月5日(2016.12.5)

(65) 公開番号

特開2018-93082 (P2018-93082A)

(43) 公開日

平成30年6月14日(2018.6.14)

審査請求日

平成31年4月10日(2019.4.10)

(73) 特許権者 514188173

株式会社 J O L E D

東京都千代田区神田錦町三丁目23番地

(74) 代理人 110001357

特許業務法人つばさ国際特許事務所

(72) 発明者 村井 淳人

東京都千代田区神田錦町三丁目23番地

株式会社 J O L E D 内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】半導体装置、半導体装置の製造方法および表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に多結晶シリコンを含む第1半導体層と、前記第1半導体層に対向する第1ゲート電極とをこの順に有する第1トランジスタと、

前記基板上に酸化物半導体を含む第2半導体層と、前記第2半導体層に対向する第2ゲート電極とをこの順に有する第2トランジスタと、

前記第1半導体層と前記第1ゲート電極との間に設けられるとともに、前記基板と前記第2半導体層との間に設けられた第1絶縁膜と、

前記基板と前記第2半導体層との間に設けられ、前記第1ゲート電極を覆う第2絶縁膜と、

前記第2半導体層と前記第2ゲート電極との間に設けられ、前記第2ゲート電極の平面形状と同じ平面形状を有する第3絶縁膜と、

前記基板に近い位置から、第1電極、第2電極および、前記第1電極に電気的に接続された第3電極をこの順に有する保持容量と

を備え、

前記第1電極、前記第2電極および前記第3電極は、平面視で互いに重なる部分を有し、

前記第1電極は、多結晶シリコンを含むとともに、前記第1半導体層と同一の厚みを有し、

10

20

前記第2電極は、前記第1ゲート電極と同一の構成材料からなるとともに、前記第1ゲート電極と同一の厚みを有し、

前記第3電極は、前記第2ゲート電極と同一の構成材料からなるとともに、前記第2ゲート電極と同一の厚みを有する

半導体装置。

【請求項2】

複数の前記第1トランジスタおよび複数の前記第2トランジスタを有する

請求項1記載の半導体装置。

【請求項3】

前記第2半導体層には、平面視で前記第2ゲート電極に重なるチャネル領域と、前記チャネル領域に隣接した低抵抗領域とが設けられている 10

請求項1記載の半導体装置。

【請求項4】

更に、前記第1トランジスタは、前記第1半導体層に電気的に接続された一対の第1ソース・ドレイン電極を有し、

前記一対の第1ソース・ドレイン電極と前記第2ゲート電極とは、同一の構成材料からなるとともに、同一の厚みを有している

請求項1記載の半導体装置。

【請求項5】

前記第2絶縁膜は、前記第1絶縁膜に近い位置から順に窒化シリコン(SiN)膜および酸化シリコン膜(SiO)を含む積層膜により構成されている 20

請求項1記載の半導体装置。

【請求項6】

前記第1電極と前記第2電極との間に前記第1絶縁膜が設けられ、

前記第2電極と前記第3電極との間に前記第2絶縁膜および前記第3絶縁膜が設けられている

請求項1記載の半導体装置。

【請求項7】

前記第1トランジスタおよび前記第2トランジスタはインバータを構成する

請求項1記載の半導体装置。 30

【請求項8】

前記第1半導体層はLTPS(Low-Temperature poly-silicon)により構成されている

請求項1記載の半導体装置。

【請求項9】

半導体装置と、前記半導体装置上に設けられるとともに、複数の画素を含む表示素子層とを備え、

前記半導体装置は、

基板と、

前記基板上に多結晶シリコンを含む第1半導体層と、前記第1半導体層に対向する第1ゲート電極とをこの順に有する第1トランジスタと、 40

前記基板上に酸化物半導体を含む第2半導体層と、前記第2半導体層に対向する第2ゲート電極とをこの順に有する第2トランジスタと、

前記第1半導体層と前記第1ゲート電極との間に設けられるとともに、前記基板と前記第2半導体層との間に設けられた第1絶縁膜と、

前記基板と前記第2半導体層との間に設けられ、前記第1ゲート電極を覆う第2絶縁膜と、

前記第2半導体層と前記第2ゲート電極との間に設けられ、前記第2ゲート電極の平面形状と同じ平面形状を有する第3絶縁膜と、

前記基板に近い位置から、第1電極、第2電極および、前記第1電極に電気的に接続された第3電極をこの順に有する保持容量と 50

を有し、

前記第1電極、前記第2電極および前記第3電極は、平面視で互いに重なる部分を有し

、前記第1電極は、多結晶シリコンを含むとともに、前記第1半導体層と同一の厚みを有し、

前記第2電極は、前記第1ゲート電極と同一の構成材料からなるとともに、前記第1ゲート電極と同一の厚みを有し、

前記第3電極は、前記第2ゲート電極と同一の構成材料からなるとともに、前記第2ゲート電極と同一の厚みを有する

表示装置。

10

【請求項10】

前記半導体装置には、前記複数の画素の画素回路が設けられ、

前記画素回路では、前記第1トランジスタが書き込みトランジスタとして機能するとともに、前記第2トランジスタが駆動トランジスタとして機能する

請求項9記載の表示装置。

【請求項11】

前記画素回路は、2つの前記第1トランジスタを有し、

前記第1トランジスタの一方が前記書き込みトランジスタとして機能し、前記第1トランジスタの他方がカットオフトランジスタとして機能する

請求項10記載の表示装置。

20

【請求項12】

前記半導体装置には、前記複数の画素の画素回路が設けられ、

前記画素回路では、前記第1トランジスタが駆動トランジスタとして機能するとともに、前記第2トランジスタが書き込みトランジスタとして機能する

請求項9記載の表示装置。

【請求項13】

基板上に、多結晶シリコンを含む第1半導体層と、前記第1半導体層に対向する第1ゲート電極とをこの順に設け、第1トランジスタを形成し、

前記基板上に、酸化物半導体を含む第2半導体層と、前記第2半導体層に対向する第2ゲート電極とをこの順に設け、第2トランジスタを形成し、

30

前記第2ゲート電極と同一工程で、前記第1半導体層に電気的に接続された第1ソース・ドレイン電極を形成し、

更に、保持容量を形成し、

前記保持容量は、

前記第1半導体層と同一工程で第1電極を形成し、

前記第1ゲート電極と同一工程で第2電極を形成し、

前記第1ソース・ドレイン電極と同一工程で、前記第1電極に電気的に接続して第3電極を形成する

半導体装置の製造方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本技術は、薄膜トランジスタ(TFT:Thin Film Transistor)を有する半導体装置とその製造方法、およびこの半導体装置を用いた表示装置に関する。

【背景技術】

【0002】

TFTを有する半導体装置は、例えば、表示装置等の駆動回路として用いられる(例えば、特許文献1)。

【先行技術文献】

【特許文献】

50

【0003】

【特許文献1】特開2010-161382号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

このような半導体装置では、複数のTFT間での特性のバラツキを抑えて特性を均一化するとともに、信頼性を向上させることが望まれている。

【0005】

特性を均一化するとともに、信頼性を向上させることが可能な半導体装置、半導体装置の製造方法、および表示装置を提供することが望ましい。

10

【課題を解決するための手段】

【0006】

本技術の一実施の形態に係る半導体装置は、基板と、基板上に多結晶シリコンを含む第1半導体層と、第1半導体層に対向する第1ゲート電極とをこの順に有する第1トランジスタと、基板上に酸化物半導体を含む第2半導体層と、第2半導体層に対向する第2ゲート電極とをこの順に有する第2トランジスタとを備えたものである。この半導体装置は、第1半導体層と第1ゲート電極との間に設けられるとともに、基板と第2半導体層との間に設けられた第1絶縁膜と、基板と第2半導体層との間に設けられ、第1ゲート電極を覆う第2絶縁膜と、第2半導体層と第2ゲート電極との間に設けられ、第2ゲート電極の平面形状と同じ平面形状を有する第3絶縁膜と、基板に近い位置から、第1電極、第2電極および、第1電極に電気的に接続された第3電極をこの順に有する保持容量とを備えている。第1電極、第2電極および第3電極は、平面視で互いに重なる部分を有している。第1電極は、多結晶シリコンを含むとともに、第1半導体層と同一の厚みを有している。第2電極は、第1ゲート電極と同一の構成材料からなるとともに、第1ゲート電極と同一の厚みを有している。第3電極は、第2ゲート電極と同一の構成材料からなるとともに、第2ゲート電極と同一の厚みを有している。

20

【0007】

本技術の一実施の形態に係る表示装置は、半導体装置と、半導体装置上に設けられるとともに、複数の画素を含む表示素子層とを備えている。この半導体装置は、基板と、基板上に多結晶シリコンを含む第1半導体層と、第1半導体層に対向する第1ゲート電極とをこの順に有する第1トランジスタと、基板上に酸化物半導体を含む第2半導体層と、第2半導体層に対向する第2ゲート電極とをこの順に有する第2トランジスタとを有している。この半導体装置は、さらに、第1半導体層と第1ゲート電極との間に設けられるとともに、基板と第2半導体層との間に設けられた第1絶縁膜と、基板と第2半導体層との間に設けられ、第1ゲート電極を覆う第2絶縁膜と、第2半導体層と第2ゲート電極との間に設けられ、第2ゲート電極の平面形状と同じ平面形状を有する第3絶縁膜と、基板に近い位置から、第1電極、第2電極および、第1電極に電気的に接続された第3電極をこの順に有する保持容量とを備えている。第1電極、第2電極および第3電極は、平面視で互いに重なる部分を有している。第1電極は、多結晶シリコンを含むとともに、第1半導体層と同一の厚みを有している。第2電極は、第1ゲート電極と同一の構成材料からなるとともに、第1ゲート電極と同一の厚みを有している。第3電極は、第2ゲート電極と同一の構成材料からなるとともに、第2ゲート電極と同一の厚みを有している。

30

【0008】

本技術の一実施の形態に係る半導体装置および表示装置では、第1トランジスタの第1半導体層は、多結晶シリコンを含み、第2トランジスタの第2半導体層は、酸化物半導体を含んでいる。これにより、全てのトランジスタの半導体層を多結晶シリコンにより構成する場合に比べて、特性のバラツキが抑えられる。また、全てのトランジスタの半導体層を酸化物半導体により構成する場合に比べて、特性の劣化を抑えられる。

40

【0009】

本技術の一実施の形態に係る半導体装置の製造方法は、基板上に、多結晶シリコンを含

50

む第1半導体層と、第1半導体層に対向する第1ゲート電極とをこの順に設け、第1トランジスタを形成し、基板上に、酸化物半導体を含む第2半導体層と、第2半導体層に対向する第2ゲート電極とをこの順に設け、第2トランジスタを形成するものである。この製造方法は、さらに、第2ゲート電極と同一工程で、第1半導体層に電気的に接続された第1ソース・ドレイン電極を形成し、更に、保持容量を形成するものである。この製造方法は、第1半導体層と同一工程で第1電極を形成し、第1ゲート電極と同一工程で第2電極を形成し、第1ソース・ドレイン電極と同一工程で、第1電極に電気的に接続して第3電極を形成することにより、保持容量を形成するものである。

【0010】

10

本技術の一実施の形態に係る半導体装置の製造方法では、第1トランジスタの第1半導体層は、多結晶シリコンを含むように形成し、第2トランジスタの第2半導体層は、酸化物半導体を含むように形成する。これにより、全てのトランジスタの半導体層を多結晶シリコンにより形成する場合に比べて、特性のバラツキが抑えられる。また、全てのトランジスタの半導体層を酸化物半導体により形成する場合に比べて、特性の劣化を抑えられる。

【発明の効果】

【0011】

本技術の一実施の形態に係る半導体装置、半導体装置の製造方法および表示装置によれば、第1トランジスタの第1半導体層は、多結晶シリコンを含み、第2トランジスタの第2半導体層は、酸化物半導体を含んでいる。よって、特性を均一化するとともに、信頼性を向上させることが可能となる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

20

【図面の簡単な説明】

【0012】

【図1】本技術の一実施の形態に係る表示装置の概略構成を表す断面模式図である。

【図2】図1に示した半導体装置の構成を表す断面図である。

【図3】図1に示した表示装置の画素回路の構成を表す図である。

【図4A】図2に示した第1トランジスタおよび第2トランジスタの製造方法の一工程を表す断面模式図である。

30

【図4B】図2に示した保持容量の製造方法の一工程を表す断面模式図である。

【図5A】図4Aに続く工程を表す断面模式図である。

【図5B】図4Bに続く工程を表す断面模式図である。

【図6A】図5Aに続く工程を表す断面模式図である。

【図6B】図5Bに続く工程を表す断面模式図である。

【図7A】図6Aに続く工程を表す断面模式図である。

【図7B】図6Bに続く工程を表す断面模式図である。

【図8A】図7Aに続く工程を表す断面模式図である。

【図8B】図7Bに続く工程を表す断面模式図である。

【図9A】図8Aに続く工程を表す断面模式図である。

40

【図9B】図8Bに続く工程を表す断面模式図である。

【図10A】図9Aに続く工程を表す断面模式図である。

【図10B】図9Bに続く工程を表す断面模式図である。

【図11】図9Aに続く工程の一例を表す断面模式図である。

【図12】変形例1に係る画素回路の構成を表す図である。

【図13】変形例2に係る画素回路の構成を表す図である。

【図14】変形例3に係る半導体装置の構成を表す断面図である。

【図15】図14に示した半導体装置の回路構成を表す図である。

【図16】表示装置の機能構成を表すプロック図である。

【図17】撮像装置の構成を表すプロック図である。

50

【図18】電子機器の構成を表すブロック図である。

【発明を実施するための形態】

【0013】

以下、本技術の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（画素回路に第1トランジスタおよび第2トランジスタを有する表示装置）

2. 変形例1（第1トランジスタを駆動トランジスタ、第2トランジスタを書き込みトランジスタに用いる例）

3. 変形例2（画素回路が3Tr1Cで構成される例）

10

4. 変形例3（インバータを有する例）

5. 表示装置の機能構成例

6. 撮像装置の例

7. 電子機器の例

【0014】

<実施の形態>

[構成]

図1は、本技術の一実施の形態に係る表示装置（表示装置1）の断面構成を模式的に表したものである。表示装置1は、例えば有機電界発光（EL：Electro-Luminescence）装置であり、半導体装置10上に表示素子層20を備えたものである。表示素子層20は、複数の画素を含んでおり、この複数の画素の画素回路が半導体装置10に設けられている。

20

【0015】

図2は、半導体装置10の構成を表している。半導体装置10は、基板11上に第1トランジスタTr1、第2トランジスタTr2および保持容量Csを有するものである。第1トランジスタTr1および第2トランジスタTr2は、例えば、nチャネルMOS型またはpチャネルMOS型のTFTである。

【0016】

第1トランジスタTr1は、基板11上に、UC（Under Coat）膜12を介して設けられた第1半導体層13と、第1絶縁膜14を介して、第1半導体層13に対向する第1ゲート電極15とをこの順に有している。即ち、第1トランジスタTr1は、トップゲート型のTFTである。第1ゲート電極15は、第2絶縁膜16に覆われている。第1半導体層13には、第1ソース・ドレイン電極19A、19Bが電気的に接続されている。

30

【0017】

第2トランジスタTr2は、第2絶縁膜16上に、第2半導体層17と、第3絶縁膜18を介して第2半導体層17に対向する第2ゲート電極19とをこの順に有している。即ち、第2トランジスタTr2は、トップゲート型のTFTである。第2ゲート電極19は、層間絶縁膜21に覆われている。第2半導体層17には、第2ソース・ドレイン電極22A、22Bが電気的に接続されている。

【0018】

40

保持容量Csは、UC膜12上に、第1電極13L、第2電極15Uおよび第3電極19Uをこの順に有しており、第3電極19Uは第1電極13Lに電気的に接続されている。これら第1電極13L、第2電極15Uおよび第3電極19Uは、平面視で互いに重なる部分を有している。即ち、保持容量Csは、電気的に接続された第1電極13Lと第3電極19Uとの間に、第2電極15Uが挟持されたスタック構造の容量素子である。第1電極13Lと第2電極15Uとの間には、第1絶縁膜14が設けられており、第2電極15Uと第3電極19Uとの間には、第2絶縁膜16および第3絶縁膜18が設けられている。第3電極19Uは、層間絶縁膜21に覆われている。

【0019】

基板11は、例えばガラス、石英、シリコン、樹脂材料または金属板等により構成され

50

ている。樹脂材料としては、例えばP E T (ポリエチレンテレフタレート) , P I (ポリイミド) , P C (ポリカーボネート) またはP E N (ポリエチレンナフタレート) などが挙げられる。

【0020】

U C 膜12は、基板11から、上層に例えばナトリウムイオン等の物質が移動するのを防ぐためのものであり、窒化シリコン(SiN)膜および酸化シリコン(SiO₂)膜等の絶縁材料により構成されている。複数の膜を積層してU C 膜12を構成するようにしてもよい。U C 膜12の厚みは、例えば300 nm程度である。例えば、基板11上に厚み150 nmの窒化シリコン膜および厚み150 nmの酸化シリコン膜をこの順に積層させてU C 膜12を構成するようにしてもよい。U C 膜12は、基板11全面にわたって設けられている。10

【0021】

(第1トランジスタTr1)

第1半導体層13は、U C 膜12上の選択的な領域に設けられている。第1半導体層13は、多結晶シリコン(Poly-silicon)により構成されており、低温多結晶シリコン(LT PS:Low-Temperature poly-silicon)により構成されていることが望ましい。第1半導体層13の厚みは例えば50 nmである。

【0022】

第1半導体層13には、平面視で第1ゲート電極15に重なるチャネル領域13aとチャネル領域13aに隣接した低抵抗領域13bとが設けられている。低抵抗領域13bは、チャネル領域13aの両側に設けられており、チャネル領域13aよりも低い電気抵抗を有している。低抵抗領域13bには、例えばリン(P)などのn型不純物がドーピングされている。20

【0023】

第1半導体層13と第1ゲート電極15との間の第1絶縁膜14は、第1トランジスタTr1のゲート絶縁膜として機能する。この第1絶縁膜14は、例えば基板11の全面にわたって設けられ、第1半導体層13を覆うとともに、U C 膜12上にも設けられている。第1絶縁膜14は、例えば厚み100 nm程度の酸化シリコン(SiO₂)膜により構成されている。

【0024】

第1ゲート電極15は、第1絶縁膜14上の、第1半導体層13に対向する位置に設けられている。第1ゲート電極15は、ゲート電圧が印加されることで第1半導体層13中の電子密度を制御する役割を有している。第1ゲート電極15は、例えば、モリブデン(Mo), タングステン(W), アルミニウム(Al), 銅(Cu), 銀(Ag)およびチタン(Ti)等の金属を含んで構成されている。第1ゲート電極15は、合金により構成されてもよく、複数の金属膜を含む積層膜により構成されていてもよい。第1ゲート電極15は、例えば厚み300 nm程度のタングステンおよびモリブデンの合金(MoW)により構成されている。30

【0025】

第2絶縁膜16は、例えば基板11の全面にわたって設けられており、第1ゲート電極15を覆うとともに、第1絶縁膜14上にも設けられている。この第2絶縁膜16は、第1ゲート電極15に起因した段差を覆って、平坦化する機能を有している。第2絶縁膜16は、基板11側から第2半導体層17への有害物質の侵入を防ぐ役割も担っており、これにより第2トランジスタTr2の信頼性を向上させることができる。第2絶縁膜16は、第1絶縁膜14に近い位置の窒化シリコン(SiN)膜と、この窒化シリコン膜を覆う酸化シリコン(SiO₂)膜との積層膜により構成することが好ましい。このとき、例えば窒化シリコン膜の厚みは150 nmであり、酸化シリコン膜の厚みは100 nmである。窒化シリコン膜は、カバレッジ(段差被覆性)に優れているので、窒化シリコン膜を含む第2絶縁膜16には第1ゲート電極15の段差に起因したクラック等が発生しにくい。また、窒化シリコン膜は水素(H)を含んでおり、この水素が、第2半導体層17中の欠4050

陥をターミネイト(終端)する。

【0026】

第2絶縁膜16と一対の第1ソース・ドレイン電極19A, 19B各々との間には、第3絶縁膜18が設けられている。第1ソース・ドレイン電極19A, 19Bは、第3絶縁膜18、第2絶縁膜16および第1絶縁膜14に設けられた接続孔(後述の図8Aの接続孔H1, H2)を介して第1半導体層13の低抵抗領域13bに電気的に接続されている。第1ソース・ドレイン電極19A, 19Bは、その下層の第3絶縁膜18と同一の平面形状を有している。第1ソース・ドレイン電極19A, 19Bは、例えば第1ゲート電極15の直上の領域を回避して設けられていることが好ましい。これにより、第1ゲート電極15と第1ソース・ドレイン電極19A, 19Bとの交差領域に形成される寄生容量を低減することができる。10

【0027】

第1ソース・ドレイン電極19A, 19Bは、例えば、モリブデン(Mo), タングステン(W), アルミニウム(Al), 銅(Cu), 銀(Ag)およびチタン(Ti)等の金属を含んで構成されている。第1ソース・ドレイン電極19A, 19Bは、合金により構成されてもよく、複数の金属膜を含む積層膜により構成されてもよい。第1ソース・ドレイン電極19A, 19Bは、例えば第3絶縁膜18上に、厚み50nm程度のチタン、厚み300nm程度のアルミニウムおよび厚み50nm程度のチタンをこの順に重ねた積層膜により構成されている。

【0028】

(第2トランジスタTr2)

第2半導体層17は、第2絶縁膜16上の選択的な領域に設けられている。第2半導体層17には、平面視で第2ゲート電極19に重なるチャネル領域17aと、このチャネル領域17aに隣接した低抵抗領域17bとが設けられている。

【0029】

第2半導体層17は、酸化物半導体を含んで構成されている。ここで、酸化物半導体とは、例えばインジウム(In), ガリウム(Ga), 亜鉛(Zn)およびスズ(Sn)等の元素と、酸素とを含む化合物である。第2半導体層17は、非晶質の酸化物半導体により構成されてもよく、結晶性の酸化物半導体により構成されてもよい。非晶質の酸化物半導体としては、酸化インジウムガリウム亜鉛(IGZO)が挙げられ、結晶性の酸化物半導体としては、酸化亜鉛(ZnO), 酸化インジウム亜鉛(IZO), 酸化インジウムガリウム(IGO), 酸化インジウムスズ(ITO)および酸化インジウム(InO)等が挙げられる。第2半導体層17の厚みは、例えば30nm程度である。30

【0030】

第2半導体層17の低抵抗領域17bは、チャネル領域17aよりも電気抵抗の低い領域であり、チャネル領域17aに隣接して、チャネル領域17aの両側に設けられている。例えば、第2半導体層17のうち、チャネル領域17a以外の部分が低抵抗領域17bとなっている。

【0031】

第2半導体層17と第2ゲート電極19との間の第3絶縁膜18は、第2トランジスタTr2のゲート絶縁膜として機能する。この第3絶縁膜18の平面形状は、第2ゲート電極19の平面形状と同じであり、第3絶縁膜18と第2ゲート電極19とは平面視で重なるように設けられている。即ち、第2トランジスタTr2は、セルファアライン(自己整合)型の素子構造を有している。第3絶縁膜18は、例えば、酸化シリコン(SiO₂)膜、窒化シリコン(SiN)膜および酸窒化シリコン(SiON)膜等を含む単層膜または積層膜により構成されている。第3絶縁膜18の厚みは、例えば200nm程度である。40

【0032】

第3絶縁膜18上の第2ゲート電極19は、第3絶縁膜18を間にて、第2半導体層17のチャネル領域17aに対向している。この第2ゲート電極19は、ゲート電圧が印加されることでチャネル領域17a中の電子密度を制御する役割を有している。後述する50

よう、この第2ゲート電極19は、第1トランジスタTr1の第1ソース・ドレイン電極19A, 19Bと同一工程で形成される。したがって、第2ゲート電極19は、第1ソース・ドレイン電極19A, 19Bと同一の構成材料からなり、第1ソース・ドレイン電極19A, 19Bと同一の厚みを有している。

【0033】

第2ゲート電極19および第1ソース・ドレイン電極19A, 19Bは、層間絶縁膜21により覆われている。層間絶縁膜21は、例えば感光性を有する材料により構成されている。具体的には、層間絶縁膜21は基板11に近い位置から、金属酸化膜(後述の図11の金属酸化膜23)、無機絶縁膜および有機樹脂膜を含む積層構造を有している。金属酸化膜としては、例えば、厚み20nmの酸化アルミニウム(Al_2O_3)膜を用いることができる。無機絶縁膜としては、例えば厚み200nmの酸化シリコン(SiO_2)膜を用いることができる。無機絶縁膜には、窒化シリコン(SiN)膜または酸窒化シリコン($SiON$)膜等を用いるようにしてもよく、これらを積層して用いるようにしてもよい。有機樹脂膜としては、感光性を有する樹脂膜を用いることができ、例えば厚み3000nmのポリイミド樹脂膜を用いることができる。有機樹脂膜には、ノボラック樹脂またはアクリル樹脂等を用いるようにしてもよい。層間絶縁膜21は、金属酸化膜と無機絶縁膜または有機樹脂膜との積層構造を有していてもよい。例えば、厚み500nmの酸化シリコン(SiO_2)膜と厚み20nmの酸化アルミニウム(Al_2O_3)膜とにより層間絶縁膜21を構成するようにしてもよく、あるいは厚み3000nmのポリイミド樹脂膜と厚み20nmの酸化アルミニウム(Al_2O_3)膜とにより層間絶縁膜21を構成するようにしてもよい。10

【0034】

一対の第2ソース・ドレイン電極22A, 22Bは、層間絶縁膜21上に設けられている。この第2ソース・ドレイン電極22A, 22Bは、層間絶縁膜21に設けられた接続孔を介して第2半導体層17の低抵抗領域17bに電気的に接続されている。第2ソース・ドレイン電極22A, 22Bは、例えば、モリブデン(Mo), タングステン(W), アルミニウム(Al), 銅(Cu), 銀(Ag)およびチタン(Ti)等の金属を含んで構成されている。第2ソース・ドレイン電極22A, 22Bは、合金により構成されてもよく、複数の金属膜を含む積層膜により構成されていてもよい。20 第2ソース・ドレイン電極22A, 22Bは、例えば第3絶縁膜18上に、厚み50nm程度のチタン、厚み300nm程度のアルミニウムおよび厚み50nm程度のチタンをこの順に重ねた積層膜により構成されている。

【0035】

(保持容量Cs)

第1電極13Lは、UC膜12上の選択的な領域に設けられている。この第1電極13Lは、後述するように、例えば第1トランジスタTr1の第1半導体層13と同一工程で形成されており、低抵抗化された多結晶シリコンを含んでいる。第1電極13Lは、例えばリン(P)などのn型不純物がドーピングされたLTPSにより構成されており、その厚みは50nm程度である。30

【0036】

第2電極15Uは、第1絶縁膜14を間に第1電極13Lに対向しており、第2電極15Uの少なくとも一部は、平面視で第1電極13Lに重なる位置に設けられている。即ち、この第2電極15Uと第1電極13Lとの間に電荷が蓄えられるようになっている。第2電極15Uは、後述するように、例えば第1トランジスタTr1の第1ゲート電極15と同一工程で形成されており、第1ゲート電極15と同一の構成材料からなり、第1ゲート電極15と同一の厚みを有している。40

【0037】

第3電極19Uは、第2絶縁膜16および第3絶縁膜18を間に第2電極15Uに対向しており、第3電極19Uの少なくとも一部は、平面視で第2電極15Uに重なる位置に設けられている。即ち、この第3電極19Uと第2電極15Uとの間にも電荷が蓄え50

られるようになっている。第3電極19Uは、層間絶縁膜21、第2絶縁膜16および第3絶縁膜18に設けられた接続孔を介して、第1電極13Lに電気的に接続されている。第3電極19Uは、後述するように、例えば第1トランジスタTr1の第1ソース・ドレイン電極19A, 19Bおよび第2トランジスタTr2の第2ゲート電極19と同一工程で形成されており、第1ソース・ドレイン電極19A, 19B（および第2ゲート電極19）と同一の構成材料からなり、第1ソース・ドレイン電極19A, 19B（および第2ゲート電極19）と同一の厚みを有している。第3電極19Uは、層間絶縁膜21により覆われている。

【0038】

（表示素子層20）

10

表示素子層20は、複数の画素を含むと共に、第1トランジスタTr1, 第2トランジスタTr2により表示駆動される表示素子を含んでいる。表示素子としては、例えば有機EL素子などが挙げられる。有機EL素子は、半導体装置10側から順に、例えばアノード電極、有機電界発光層およびカソード電極を有する。

【0039】

（画素回路）

図3は、表示装置1の画素回路の一例を表したものである。この画素回路は、2Tr1Cの回路構成であり、例えば、第1トランジスタTr1が書き込みトランジスタWsTrとして機能し、第2トランジスタTr2が駆動トランジスタDsTrとして機能する。保持容量Csは、駆動トランジスタDsTrのゲート電極およびソース電極間に所定の電圧を保持するようになっている。表示装置1では、画素毎にこのような画素回路が設けられている。即ち、半導体装置10には、複数の第1トランジスタTr1、複数の第2トランジスタTr2および複数の保持容量Csが設けられている。

20

【0040】

書き込みトランジスタWsTrのゲート電極は、例えば走査線に接続されている。書き込みトランジスタWsTrのソース電極およびドレイン電極のうちの一方の電極が、例えば信号線に接続され、他方の電極が、駆動トランジスタDsTrのゲート電極に接続されている。例えば、第1トランジスタTr1の第1ソース・ドレイン電極19A, 19Bは、導電膜22C, 22Dを介して、信号線および第2トランジスタTr2の第2ゲート電極19に電気的に接続されている。導電膜22C, 22Dは、例えば、第2トランジスタTr2の第2ソース・ドレイン電極22A, 22Bと同一工程で形成される。

30

【0041】

駆動トランジスタDsTrのソース電極およびドレイン電極のうちの一方の電極が、例えば電源線に接続され、他方の電極が例えば有機EL素子のアノードに接続されている。保持容量Csは、駆動トランジスタDsTrのゲート電極とソース電極（有機EL素子側の電極）との間に挿入されている。例えば、保持容量Csの第3電極19Uは、第2トランジスタTr2の第2ゲート電極19に電気的に接続され、第2電極15Uは、導電膜19E, 22Eを介して有機EL素子のアノード（第2トランジスタTr2の第2ソース・ドレイン電極22A, 22Bのどちらか一方）に電気的に接続されている。例えば、導電膜19Eは、第1トランジスタTr1の第1ソース・ドレイン電極19A, 19Bと同一工程で形成され、導電膜22Eは、第2トランジスタTr2の第2ソース・ドレイン電極22A, 22Bと同一工程で形成される。

40

【0042】

書き込みトランジスタWsTrは、駆動トランジスタDsTrのゲート電極に対する、映像信号（信号電圧）の印加を制御するものである。具体的には、書き込みトランジスタWsTrは、走査線への印加電圧に応じて信号線の電圧（信号電圧）をサンプリングするとともに、その信号電圧を駆動トランジスタDsTrのゲート電極に書きこむものである。

【0043】

駆動トランジスタDsTrは、例えば有機EL素子等の表示素子各々に直列に接続され

50

ており、書き込みトランジスタW s T rによってサンプリングされた信号電圧の大きさに応じて表示素子のそれぞれに流れる電流を制御するものである。

【0044】

[製造方法]

上記のような表示装置1は、例えば次のようにして製造することができる。図4A～図10Bは、表示装置1の製造プロセスを工程順に表したものである。なお、以下の説明では、熱プロセス等の記載は省略する。

【0045】

まず、基板11上にUC膜12を成膜した後、UC膜12上の選択的な領域に第1半導体層13および第1電極13Lを同一工程で形成する(図4A, 4B)。具体的には、以下のようにして第1半導体層13および第1電極13Lを形成する。UC膜12を成膜した後、厚み50nm程度のアモルファスシリコン(a-Si:H)を成膜する。次いで、脱水素処理を行った後、例えばレーザアニールによりアモルファスシリコンの多結晶化を行う。この後、例えば多結晶シリコンをフォトリソグラフィおよびエッチングにより加工する。第1電極13Lを構成する多結晶シリコンには、例えば不純物としてリンをドープする。これにより、第1半導体層13および第1電極13Lが形成される。

10

【0046】

続いて、第1絶縁膜14を形成し、この第1絶縁膜14上に、第1ゲート電極15および第2電極15Uを同一工程で形成する(図5A, 5B)。具体的には、以下のようにして第1ゲート電極15および第2電極15Uを形成する。まず、基板11の全面に例えばCVD(Chemical Vapor Deposition; 化学気相成長)法を用いて厚み100nm程度の酸化シリコン膜を成膜し、第1絶縁膜14を形成する。このとき、原料ガスとして、例えばTEOS(Tetraethyl orthosilicate)等を用いる。次いで、第1絶縁膜14上に、例えば厚み300nmのMoW(モリブデンおよびタンクステンの合金)を成膜する。この後、MoWをフォトリソグラフィおよびエッチングにより加工する。エッチングは、例えば、CF₄/O₂系のガスを用いたドライエッチングを行う。これにより、第1ゲート電極15および第2電極15Uが形成される。第1ゲート電極15を形成した後、平面視で第1ゲート電極15に重ならない部分の第1半導体層13を低抵抗化して、低抵抗領域13bを形成する。低抵抗領域13bは、例えば第1半導体層13に不純物としてリンをドープすることにより形成する。

20

【0047】

第1ゲート電極15および第2電極15Uを形成した後、図6A, 6Bに示したように、第1ゲート電極15および第2電極15Uを覆うようにして、基板11の全面に第2絶縁膜16を形成する。第2絶縁膜16は、例えば厚み150nm程度の窒化シリコン膜と、厚み150nm程度の酸化シリコン膜とをこの順に、例えばCVD法を用いて成膜することにより形成する。窒化シリコン膜の成膜には、例えばSiH₄をプロセスガスとして用いる。

30

【0048】

第2絶縁膜16を形成した後、第2半導体層17および第3絶縁膜18をこの順に形成する(図7A, 7B)。具体的には、まず、第2絶縁膜16上に、例えばスパッタリング法を用いて酸化物半導体膜を成膜する。次いで、この酸化物半導体膜をフォトリソグラフィおよびエッチングにより加工する。これにより、第2絶縁膜16上の選択的な領域に第2半導体層17が形成される。続いて、この第2半導体層17を覆うようにして、基板11の全面に例えばCVD法を用いて厚み200nm程度の酸化シリコン膜を成膜する。これにより、第3絶縁膜18が形成される。

40

【0049】

続いて、図8A, 8Bに示したように、第1半導体層13の低抵抗領域13bに達する接続孔H1, H2、第1電極13Lに達する接続孔H3および第2電極15Uに達する接続孔H4を形成する。接続孔H1, H2, H3, H4は、例えばフォトリソグラフィおよびエッチングにより形成する。エッチングは、例えばCF₄系のガスを用いたドライエッ

50

チッグを行う。

【0050】

接続孔 H 1 , H 2 , H 3 , H 4 を形成した後、接続孔 H 1 , H 2 を埋める第 1 ソース・ドレイン電極 19 A , 19 B 、第 2 ゲート電極 19 、接続孔 H 3 を埋める第 3 電極 19 U および接続孔 H 4 を埋める導電膜 19 E を同一工程で形成する(図 9 A , 9 B)。具体的には、以下のようにして、第 1 ソース・ドレイン電極 19 A , 19 B 、第 2 ゲート電極 19 、第 3 電極 19 U および導電膜 19 E を形成する。まず、第 3 絶縁膜 18 上に、例えばチタン、アルミニウムおよびチタンをこの順にスパッタリング法を用いて成膜し、金属の積層膜を形成する。次いで、この積層膜を例えばフォトリソグラフィおよびエッチングにより加工することにより、所望の形状の第 1 ソース・ドレイン電極 19 A , 19 B 、第 2 ゲート電極 19 、第 3 電極 19 U および導電膜 19 E が形成される。エッチングは、例えば C I 系のガスを用いたドライエッチングを行う。10

【0051】

続いて、図 10 A に示したように、第 2 ゲート電極 19 のパターンをマスクに用い、第 3 絶縁膜 18 をパターニングする。第 3 絶縁膜 18 のパターニングは、例えば C F₄ 系のガスを用いたドライエッチングにより行う。このようなドライエッチングを施すことにより、第 3 絶縁膜 18 から露出された第 2 半導体層 17 の領域がダメージを受けて低抵抗化される。これにより、第 2 半導体層 17 に低抵抗領域 17 b が形成される。このとき、第 1 ソース・ドレイン電極 19 A , 19 B 、第 3 電極 19 U および導電膜 19 E それぞれのパターンをマスクとしたパターニングも施される(図 10 B)。20

【0052】

第 2 半導体層 17 に低抵抗領域 17 b を形成した後、図 11 に示したように、例えば金属酸化膜 23 を低抵抗領域 17 b に接するように形成することが好ましい。金属酸化膜 23 は、例えば、厚み 20 nm 程度の酸化アルミニウム(Al₂O₃)膜等を、スパッタリング法を用いて形成する。このような金属酸化膜 23 を形成することにより、低抵抗領域 17 b の電気抵抗を安定化することができる。

【0053】

第 3 絶縁膜 18 をパターニングした後、基板 11 の全面に感光性を有する材料を成膜し、層間絶縁膜 21 を形成する。次いで、この層間絶縁膜 21 に、第 1 ソース・ドレイン電極 19 A , 19 B に達する接続孔、第 2 半導体層 17 の低抵抗領域 17 b に達する接続孔および導電膜 19 E に達する接続孔を形成する。金属酸化膜 23 を形成した時は、上層の層間絶縁膜 21 のパターンをマスクとし、例えばドライエッチングを用いて、第 2 半導体層 17 の低抵抗領域 17 b に達する接続孔を金属酸化膜 23 にも形成する。ドライエッチングに代えて、アルカリ系のエッチャントを用いたウェットエッチングを行うようにしてもよい。30

【0054】

第 1 ソース・ドレイン電極 19 A , 19 B 、第 2 半導体層 17 および導電膜 19 E それぞれに達する接続孔を形成した後、導電膜 22 C , 22 D 、第 2 ソース・ドレイン電極 22 A , 22 B および導電膜 22 E を同一工程で形成する。導電膜 22 C , 22 D は、第 1 ソース・ドレイン電極 19 A , 19 B に達する接続孔を埋めるように形成し、第 2 ソース・ドレイン電極 22 A , 22 B は、第 2 半導体層 17 の低抵抗領域 17 b に達する接続孔を埋めるように形成し、導電膜 22 E は導電膜 19 E に達する接続孔を埋めるように形成する。具体的には、以下のようにして、導電膜 22 C , 22 D 、第 2 ソース・ドレイン電極 22 A , 22 B 、および導電膜 22 E を形成する。まず、層間絶縁膜 21 上に、例えばチタン、アルミニウムおよびチタンをこの順にスパッタリング法を用いて成膜し、金属の積層膜を形成する。次いで、この積層膜を例えばフォトリソグラフィおよびエッチングにより加工することにより、所望の形状の導電膜 22 C , 22 D 、第 2 ソース・ドレイン電極 22 A , 22 B 、および導電膜 22 E が形成される。エッチングは、例えば C I 系のガスを用いたドライエッチングを行う。40

【0055】

このようにして、図2に示した半導体装置10を形成した後、この半導体装置10上に、例えば、アノード電極、有機電界発光層およびカソード電極をこの順に形成して表示素子層20を形成する。これにより、図1に示した表示装置1が完成する。

【0056】

[作用、効果]

この表示装置1では、各画素の書き込みトランジスタWsTr(第1トランジスタTr1)へ選択パルスが供給されることで、画素が選択される。この選択された画素に映像信号に応じた信号電圧が供給され、保持容量Csに保持される。この保持容量Csに保持された信号に応じて駆動トランジスタDsTr(第2トランジスタTr2)がオンオフ制御され、各表示素子に駆動電流が注入される。これにより、表示素子層20が発光し、各画素から色光が取り出される。これらの色光の加法混色により、カラーの映像表示がなされる。10

【0057】

本実施の形態の半導体装置10では、第1トランジスタTr1の第1半導体層13が多結晶シリコンにより構成され、第2トランジスタTr2の第2半導体層17が酸化物半導体により構成されている。これにより、特性を均一化するとともに、信頼性を向上させることが可能となる。以下、これについて説明する。

【0058】

例えば、半導体装置の全てのトランジスタの半導体層を、多結晶シリコンにより構成する場合、結晶粒界が存在し、その粒界状態が一定でないために、複数のトランジスタ間で、特性の不均一化が生じやすい。20

【0059】

一方、半導体装置の全てのトランジスタとして、セルファーライン構造のトップゲート型トランジスタを採用し、これらのトランジスタの半導体層を、酸化物半導体により構成する場合、特性の均一性を向上させることは可能となる。しかし、酸化物半導体は、水分および水素等の影響を受けて劣化するおそれがある。このため、信頼性を維持することが困難となる。また、保持容量の一方の電極を、トランジスタの半導体層と同一工程で形成するとき、保持容量の酸化物半導体を低抵抗化しにくく、プロセスが煩雑になる。

【0060】

半導体層を酸化物半導体により構成した、ボトムゲート型のトランジスタを用いることも考え得るが、この場合には寄生容量が大きくなりやすい。このため、保持容量を形成するための領域が大きくなる。加えて、トップゲート型トランジスタと同様に信頼性の問題が生じる。30

【0061】

これに対し、半導体装置10では、第1トランジスタTr1の第1半導体層13に多結晶シリコン、第2トランジスタTr2の第2半導体層17に酸化物半導体をそれぞれ用いている。これにより、全てのトランジスタの半導体層を多結晶シリコンにより構成する場合に比べて、特性のバラツキが抑えられ、また、全てのトランジスタの半導体層を酸化物半導体により構成する場合に比べて、特性の劣化が抑えられる。

【0062】

更に、第2トランジスタTr2は、セルファーライン構造のトップゲート型トランジスタであるので、寄生容量を低減でき、保持容量の形成に必要な領域を小さくすることができる。即ち、高精細化することが可能となる。また、第2半導体層17の下層の第2絶縁膜16は、その材料および厚み等を調整することにより、第2半導体層17中の欠陥をターミネイトする膜としても機能させることができる。したがって、第2トランジスタTr2の信頼性を向上させることができる。40

【0063】

以上説明したように本実施の形態では、第1トランジスタTr1の第1半導体層13に多結晶シリコンを用い、第2トランジスタTr2の第2半導体層17に酸化物半導体を用いるようにしたので、特性を均一化するとともに、信頼性を向上させることができるとなる50

。

【 0 0 6 4 】

表示装置 1 では、素子間の均一性の高い第 2 トランジスタ Tr 2 を駆動トランジスタ Ds Tr として用いるようにしたので、表示均一性を向上させることができる。

【 0 0 6 5 】

また、半導体装置 10 の保持容量 Cs は、スタック構造を有する容量素子であるので、小さい面積で、より大きな容量を保持することができる。

【 0 0 6 6 】

更に、第 1 トランジスタ Tr 1 の第 1 ソース・ドレイン電極 19A, 19B と第 2 トランジスタ Tr 2 の第 2 ゲート電極 19 とは同一工程で形成することが可能である。また、第 1 トランジスタ Tr 1 の第 1 ゲート電極 15 を覆う第 2 絶縁膜 16 は、第 2 トランジスタ Tr 2 の第 2 半導体層 17 の下層に設けられ、UC 膜としても機能する。更に、保持容量 Cs の第 1 電極 13L は第 1 トランジスタ Tr 1 の第 1 半導体層 13 と、第 2 電極 15U は第 1 トランジスタ Tr 1 の第 1 ゲート電極 15 と、第 3 電極 19U は、第 1 ソース・ドレイン電極 19A, 19B (および第 2 トランジスタ Tr 2 の第 2 ゲート電極 19) と、それぞれ同一工程で形成することが可能である。このように、半導体装置 10 は、フォトリソグラフィ工程の増加を抑えて、簡便な製造を行うことができる。10

【 0 0 6 7 】

また、第 2 トランジスタ Tr 2 を駆動トランジスタ Ds Tr として用い、書き込みトランジスタ Ws Tr は別のトランジスタ (第 1 トランジスタ Tr 1) を用いて構成すればよいので、第 2 トランジスタ Tr 2 の信頼性を向上させることができる。以下、これについて説明する。酸化物半導体を用いたトランジスタでは、チャネル長等により酸化物半導体のキャリア密度が異なるため、伝達特性および電気的信頼性等が変化しやすい。しかし、駆動トランジスタ Ds Tr のみを第 2 トランジスタ Tr 2 により構成するときには、ある固定されたチャネル長のみ採用することが可能となる。つまり、所望の伝達特性および電気的信頼性を実現し得るチャネル長を決定し、この固定されたチャネル長に特化したプロセス条件を採用する。したがって、第 2 トランジスタ Tr 2 の信頼性を向上させることができる。20

【 0 0 6 8 】

以下、本実施の形態の変形例について説明するが、以降の説明において上記実施の形態と同一構成部分については同一符号を付してその説明は適宜省略する。30

【 0 0 6 9 】

< 变形例 1 >

図 12 は、上記実施の形態の変形例 1 に係る画素回路の構成を表したものである。このように、第 1 トランジスタ Tr 1 が駆動トランジスタ Ds Tr として機能し、第 2 トランジスタ Tr 2 が書き込みトランジスタ Ws Tr として機能するようにしてもよい。この画素回路では、信頼性の高い第 1 トランジスタ Tr 1 を駆動トランジスタ Ds Tr に用いているので、表示装置 1 の信頼性を向上させることができる。

【 0 0 7 0 】

< 变形例 2 >

図 13 は、上記実施の形態の変形例 2 に係る画素回路の構成を表したものである。このように、画素回路が 3Tr 1C の回路構成を有していてもよい。この画素回路は、書き込みトランジスタ Ws Tr および駆動トランジスタ Ds Tr に加えて、例えばカットオフトランジスタ Co Tr を有している。カットオフトランジスタ Co Tr は、第 1 トランジスタ Tr 1 により構成するようにしてもよく、第 2 トランジスタ Tr 2 により構成するようにしてもよい。

【 0 0 7 1 】

カットオフトランジスタ Co Tr は、例えば駆動トランジスタ Ds Tr のソース電極 (アノード電位) をある電位にリセットするように構成されている。カットオフトランジスタ Co Tr のゲート電極は、例えば制御線に接続されている。カットオフトランジスタ C40

50

○ T r のソース電極およびドレイン電極の一方は駆動トランジスタ D s T r のソース電極に接続されており、他方は電源線（リセット電位）に接続されている。

【 0 0 7 2 】

<変形例3>

図14は、上記実施の形態の変形例3に係る半導体装置（半導体装置10A）の要部の断面構成を表したものである。図15は、この半導体装置10Aの回路構成を表している。このように、第1トランジスタT r 1および第2トランジスタT r 2を用いてインバータを構成するようにしてもよい。この点を除き、半導体装置10Aは上記実施の形態の半導体装置10と同様の構成を有し、その作用および効果も同様である。
10

【 0 0 7 3 】

例えば、この半導体装置10Aでは第1トランジスタT r 1がpチャネル、第2トランジスタT r 2がnチャネルとなるように構成されており、導電膜22Dを介して第1ソース・ドレイン電極19Bと第2ソース・ドレイン電極22Aとが電気的に接続されている。

【 0 0 7 4 】

<機能構成例>

図16は、上記実施の形態等において説明した表示装置1の機能ブロック構成を表すものである。
20

【 0 0 7 5 】

表示装置1は、外部から入力された映像信号あるいは内部で生成した映像信号を、映像として表示するものであり、上述した有機ELディスプレイの他にも、例えば液晶ディスプレイなどにも適用される。表示装置1は、例えばタイミング制御部41と、信号処理部42と、駆動部43と、表示画素部44とを備えている。

【 0 0 7 6 】

タイミング制御部41は、各種のタイミング信号（制御信号）を生成するタイミングジェネレータを有しており、これらの各種のタイミング信号を基に、信号処理部42等の駆動制御を行うものである。信号処理部42は、例えば、外部から入力されたデジタルの映像信号に対して所定の補正を行い、それにより得られた映像信号を駆動部43に出力するものである。駆動部43は、例えば走査線駆動回路および信号線駆動回路などを含んで構成され、各種制御線を介して表示画素部44の各画素を駆動するものである。表示画素部44は、例えば有機EL素子または液晶表示素子等の表示素子（上述の表示素子層20）と、表示素子を画素毎に駆動するための画素回路とを含んで構成されている。これらのうち、例えば、駆動部43または表示画素部44の一部を構成する各種回路に、上述の半導体装置10, 10Aが用いられる。
30

【 0 0 7 7 】

<表示装置以外の適用例>

上記実施の形態等では、半導体装置10, 10Aの適用例として表示装置1を例に挙げて説明したが、半導体装置10, 10Aは、表示装置1の他にも、図17に示したような撮像装置（撮像装置2）に用いられてもよい。
40

【 0 0 7 8 】

撮像装置2は、例えば画像を電気信号として取得する固体撮像装置であり、例えばCCD(Charge Coupled Device)またはCMOS(Complementary Metal Oxide Semiconductor)イメージセンサなどから構成されている。撮像装置2は、例えばタイミング制御部45と、駆動部46と、撮像画素部47と、信号処理部48とを備えている。

【 0 0 7 9 】

タイミング制御部45は、各種のタイミング信号（制御信号）を生成するタイミングジェネレータを有しており、これらの各種のタイミング信号を基に、駆動部46の駆動制御
50

を行うものである。駆動部 4 6 は、例えば行選択回路、A D 変換回路および水平転送走査回路などを含んで構成され、各種制御線を介して撮像画素部 4 7 の各画素から信号を読み出す駆動を行うものである。撮像画素部 4 7 は、例えばフォトダイオードなどの撮像画素子（光電変換画素子）と、信号読み出しのための画素回路とを含んで構成されている。信号処理部 4 8 は、撮像画素部 4 7 から得られた信号に対して様々な信号処理を施すものである。これらのうち、例えば、駆動部 4 6 または撮像画素部 4 7 の一部を構成する各種回路に、上述の半導体装置 1 0 , 1 0 A が用いられる。

【 0 0 8 0 】

<電子機器の例 >

上記実施の形態等において説明した表示装置 1 (または撮像装置 2) は、様々なタイプの電子機器に用いることができる。図 1 8 に、電子機器 3 の機能ブロック構成を示す。電子機器 3 としては、例えばテレビジョン装置、パーソナルコンピュータ (P C) 、スマートフォン、タブレット型 P C 、携帯電話機、デジタルスチルカメラおよびデジタルビデオカメラ等が挙げられる。

【 0 0 8 1 】

電子機器 3 は、例えば上述の表示装置 1 (または撮像装置 2) と、インターフェース部 3 0 とを有している。インターフェース部 3 0 は、外部から各種の信号および電源等が入力される入力部である。このインターフェース部 3 0 は、また、例えばタッチパネル、キーボードまたは操作ボタン等のユーザインターフェースを含んでいてもよい。

【 0 0 8 2 】

以上、実施の形態等を挙げて説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態等に記載した各層の材料、厚み、または成膜方法および成膜条件等は列挙したものに限定されるものではなく、他の材料、厚みまたは成膜方法および成膜条件としてもよい。

【 0 0 8 3 】

また、図 2 では、導電膜 2 2 C , 2 2 D , 2 2 E を設ける場合を図示したが、導電膜 2 2 C , 2 2 D , 2 2 E は必要に応じて設けるようにすればよい。例えば、第 2 ソース・ドレイン電極 2 2 A , 2 2 B を形成する工程で、第 1 ソース・ドレイン電極 1 9 A , 1 9 B および導電膜 1 9 E がエッチングされないのであれば、導電膜 2 2 C , 2 2 D , 2 2 E は省略するようにしてもよい。

【 0 0 8 4 】

上記実施の形態等において説明した効果は一例であり、本開示の効果は、他の効果であってもよいし、更に他の効果を含んでいてもよい。

【 0 0 8 5 】

尚、本技術は以下のよう構成を取ることも可能である。

(1)

基板と、

前記基板上に多結晶シリコンを含む第 1 半導体層と、前記第 1 半導体層に対向する第 1 ゲート電極とをこの順に有する第 1 パー

トランジスタと、前記基板上に酸化物半導体を含む第 2 半導体層と、前記第 2 半導体層に対向する第 2 ゲート電極とをこの順に有する第 2 パー

トランジスタとを備えた半導体装置。

(2)

複数の前記第 1 パー

トランジスタおよび複数の前記第 2 パー

トランジスタを有する

前記(1)記載の半導体装置。

(3)

前記第 2 半導体層には、平面視で前記第 2 ゲート電極に重なるチャネル領域と、前記チャネル領域に隣接した低抵抗領域とが設けられている

前記(1)または(2)記載の半導体装置。

(4)

10

20

30

40

50

更に、前記第1トランジスタは、前記第1半導体層に電気的に接続された一対の第1ソース・ドレイン電極を有し、

前記一対の第1ソース・ドレイン電極と前記第2ゲート電極とは、同一の構成材料からなるとともに、同一の厚みを有している

前記(1)乃至(3)のうちいずれか1つに記載の半導体装置。

(5)

更に、前記第1半導体層と前記第1ゲート電極との間の第1絶縁膜と、

前記第1ゲート電極を覆う第2絶縁膜とを有し、

前記基板と前記第2半導体層との間に、前記第1絶縁膜および前記第2絶縁膜が設けられている

10

前記(1)乃至(4)のうちいずれか1つに記載の半導体装置。

(6)

更に、前記第2半導体層と前記第2ゲート電極との間の第3絶縁膜を有する

前記(5)記載の半導体装置。

(7)

前記第3絶縁膜の平面形状は、前記第2ゲート電極の平面形状と同じである

前記(6)記載の半導体装置。

(8)

前記第2絶縁膜は、前記第1絶縁膜に近い位置から順に窒化シリコン(SiN)膜および酸化シリコン膜(SiO)を含む積層膜により構成されている

20

前記(7)記載の半導体装置。

(9)

更に、前記基板に近い位置から、第1電極、第2電極および、前記第1電極に電気的に接続された第3電極をこの順に有する保持容量を含み、

前記第1電極、前記第2電極および前記第3電極は、平面視で互いに重なる部分を有する

前記(7)または(8)に記載の半導体装置。

(10)

前記第1電極は、多結晶シリコンを含むとともに、前記第1半導体層と同一の厚みを有し、

30

前記第2電極は、前記第1ゲート電極と同一の構成材料からなるとともに、前記第1ゲート電極と同一の厚みを有し、

前記第3電極は、前記第2ゲート電極と同一の構成材料からなるとともに、前記第2ゲート電極と同一の厚みを有している

前記(9)記載の半導体装置。

(11)

前記第1電極と前記第2電極との間に前記第1絶縁膜が設けられ、

前記第2電極と前記第3電極との間に前記第2絶縁膜および前記第3絶縁膜が設けられている

前記(10)記載の半導体装置。

40

(12)

前記第1トランジスタおよび前記第2トランジスタはインバータを構成する

前記(1)乃至(11)のうちいずれか1つに記載の半導体装置。

(13)

前記第1半導体層はLTPS(Low-Temperature poly-silicon)により構成されている

前記(1)乃至(3)のうちいずれか1つに記載の半導体装置。

(14)

半導体装置と、前記半導体装置上に設けられるとともに、複数の画素を含む表示素子層とを備え、

前記半導体装置は、

50

基板と、

前記基板上に多結晶シリコンを含む第1半導体層と、前記第1半導体層に対向する第1ゲート電極とをこの順に有する第1トランジスタと、

前記基板上に酸化物半導体を含む第2半導体層と、前記第2半導体層に対向する第2ゲート電極とをこの順に有する第2トランジスタとを含む表示装置。

(15)

前記半導体装置には、前記複数の画素の画素回路が設けられ、

前記画素回路では、前記第1トランジスタが書き込みトランジスタとして機能するとともに、前記第2トランジスタが駆動トランジスタとして機能する

10

前記(14)記載の表示装置。

(16)

前記画素回路は、2つの前記第1トランジスタを有し、

前記第1トランジスタの一方が前記書き込みトランジスタとして機能し、前記第1トランジスタの他方がカットオフトランジスタとして機能する

前記(15)記載の表示装置。

(17)

前記半導体装置には、前記複数の画素の画素回路が設けられ、

前記画素回路では、前記第1トランジスタが駆動トランジスタとして機能するとともに、前記第2トランジスタが書き込みトランジスタとして機能する

20

前記(14)記載の表示装置。

(18)

基板上に、多結晶シリコンを含む第1半導体層と、前記第1半導体層に対向する第1ゲート電極とをこの順に設け、第1トランジスタを形成し、

前記基板上に、酸化物半導体を含む第2半導体層と、前記第2半導体層に対向する第2ゲート電極とをこの順に設け、第2トランジスタを形成する

半導体装置の製造方法。

(19)

更に、前記第2ゲート電極と同一工程で、前記第1半導体層に電気的に接続された第1ソース・ドレイン電極を形成する

30

前記(18)記載の半導体装置の製造方法。

(20)

更に、保持容量を形成し、

前記保持容量は、

前記第1半導体層と同一工程で第1電極を形成し、

前記第1ゲート電極と同一工程で第2電極を形成し、

前記第1ソース・ドレイン電極と同一工程で、前記第1電極に電気的に接続して第3電極を形成する

前記(19)記載の半導体装置の製造方法。

【符号の説明】

40

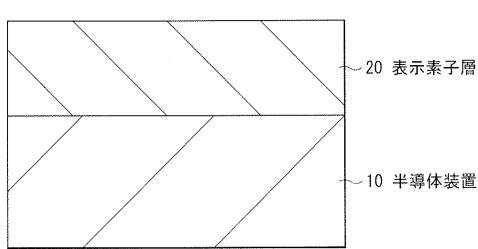
【0086】

1...表示装置、10, 10A...半導体装置、Tr1...第1トランジスタ、Tr2...第2トランジスタ、DsTr...駆動トランジスタ、WsTr...書き込みトランジスタ、CoTr...カットオフトランジスタ、Cs...保持容量、11...基板、12...UC膜、13...第1半導体層、13L...第1電極、13a, 17a...チャネル領域、13b, 17b...低抵抗領域、14...第1絶縁膜、15...第1ゲート電極、15U...第2電極、16...第2絶縁膜、17...第2半導体層、18...第3絶縁膜、19A, 19B...第1ソース・ドレイン電極、19U...第3電極、20...表示素子層、21...層間絶縁膜、22A, 22B...第2ソース・ドレイン電極、22C, 22D, 22E...導電膜、22...金属酸化膜、2...撮像装置、3...電子機器、41, 45...タイミング制御部、42, 48...信号処理部、43, 46

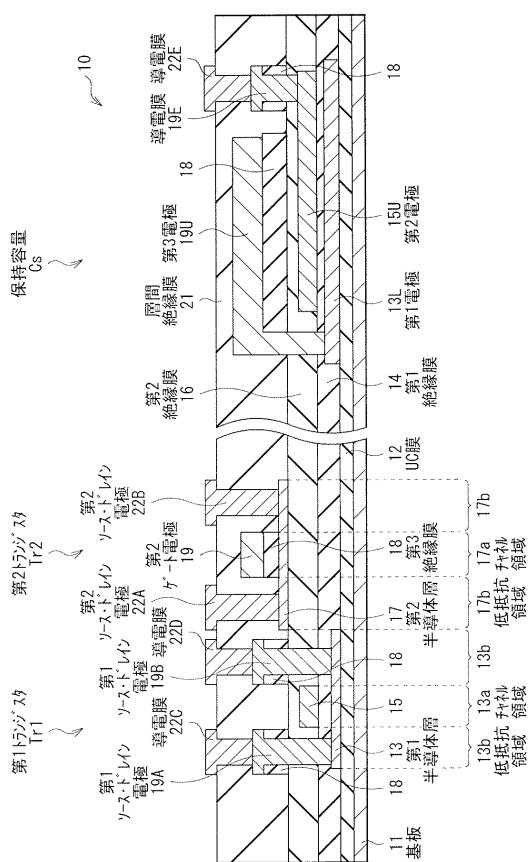
50

…駆動部、44…表示画素部、47…撮像画素部、30…インターフェース部、H1,H2,H3,H4…接続孔。

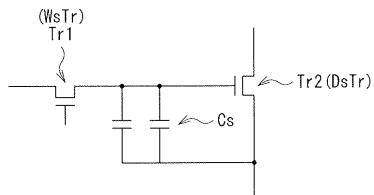
【図1】



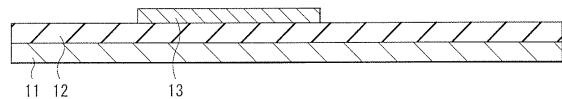
【 図 2 】



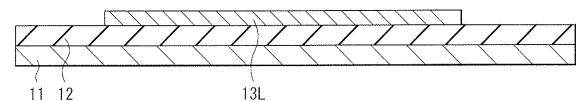
【図3】



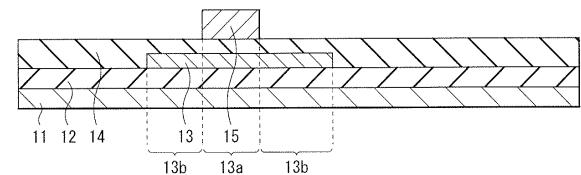
【図4 A】



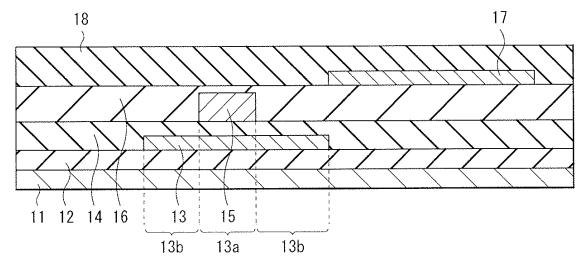
【図4 B】



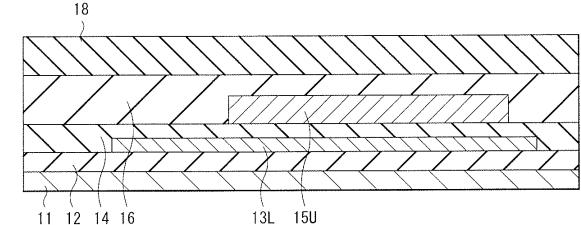
【図5 A】



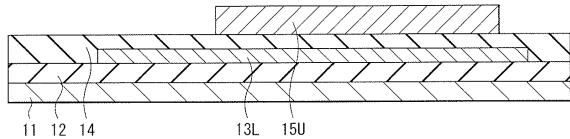
【図7 A】



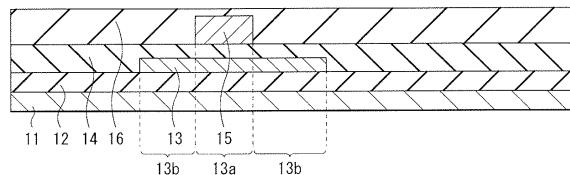
【図7 B】



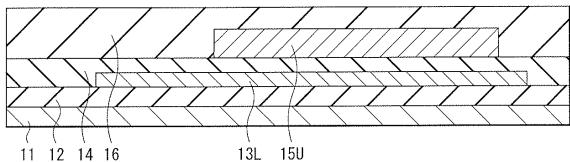
【図5 B】



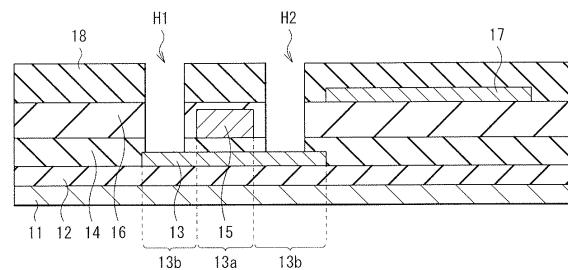
【図6 A】



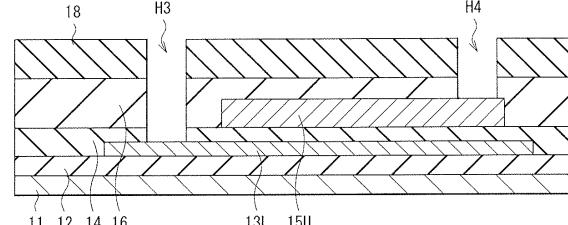
【図6 B】



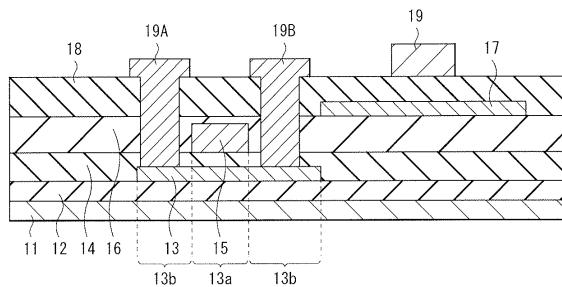
【図8 A】



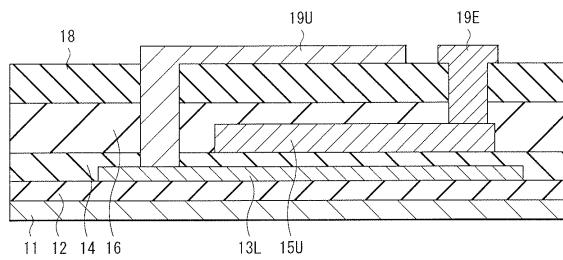
【図8 B】



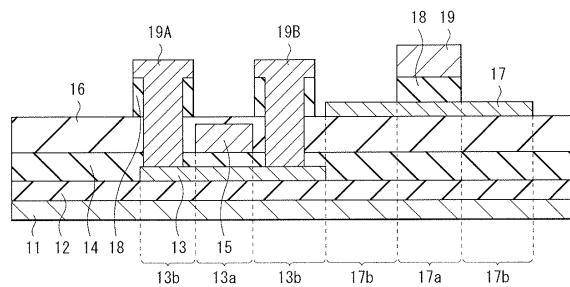
【図 9 A】



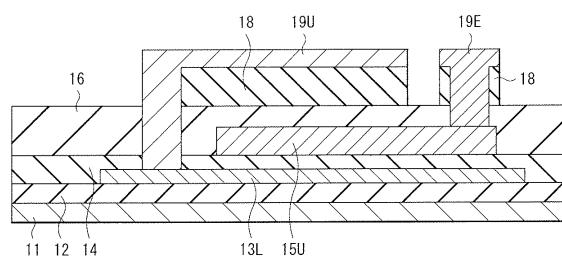
【図 9 B】



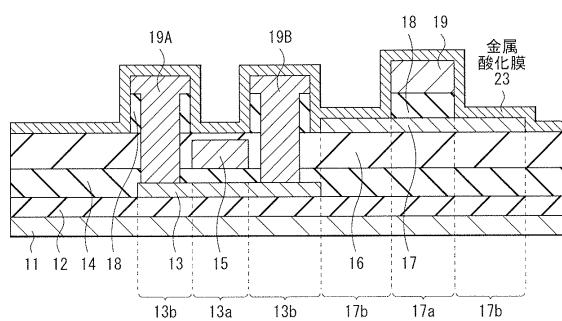
【図 10 A】



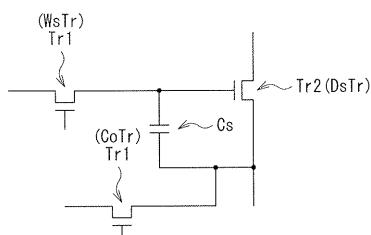
【図 10 B】



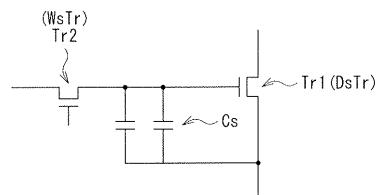
【図 11】



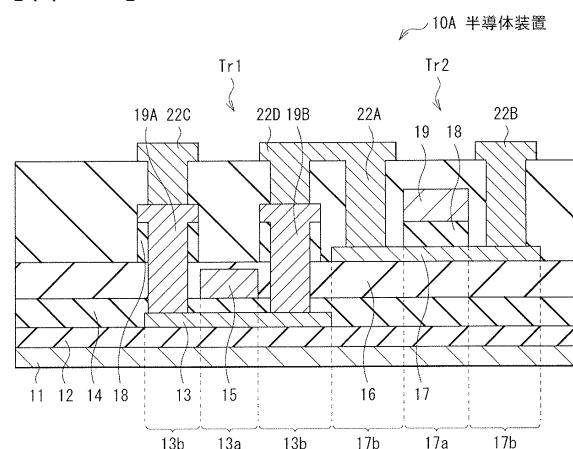
【図 13】



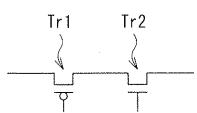
【図 12】



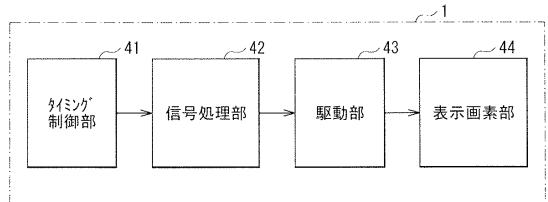
【図 14】



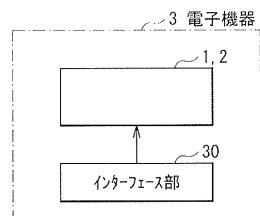
【図15】



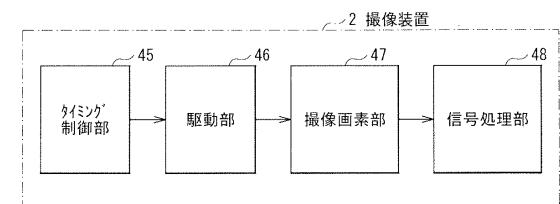
【図16】



【図18】



【図17】



フロントページの続き

(51)Int.Cl.	F I
H 01 L 21/822 (2006.01)	H 01 L 27/088 3 3 1 E
H 01 L 27/04 (2006.01)	H 01 L 27/06 1 0 2 A
G 09 F 9/30 (2006.01)	H 01 L 27/04 C
	G 09 F 9/30 3 3 8

(56)参考文献 米国特許出願公開第2016/0064465(US, A1)
米国特許出願公開第2015/0325602(US, A1)
特表2016-534390(JP, A)
米国特許出願公開第2016/0064421(US, A1)
特開2017-173505(JP, A)
国際公開第2012/176422(WO, A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 29 / 786
G 09 F 9 / 30
H 01 L 21 / 336
H 01 L 21 / 822
H 01 L 21 / 8234
H 01 L 27 / 04
H 01 L 27 / 06
H 01 L 27 / 088