



(12) 发明专利申请

(10) 申请公布号 CN 102760733 A

(43) 申请公布日 2012. 10. 31

(21) 申请号 201210232855. 8

(22) 申请日 2008. 12. 29

(30) 优先权数据

2008-142511 2008. 05. 30 JP

(62) 分案原申请数据

200810187433. 7 2008. 12. 29

(71) 申请人 三菱电机株式会社

地址 日本东京都

(72) 发明人 寺岛知秀

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 臧霁晨 卢江

(51) Int. Cl.

H01L 27/07(2006. 01)

H01L 27/02(2006. 01)

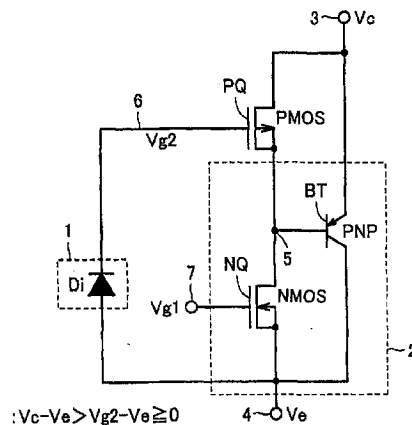
权利要求书 3 页 说明书 20 页 附图 9 页

(54) 发明名称

半导体装置

(57) 摘要

本发明的“半导体装置”在维持绝缘栅双极型晶体管的开关特性及其低导通电阻的同时改善耐压特性,并减少占有面积。在用以抑制绝缘栅双极型晶体管(IGBT:2)断开时的空穴流入的P沟道MOS晶体管(PQ)的栅极电极节点(6)上,设置在IGBT的非导通状态时缓和施加在栅绝缘膜上的电压的电压缓和元件(1)。



1. 一种半导体装置, 设有:
  - 第 1 导电型的半导体衬底区;
  - 在所述半导体衬底区表面形成的第 2 导电型的第 1 半导体区;
  - 在所述半导体衬底区表面与所述第 1 半导体区相离而形成的第 2 导电型的第 2 半导体区;
  - 与所述第 1 半导体区邻接而形成的第 1 导电型的第 3 半导体区;
  - 在所述第 2 半导体区上及所述第 1 半导体区内的一部分区域的表面上形成的第 1 导电型的第 4 半导体区;
  - 在所述第 4 半导体区表面的一部分区域形成的第 2 导电型的第 1 杂质区;
  - 与所述第 4 半导体区及所述第 1 杂质区电连接地形成的第 1 电极层;
  - 在所述第 1 杂质区与所述第 1 半导体区之间的所述第 4 半导体区上和所述第 1 半导体区上的一部分区域上隔着第 1 绝缘膜而形成的第 2 电极层;
  - 在所述第 1 半导体区表面与所述第 4 半导体区相离的、相互间隔而形成的第 1 导电型的第 2 及第 3 杂质区;
  - 在所述第 1 半导体区表面与所述第 3 杂质区邻接而形成的第 2 导电型的第 4 杂质区;
  - 与所述第 2 杂质区电连接的第 3 电极层;
  - 在所述第 2 及第 3 杂质区之间的所述第 1 半导体区表面上隔着第 2 绝缘膜而形成的第 4 电极层;
  - 与所述第 3 及第 4 杂质区电连接而形成的第 5 电极层; 以及
  - 在所述第 2 半导体区表面形成并与所述第 4 电极层电耦合的第 2 导电型的第 5 杂质区。
2. 如权利要求 1 所述的半导体装置, 还设有:
  - 在所述第 1 半导体区内与所述第 3 及第 4 杂质区相离而形成的第 2 导电型的第 6 杂质区; 以及
  - 在所述第 6 杂质区上与所述第 6 杂质区相接而形成并与所述第 4 电极层电耦合的第 1 导电型的第 7 杂质区。
3. 如权利要求 1 所述的半导体装置, 还设有:
  - 在所述第 1 半导体区表面与所述第 4 杂质区邻接而形成且与所述第 5 电极层电连接的第 1 导电型的第 6 杂质区; 以及
  - 在所述第 1 半导体区表面与所述第 6 杂质区相间隔而形成并与所述第 4 电极层电耦合的第 1 导电型的第 7 杂质区。
4. 如权利要求 1 所述的半导体装置, 还设有:
  - 在所述半导体衬底区表面所述第 1 及第 2 半导体区之间相离而形成的第 2 导电型的第 5 半导体区; 以及
  - 在所述第 1 及第 5 半导体区各自一部分区域和所述半导体衬底区表面形成并与所述第 4 电极层电连接的第 1 导电型的第 6 杂质区。
5. 如权利要求 1 所述的半导体装置, 还设有在所述第 1 半导体区表面形成且两端分别与所述第 4 及第 5 电极层电连接的第 1 导电型的第 6 杂质区。
6. 一种半导体装置, 设有:
  - 第 1 导电型的半导体衬底区;

在所述半导体衬底区表面相互间隔而形成的第 2 导电型的第 1 及第 2 半导体区；  
与所述第 1 半导体区相接而形成的第 1 导电型的第 3 半导体区；  
在所述第 3 半导体区上及所述第 1 半导体区内的一部分区域的表面上形成的第 1 导电型的第 4 半导体区；  
在所述第 4 半导体区的一部分区域的表面形成的第 2 导电型的第 1 杂质区；  
与所述第 4 半导体区及第 1 杂质区电连接而形成的第 1 电极层；  
在所述第 1 杂质区与所述第 1 半导体区之间的所述第 4 半导体区上和所述第 1 半导体区上隔着第 1 绝缘膜而形成的第 2 电极层；  
在所述第 1 半导体区表面与所述第 4 半导体区相离的、相互间隔而形成的第 1 导电型的第 2 及第 3 杂质区；  
与所述第 2 杂质区电连接而形成的第 3 电极层；  
在所述第 2 及第 3 杂质区之间的所述第 1 半导体区表面上隔着第 2 绝缘膜而形成的第 4 电极层；  
在所述第 1 半导体区表面与所述第 3 杂质区相邻接而形成的第 2 导电型的第 4 杂质区；  
与所述第 3 及第 4 杂质区电连接而形成的第 5 电极层；以及，  
第 1 导电型的第 5 杂质区，离开所述第 3 及第 4 杂质区而设，且在所述第 1 半导体区与  
所述第 2 半导体区的一部分区域的表面上遍及所述第 1 及第 2 半导体区之间的所述半导体  
衬底区上而连续形成，并与所述第 4 电极层电连接。

7. 一种半导体装置，设有：

第 1 导电型的半导体衬底区；  
在所述半导体衬底区表面相互间隔而形成的第 2 导电型的第 1 及第 2 半导体区；  
与所述第 1 半导体区相接而形成的第 1 导电型的第 3 半导体区；  
在所述第 3 半导体区上及所述第 1 半导体区内的一部分区域的表面上形成的第 1 导电型的第 4 半导体区；  
在所述第 4 半导体区的一部分区域的表面形成的第 2 导电型的第 1 杂质区；  
与所述第 4 半导体区及第 1 杂质区电连接而形成的第 1 电极层；  
在所述第 1 杂质区与所述第 1 半导体区之间的所述第 4 半导体区上和所述第 1 半导体区上隔着第 1 绝缘膜而形成的第 2 电极层；  
在所述第 1 半导体区表面与所述第 4 半导体区相离的、相互间隔而形成的第 1 导电型的第 2 及第 3 杂质区；  
与所述第 2 杂质区电连接而形成的第 3 电极层；  
在所述第 2 及第 3 杂质区之间的所述第 1 半导体区表面上隔着第 2 绝缘膜而形成的第 4 电极层；  
在所述第 1 半导体区表面与所述第 3 杂质区相邻接而形成的第 2 导电型的第 4 杂质区；  
与所述第 3 及第 4 杂质区电连接而形成的第 5 电极层；  
在所述第 1 及第 2 半导体区之间与所述半导体衬底区相连接而形成的第 1 导电型的第 5 半导体区；

在所述第5半导体区表面形成并与所述第4电极层电连接的第1导电型的第5杂质区；  
以及，

在所述半导体衬底区与所述第1半导体区之间和所述半导体衬底区与所述第2半导体区之间相互离开而形成的第2导电型的第1及第2埋入半导体区，

所述第5半导体区通过所述第1及第2埋入半导体区之间的区域而与所述半导体衬底区耦合。

## 半导体装置

本申请是申请日为 2008 年 12 月 29 日、申请号为 200810187433.7、发明名称为“半导体装置”的专利申请的分案申请。

### 技术领域

[0001]

本发明涉及半导体装置,特别是涉及内设有绝缘栅双极型晶体管(IGBT)的半导体装置的结构。更具体地说,本发明涉及维持设有用以改善 IGBT 的断开特性而设的 P 沟道 MOS 晶体管(绝缘栅型场效应晶体管)的半导体装置的耐压特性并减少占有面积的结构。

### 背景技术

[0002]

作为处理大功率的功率器件,已知有 IGBT(绝缘栅双极型晶体管)。在等效电路上,该 IGBT 用 MOS 晶体管(绝缘栅型场效应晶体管)控制双极型晶体管的基极电流。IGBT 兼具 MOS 晶体管的高速开关特性和双极型晶体管的高电压/大电流处理能力这二者的特征。

[0003]

为了降低功率损失,要求 IGBT 具有低 ON 电压及低开关损失。通常,在 IGBT 中,在导通时从 P 型集电极电极层向 N 型基极电极层(漂移层)注入少数载流子的空穴,通过 N 漂移层的电导率调制来降低漂移层的电阻。如果用该 N 型基极电极层(漂移层)的电导率调制来降低其电阻,则从发射极大量注入电子,IGBT 以高速向 ON 状态转移。

[0004]

在 ON 状态下,集电极-发射极间电压(ON 电压)基本上加在该 N 型基极电极层上。为了使该 ON 电压降低,使漂移层中的多数载流子电流增加,降低该漂移层的电阻值。但在断开时,需将该漂移层中的过剩载流子全部向 IGBT 外部放出,或通过电子-空穴的再结合使其消灭。因而,过剩载流子多时,电流流动直到载流子放出,断开损失增加。

[0005]

专利文献 1(特开 2003-158269 号公报)以及专利文献 2(特开 2005-109394 号公报)揭示了减少该 IGBT 的断开损失以实现高速断开的结构。

[0006]

在专利文献 1(特开 2003-058269 号公报)中,在 IGBT 的漂移层表面上,设置绝缘栅型控制电极。IGBT 断开时,调整该绝缘栅型控制电极的电位,吸收在漂移层上生成的空穴,抑制断开时的尾电流的发生。

[0007]

对于该专利文献 1 的绝缘栅型控制电极,作为栅绝缘膜的膜厚,例如设定在 5nm ~ 30nm,用隧道效应或雪崩效应来强制性地抽出空穴。

[0008]

另外,在专利文献 2(特开 2005-109394 号公报)揭示的结构中,在集电极电极节点与

双极型晶体管的基极之间,设置P沟道MOS晶体管(绝缘栅型场效应晶体管)。与该P沟道MOS晶体管串联地设置双极型晶体管的基极电流控制用的N沟道MOS晶体管。

[0009]

IGBT的动作中(ON状态期间),将P沟道MOS晶体管维持在非导通状态,在断开时将该P沟道MOS晶体管设定在导通状态,在双极型晶体管上旁路从集电极流入的空穴电流。防止在断开时从集电极电极节点向基极电极层注入空穴,将双极型晶体管的漂移层(基极电极层)的残留载流子(空穴)的排出高速化,降低开关损失。从而,实现断开时的低开关损失及高速动作,且维持IGBT的低ON电压。

[0010]

在该专利文献2揭示的结构中,为了保证OFF时的耐压,P沟道MOS晶体管的栅绝缘膜的膜厚构成为使其具有例如场效应绝缘膜等的元件耐压以上的栅耐压。

[0011]

在上述的专利文献1中,使用设在漂移层(基极电极层)表面上的绝缘栅型控制电极,在断开时利用隧道效应或雪崩效应来排出空穴。这时,在控制电极下部的5~30nm的膜厚的绝缘膜上施加高压,存在该绝缘膜的耐压特性容易劣化的问题。

[0012]

另外,在专利文献1揭示的结构中,绝缘栅型控制电极与控制IGBT的断开及接通的控制电极(MOS晶体管的栅)被另行设置。因而,这时,存在IGBT的断开/接通时的定时与施加在绝缘栅型控制电极上的电压的定时的调整变得困难的问题。

[0013]

另外,在上述的专利文献2揭示的结构中,将P沟道MOS晶体管的栅电极固定在接地电平或将P沟道MOS晶体管和N沟道MOS晶体管这二者的栅电压根据同一控制电路的输出信号进行控制。

[0014]

在IGBT的非导通状态期间,P沟道MOS晶体管被维持在导通状态。这时,在P沟道MOS晶体管的栅电极上施加与发射极的电压相当的电压,因而,在该P沟道MOS晶体管导通时被施加与集电极-发射极间电压 $V_{ce}$ 相同程度的高电压。因此,作为P沟道MOS晶体管的栅绝缘膜,为了保障其耐压而采用厚绝缘膜,例如使其具有场效应绝缘膜以上的膜厚。结果,该P沟道MOS晶体管的高度成为大于周边的N沟道MOS晶体管的高度,产生了IGBT的阶梯差变大的问题。另外,由于在该P沟道MOS晶体管上施加高压,为了保障对周围杂质区的绝缘,需确保杂质区之间充分的距离,存在元件占有面积增大的问题。

[0015]

## 发明内容

因此,本发明目的在于提供可以维持低ON电阻及低开关损失及耐压特性并降低元件占有面积的半导体装置。

[0016]

简言之,本发明第1方面的半导体装置设有:双极型晶体管;根据控制信号控制该双极型晶体管的基极电流的第1绝缘栅型场效应晶体管;在断开时将双极型晶体管的基极-发

射极短接的第 2 绝缘栅型场效应晶体管 ;使断开时施加在第 2 绝缘栅型场效应晶体管的栅绝缘膜上的电压缓和的电压缓和元件。

[0017]

该电压缓和元件最好是 PN 结型二极管元件或结型场效应晶体管。

[0018]

本发明另一方面的半导体装置,提供第 1 方面的半导体装置的结构。即简言之,在该另一方面的半导体装置中,在双极型晶体管、控制该双极型晶体管的 ON/OFF 的第 1 绝缘栅型场效应晶体管及双极型晶体管断开时,在跟将该双极型晶体管的发射极 / 基极短接的第 2 绝缘栅型场效应晶体管形成的半导体区不同的区域上,在共同的半导体衬底区上形成电压缓和元件。电压缓和元件使得在双极型晶体管的断开时施加在第 2 绝缘栅型场效应晶体管的栅绝缘膜上的电压得以缓和。该电压缓和元件作为其构成要素的一部分而包含半导体衬底区,且利用该半导体衬底区的穿通 (punch-through)。

[0019]

在一实施例中,本发明另一方面的半导体装置设有:第 1 导电型的半导体衬底区;该半导体衬底区表面上形成的第 2 导电型的第 1 半导体区;在半导体衬底区表面上,离开上述第 1 半导体区而形成的第 2 导电型的第 2 半导体区;邻接于第 1 半导体区而形成的第 1 导电型的第 3 半导体区;在第 2 半导体区上和第 1 半导体区内的一部分区域的表面上形成的第 1 导电型的第 4 半导体区;在第 4 半导体区表面的一部分区域上形成的第 2 导电型的第 1 杂质区;与第 4 半导体区和第 1 杂质区电连接而形成的第 1 电极层;在第 1 杂质区与第 1 半导体区之间的第 4 半导体区上和第 1 半导体区上的一部分区域上隔着第 1 绝缘膜而形成的第 2 电极层;在第 1 半导体区表面上,离开第 4 半导体区且相互间隔而形成的第 1 导电型的第 2 及第 3 杂质区;在第 1 半导体区表面上,与第 3 杂质区邻接而形成的第 2 导电型的第 4 杂质区;与第 2 杂质区电连接的第 3 电极层;在第 2 及第 3 杂质区之间的第 1 半导体区表面上,隔着第 2 绝缘膜而形成的第 4 电极层;与第 3 及第 4 杂质区电连接而形成的第 5 电极层;形成在第 2 半导体区表面上并与第 4 电极层电耦合的第 2 导电型的第 5 杂质区。

[0020]

在另一实施例中,本发明另一方面的半导体装置设有:第 1 导电型的半导体衬底区;在半导体衬底区表面上,相互间隔而形成的第 2 导电型的第 1 及第 2 半导体区;与第 1 半导体区相接而形成的第 1 导电型的第 3 半导体区;在第 3 半导体区上及第 1 半导体区内的一部分区域的表面上形成的第 1 导电型的第 4 半导体区;在第 4 半导体区的一部分区域的表面上形成的第 2 导电型的第 1 杂质区;与第 4 半导体区及第 1 杂质区电连接而形成的第 1 电极层;在第 1 杂质区与第 1 半导体区之间的第 4 半导体区上及第 1 半导体区上,隔着绝缘膜而形成的第 2 电极层;在第 1 半导体区表面上,离开第 4 半导体区、相互间隔而形成的第 1 导电型的第 2 及第 3 杂质区;与第 2 杂质区电连接而形成的第 3 电极层;在第 2 及第 3 杂质区之间的第 1 半导体区表面上,隔着第 2 绝缘膜而形成的第 4 电极层;在第 1 半导体区表面上,与第 3 杂质区邻接而形成的第 2 导电型的第 4 杂质区;与第 3 及第 4 杂质区电连接而形成的第 5 电极层;离开第 3 及第 4 杂质区,在第 1 半导体区与第 2 半导体区的一部分区域的表面上遍及第 1 及第 2 半导体区之间的半导体衬底区而连续形成的、与第 4 电极层电连接的第 1 导电型的第 5 杂质区。

[0021]

而且,在另一实施例中,本发明另一方面的半导体装置设有:第1导电型的半导体衬底区;在半导体衬底区表面上,相互间隔而形成的第2导电型的第1及第2半导体区;与第1半导体区相接而形成的第1导电型的第3半导体区;在第3半导体区上及第1半导体区内的一部分区域的表面上形成的第1导电型的第4半导体区;在第4半导体区的一部分区域的表面上形成的第2导电型的第1杂质区;与第4半导体区及第1杂质区电连接而形成的第1电极层;在第1杂质区与第1半导体区之间的第4半导体区上及第1半导体区上,隔着第1绝缘膜而形成的第2电极层;在第1半导体区表面上,与第4半导体区相离、且相互间隔而形成的第1导电型的第2及第3杂质区;与第2杂质区电连接而形成的第3电极层;在第2及第3杂质区之间的第1半导体区表面上,隔着第2绝缘膜而形成的第4电极层;在第1半导体区表面上,与第3杂质区邻接而形成的第2导电型的第4杂质区;与第3及第4杂质区电连接而形成的第5电极层;在第1及第2半导体区之间与半导体衬底区连接而形成的第1导电型的第5半导体区;在第5半导体区表面上形成并与第4电极层电连接的第1导电型的第5杂质区;在半导体衬底区与第1半导体区之间且在半导体衬底区与第2半导体区之间,相互离开而形成的第2导电型的第1及第2埋入半导体区。第5半导体区通过第1及第2埋入半导体区之间的区域与半导体衬底区耦合。

[0022]

通过缓和第2绝缘栅型场效应晶体管的栅电压,可以减薄该第2绝缘栅型场效应晶体管的栅绝缘膜厚度,并可缩短用以保证与周边区域的耐压的区域的距离,能够在维持其低开关损失及低ON电压的特征的同时实现占有面积小的半导体装置。

[0023]

另外,通过将该电压缓和元件设置在与形成该绝缘栅型场效应晶体管的区域不同的区域上,以将半导体衬底区作为一部分区域加以利用,能够不对IGBT的结构要素的配置带来不良影响地以简单的电路结构可靠地缓和施加在第2绝缘栅型场效应晶体管的栅绝缘膜上的电压。

本发明上述的及其它的目的、特征、局面及优点,当可参照附图从以下关于本发明的详细说明而清晰了解。

## 附图说明

[0127]

图1是表示本发明实施例1的半导体装置的等效电路的图。

图2是概略表示本发明实施例1的半导体装置的寄生成分的图。

图3是概略表示本发明实施例1的半导体装置的剖面结构的图。

图4是表示本发明实施例2的半导体装置的等效电路的图。

图5是概略表示本发明实施例2的半导体装置的剖面结构的图。

图6是表示本发明实施例3的半导体装置的等效电路的图。

图7是表示本发明实施例4的半导体装置的等效电路的图。

图8是概略表示本发明实施例4的半导体装置的剖面结构的图。

图9是表示本发明实施例5的半导体装置的等效电路的图。

图 10 是表示本发明的实施例 5 的半导体装置的变更例的等效电路的图。

图 11 是表示本发明实施例 6 的半导体装置的等效电路的图。

图 12 是概略表示本发明实施例 6 的半导体装置的剖面结构的图。

图 13 是概略表示本发明实施例 6 的半导体装置的变更例的剖面结构的图。

图 14 是表示本发明实施例 7 的半导体装置的等效电路的图。

图 15 是概略表示本发明实施例 7 的半导体装置的剖面结构的图。

图 16 是表示本发明实施例 8 的半导体装置的等效电路的图。

图 17 是概略表示本发明实施例 8 的半导体装置的剖面结构的图。

图 18 是表示本发明实施例 9 的半导体装置的等效电路的图。

## 具体实施方式

[0024]

[ 实施例 1 ]

图 1 是表示本发明实施例 1 的半导体装置的等效电路的图。在图 1 中,半导体装置包含:PNP 双极型晶体管(第 1 双极型晶体管)BT;控制该 PNP 双极型晶体管 BT 的基极电流的 N 沟道 MOS 晶体管(第 1 绝缘栅型场效应晶体管)NQ;在双极型晶体管 BT 断开时阻断载流子注入的 P 沟道 MOS 晶体管(第 2 绝缘栅型场效应晶体管)PQ。

[0025]

双极型晶体管 BT 的发射极区域(第 1 导通节点)连接在集电极电极节点(第 1 电极节点)3 上,其集电极区域(第 2 导通节点)连接在发射极电极节点(第 2 电极节点)4 上。MOS 晶体管 NQ 的源极耦合在发射极电极节点 4 上,在其栅极电极节点 7 上接受控制信号  $V_{g1}$ ,其漏极连接在双极型晶体管 BT 的基极区 5 上。MOS 晶体管 NQ 的背栅(基极)与源极相互连接。

[0026]

MOS 晶体管 PQ 的源极区(第 3 导通节点)连接在集电极电极节点 3,其基极(背栅)及漏极(第 4 导通节点)连接在双极型晶体管 BT 的基极节点(基极节点)5 上。由双极型晶体管 BT 及 MOS 晶体管 NQ 构成的电路部分 2 对应于通常的 IGBT 的等效电路。在以下说明中提到 IGBT 时,就参照该方框 2 表示的部分。

[0027]

图 1 所示的半导体装置还包含连接在 MOS 晶体管 PQ 的栅极电极节点 6 与发射极电极节点 4 之间的电压缓和元件 1。在 MOS 晶体管 PQ 的非导通状态时,通过该电压缓和元件 1 缓和施加在栅绝缘膜上的电压。

[0028]

在本实施例 1 中,该电压缓和元件 1 由 PN 结二极管(二极管元件)Di 构成。该 PN 结二极管 Di 的阴极连接在 MOS 晶体管 PQ 的栅极电极节点 6 上,阳极连接在发射极电极节点 4 上。

[0029]

现在考虑,如图 2 所示,在该半导体装置的集电极电极节点 3 上连接有电感性负载 LL 的情况。该电感性负载 LL 连接在供给高侧电压  $V_h$  的电源节点与集电极电极节点 3 之间。

在 MOS 晶体管 PQ 的栅极电极节点 6 与集电极电极节点 3 之间存在栅电容  $C_g$ ，另外，在二极管元件  $D_i$  中，也存在由 PN 结产生的寄生电容  $C_d$ 。

[0030]

在图 2 所示的结构中，IGBT2 一旦接通，由于该电感性负载 LL 的  $L \cdot (di/dt)$  成分，高侧电压  $V_h$  的大部分就施加在电感性负载 LL 上，集电极电极节点 3 的集电极电位  $V_c$  急剧下降。另一方面，在 IGBT2 断开时，集电极电极节点 3 的集电极电位  $V_c$  构成与高侧电压  $V_h$  大致相等的电平。此时，MOS 晶体管 PQ 具有其阈值电压的绝对值（以下简称阈值电压） $V_{thp}$ 。另外，发射极电极节点 4 的发射极电位  $V_e$  通常设定在施加在半导体装置上的电压中的最低电位上。

[0031]

以下说明中，「导通状态」及「非导通状态」分别具有与「ON 状态」及「OFF 状态」相同的意思。特别在强调电流的有无时，使用「导通状态」及「非导通状态」的用语。

[0032]

在 IGBT2 导通时施加在 MOS 晶体管 NQ 的栅极电极节点 7 上的控制电压  $V_{g1}$  被设定在 H 电平，MOS 晶体管 NQ 成为导通状态。因此，向双极型晶体管 BT 供给基极电流，双极型晶体管 BT 成为导通状态，IGBT2 接通。一旦 IGBT2 接通，随着集电极电极节点 3 的集电极电位  $V_c$  的下降，MOS 晶体管 PQ 的栅极电极节点 6 的电位  $V_{g2}$  根据电容  $C_g$  及  $C_d$  的电容值而下降。一旦栅极电极节点 6 的栅电位  $V_{g2}$  达到发射极电极节点 4 的发射极电位  $V_e$ ，由于二极管元件  $D_i$  的正向偏置动作，栅极电极节点 6 的栅电位  $V_{g2}$  的电位下降就被抑制，栅电位  $V_{g2}$  的最低电位被二极管  $D_i$  箝位。

[0033]

在该 IGBT2 导通时集电极电极节点 3 的集电极电位  $V_c$  与栅极电极节点 6 的栅电位  $V_{g2}$  之差 ( $V_c - V_{g2}$ ) 一旦成为 MOS 晶体管 PQ 的阈值电压  $V_{thp}$  以下（一旦成为  $V_c - V_{g2} < V_{thp}$ ），MOS 晶体管 PQ 就成为 OFF 状态。因而，在该接通动作中，不进行限制对于 PNP 双极型晶体管 BT 的空穴注入的限制动作。

[0034]

另一方面，在 IGBT2 断开动作时，向 MOS 晶体管 NQ 的栅极电极节点 7 施加的控制电压  $V_{g1}$  被设定在例如 0V，MOS 晶体管 NQ 成为 OFF 状态。因此，停止向双极型晶体管 BT 的基极电流的供给，PNP 双极型晶体管 BT 向 OFF 状态转移。根据向该双极型晶体管 BT 的 OFF 状态的转移，集电极电极节点 3 的集电极电位  $V_c$  上升。另外，对应于集电极电位  $V_c$  上升，栅电位  $V_{g2}$  的电位也由于寄生电容  $C_g$  及  $C_d$  的作用而上升。

[0035]

在该 IGBT2 断开时，集电极电位  $V_c$  与栅电位  $V_{g2}$  之差 ( $V_c - V_{g2}$ ) 一旦成为比 MOS 晶体管 PQ 的阈值电压大，MOS 晶体管 PQ 就成为 ON 状态，PNP 双极型晶体管 BT 的发射极区域与基极区（基极节点 5）被短路。从而，从集电极电极节点 3 注入的电流由 MOS 晶体管 PQ 排出，阻断向 PNP 双极型晶体管 BT 的空穴供给。

[0036]

在该断开时，由于阻断了对 PNP 双极型晶体管 BT 的发射极区域的空穴供给，双极型晶体管 BT 的基极区的载流子排出一旦结束，集电极电极节点 3 的集电极电位  $V_c$  就高速上

升。从而,可将尾电流流过的期间缩短,减少开时的开关损失,并实现高速动作。另外,在该 IGBT2 的 ON 状态(导通状态)时,双极型晶体管 BT 的集电极-发射极间电压  $V_{ce}$  充分低,可以实现低 ON 电压。

[0037]

在该断开过程等的过渡状态时,栅电位  $V_{g2}$  被设定在由二极管元件  $D_i$  的寄生电容  $C_d$  和 MOS 晶体管 PQ 的栅电容  $C_g$  决定的电压电平上。该栅电位  $V_{g2}$  的电压电平是发射极电位  $V_e$  与集电极电位  $V_c$  之间的电压电平。

[0038]

在成为断开状态、IGBT2 处于 OFF 状态(非导通状态)的情况下,二极管  $D_i$  是反向偏置状态。这时,由于二极管元件  $D_i$  的漏电流等原因,栅电位  $V_{g2}$  最终成为与发射极电位  $V_e$  相同的电位。但是,如以下说明的那样,在实际器件结构中,由于该栅极电极节点 6 和集电极电极节点 3 之间流过的电流与在该栅电容  $C_g$  及二极管的结电容  $C_d$  上施加的电压平衡,栅电位  $V_{g2}$  平衡且大致稳定地维持在发射极电位  $V_e$  与集电极电位  $V_c$  之间的电压(例如穿通电压)上。

[0039]

因而,MOS 晶体管 PQ 的栅极电极节点 6 的栅电位  $V_{g2}$  可设定在比发射极  $V_e$  高的电压电平上,可降低施加在 MOS 晶体管 PQ 的栅绝缘膜上的电压。从而能够减薄栅绝缘膜。另外,在非导通状态时,由于降低施加在栅绝缘膜上的电压,无需为保障与其它周边区域之间的耐压而设置相对于周边区域(电极层等)的充分距离,可以减少元件(单元)的占有面积。

[0040]

图 3 是概略表示本发明实施例 1 的半导体装置的剖面结构的图。在图 3 中,半导体装置形成在 P 型半导体衬底(半导体衬底区)10 上。在该 P 型半导体衬底区 10 的表面上间隔地设置 N 型半导体区(第 1 及第 2 半导体区)12a 及 12b。

[0041]

设置 P 型半导体区(第 3 半导体区)13,以包围该 N 型半导体区 12a 的一部分(下区域)。这里,在该半导体装置中,没有示出平面布局,但将示于图 3 的右侧的 LI 为中心,同心圆状地形成各区域。因此,就 P 型半导体区 13 形成为包围 N 型半导体区 12a 的情况进行说明。P 型半导体区 13 具有在 IGBT 断开时将空穴向发射极电极节点排出的功能。

[0042]

在该 P 型半导体区 13 上及 N 型半导体区 12a 的一部分表面上,设置 P 型半导体区(第 4 半导体区)14,在该 P 型半导体区 14 内部,设置高浓度的 N 型杂质区(第 1 杂质区)15。P 型半导体区 14 形成为包围 N 型杂质区,设置构成连接在发射极电极节点 4 的发射极的电极层(第 1 电极层)16,连接在 P 型半导体区 14 及 N 型杂质区 15 这二者上。该发射极电极层 16 将图 1 所示的 N 沟道 MOS 晶体管 NQ 的背栅与源极相互连接,并电连接至发射极电极节点 4。

[0043]

在 P 型半导体区 14 表面上,隔着栅绝缘膜(第 1 绝缘膜)17 而形成构成连接在栅极电极节点 7 上的栅电极的电极层(第 2 电极层)18。该栅绝缘膜 17 及栅极电极层 18 延伸而

形成到 N 型半导体区 12a 上,根据控制电压  $V_{g1}$ ,在 N 型杂质区 15 与 N 型半导体区 12a 之间的 P 型半导体区 14 表面上形成沟道。

[0044]

在 N 型半导体区 12a 表面上,离开 P 型半导体区 14 且相互分离地形成 P 型杂质区(第 2 及第 3 杂质区)19a 及 19b。在这些 P 型杂质区 19a 及 19b 之间的 N 型半导体区 12a 上,隔着栅绝缘膜(第 2 绝缘膜)20 而形成构成栅极电极节点 6 的电极层(第 4 电极层)21。另外,与 P 型杂质区 19b 邻接地形成 N 型杂质区(第 4 杂质区)22。在 P 型杂质区 19a 表面上,形成构成连接在图 1 所示的集电极电极节点 3 上的集电极的电极层(第 3 电极层)23。另外,在杂质区 19b 及 22 这二者的表面上,形成构成图 1 所示的基极节点 5 电极层(第 4 电极层)24。

[0045]

在 N 型半导体区 12b 表面上,形成 N 型杂质区(第 5 杂质区)25。在该 N 型杂质区 25 表面上,形成电连接至栅极电极层 21 的电极层(第 5 电极层)26。该电极层 26 对应于图 1 所示的二极管元件  $D_i$  的阴极。在二极管元件  $D_i$  的非导通状态时,使其在 N 型半导体区 12a 及 12b 之间的 P 型半导体区 10 上产生穿通(使其在 PN 结上产生穿通击穿),用该穿通电压来限制施加在栅极电极层 21 上的电压。

[0046]

即,如果该 N 型杂质区 22 与 P 型半导体衬底区 10 之间的电压达到穿通电压,则耗尽层从 N 型杂质区 22 到达半导体衬底区 10,在 P 型半导体衬底区 10 表面的 PN 结上产生穿通击穿。另外,如果耗尽层从 N 型杂质区 25 延伸,耗尽层一旦到达半导体衬底区 10,在该 N 型半导体区 12b 与半导体衬底区 10 之间的 PN 结上就产生穿通击穿。由于该穿通击穿,在 P 型半导体衬底区 10 表面上,N 型半导体区 12a 及 12b 之间通过耗尽层而导通,来自 N 型杂质区 22 的电压通过 N 型杂质区 25 及电极层 26 传递至栅极电极层 21,可以抑制栅电位  $V_{g2}$  的降低。如果栅电位  $V_{g2}$  上升,则 P 沟道 MOS 晶体管的沟道电阻变大,N 型杂质区 22 的电压电平变低,半导体衬底区 10 表面的 PN 结的穿通击穿消失,栅电位  $V_{g2}$  的上升停止。从而,栅极电极层 21 的电压电平比发射极电极层 16 的发射极电位  $V_e$  高,维持在由穿通电压决定的电压电平上。

[0047]

在图 3 所示的结构中,N 沟道 MOS 晶体管 NQ 基本上由 P 型半导体区 14、N 型杂质区 15、栅绝缘膜 17、电极层 18 及 N 型半导体区(漂移层)12a 构成。N 沟道 MOS 晶体管 NQ 的背栅由 P 型半导体区 14 形成,该背栅和源极(杂质区 15)通过电极层 16 电连接。

[0048]

P 沟道 MOS 晶体管 PQ 基本上由 P 型杂质区 19a 及 19b、N 型半导体区 12a、栅绝缘膜 20、电极层 21 构成。构成 P 沟道 MOS 晶体管 PQ 的背栅的 N 型半导体区 12a 通过 N 型杂质区 22 耦合到电极层 24。从而,在被电连接到基极节点 5 电极层 24 上,可以实现 P 沟道 MOS 晶体管 PQ 的背栅与漏极相互连接的结构。

[0049]

二极管  $D_i$  基本上用 N 型杂质区 25、N 型半导体区 12b、P 型半导体衬底区 10 以及 P 型半导体区 13 和 14 构成。利用 N 型半导体区 12b 和 P 型半导体衬底区 10 之间的 PN 结的电

容,通过电容分隔来使栅极电极节点 6 的电位  $V_{g2}$  在 IGBT 断开时降低。

[0050]

PNP 双极型晶体管 BT 基本上由 P 型杂质区 19a、N 型半导体区 12a、P 型半导体区 13 及 14 来形成,该 N 型半导体区 12a 作为双极型晶体管的基极区起作用。

[0051]

在图 3 所示的结构中,在 IGBT 的导通时施加在电极层 18 上的控制电压  $V_g$  1 被设定在正电压电平上,在 N 型杂质区 15 与 N 型半导体区 12a 之间的 P 型半导体区 14 表面上形成沟道,电子从发射极电极层 16 向 N 型半导体区 12a 流动。并且,这时从集电极电极层 23 经由 P 型杂质区 19a 向 N 型半导体区 12a 流入空穴。因此,在 N 型半导体区 12a 中产生电导率调制,其电阻值下降,更多的电流流过该 N 型半导体区 12a。因此,双极型晶体管 BT 的基极电流变大,双极型晶体管 (BT) 成为 ON 状态。在该导通时即使集电极电极层 23 的电位降低,P 型杂质区 19a 与栅极电极层 21 之间的电位差也是在 P 沟道 MOS 晶体管的阈值电压  $V_{thp}$  以下,P 沟道 MOS 晶体管被维持在 OFF 状态。因而,对从集电极电极层 23 向 N 型半导体区 12a 的空穴供给不带来任何不良影响。

[0052]

在该导通时杂质区 19a、19b 及 22 是 N 型半导体区 12a 的电位电平,大体上是发射极电位  $V_e$  的电平,另外,半导体衬底区 10 是发射极电位  $V_e$  的电平。在二极管元件 Di 中,N 型半导体区 12b 及半导体衬底区 10 之间的 PN 结是反向偏置,被维持在 OFF 状态。

[0053]

在 IGBT 断开时,对于栅极电极层 18 的控制电压  $V_g$  1 被设定在例如 0V 上,P 型半导体区 14 表面的沟道 (反转层) 消失。从而,向 N 型半导体区 12a 的电流路径被阻断,双极型晶体管 BT 向断开状态转移。一旦集电极电极层 23 的电压  $V_c$  上升,该 P 型杂质区 19a 与栅极电极层 21 之间的电位差变得比 P 沟道 MOS 晶体管的阈值电压  $V_{thp}$  大,P 沟道 MOS 晶体管成为 ON 状态。在 P 型杂质区 19a 和 19b 之间的 N 型半导体区 12a 表面上形成沟道,从集电极电极层 23 供给的空穴和残存于 N 型半导体区 12a 的载流子 (空穴) 由 P 型杂质区 19b 吸收,向 N 型半导体区 12a 的空穴供给被阻断。

[0054]

半导体区 12a 中的残存载流子 (空穴) 通过发射极电极层 16 的排出一旦结束,双极型晶体管就成为 OFF 状态,IGBT 成为 OFF 状态。在该 OFF 状态,N 型半导体衬底区 12a 与 P 型半导体衬底区 10 之间的 PN 结成为反向偏置状态,耗尽层从 P 型半导体衬底区 10 向 N 型半导体区 12a 扩展,耗尽层最终达到 N 型半导体区 12a 的表面。从而,缓和了 N 型半导体区 12a 表面的电场集中,实现了高耐压结构。

[0055]

另外,在该 IGBT 断开时,栅极电极层 21 上的栅电位  $V_{g2}$  随着集电极电位  $V_c$  的上升,其电压电平通过栅电容的电容耦合而上升。这时,通过由 N 型半导体区 12b 与半导体衬底区 10 之间的 PN 结电容产生的电容耦合,抑制栅电位  $V_{g2}$  的上升。电压差  $V_c - V_{g2}$  一旦成为阈值电压  $V_{thp}$  以下,在栅极电极层 21 下部就形成沟道,P 型杂质区 19a、19b 与 N 型半导体区 12a 通过沟道而成为同一电位,来自 N 型半导体区 12a 的向集电极电极层 23 的空穴供给被阻断。

[0056]

集电极电位  $V_c$  通过 P 型杂质区 19b、基极电极层 24 及 N 型杂质 22 传达。因此, N 型半导体区 12a 与半导体区 10 之间的 PN 结成为反向偏置状态, 在 N 型半导体区 12a 及 12b 之间的 PN 结上产生穿通击穿, N 型半导体区 12a 及 12b 之间成为穿通状态。因此, 可通过该穿通电压抑制控制电压  $V_{g2}$  的电压电平的下降, 用该电压电平维持栅电位  $V_{g2}$  的电位电平。

[0057]

栅极电极层 21 上的栅电位  $V_{g2}$  是发射极电位 ( $V_e$ ) 与集电极电位 ( $V_c$ ) 之间的电位电平。因而, 施加在栅绝缘膜 20 上的电压, 即集电极电极层 23 的电压与栅极电极层 21 上的控制电压  $V_{g2}$  之差成为比集电极 - 发射极间电压小。因而, 可以减薄栅绝缘膜 20 的膜厚。另外, 可以缓和施加在该栅绝缘膜 20 上的电压, 无需设置拉开该集电极电极层 23 与栅极电极层 21 之间的距离, 或加大栅极电极层 21 与基极电极层 24 之间的距离以及栅极电极层 21 与集电极电极层 23 之间的距离等用以确保耐压的结构, 因此, 可以减少该半导体装置的整体布局面积。

[0058]

另外, 在根据集电极电极层 23 的集电极电压, 在 N 型半导体区 12a 和 12b 之间产生穿通时, 控制电压  $V_{g2}$  的电压电平的降低就受到该穿通电压抑制。因而, 该 N 型半导体区 12a 和 12b 之间的距离设定在可使穿通产生的范围。

[0059]

如上所述, 依据本发明的实施例 1, 将二极管元件作为电压缓和元件连接在用以减少断开损失的 P 沟道 MOS 晶体管的栅极电极节点与发射极电极节点之间。从而, 不会对 P 沟道 MOS 晶体管的 ON 及 OFF 动作带来不良影响, 可以缓和该 P 沟道 MOS 晶体管在断开时施加在栅绝缘膜上的电压。从而, 可以实现占用面积小且具有高耐压结构及低损失的半导体装置。

[0060]

[ 实施例 2 ]

图 4 是表示本发明实施例 2 的半导体装置的等效电路的图。图 4 所示的半导体装置与图 1 所示的实施例 1 的半导体装置在结构上的不同点是, 在双极型晶体管 BT 的基极节点 5 与 MOS 晶体管 PQ 的栅极电极节点 6 之间逆向连接齐纳二极管  $ZD_i$ 。该齐纳二极管  $ZD_i$  的阳极连接在二极管元件  $D_i$  的阴极及 MOS 晶体管 PQ 的栅电极上, 其阴极连接在基极节点 5 上。

[0061]

齐纳二极管  $ZD_i$  是恒压二极管, 在施加反向偏置电压时导通, 在其基极节点 5 与栅极电极节点 6 之间使其产生一定大小的电压 (齐纳电压)。

[0062]

图 4 所示的半导体装置的其它结构与图 1 所示的半导体装置的结构相同, 在对应的部分上附加相同的附图标记, 省略其详细说明。

[0063]

图 5 是概略表示图 4 所示的半导体装置的剖面结构的图。图 5 所示的结构与图 3 所示的半导体装置的剖面结构不同。即, 在 N 型半导体区 (第 1 半导体区) 12a 中, 在 N 型杂质区 (第 4 杂质区) 22 的近旁形成 P 型杂质区 (第 7 杂质区) 28, 连接在该 P 型杂质区 28 底部而设置高浓度 N 型杂质区 (第 6 杂质区) 29。P 型杂质区 28 经由电极层 30 连接至栅极

电极层 21 及阴电极层 26。该 P 型杂质区 28 对应于齐纳二极管 ZDi 的阳极, N 型杂质区 29 相当于齐纳二极管 ZDi 的阴极。通过该杂质区 28 及 29, 可在 N 型半导体区 12a 内以简单的结构设置齐纳二极管, 无需在外部另设齐纳二极管。

[0064]

该图 5 所示的半导体装置的其它结构与图 3 所示的半导体装置的结构相同, 在对应的部分上附带相同的附图标记, 省略其详细说明。

[0065]

如实施例 1 中说明过的那样, 在 IGBT2 的 OFF 状态时, 在形成二极管元件 Di 的阴极的 N 型半导体区 12b 与构成 P 沟道 MOS 晶体管的背栅的 N 型半导体区 10 之间产生穿通, 以抑制栅电压  $V_{g2}$  的电位电平的下降。为了增强 IGBT 断开时的 P 沟道 MOS 晶体管的动作, 即为了增强抑制空穴向基极区 (半导体区 12a) 流入的动作, 栅电位  $V_{g2}$  以低者为好。但是, 如果该栅电位  $V_{g2}$  变得过低, 则有产生以下问题的可能性。即, 集电极电极层 23 的集电极电位  $V_c$  一旦上升, P 型杂质区 19a 与栅极电极层 21 之间的电位差就变大, 施加在栅绝缘膜 20 上的电压会变得过高, 存在使耐压特性受损的可能性。另外, 在 N 型半导体区 12a 及 12b 的相对电位差大的情况下, 不能保障 PN 结的耐压, 有 IGBT 的耐压降低的可能性。

[0066]

为了回避上述问题, 设置齐纳二极管 ZDi。即, 在栅电位  $V_{g2}$  降低, 集电极电位  $V_c$  上升, 基极节点 5 与栅极电极节点 6 之间的电位差变大的情况下, 由于齐纳二极管 ZDi 的齐纳击穿, 从而抑制该栅电位  $V_{g2}$  的电压降低。

[0067]

即, 如图 5 所示, 基极节点 5 经由电极层 24 及 N 型杂质区 22 连接到 P 沟道 MOS 晶体管的背栅即双极型晶体管的基极区上, 并经由 P 型杂质区 19a 电连接至集电极电极层 23 (集电极电极节点 3)。因而, 该栅电位  $V_{g2}$  降低时, 反向偏置电压施加在杂质区 29 及 28 之间, 使得在 P 型杂质区 28 和 N 型杂质区 29 之间的 PN 结上产生齐纳击穿。通过产生该齐纳击穿的 PN 结, 从 N 型半导体区 12a 向栅极电极层 21 (栅极电极节点 6) 供给电流, 使栅电位  $V_{g2}$  的电位电平上升。即, 该栅电位  $V_{g2}$  的电位被箝位在比集电极电位  $V_c$  大约低齐纳电压的电压电平上。从而, 抑制在 IGBT 断开时 P 沟道 MOS 晶体管的栅绝缘膜 20 上被施加高电压, 另外, 防止 N 型半导体区 12a 及 12b 之间的电位差变得过大, 抑制 IGBT 耐压的降低。

[0068]

由二极管元件 Di 产生的电压缓和动作与实施例 1 的相同。

[0069]

如上所述, 依据本发明的实施例 2, 在双极型晶体管的基极节点与 P 沟道 MOS 晶体管的栅极电极节点之间连接恒压二极管 (齐纳二极管)。从而, 在实施例 1 的效果之外, 还可得到以下的效果。即, 可以抑制断开时集电极电位与 P 沟道 MOS 晶体管的栅电位之差变大, 能够可确保 P 沟道 MOS 晶体管的绝缘耐压, 另外, 可以抑制由于穿通电压产生的 IGBT 自身的耐压特性的劣化。

[0070]

[ 实施例 3 ]

图 6 是表示本发明实施例 3 的半导体装置的等效电路的图。图 6 所示的半导体装置与

按照图 4 在如下这点上与所示的实施例 2 的半导体装置的结构不同。即,齐纳二极管(恒压二极管)ZDi 连接在集电极电极节点 3 与 P 沟道 MOS 晶体管的栅极电极节点 6 之间。该图 6 所示的半导体装置的其它结构与图 4 所示的半导体装置的结构相同,在对应的部分上附加相同的附图标记,省略其详细说明。

[0071]

该齐纳二极管 ZDi 的阳极连接在 MOS 晶体管 PQ 的栅极电极节点 6 以和二极管元件 Di 的阴极上,其阴极连接在集电极电极节点 3 上。

[0072]

在图 6 所示的半导体装置中,集电极电极节点 3 的集电极电位  $V_c$  与栅极电极节点 6 的栅极电位  $V_{g2}$  的电位差一变大,齐纳二极管 ZDi 就导通,将该栅极电位  $V_{g2}$  箝位在比集电极电位  $V_c$  低齐纳击穿电压的电压电平上。因而,在图 6 所示的半导体装置中,也可通过与实施例 2 同样的动作,得到同样的效果。

[0073]

[ 实施例 4 ]

图 7 是表示本发明实施例 4 的半导体装置的等效电路的图。该图 7 所示的半导体装置的结构在如下这点上与图 1 所示的半导体装置的结构不同。即,在双极型晶体管 BT 的基极节点 5 与二极管元件 Di 的阴极之间,连接 PNP 双极型晶体管(第 2 双极型晶体管)BBD。该 PNP 双极型晶体管 BBD 的基极及发射极相互连接,并连接在基极节点 5 上,其集电极连接在二极管元件 Di 的阴极及 P 沟道 MOS 晶体管 PQ 的栅极电极节点 6 上。该双极型晶体管 BBD 的基极及发射极相互连接,等效地作为将集电极作为阳极,将基极和发射极作为阴极的二极管起作用。该栅极电位  $V_{g2}$  降低时,由于反向偏置电压,使其在集电极-发射极间产生穿通,抑制栅极电位  $V_{g2}$  的降低。

[0074]

该图 7 所示的半导体装置的其它结构与图 1 所示的半导体装置的结构相同,在对应的部分上附加相同附图标记,省略其详细说明。

[0075]

图 8 是概略表示图 7 所示的半导体装置的剖面结构的图。图 8 所示的半导体装置的剖面结构在如下这点上与图 3 所示的半导体装置的剖面结构不同。即, P 型杂质区(第 6 杂质区)32 邻接于构成 PNP 双极型晶体管 BT 的基极的 N 型杂质区(第 4 杂质区)22 而形成在 N 型半导体区(第 1 半导体区)12a 表面上,另外,在 N 型半导体区 12a 表面上与该 P 型杂质区 32 间隔地形成 P 型杂质区(第 7 杂质区)34。构成 PNP 双极型晶体管 BT 的基极节点 5 电极层(第 5 电极层)35 电连接在 P 型杂质区 19、N 型杂质区 22 及 P 型杂质区 32 上。P 型杂质区 34 通过电极层 36 电连接在构成 P 沟道 MOS 晶体管的栅极电极节点 6 的电极层(第 4 电极层)21 上。

[0076]

该图 8 所示的半导体装置的剖面结构的其它结构与图 3 所示的半导体装置的剖面结构相同,在对应的部分上附加相同附图标记,省略其详细说明。

[0077]

在图 8 所示的半导体装置中,用 P 型杂质区 32、N 型半导体区 12a、N 型杂质区 22 和 P

型杂质区 34 形成 PNP 双极型晶体管 BBD。即,双极型晶体管 BBD 的基极由 N 型半导体区 12a 和 N 型杂质区 22 构成,发射极由 P 型杂质区 32 构成,集电极由 P 型杂质区 34 构成。双极型晶体管 BBD 的基极和发射极由电极层 35 相互连接。通过在 N 型半导体区 12a 表面上相互分离配置 P 型杂质区 32 及 34,能够以简单的结构制作双极型晶体管 BBD,可容易地将双极型晶体管 BBD 内设。

[0078]

IGBT2 断开时,集电极电位  $V_c$  上升。这时,由于二极管元件  $D_i$  的作用,栅电位  $V_{g2}$  降低,MOS 晶体管 PQ 成为导通状态。因此,杂质区 22 及 32 的电位随着集电极电压  $V_c$  而变高。这时,如果栅电位  $V_{g2}$  过低,基极节点 5 与栅极电极节点 6 之间的电位差成为穿通电压以上,则在 P 型杂质区 32 及 34 之间形成耗尽层,在 P 型杂质区 34 与半导体区 12a 之间的 PN 结上产生穿通击穿,根据经由导通状态的 PMOS 晶体管 PQ 施加的电压,栅电位  $V_{g2}$  的电压电平降低得到抑制。

[0079]

这时,双极型晶体管 BBD 与前面实施例 3 的齐纳二极管  $ZD_i$  同样动作,箝位该栅电位  $V_{g2}$  的电压电平。这时,在栅极电极节点 6 的栅电位  $V_{g2}$  过低的情况下,P 型杂质区 34 及 32 之间的耗尽层被连接,在杂质区 34 与 N 型半导体区 12a 之间的 PN 结上产生穿通击穿,该双极型晶体管 BBD 的基极/发射极与集电极之间导通,抑制栅电位  $V_{g2}$  的电位降低。这时,利用了双极型晶体管 BBD 的穿通现象,即利用了 PN 结的穿通击穿。这时,穿通电压可由杂质浓度和杂质区 32 及 34 之间的距离进行调整。另外,与使用二极管的情况相比,可以将穿通电压设定在比使雪崩击穿发生的电压电平高的电压电平上,可将栅电位  $V_{g2}$  的电位电平设定在比利用雪崩击穿时低的电压电平上。

[0080]

再者,在图 7 中,使用 PNP 双极型晶体管 BBD。但是,为了得到该穿通特性,也可以使用 NPN 双极型晶体管。在使用 NPN 双极型晶体管时,其基极和集电极连接在栅极电极节点 6 上,其发射极连接在基极节点 5 上。从而,可以利用 PN 结的穿通现象抑制栅电位  $V_{g2}$  的电压电平的降低。

[0081]

如上所述,按照本发明的实施例 4,在 IGBT 的双极型晶体管的基极节点与 P 沟道 MOS 晶体管的栅极电极节点之间连接被接成二极管的双极型晶体管。因而,可以在实施例 1 的效果之外取得以下的效果。即,可以防止 P 沟道 MOS 晶体管的栅电位的过多降低,可以保障 P 沟道 MOS 晶体管的栅绝缘膜的耐压。另外,与利用雪崩击穿或齐纳击穿的情况相比,利用 PN 结的穿通现象时,可以用 P 型杂质区的杂质浓度和半导体区的杂质浓度以及发射极杂质区-集电极杂质区之间的距离进行调整,可以正确地调整穿通电压,另外,可以将 P 沟道 MOS 晶体管的栅电位设定在低的电位电平上,在 IGBT 断开时能够使 P 沟道 MOS 晶体管高速转移至 ON 状态。

[0082]

再者,二极管元件  $D_i$  的动作及效果与实施例 1 的情况相同。

[0083]

[ 实施例 5]

图 9 是表示本发明实施例 5 的半导体装置的等效电路的图。图 9 所示的半导体装置在如下这点上与图 7 所示的半导体装置其电路结构不同。即,被接成二极管的 PNP 双极型晶体管(第 2 双极型晶体管)BBD2 不在连接基极节点 5 和栅极电极节点 6 之间,而是连接在集电极电极节点(第 1 电极节点)3 与栅极电极节点 6 之间。该 PNP 双极型晶体管 BBD2 的基极和发射极连接在集电极电极节点 3 上,集电极连接在栅极电极节点 6 上。

[0084]

图 9 所示的半导体装置的其它结构与图 7 所示的半导体装置的结构相同,在对应的部分上附加相同附图标记,省略其详细说明。

[0085]

在图 9 所示的半导体装置的结构中,集电极电极节点 3 的集电极电位  $V_c$  与栅极电极节点 6 的栅电位  $V_{g2}$  的电压差一变大,双极型晶体管 BBD2 就会由于反向偏置而引起穿通现象,该穿通电压抑制栅电位  $V_{g2}$  的降低。从而,可以抑制 P 沟道 MOS 晶体管 PQ 的栅电位  $V_{g2}$  的降低,可得到与实施例 4 同样的效果。该 PNP 双极型晶体管 BBD2 的动作细节与实施例 4 的情况相同。即,基极/集电极间的 PN 结由于反向偏置电压而产生穿通击穿,从集电极电极节点 3 向栅极电极节点 6 供给电流。在该状态,集电极电极节点 3 与栅极电极节点 6 之间的电压成为穿通电压电平。

[0086]

二极管元件  $D_i$  的作用及效果与实施例 1 的情况相同。

[0087]

[变更例]

图 10 是表示本发明实施例 5 的半导体装置的变更例的等效电路的图。该图 10 所示的半导体装置在如下这点上与图 9 所示的半导体装置的电路结构不同。即,用 NPN 双极型晶体管(第 2 双极型晶体管)BBD3 取代了 PNP 双极型晶体管 BBD2。该 NPN 双极型晶体管 BBD3 的基极和集电极连接在栅极电极节点 6,其发射极连接在集电极电极节点 3 上。

[0088]

图 10 所示的半导体装置的其它结构与图 9 所示的半导体装置的结构相同,在对应的部分上附加相同附图标记,省略其详细说明。

[0089]

在图 10 所示的半导体装置中,也利用由 NPN 双极型晶体管 BBD3 的基极-发射极间的反向偏置电压产生的穿通现象(PN 结的穿通击穿)来抑制栅电位  $V_{g2}$  的降低。因而,可以得到与图 9 所示的半导体装置的结构同样的效果。

[0090]

如上所述,按照本发明的实施例 5,在集电极电极节点与 P 沟道 MOS 晶体管的栅极电极节点之间连接被接成二极管的双极型晶体管,以利用其穿通现象。从而,可以使其产生较高电压的穿通现象,另外,可以正确地设定穿通电压,更可靠进行其栅极电极节点的电位控制。另外,与实施例 1 一样,可以在维持 P 沟道 MOS 晶体管的 ON/OFF 特性的同时维持栅绝缘膜的耐压特性。并且,可取得与实施例 1 同样的效果。

[0091]

[实施例 6]

图 11 是表示本发明实施例 6 的半导体装置的等效电路的图。在图 11 所示的半导体装置中,作为电压缓和元件 1,使用 P 沟道结型场效应晶体管 (JFET) JQ1。该结型场效应晶体管 JQ1 的栅极连接在基极节点 5 上,漏极及源极区分别连接在发射极电极节点 4 及栅极电极节点 6 上。在结型场效应晶体管 JFET 中,由于源极区及漏极区对称形成,在图 11 中,结型场效应晶体管 JQ1 的源极及漏极可为任一节点,将连接在电位高的栅极电极节点 6 上的节点作为源极电极节点,将连接在发射极电极节点 4 上的节点作为漏极电极节点,如此进行以下的说明。

[0092]

图 11 所示的半导体装置的其它结构与图 1 所示的半导体装置的结构相同,在对应的部分上附加相同的附图标记,省略其详细说明。

[0093]

图 12 是概略表示图 11 所示的半导体装置的剖面结构的图。图 12 所示的半导体装置的剖面结构在如下这点上与图 3 所示的半导体装置的剖面结构不同。即,与 N 型半导体区 (第 1 半导体区) 12a 相隔离地在半导体衬底区 10 的表面上形成 N 型半导体区 (第 2 半导体区) 12c。从 N 型半导体区 12a 的一部分区域直到 N 型半导体区 12c 的一部分区域,连续地形成 P 型杂质区 (第 5 杂质区) 40。该 P 型杂质区 40 经由在其表面上形成的电极层 42 电连接到栅极电极层 (第 4 电极层) 21 上。

[0094]

图 12 所示的半导体装置的剖面结构的其它结构与图 3 所示的半导体装置的剖面结构相同,在对应的部分上附加相同附图标记,省略其详细说明。

[0095]

在图 12 所示的剖面结构中, N 型杂质区 22 作为 P 沟道结型场效应晶体管 JQ1 的栅电极起作用, P 型杂质区 40 下部的 N 型半导体区 12a 及 12c 之间的 P 型半导体衬底区 10 作为该 P 沟道结型场效应晶体管的沟道区被利用。P 型杂质区 40 作为源极被利用。N 型半导体区 12a 及 12c 分离而配置,在其间的半导体衬底区 10 的表面上配置 P 型杂质区 40,从而能够以简单的结构实现内置结型场效应晶体管。

[0096]

在 IGBT 断开时,集电极电极层 23 的集电极电位  $V_c$  上升。随着该集电极电位  $V_c$  上升,由于栅电容的作用,栅电位  $V_{g2}$  的电位上升。该栅极电极层 21 通过源极 P 型杂质区 40 耦合到 P 型半导体衬底区 10,抑制其电位电平的上升。因此, P 沟道 MOS 晶体管 PQ 成为 ON 状态,将 P 型杂质区 19a 及 N 型半导体区 12a 设定在同一电压电平上,从集电极电极节点 23 向 N 型半导体区 12a 的空穴供给被阻断。从而, PNP 双极型晶体管 BT 高速断开。

[0097]

随着该集电极电位  $V_c$  的上升, N 型半导体区 12a 的电位也上升,半导体区 12a 及半导体衬底区 10 之间的 PN 结被反向偏置,耗尽层在 N 型半导体区 12a 及 12c 之间的半导体衬底区 10 中扩展。这时,半导体区 12a 及 12c 之间的半导体衬底区 10 在完全耗尽化之前, P 型杂质区 40 经由 P 型半导体区 10 及 14 而连接至发射极电极节点 4 上,栅电位  $V_{g2}$  被维持在发射极电位  $V_e$  的电位电平上。在此期间, PMOS 晶体管 PQ 被维持在 ON 状态,来自集电极电极节点 3 的从双极型晶体管的发射极向基极的空穴供给被阻断。

[0098]

随着该集电极电位  $V_c$  的电位上升,耗尽层在半导体衬底区 10 中扩展,P 型杂质区 40 下部的 P 型半导体衬底区 10 一旦完全耗尽,P 型杂质区 40 就与 P 型半导体衬底区 10 电上隔离。因而,这时栅极电极层 21 的电位  $V_{g2}$  随着集电极电位  $V_c$  的电位上升而开始上升。该栅电位  $V_{g2}$  上升至由 MOS 晶体管 PQ 的栅电容与结型场效应晶体管 JQ1 的耗尽层电容所决定的电压电平。

[0099]

调整该结型场效应晶体管的穿通电压,使结型场效应晶体管 JQ1 的沟道耗尽在 P 沟道 MOS 晶体管 PQ 接通后产生。穿通电压,即耗尽层的扩展可以用半导体区 12a 和 12c 之间的距离及杂质浓度和 P 型半导体衬底区 10 的杂质浓度的调整进行调整。

[0100]

从而,在 IGBT2 断开的同时 P 沟道 MOS 晶体管 PQ 接通,且在该断开后使栅电位  $V_{g2}$  上升,可抑制在 P 沟道 MOS 晶体管 PQ 的栅绝缘膜 20 上被施加高电压(集电极-发射极间电压  $V_{ce}$ )。

[0101]

[变更例]

图 13 是概略表示本发明实施例 6 的半导体装置的变更例的剖面结构的图。该图 13 所示的半导体装置在如下这点上与图 12 所示的半导体装置结构不同。即,在 P 型半导体衬底区 10 的表面上相互间隔配置 N 型半导体区(第 1 及第 2 半导体区)12a 及 12e。在这些 N 型半导体区 12a 及 12e 之间,形成低浓度的 P 型半导体区(第 5 半导体区)48。在 P 型半导体区 48 的表面上,形成 P 型杂质区(第 5 杂质区)50,由该半导体区 48 包围。该 P 型杂质区 50 经由电极层 52 电连接至栅极电极层(第 4 电极层)21。

[0102]

在 N 型半导体区 12a 及 12e 与 P 型半导体衬底区 10 之间,相互间隔地形成 N 型埋入杂质区(第 1 及第 2 埋入半导体区)44 及 46。这些 N 型埋入杂质区 44 及 46 的杂质浓度与 N 型半导体区 12a 及 12e 的杂质浓度以及 P 型半导体区 48 的杂质浓度相比,具有充分高的杂质浓度。这些 N 型埋入杂质区 44 及 46 之间的距离比半导体区 12a 及 12e 之间的距离短。

[0103]

P 型半导体区 48 与 P 型半导体衬底区 10 通过 N 型埋入杂质区 44 及 46 之间的区域连通。P 型半导体区 48 和 N 型半导体区 44 及 46 之间的半导体衬底区 10,作为结型场效应晶体管 JQ1 的沟道区使用。P 型杂质区 48 作为源极区使用,N 型杂质区 22、N 型半导体区 12a 及 12e 以及 N 型埋入杂质区 44 及 46 作为栅极使用。在图 13 所示的结构中,也能够以简单的结构内置结型场效应晶体管。

[0104]

图 13 所示的半导体装置的其它结构与图 12 所示的半导体装置的结构相同,在对应的部分上附加相同附图标记,省略其详细说明。

[0105]

在图 13 所示的半导体装置的情况下,当 IGBT 断开时,随着集电极电位  $V_c$  的电位上升,在 P 型半导体区 48 中,耗尽层从 N 型半导体区 12a 及 N 型埋入杂质区 44 扩展。这时,PN 结

是反向偏置状态,耗尽层从高浓度的N型埋入杂质区44向杂质浓度低的区域即P型半导体区48及半导体衬底区10快速扩展。在该耗尽层成为穿通状态之前,栅极电极层21通过电极层52、P型杂质区50、半导体区48以及半导体衬底区10耦合到发射极电极层18上,栅电位 $V_{g2}$ 的上升被抑制。

[0106]

随着集电极电位 $V_c$ 的上升,耗尽层在N型埋入杂质区44及46之间的P型半导体区48中扩展,一旦耗尽层在高浓度N型埋入杂质区44及46之间穿通,结型场效应晶体管JQ就成为夹断状态,栅极电极层21与发射极电极层18被电隔离。在该耗尽层穿通状态下,耗尽层形成在高浓度的N型埋入杂质区44及46周边,耗尽层不能到达P型杂质区50,P型杂质区50处于由耗尽层包围的状态。电压施加在耗尽层上。因而,在夹断状态下,耗尽层端(夹断点)与P型杂质区50之间的电场不发生变化,可以将P型杂质区50的电压大致维持恒定。从而,P沟道结型场效应晶体管JQ1成为夹断状态后,可以将栅电位 $V_{g2}$ 维持在大致恒定的电位电平上,可以将施加在栅绝缘膜20上的电压大致维持恒定。从而,能够以简单的结构可确保栅绝缘膜20的耐压。

[0107]

如上所述,依据本发明的实施例6,作为电压缓和元件,利用P沟道结型场效应晶体管,利用由于该沟道区的耗尽层的扩展而使夹断产生的现象。因而,能够可靠地使P沟道MOS晶体管在IGBT断开时,一旦设定在ON状态后,就高速转换至OFF状态。另外,可以缓和施加在栅绝缘膜上的电压,与实施例1一样,可以在维持耐压特性的同时减少半导体装置(单元)的占有面积。

[0108]

[ 实施例 7 ]

图14是表示本发明实施例7的半导体装置的等效电路的图。该图14所示的半导体装置在如下这点上与按照图11所示的实施例6的半导体装置不同。即,还在P沟道MOS晶体管PQ的栅极电极节点6与发射极电极节点4之间设置二极管元件 $D_i$ 。该二极管元件 $D_i$ 的阴极连接在栅极电极节点6上,阳极连接在发射极电极节点4上。图14所示的半导体装置的其它结构与图11所示的半导体装置的结构相同,在对应的部分上附加相同的附图标记,省略其详细说明。

[0109]

图15是概略表示该图14所示的半导体装置的剖面结构的图。该图15所示的半导体装置的剖面结构在如下这点上与按照图12所示的实施例6的半导体装置结构不同。即,与构成结型场效应晶体管JQ1的N型半导体区(第5半导体区)12c相离地在半导体衬底区10的表面上形成N型半导体区(第2半导体区)12b。在该半导体区12b的表面上,形成N型杂质区(第5杂质区)25,由半导体区12b包围。该N型杂质区25通过电极层26电连接至栅极电极层(第4电极层)21。N型半导体区12a、12b及12c相互分离而配置,通过将半导体衬底区延伸到这些区域之间,能够以简单的结构实现将二极管及双极型晶体管均内置的结构。

[0110]

如图14及图15所示,本发明实施例7的半导体装置的结构,实质上与将实施例1(参

照图 1) 及实施例 6(参照图 11) 的半导体装置组合后的装置等效。在 IGBT2 导通时集电极电极节点 3 的集电极电位  $V_c$  急剧降低。这时,蓄积在 P 沟道 MOS 晶体管 PQ 的栅电容上的电荷,通过结型场效应晶体管 JQ1 的杂质区 40 向发射极电极层 16(发射极电极节点 4) 放电, MOS 晶体管 PQ 的栅电位  $V_{g2}$  成为与发射极电位  $V_e$  相同程度,从而成为 OFF 状态。

[0111]

这时, P 沟道结型场效应晶体管 JQ1 的放电路径(P 型半导体衬底区 10、P 型半导体区 13、P 型半导体区 14) 的电阻过大时,蓄积在栅电容上的电荷的放出被延迟,栅电位  $V_{g2}$  的电位随着集电极电位  $V_c$  的降低而降低,有可能存在成为比发射极电位  $V_e$  低的状态的期间。这时,P 沟道 MOS 晶体管 PQ 的源-栅间电位差变得比 P 沟道 MOS 晶体管 PQ 的阈值电压大, P 沟道 MOS 晶体管 PQ 保持 ON 状态。结果,PNP 双极型晶体管 BT 的发射极-基极之间被短路,来自该集电极电极层 23(集电极电极节点 3) 的空穴向 PNP 双极型晶体管 BT 的发射极的注入被阻碍,PNP 双极型晶体管 BT 的接通被延迟(N 型半导体衬底 12a 的电导率调制被抑制)。

[0112]

在该状态下,栅电位  $V_{g2}$  在到达发射极电位  $V_e$  的时刻,二极管元件 Di 构成正向偏置,以低电阻将蓄积在该 P 沟道 MOS 晶体管 PQ 的栅电容上的电荷放电。因此,在 IGBT2 接通时可以防止 MOS 晶体管 PQ 的 ON 状态持续的状态,从而能够使 IGBT2 高速接通。

[0113]

断开时的动作与前面实施例 6 的情况相同。

[0114]

再者,作为结型场效应晶体管 JQ1 的结构,也可采用图 13 所示的结构。

[0115]

如上所述,依据本发明的实施例 7,可在 P 沟道 MOS 晶体管的栅极电极节点与发射极电极节点之间,并联设置二极管元件及结型场效应晶体管,能够使 IGBT 高速接通。并且,可以得到与实施例 1 及 6 同样的效果。

[0116]

[ 实施例 8]

图 16 是表示本发明实施例 8 的半导体装置的等效电路的图。在图 16 所示的半导体装置的结构中,设置电阻元件 R 来取代图 4 所示的实施例 2 的半导体装置的齐纳二极管(ZDi)。该图 16 所示的半导体装置的其它结构与图 4 所示的半导体装置的结构相同,在对应的部分上附加相同附图标记,省略其详细说明。

[0117]

电阻元件 R 连接在基极节点 5 与栅极电极节点 6 之间,在 IGBT2 断开时抑制栅极电极节点 6 的电位降低。

[0118]

图 17 是概略表示图 16 所示的半导体装置的剖面结构的图。在图 17 所示的半导体装置的结构中,在 N 型半导体区(第 1 半导体区)12a 表面上,邻接于 N 型杂质区(第 4 杂质区)22 形成 P 型杂质区(第 6 杂质区)55。在 P 型杂质区 19b 及 55 和 N 型杂质区(第 4 杂质区)22 上,共同地形成电极层(第 5 电极层)57。该电极层 57 对应于连接在基极节点 5

上的基极电极层。另外,在 P 型杂质区 55 的另一端上,与电极层 57 相对而设置电极层 59。该电极层 59 电连接在栅极电极层(第 4 电极层)21 及电极层 26 上。图 17 所示的半导体装置的剖面结构的其它结构与图 5 所示的半导体装置的剖面结构相同。在对应的部分上附加相同的附图标记,省略其详细说明。

[0119]

在图 17 所示的半导体装置的结构中,用 P 型杂质区 55 的扩散电阻形成电阻元件 R,取代图 5 所示的由 P 型杂质区(第 7 杂质区)28 及 N 型杂质区(第 6 杂质区)29 形成的齐纳二极管。通过利用 N 型半导体区 12a 表面的杂质区 55 的扩散电阻,能够以简单的结构实现内置二极管元件 Di 及电阻元件 R 的结构。

[0120]

在图 16 及图 17 所示的结构中,二极管元件 Di 由于使栅极电极节点 6(栅极电极层 21)的电位  $V_{g2}$  向发射极电位方向降低,IGBT2 在 OFF 状态时,将 P 沟道 MOS 晶体管 PQ 维持在 ON 状态。在断开时,集电极电位  $V_c$  处于高电平状态,因而,由于用该 P 型杂质区 55 形成的电阻元件 R,在其延迟时间经过后,栅极电极层 21(栅极电极节点 6)被维持在大致等于集电极电位  $V_c$  的电位电路上,源-栅间电位差变得比 MOS 晶体管 PQ 的阈值电压小,P 沟道 MOS 晶体管 PQ 被维持在 OFF 状态。因而,在 IGBT2 导通时 P 沟道 MOS 晶体管 PQ 被维持在 OFF 状态,以快的定时进行 IGBT 动作,可以减少接通损失。该 P 沟道 MOS 晶体管 PQ 在 OFF 状态时,栅极和源极间的电压即施加在栅绝缘膜上的电压小,可确保栅绝缘膜的耐压。

[0121]

另外,在 IGBT2 断开时,由于电阻元件 R 的延迟时间,以相对于栅电位  $V_{g2}$  的电位变化的时间延迟进行响应。因而,对应于集电极电位  $V_c$  上升,栅极电极层 21(栅极电极节点 6)的栅电位  $V_{g2}$  由于二极管元件 Di 的穿通而降低,P 沟道 MOS 晶体管 PQ 成为 ON 状态,可以使断开时向双极型晶体管 BT 的空穴流入停止。在该断开时的过渡状态经过后,由于电阻元件 R,栅电位  $V_{g2}$  被设定在与集电极电位  $V_c$  大致相同的电位电路上。并且在断开时,二极管元件 Di 抑制栅电位  $V_{g2}$  电位的过度下降。

[0122]

通过利用电阻元件 R(P 型杂质区 55),抑制 IGBT 的 OFF 状态时栅电位  $V_{g2}$  的电位下降,可以减少 N 型半导体区 12a 及 12b 之间的电位差,从而可避免该 N 型半导体区 12a-12b 之间耐压降低的问题。

[0123]

如上所述,依据本发明的实施例 8,在 P 沟道 MOS 晶体管的栅极电极节点与双极型晶体管的基极节点之间连接电阻元件,同时使用二极管元件来抑制 P 沟道 MOS 晶体管 PQ 的栅电位的下降。从而,除了实施例 1 的效果之外,还可降低开关损失,能够实现高速开关动作的耐压特性得到保障的半导体装置。

[0124]

[ 实施例 9]

图 18 是表示本发明实施例 9 的半导体装置的等效电路的图。图 18 所示的半导体装置的结构在如下这点上与按照图 16 所示的实施例 8 的半导体装置不同。即,电阻元件 Ra 不连接在基极节点 5 与栅极电极节点 6 之间,而是连接在栅极电极节点 6 与集电极电极节点 3

之间。图 18 所示的半导体装置的其它结构与图 16 所示的半导体装置的结构相同,在对应的部分上附加相同附图标记,省略其详细说明。

[0125]

在图 18 所示的半导体装置中,电阻元件 Ra 连接在栅极电极节点 6 与集电极电极节点 3 之间。MOS 晶体管 PQ 的栅电容与电阻元件 Ra 并联连接。相对于由该 MOS 晶体管的栅电容产生的电位变化,由电阻元件 Ra 产生的栅电位 Vg2 的电位变化延迟产生。因而,通过与实施例 8 相同的动作,在 IGBT2 转移到断开状态时,一旦使 P 沟道 MOS 晶体管 PQ 成为 ON 状态,其后在 IGBT2 的 OFF 状态期间,将 P 沟道 MOS 晶体管 PQ 维持在 OFF 状态。因而,可通过与实施例 8 同样的动作,得到同样的效果。

[0126]

本发明一般适用于进行功率开关的半导体装置,可以得到进行耐压特性优良的高速开关动作的低 ON 电压的占有面积小的半导体装置。该半导体装置也可以是分立的单个晶体管,也可内置在模块等的集成电路装置内。

以上详细描述并说明了本发明,但这仅是例示,并不构成限定。读者显然明白,本发明的范围由后附的权利要求书阐释。



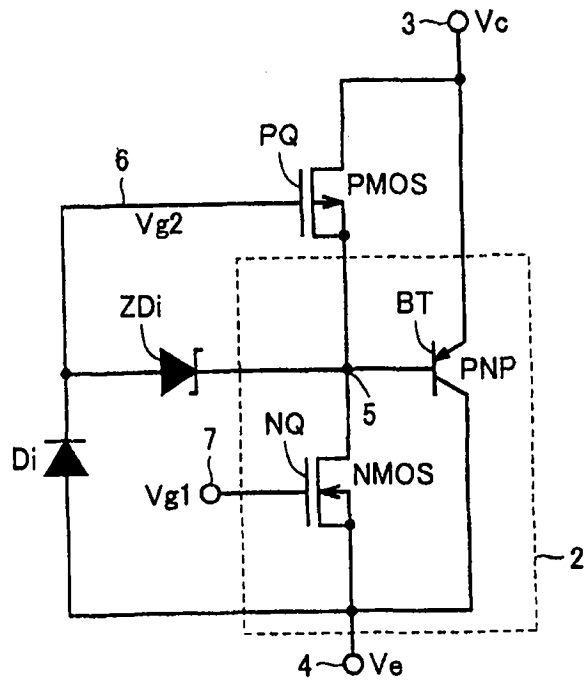


图 4

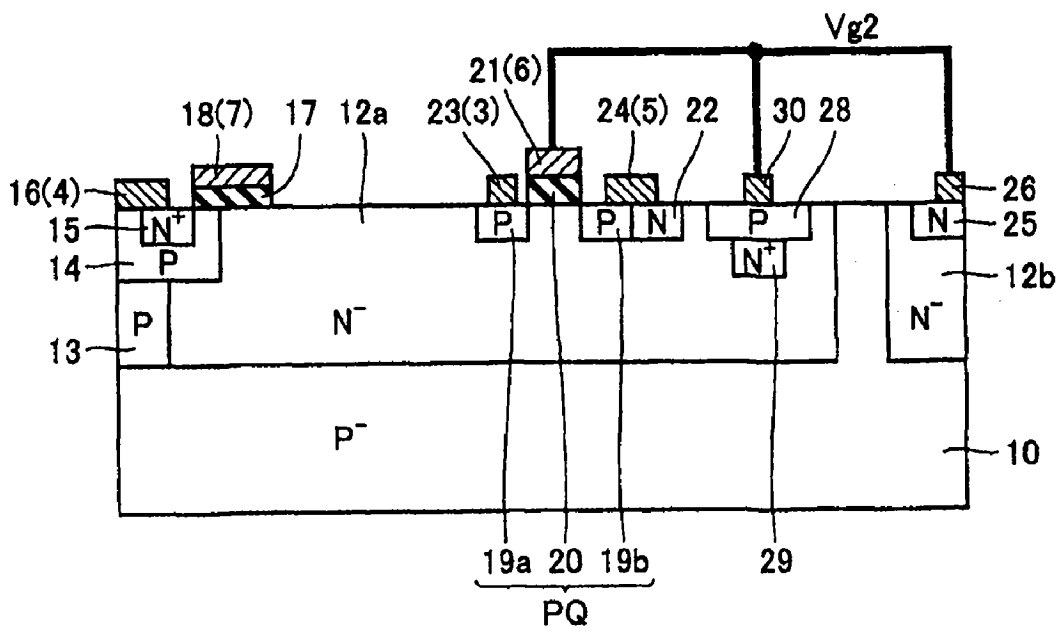


图 5

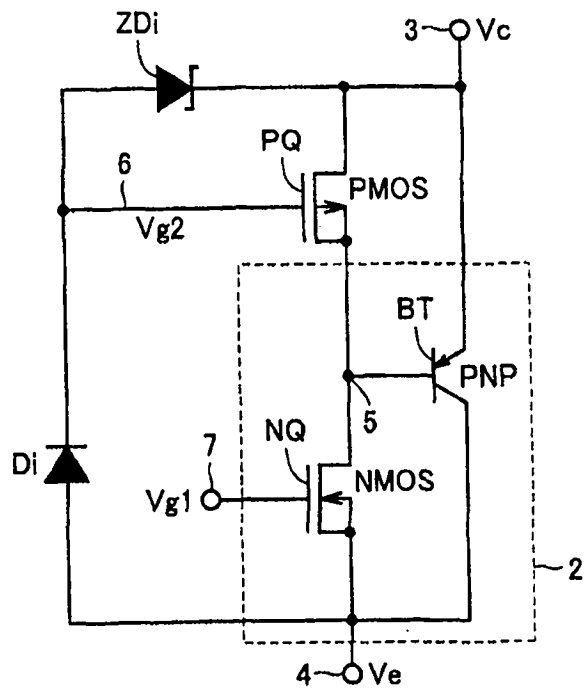


图 6

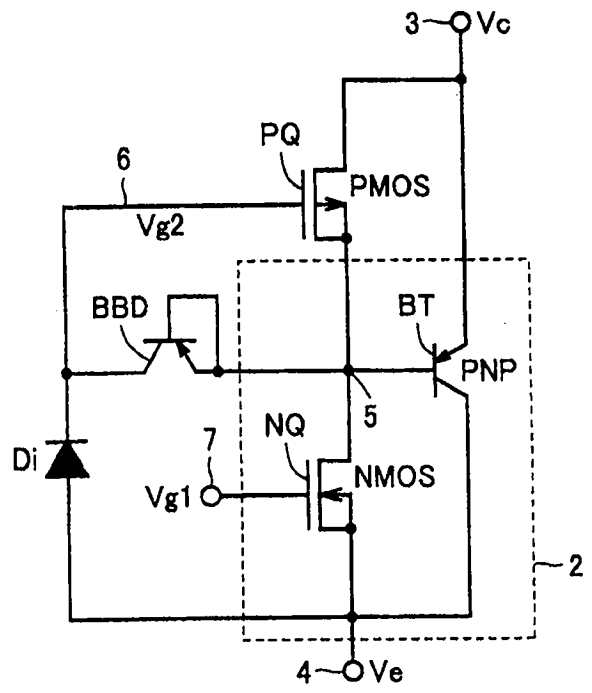


图 7

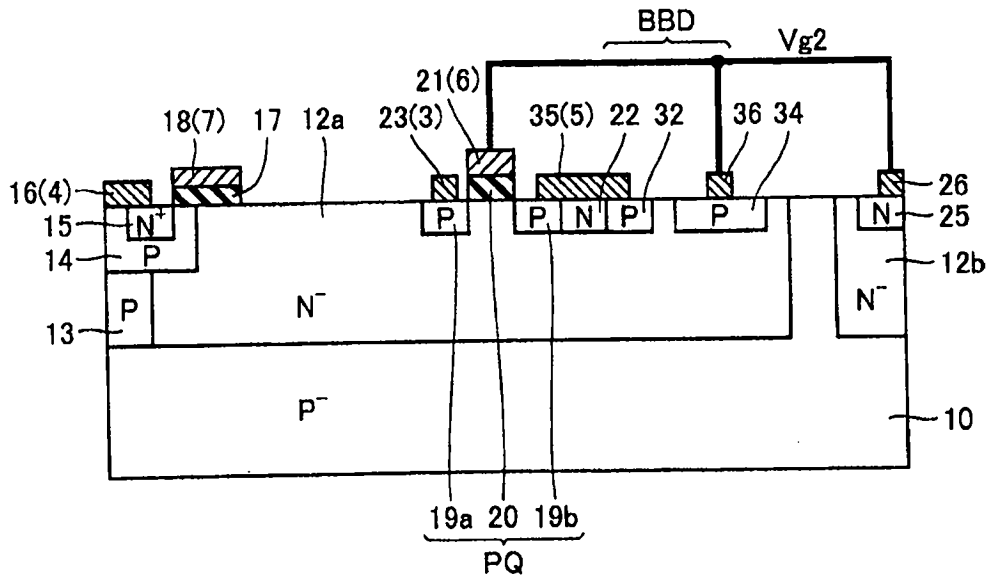


图 8

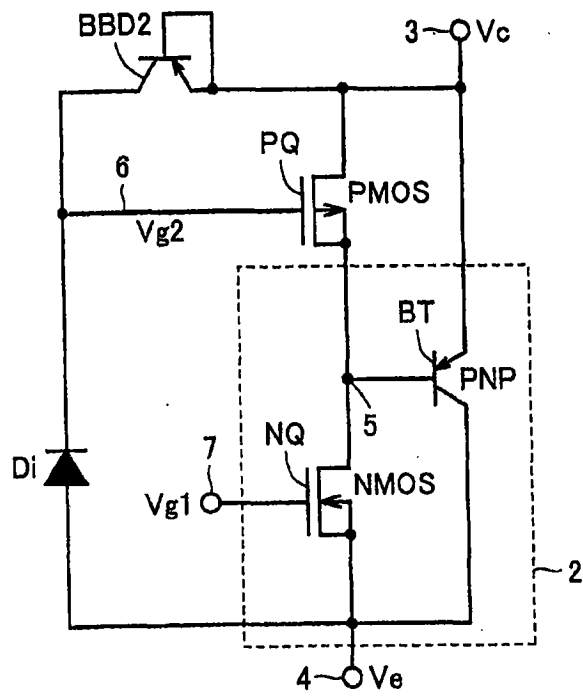


图 9

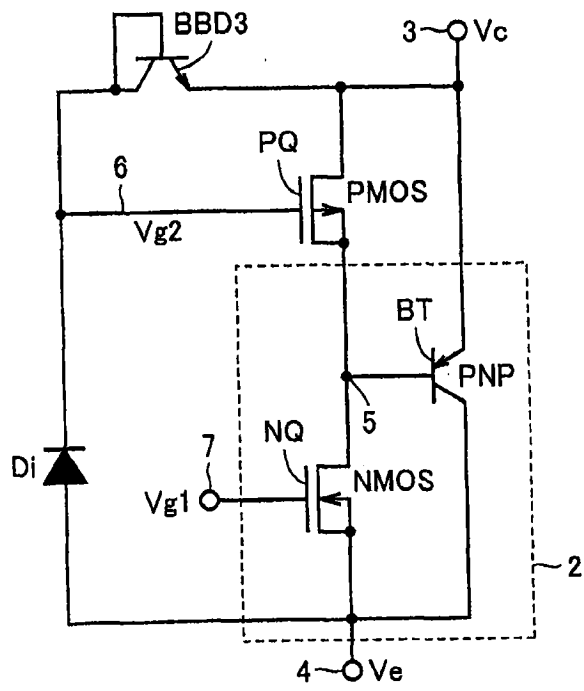


图 10

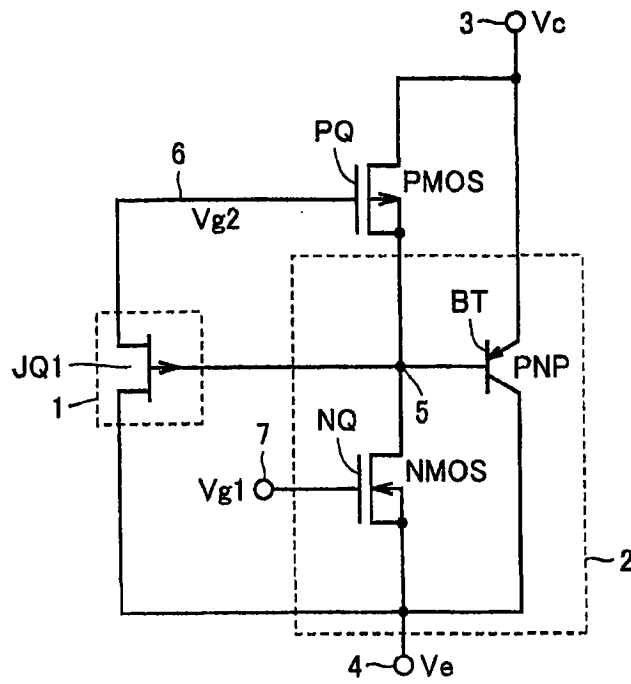


图 11

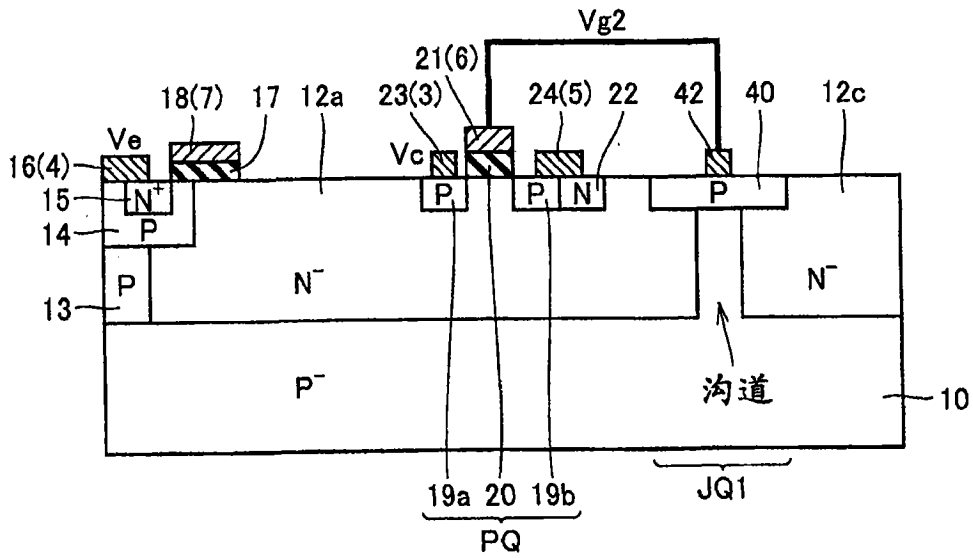


图 12

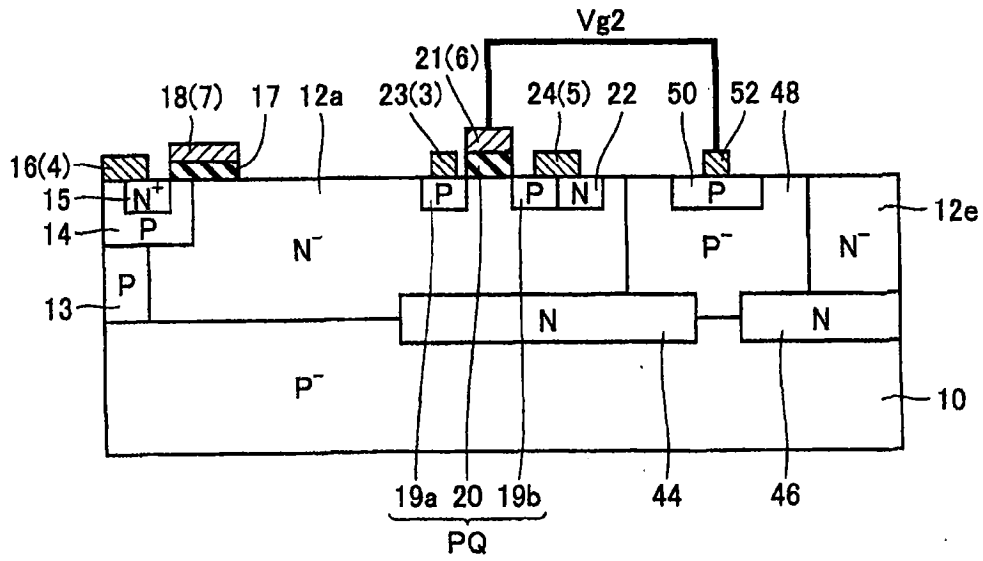


图 13

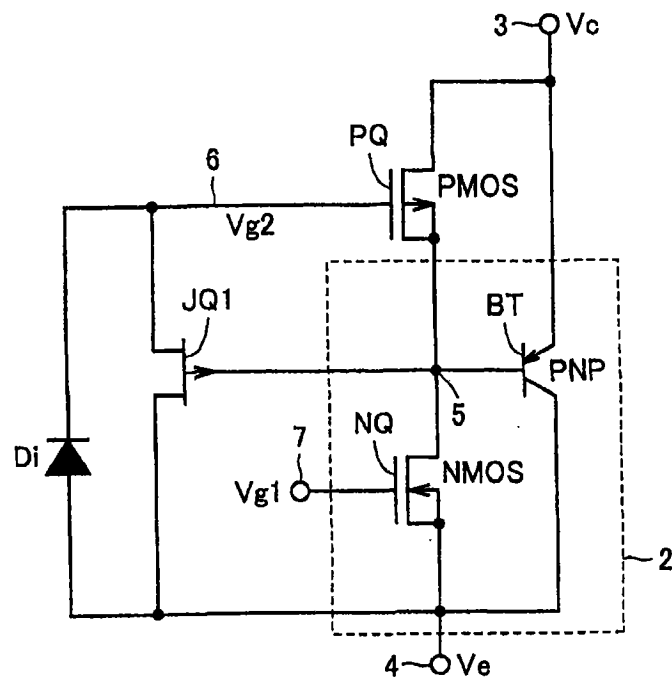


图 14

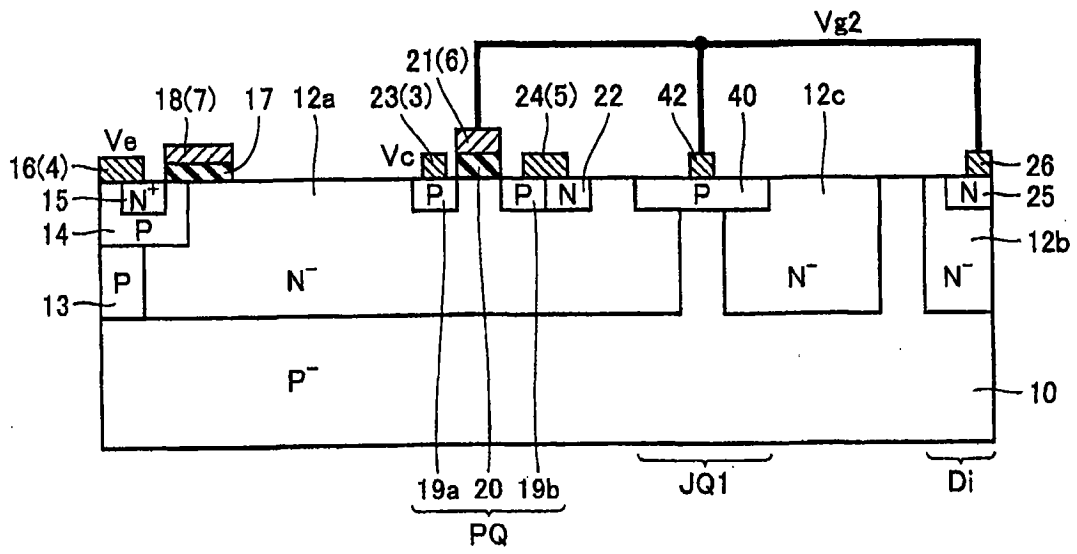


图 15

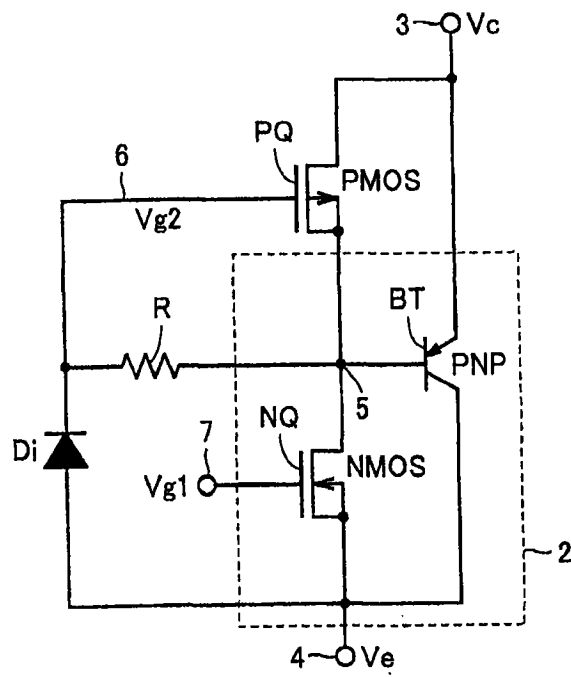


图 16

