

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3914537号

(P3914537)

(45) 発行日 平成19年5月16日(2007.5.16)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.		F I	
HO4B	1/59	(2006.01)	HO4B 1/59
GO6K	17/00	(2006.01)	GO6K 17/00
HO4B	5/02	(2006.01)	HO4B 5/02

F

請求項の数 6 (全 17 頁)

(21) 出願番号	特願2003-542507 (P2003-542507)	(73) 特許権者	501446826
(86) (22) 出願日	平成14年11月1日(2002.11.1)		エイヴィッド アイデンティフィケーション システム インコーポレイテッド
(65) 公表番号	特表2005-508597 (P2005-508597A)		アメリカ合衆国 カリフォルニア州 92860、ノルコ、ハムナー アヴェニュー 3185番
(43) 公表日	平成17年3月31日(2005.3.31)	(74) 代理人	100104156
(86) 国際出願番号	PCT/US2002/035167		弁理士 龍華 明裕
(87) 国際公開番号	W02003/040950	(72) 発明者	ワード ウィリアム エイチ
(87) 国際公開日	平成15年5月15日(2003.5.15)		アメリカ合衆国 カリフォルニア州 91760、ノルコ、ハムナー アヴェニュー 3179
審査請求日	平成17年8月24日(2005.8.24)		
(31) 優先権主張番号	60/337,996		
(32) 優先日	平成13年11月2日(2001.11.2)		
(33) 優先権主張国	米国 (US)		
早期審査対象出願			
前置審査			

最終頁に続く

(54) 【発明の名称】 デュアルアンテナコイルトランスポンダシステム

(57) 【特許請求の範囲】

【請求項 1】

無線識別装置のためのインテロゲータであって、
アンテナ駆動回路と、
第一のアンテナと、
第二のアンテナと、

前記アンテナ駆動回路によって発生された駆動電流を、前記第一のアンテナおよび前記第二のアンテナにそれぞれ向けられる実質的に同様である第一のアンテナ電流および第二のアンテナ電流に分割するように、前記アンテナ駆動回路に通信可能につながるスプリッタ回路と、
を備え、

更に、前記スプリッタ回路は、前記第一のアンテナおよび前記第二のアンテナへの駆動信号が実質的に等価になるように前記第一のアンテナおよび前記第二のアンテナを調節するアンテナバランス回路を備えるインテロゲータ。

【請求項 2】

同期復調部、整流部および加算器を含む差分電流検出部をさらに備え、前記差分電流検出部は前記スプリッタ回路と通信可能につながれて、前記第一のアンテナの電磁場と前記第二のアンテナの電磁場との差分から得られる信号を得る請求項 1 に記載のインテロゲータ。

【請求項 3】

10

20

前記差分電流検出部は差動変圧器を有する請求項 2 に記載のインテロゲータ。

【請求項 4】

前記電磁場の差分から得られる信号を受け取る受信部と、エンコード情報を含む前記信号をデコードして情報を得るデコーダとをさらに備えている請求項 2 に記載のインテロゲータ。

【請求項 5】

前記受信部は、前記第一のアンテナと前記第二のアンテナとの間のオフセットをゼロにする自動零調回路をさらに有している請求項 4 に記載のインテロゲータ。

【請求項 6】

前記第一のアンテナおよび前記第二のアンテナに提供される駆動電流を、所望の共振に合わせる自動調整回路をさらに備えている請求項 1 に記載のインテロゲータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線タグ (RFID) システムに関する。特に本発明は、誘導的にトランスポンダに結合し、トランスポンダからデータを引き出す、改良されたデュアルアンテナコイルアンテナおよび信号処理 RFID インテロゲータあるいはリーダに関する。トランスポンダをエナジャイズするようにリーダによって発せられる磁界は、2つの原則的に同一である、距離をあけて配置されたアンテナコイルに電流を流すことによって生成される。

【背景技術】

【0002】

自動データ識別産業では、対象物および/あるいはデータをトランスポンダが取り付けられた対象とみなして追跡する方法として、インテロゲータ (リーダとしても知られている) とトランスポンダ (タグとしても知られている) とを含み得る協同識別システム (cooperative identification system) の使用は突出して増えてきている。トランスポンダは一般的に半導体メモリであり、そこにはデジタル情報が記憶されている。誘導結合として知られる技術を用いて、トランスポンダは、インテロゲータによって生成される電磁界に応答して、記憶されているデータをインテロゲータに与える。この種の誘導結合識別システムは非常に用途が広い。トランスポンダは、インテロゲータによって提供される電磁界から電力を引き出すというように受動的であってもよく、あるいは自身の電源を有するというように能動的であってもよい。受動トランスポンダは、「半二重」トランスポンダか「全二重」トランスポンダのどちらかであり、非常に小さく、軽くかつ安価なユニットとして製造することができる。インテロゲータ - トランスポンダシステムは、キロヘルツからギガヘルツまでの広い周波数で動作するようにされる。インテロゲータは、携帯可能で、小型バッテリーによって電力を供給されてもよい。あるいは固定されており、バッテリーあるいは AC 電源から電力を供給されてもよい。

【0003】

これらの利点から、誘導結合識別システムは、移動する、あるいはアクセスできない対象とみなして情報を追跡することが望まれる多くのタイプのアプリケーションで用いられている。さまざまなアプリケーションには、資産および在庫管理、アクセス管理、自動車の料金徴収、駐車および保有車両管理のような交通に関するアプリケーションが含まれる。他のアプリケーションには、動物の健康、行動および場所のような情報を提供するようにトランスポンダを動物に取り付けることがある。トランスポンダを取り付ける一つの方法では、動物にトランスポンダを埋め込む。例えば、トランスポンダは、動物の皮膚の下に埋め込まれたり、あるいは飲み込まれたりした時に、動物の胃や消化管にとどまるように設計される。受動トランスポンダは、このタイプのアプリケーションに一意的に適應される。なぜなら、これらは、使い切ってしまう可能性のあるバッテリーのような内部電源を必要としないからである。

【0004】

誘導結合識別システムは、トランスポンダと誘導結合する電磁界を、アンテナコイルを

10

20

30

40

50

通じて生成するインテロゲータを使用し得る。トランスポンダは、受動的であってもよく、アンテナとしても、発生された電磁界から電力を取り出してトランスポンダの電気回路に供給する誘導電源としても機能する誘導アンテナコイルに結合されるメモリ素子を有してもよい。インテロゲータにデータを提供する方法では、トランスポンダが識別データをインテロゲータに再送信する。このアプローチは、インテロゲータ、トランスポンダの双方に送受信回路を必要とする。あるいは、トランスポンダを小型化することが望ましいので、トランスポンダにおいてできるだけ多くの部品をなくすことは有益である。したがって、インテロゲータにデータを提供する方法では、トランスポンダ内に可変の負荷が提供される。データを出コードするために、インテロゲータは、インテロゲータの10
パワー出力と、トランスポンダによる負荷とを測定する。変調されたパワー信号がデコードされて、後のデジタル解釈のためにデータ要素を分離する。

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来の誘導結合識別システムの欠点は、トランスポンダの誘導アンテナコイルとインテロゲータのフィールドアンテナコイルによって生成される電磁界の誘導結合は、インテロゲータのフィールドアンテナコイルとトランスポンダの誘導アンテナコイルとの間の距離に依存し得るということである。インテロゲータのフィールドアンテナコイルとトランスポンダの誘導アンテナコイルとの距離が最小であれば、誘導結合は最大となる。しかしこの距離が比較的遠ければ、誘導結合は無視できるほどになり、効果が弱くなる。したがって、トランスポンダを読み取る有効範囲を増やしたインテロゲータを提供することが望ましい。20

【0006】

従来の誘導結合識別システムにおいては、インテロゲータは、トランスポンダタグ以外の導電性の物体によって引き起こされる磁界の乱れを取り込むことができないか、あるいはそのように設計されていなかった。例えば、アンテナコイルの近くを歩いている動物または人間は、インテロゲータが発生している磁界と磁氣的に反応し得る。しかし従来のRFIDシステムは、磁界の乱れを検出する感度および/あるいは回路を欠いている。したがって、トランスポンダタグ以外の導電性の物体を検出することができるインテロゲータを提供することが望ましい。30

【課題を解決するための手段】

【0007】

本発明は、2つのアンテナコイルを有するインテロゲータを提供する。それらは、それらの近くにトランスポンダタグが配置されたときに、トランスポンダタグが読み取られることができるように配置される。このインテロゲータは、トランスポンダタグ以外の導電性の物体を検出することも可能である。一実施形態において、各アンテナコイルは、同一の、かつ好ましくは逆位相の磁界を生成するように駆動される。回路内のトランスフォーマのような装置は、アンテナコイル間の電流の差を測定する。トランスポンダをエナジャイズする、および/あるいは導電性の物体を検出するのに必要とされる磁界は、例えばここで述べる構成を変えるアンテナコイル等のアンテナを流れる電流によって発生される。40
アンテナは、タグが読み取られ得る、あるいは物体が検出され得る領域の近くに配置される。好ましくは、アンテナコイルは同一であり、逆極性である。しかし、異なるアンテナおよび/あるいは逆極性ではないアンテナコイルを用いることは本発明の範囲内である。

トランスポンダが2つのアンテナの隣に配置されアクティブにされると、アンテナコイルの磁界内で変化が誘発される。この変化は、2つのアンテナコイル間で測定される時間とともに変化する差分電流を引き起こし、これがトランスポンダに記憶されているデータを反映する。差分電流は、読み取られ、フィルタに通され、デコードされる。本発明の一実施形態において、アンテナ-アンテナコイルドライバ信号を共鳴に合わせる自動調節回路が設けられている。トランスポンダタグあるいは導電性の物体のような対象以外の現象によって引き起こされるいかなる差分電流をも無効にする自動零調回路も設けられても50

よい。

【 0 0 0 8 】

発明の他のシステム、方法、特徴および効果は、この後の図面および詳細な説明を検討することで当業者には明らかになるであろう。そのようなさらなるシステム、方法、特徴および効果の全ては、この説明内に含まれ、発明の範囲内に含まれ、添付のクレームによって保護されるということに留意されたい。

【 発明を実施するための最良の形態 】

【 0 0 0 9 】

図 1 は、本発明の R F I D インテロゲータの基本的な構成要素を示している。インテロゲータ全体 1 0 0 は、アナログの電気的構成要素、デジタルの電気的構成要素、あるいはこれらの組み合わせから構成されてもよい。したがって、インテロゲータ 1 0 0 の主要な電気的構成要素は、単一の I C チップ、P C ボード、あるいは、当業者に知られているいかなる適切な回路基板および/あるいはアセンブリ上に構築されてもよい。また、このシステムは、2つのアンテナコイル 1 1 2 および 1 1 4 を有しており、これらは、アンテナコイル 1 1 2 および 1 1 4 によって発生される場の中にトランスポンダタグが配置されたときにトランスポンダタグが読み取り可能であるように、配置されている。アンテナコイル 1 1 2、1 1 4 を駆動するキャリア信号は、プロセッサ 1 0 2 によって発生され、アンテナコイル駆動信号を発生するようにアンテナコイルドライバ/電源回路 1 0 4 に供給される。アンテナコイルドライバ/電源回路 1 0 4 は、回路のインピーダンスをアンテナコイル 1 1 2、1 1 4 に整合されることが可能であるインピーダンス整合回路網を有する。さらに、アンテナコイルドライバ/電源回路 1 0 4 は、所望の共振に自動的に回路を調整可能である自動調整回路網(後述する)を有している。

10

20

【 0 0 1 0 】

スプリッタ 1 0 6 は、アンテナコイルドライバ/電源回路 1 0 4 からのアンテナコイル駆動信号を受け取って、アンテナコイル 1 1 2、1 1 4 に均等に電流を分割する。トランスポンダがアンテナコイル 1 1 2、1 1 4 の近傍において発生される場に配置され、アンテナコイル 1 1 2、1 1 4 からの信号によってアクティブにされると、アンテナコイル 1 1 2、1 1 4 によって生成される磁界において測定可能な変化が引き起こされる。この変化は、2つのアンテナコイル 1 1 2、1 1 4 で測定可能である差分電流を引き起こし、これが半二重トランスポンダか全二重トランスポンダのいずれかに含まれているデータを反映し、および/あるいはアンテナコイル 1 1 2、1 1 4 によって生成される磁界を通るあるいはそばの導電性の物体を示す。

30

【 0 0 1 1 】

本発明によると、動物や人間といった物体および/あるいは導電性の他の物体を検出することができる。例えば、牛のような動物がアンテナコイルの間、あるいはそばを通ると、牛の存在がアンテナコイル 1 1 2、1 1 4 によって発生されている場における反応を発生し、磁場の測定可能な乱れを生じさせる。この乱れは、2つのアンテナコイル 1 1 2、1 1 4 の差分電流を引き起こし、これをスプリッタ 1 0 6 に通信可能に結合されているリーダが検出することができる。この特徴は、動物、人間、および/あるいは、磁気反応を起こさせる他の物体を追跡するのに用いることができる。この特徴は、トランスポンダタグをもたない導電性の物体がアンテナコイルを通り抜けたことを示すのにも用いることができる。導電性の物体の検出を示す手段は、サイレン、ホーン、光、あるいは当業者に知られている他のどのような機構の出力であってもよい。

40

【 0 0 1 2 】

本実施形態は、スプリッタ 1 0 6 内にアンテナコイルバランス回路を有している。これは、動作に先立ち、あるいは動作中にアンテナコイル 1 1 2、1 1 4 の両方のインピーダンスを整合させることを可能にする。これは例えば、スプリッタ 1 0 6 内で調整可能な差動インダクタ、および/あるいは調整可能な抵抗を用いることによって実現される。

【 0 0 1 3 】

R F I D インテロゲータ 1 0 0 は、スプリッタ 1 0 6 につながれた受信回路 1 0 8 を有

50

している。受信回路 108 は、アンテナコイル 112、114 の磁界の近く、あるいは中にある半二重あるいは全二重トランスポンダおよび / あるいは導電性の物体によって発生される差分信号を受け取る。また、RFID インテロゲータ 100 は、信号をデコードする、受信回路 108 につながれたデコーダ回路 110 も有している。また、アンテナコイル 112、114 を駆動する信号間のオフセットを連続的に (トランスポンダの読み取りの間で) ゼロにする自動零調回路を受信回路 108 に設けてもよい。

【0014】

図 2 は、図 1 のインテロゲータ 100 のブロック図の一例である。多くの回路および構成要素の変更がかんば得られ、それらを用いることは本発明の範囲から逸脱しないということに留意されたい。したがって、インテロゲータ 100 は、図 1 に示されたインテロゲータ 100 の例示的な一実施形態を表している。図 1 の構成要素 102、104、106、108、110、112、114 に対応する回路ブロックが図 2 にもっと詳しく示されている。インテロゲータ 100 は、AC 線で電力を供給される DC 供給源あるいは蓄電池のいずれかから得られる DC 電源 202 で動作する。DC 電源はさらに、レギュレータ (図示せず) によってさまざまな電圧レベルに分割される。

10

【0015】

述べたように、プロセッサ 102 は、電氣的消去可能 ROM (EEPROM) 204、制御プロセッサ 206、キャリアジェネレータ 208、ハウスキーピングプロセッサ 210 および通信入出力 (COMM I/O) プロセッサ 212 を有する。これらの構成要素のそれぞれは、データおよび指令をプロセッサ 102 内で共有するように電氣的に相互に接続されている。

20

【0016】

アンテナコイルドライバ / 電源回路 104 は、電源 202 に加えて、コイルドライバスイッチ 214、電力レベル調整部 216、インピーダンス整合回路網 218、および自動調整部 220 を有している。これらの構成要素は、下記に述べるように、キャリアジェネレータ 208 からコイルドライバスイッチ 214 に入力を受け取り、コイル駆動信号をスプリッタ 106 に出力するように相互に接続されている。

【0017】

スプリッタ 106 は、アンテナコイルドライバ / 電源回路 104 からコイル駆動信号を受け取る信号スプリッタ 222 を有している。スプリッタ 106 は、図 2 に示すように、コイルバランス回路 234 を有していてもよく、これはスプリッタ 222 とアンテナコイル 112、114 との間に配置される。アンテナコイル 112 および 114 は、グラウンド 237 への共通の出力を有してもよい。

30

【0018】

スプリッタ 106 は、アンテナコイル 112 および 114 を駆動するだけではなく、アンテナコイル 112 および 114 からの信号を受信回路 108 に出力する。受信回路 108 は自動零調部 224 を有しており、これがスプリッタ 106 からの信号を受け取って、自動零調処理の後に受信部アンプフィルタ 226 へ信号を送る。受信部アンプフィルタ 226 は同期復調部 228 に信号を出力する。これもプロセッサ 102 からのキャリアジェネレータ 208 からの入力信号を受け取る。同期復調部 228 は、出力信号を整流部 230 に与え、これは信号を加算器 232 に送る。受信回路 108 は、受信部アンプフィルタ 226 および加算器 232 からの信号を、デコーダ回路 110 に出力する。

40

【0019】

デコーダ回路 110 は、受信部アンプフィルタ 226 からの信号を受け取る半二重 (HDX) デコーダ 227 とともに、加算器 232 からの信号を受け取って FD X デコーダ 240 によって位相偏移変調 (PSK) 信号のデコーディングを、あるいは FD X デコーダ 242 によって周波数偏移変調 (FSK) 信号のデコーディングをそれぞれ提供し、DATA 出力を提供する全二重 (FDX) デコーダ 240 および 242 を有している。

【0020】

プロセッサ 102 は、制御マイクロプロセッサ 206 を有しており、これは、タイミン

50

グ、通信等の制御信号を提供するようにインテロゲータ100の主制御として用いられる。この制御マイクロプロセッサ206のタイムベースは、同期信号を生成するのに用いられる。制御マイクロプロセッサ206によって発生される同期信号は、第二のキャリアジェネレータマイクロプロセッサ208によって、キャリア周波数、例えば134.2kHzに分割される。第二のキャリアジェネレータマイクロプロセッサ208は、分割後の周波数でいくつかの信号を発生する。例えば、キャリアジェネレータマイクロプロセッサ208は、アンテナコイルドライバ、電源回路104'につながれて、適切な時間にアンテナコイル駆動スイッチ214をオン・オフして、アンテナコイルドライバ/電源回路104によって生成されるアンテナコイル駆動信号において最小の高調波を発生するように発生されたキャリア信号をそれに与えてもよい。

10

【0021】

また、キャリアジェネレータマイクロプロセッサ208は、アンテナコイル駆動信号のピークおよびゼロ交叉において発生されたキャリア信号を受信回路の同期復調部228のため、および他のタイミングのために与えるように、受信回路108にもつながれてよい。

【0022】

アンテナコイル駆動スイッチ214は、アンテナコイルインピーダンス整合回路網を順番にDC供給電圧に接続し、それから回路を開放し、それから回路を設置し、それから再び回路を開放し、それからDC供給電圧に再び接続する。回路開放の期間は、アンテナコイル駆動信号における発生されるキャリアの高調波の著しい減少をもたらす。これらの回路開放の期間中に、アンテナコイルからの誘導電流がダイオード(図示せず)を通して、グラウンドあるいは、必要に応じてDC供給へと流れる。アンテナコイル駆動スイッチ214は、電力レベル調整部216に、そして直列駆動コンデンサ、アンテナコイルおよび並列タンクコンデンサからなるインピーダンス整合回路網218へと電流を供給する。アンテナコイルインピーダンスは、ピーク電圧を都合のよい値に保つために比較的低い。インピーダンス整合回路網は、アンテナコイル駆動スイッチ213によって見られるインピーダンスを上昇させ、電流を下げて都合のよい値に切り替える。直列駆動コンデンサの小さい値は、アンテナコイル駆動スイッチ214によってみられるインピーダンスを上昇させ、それによってピーク電圧およびアンテナコイルを循環する電力を減らす。直列駆動コンデンサは、共振回路の一部であるので、その容量の変化は、並列な共振回路の容量においても反映されなければならない。直列駆動コンデンサの部分をグラウンドとスイッチとの間で切り替えることによって、全体の共振周波数は変わらないままである。したがって、アンテナコイルへの電力は、チューニングを再調整することなく、都合よく調節される。

20

30

【0023】

アンテナコイルのインダクタンスは、それらの位置および環境に応じて変わってもよく、ときおり共振に再調整して合わせることを必要とする。自動調整回路220は、必要に応じてトリムコンデンサをインに入れたり、アウトに入れたりすることによって、回路を自動的に再調整する。位相検出器(図示せず)は、アンテナコイル信号とデジタル駆動信号とを比較し、共振に必要な補正の方向および量を示す位相エラー信号を発生する。このエラー信号は、ハウスキーピングマイクロプロセッサ210に送られ、マイクロプロセッサ210が共振への再調整を行うようにトリムコンデンサの正しい組み合わせを計算し、それにしたがってスイッチを設定する。このスイッチの更新は、アンテナコイルがオフの期間においてのみ起こり、全二重トランスポンダタグが読み取られている期間には起こらない。

40

【0024】

アンテナコイル駆動信号は、インピーダンス整合回路網218および自動調整回路2210から電力スプリッタ回路222に進む。電力スプリッタ回路222は、電流を2つの整合しているアンテナコイル112および114に分割し、2つの電流を減算して差分電流を形成する。差動変圧器のような装置を差分電流を取り出すために用いてもよい。磁界

50

を変調するタグがなければ、各アンテナコイルに向けた電流は等しく、したがって差分電流はないことになる。場の近くのタグがある、および/あるいは導電性の物体が場の近くに配置されている場合には、2つのアンテナコイルを駆動する電流間に差が生じる。この差が、差分電流測定装置上に信号として現れる。例えば、差動変圧器を用いる場合、差分電流は、差動変圧器上の第三の巻線上の電圧として現れる。差動変圧器の第一および第二の巻線はそれぞれのアンテナコイルに接続されている。この差分信号が、増幅、復調および復号のためにタグのデータを受信部に運ぶ。また差分信号は、導電性の物体が磁場の近くにあることを示す何らかの信号も運ぶ。別個の受信部アンテナコイルを用いることを含む無数の他の構成が、本発明の範囲から逸脱することなく可能である。

【0025】

タグをエナジャイズするのに必要とされる磁場は、タグを読み取ることができる領域の近くに配置されたアンテナコイル112および114を流れる電流によって発生される。一実施形態においては、例えば、アンテナコイルは家畜のシュート(すなわち「軌道」)の両側に設けられ、タグ(あるいは導電性の物体)がアンテナコイルの間あるいはそばを通過してもよい。この実施形態ではアンテナコイルは可能な限り同一に近く構成されているが、それらの周囲の環境のために、アンテナコイル間でインダクタンスおよびAC抵抗に小さな差が生じることがある。インダクタンスバランスおよび抵抗バランス制御234によって、これらの差の初期補正が可能になり、差分信号をゼロにする。

タグあるいは導電性の物体が場があれば、2つのアンテナコイルからの信号の差は、受信部の入力における差分信号として現れる。導電性の物体の場合、信号は磁気の乱れから構成される。タグの場合には、信号は、キャリア周波数と、キャリア周波数周辺、例えば134.2KHzに中心を持つキャリアの変調による側波帯(サイドバンド)とから構成される。この受信信号はフィルタ226を通り、フィルタ226が帯域を減少し、通過帯域外の雑音要素を減衰する。

【0026】

フィルタを通った信号は、同期復調部228によって、同相「I」および直角「Q」の要素に復調される。復調部228は、キャリアジェネレータによって発生される信号によって駆動される。キャリアと同相の信号要素が存在すれば、「I」信号は正であり、キャリアとは位相が異なる信号要素が存在すれば「I」信号は負である。これは「Q」信号にも当てはまるが、これは信号の直角分(キャリアから90度)に関連する。

【0027】

理想的には、キャリア周波数でのトータルの電圧は、「I」および「Q」要素の平方の和の平方根で表される。この例示的な実施形態においては、「I」および「Q」の絶対値の和を近似として用いてもよい。2つの精密整流部230が別々に「I」および「Q」要素の絶対値をとり、それらの和が復調信号の振幅として出力される。加算器232からの振幅情報は、位相偏移変調(PSK)240を用いてエンコードされた全二重タグデータを含んでいる。PSKデコーダは、ハウスキーピングマイクロプロセッサとともに、制御プロセッサへの入力のために、データおよびクロックを再生する。

【0028】

アンテナコイル112および114が完全に同一であり、差動変圧器が完全に巻かれているとすると、アンテナコイルの電流は同一になり、その差は、場の近くに導電性の物体および/あるいはタグがないときにはゼロになる。同様に、受信信号にもキャリアは存在しない。実際には、アンテナコイル112および114、ならびにそれらに向けられた電流は正確にはバランスがとられておらず、いくらかのキャリアが漏れ出て、その結果、「I」および「Q」信号におけるDCオフセットとなる。このDCオフセットはハウスキーピングマイクロプロセッサによって読み取られ、これがデュアル乗算型デジタル-アナログコンバータを駆動し、出て行くキャリアの十分な「I」および「Q」要素を入れてくる信号に加算して残りのキャリアをゼロにする。これらの補正「I」および「Q」要素は結合して、差動変圧器からの残りのキャリア信号と等しく、正確に逆位相の信号を構成し、したがって復調された「I」および「Q」信号におけるDCオフセットをゼロに戻す。

10

20

30

40

50

【 0 0 2 9 】

受信増幅器 / フィルタの最初の 2 つのセクションは、約 1 2 4 K H z と約 1 3 5 K H z との間の H D X 周波数を通す。この帯域は、1 2 9 K H z の中央周波数周辺に設定された位相ロックループに供給され、これがキャリアジェネレータマイクロプロセッサにおける空間を共有するプログラムとともに、周波数変調 (F S K) データおよびクロック信号を取り出して復号する。H D X タグの復号は、キャリアがオフのときのみ起こり、したがって同じチップ内の 2 つの機能の間での干渉はない。

【 0 0 3 0 】

他の実施形態では、通信インタフェースが、外部のコンピュータ、端末、あるいは当業者に知られている何らかの他のデータ収集および制御装置への双方向通信のリンクを提供する。さらに、E E P R O M は、電源オフ状態の間、さまざまな動作パラメータおよびオプションを記憶する。これは、マイクロプロセッサの一つの中、および / あるいは P C ボード上の別のチップの中に設けられてもよい。

10

【 0 0 3 1 】

図 3 は、図 2 について説明したブロック構成要素 1 0 4 に相当する電源、アンテナコイルドライバ、および自動調整回路 1 0 4 の一例を示す。図 2 における電源 2 0 2、コイル駆動スイッチ 2 1 4、電力レベル調整部 2 1 6、インピーダンス整合回路網 2 1 8、および自動調整回路 2 2 0 に対応する回路ブロックを、それぞれ、2 0 2、2 1 4、2 1 6、2 1 8 および 2 2 0 として図 3 にもっと詳しく示す。図 3 は回路図の一例であり、多くの回路および構成要素の変形が考えられ、それらは本発明の範囲から逸脱することなく組み込まれ得るということに留意されたい。

20

【 0 0 3 2 】

A C 電源電圧は端子 3 0 0 および 3 0 3 に印加され、これらは電流をリセット可能なフューズ 3 0 4 に導く。そして電流は、コンデンサ 3 0 5 によって滑らかにされて、差動増幅器 3 0 9 が抵抗 3 1 0 を通る電流に比例して、0 から 5 ボルトの出力を与える。一方で 3 1 1 および 3 1 2 にある抵抗が入力電圧を 5 ボルトにする。入力電流は、アンテナコイル駆動 n M O S F E T スイッチ 3 1 4 および 3 1 5 へ、そして 1 0 ボルトの電圧調整器 3 1 6 に供給される。この 1 0 ボルト線は、C M O S ドライバ 3 1 7、5 ボルト電圧調整器 3 1 8 および他のさまざまな構成要素に供給される。5 ボルト電圧調整器 3 1 8 は直接デジタル V c c を供給し、フィルタ 3 2 0 を通してアナログ 5 ボルト 3 1 9 を供給する。また、フィルタ 3 2 2 を通して、電圧調整器 3 1 8 は、フィルタ 3 2 4 に - 4 . 5 ボルトを供給し、かつ - 4 . 5 ボルトの出力 3 2 5 を与える電圧インバータ 3 2 3 にも供給する。

30

【 0 0 3 3 】

C M O S ドライバ 3 1 7 は、アンテナコイル駆動 n M O S F E T スイッチ 3 1 4 および 3 1 5 のゲートを別々に駆動する。ダイオード 3 3 0 およびコンデンサ 3 3 2 は、両方の M O S F E T が n チャンネルであるので、電源レールの上にゲート駆動電圧を引き上げる。コンデンサ 3 3 4 および 3 3 5 は、ボードへ結合するキャリア周波数を最小にするようにスイッチへの低インピーダンスの電圧供給を提供する。インダクタ 3 3 6 は同じ理由から高周波数のスイッチングエッジを減少させる。M O S F E T をまたがる内部ダイオード (図示せず) は、両方のスイッチがオフになっているときに、D C 供給源あるいはグラウンドへの電流経路を提供する。

40

【 0 0 3 4 】

コンデンサ 3 4 0、3 4 1 および 3 4 2 は、並列チューニングコンデンサおよびアンテナコイルとともに、調整されたインピーダンス整合ネットワークの一部を構成する。コンデンサ 3 4 0 は常に決まった位置にあり、最も高いインピーダンス設定 (最も低いアンテナコイル駆動電力) を表している。これに対してコンデンサ 3 4 1 および 3 4 2 は、アンテナコイルに並列か、コンデンサ 3 4 0 に並列に、スイッチ 3 4 3 および 3 4 4 によって切り替え可能である。このようにして、それらは共振周波数を一定に保ち、コンデンサ 3 4 0 と並列になったときには、アンテナコイルへの駆動インピーダンスを減少させ、与えられた電圧での電力を増加させる。これにより、アンテナコイルの調整に影響を及ぼすこ

50

となく、どの入力電圧に対しても4つの選択可能な電力設定が提供される。抵抗346および348はアンテナコイル駆動電圧を基準レベルに分割する。電力は350で送信アンテナに供給される。

【0035】

トライアック360~365およびコンデンサ366~371は、デジタル信号によるアンテナコイルの自動調整を可能にする。コンデンサは2進シーケンスになっているので、回路は容量コンバータに対してデジタルとして振る舞う。)マイクロプロセッサによってトライアックのゲートに印加されるデジタルの組み合わせは、必要な調整値を提供するように適切なコンデンサをオンにする。共振は、デジタルアンテナコイルスイッチ信号が基準点372において出力キャリア位相に対して直角(90度)であるときに生じる。

10

【0036】

トライアック373は、抵抗374においてたまった共振エネルギーを吸収して、アンテナコイルの振動をやわらげるようにアンテナコイル電力がオフにされるときに、短い間オンにされる。読取トリガ回路375および補助入力回路376により、制御マイクロプロセッサは、自身を外部の過渡電流から保護しつつ、外部スイッチ入力に応答することが可能である。補助出力回路377においては、AUX-OUT線がローに引っ張られ、マイクロプロセッサによる外部のイベントの制御を可能にする。

図4は、図2に関して上述したブロック構成要素108に対応する受信・自動零調回路108の一例を示す。図2における自動零調回路224、受信部増幅器およびフィルタ226、復調部228、整流部230および加算回路232に対応する回路ブロックが、図4にもっと詳しく示されている。図4は回路図の一例であり、多くの回路および構成要素の変更が考えられ、それらを導入することは本発明の範囲から逸脱しないということに留意されたい。

20

【0037】

スプリッタの差動変圧器(図7において述べる)からのバランスのとられていない信号が点400で受け取られる。例えば、この信号は134.2kHzで読み取られてもよい。コンデンサ402は内部雑音の除去を提供し、増幅器404は、信号を増幅し、雑音をさらに低減すべく信号の低域を通過させる。コンデンサ406および408は、増幅器404と、インダクタ410およびコンデンサ412から構成されるタンク回路との間でインピーダンスを整合させる。これがフィルタの極を提供する。

30

【0038】

FET(電界効果トランジスタ)414は、過渡電流を静めるべくアンテナコイル電力が除かれた後に、短くオンになる。増幅器415は、インダクタ416およびコンデンサ418から構成されるフィルタへの電圧を上昇させる。受信されたトランスポンダ信号が半二重(HDX)信号であれば、HDX信号は最後のフィルタの極の前に取り込まれ、受信されたトランスポンダ信号が全二重(FDX)信号であれば、FDX信号は422へと続く。増幅器420は、インバータ424および復調器426を駆動するゲインを提供する。

【0039】

復調器426におけるCMOSスイッチは、キャリアジェネレータチップからの位相が持っている方形波および方形波直角信号の位相に応じて、直接信号か間接信号かを選択する。これは、受信した信号を、キャリアと位相の合っている一つの要素と、キャリアに対して直角な一つの要素とに復調する。抵抗428および430ならびにコンデンサ432および434は、自動零調の特徴(後述する)において用いられる位相の合っている(I)要素と直交(Q)要素とを積分する。またIおよびQ信号は、増幅器436および438において整流され、増幅器440において加算される。この結果が442における復調された全二重(ベースバンドにおいて)信号であり、位相偏移変調(PSK)あるいは周波数偏移変調(FSK)の復号化(図?において説明する)への準備が整った状態である。

40

【0040】

50

アンテナコイルの置かれた環境における小さな変化は、インピーダンスのシフトを引き起こし、したがってキャリアのフィードスルーを許すことになる。本発明は、望ましいと考えられるときに、このようなキャリアのフィードスルーを除去する自動零調という特徴を有している。回路444は、出て行くキャリアのサンプルREF_I446をとる状態可変アクティブフィルタを構成し、404における加算ジャンクションに与えられる電流出力を有するデュアル乗算型デジタル-アナログコンバータ448へIおよびQ基準電圧(I+、I-、Q+、Q-)を提供する。これらの電流は加算されて、キャリアにとは逆位相ではあるが、振幅は等しい信号を形成し、フィードスルーをゼロにする。復調器426からの出力は、OFFSET_I450およびOFFSET_Q452における電圧を測定することによって、ローカルシリアルバスに対してプロセッサ(ハウスキーピングマイクロプロセッサ、マルチプレクサによる)によって制御される。

10

【0041】

図5は、図2について上述したブロック構成要素110'に対応するデコード回路110"の一例を示している。図2におけるHDXデコーダ227、PSKデコーダ240、およびFSKデコーダ242に対応する回路ブロックが図5においてより詳細に示されている。図5は回路図の一例であり、多くの回路および構成要素の変更が考えられ、それらの導入は本発明の範囲から逸脱しないということに留意されたい。

【0042】

ベースバンド信号がローパスフィルタ500およびデコーダ502の両方に与えられる。ローパスフィルタ500はコンパレータ504を駆動し、これがマイクロプロセッサのための位相偏移変調信号を二乗して、PSK_COMP506を復号する。デコーダ502は周波数偏移変調信号を復号する。電圧制御オシレータ信号は、508においてマイクロプロセッサのために二乗される。(多くのタイプの暗号化が用いられ得る。)

20

【0043】

半二重信号は、約124KHzと134.2KHzとの間で偏移させられながら周波数偏移変調されているので、第二段階における受信フィルタから分離されて、128KHzあたりの中心の周波数を有する位相ロックループ510に供給される。電圧制御オシレータ出力周波数は、プロセッサ610(図6)にデータクロックHDX_CAR512として与えられ、VCO制御電圧は、増幅器514によって二乗されて、データ列HDX_COMP516としてプロセッサ610(図6)に送られる。プロセッサ610(図6)は、キャリア駆動タイミングジェネレータとしても機能するが、半二重タグはキャリアがオフのときのみ読み取られるので、プロセッサ610(図6)はこの二つの機能を提供することができる。

30

【0044】

図6は、図2について説明されたブロック構成要素102に対応するプロセッサ、メモリ、および通信回路102の一例である。図2におけるメモリ204、コントローラ206、キャリアジェネレータ208、ハウスキーピングマイクロプロセッサ210、および通信I/Oプロセッサ212が図6においてはより詳細に示されている。図6は回路図の一例であり、多くの回路および構成要素の変更が考えられ、それらの導入は本発明の範囲から逸脱しないことに留意されたい。

40

【0045】

システムの基本的なタイミングおよび制御は、クリスタル600およびマスタマイクロプロセッサ206によって提供される。マイクロプロセッサ206は、外部の通信、他のマイクロプロセッサとの通信、音声出力、光の発生、外部制御スイッチの読み取り、受信したタグデータの復号およびフォーマット、LCD上でのデータ表示、内部EEPROM204か他の記憶装置のどちらかへのユーザオプションおよびパラメータの記憶、ならびにシステム全体の動作のやり方を一般的に保つことを容易にするソフトウェアを実行する。

【0046】

ハウスキーピングマイクロプロセッサ210は、自動調整および自動零調ソフトウェア

50

と相互作用するマルチプレクサ608を通じてアナログ電圧を測定し、リーダの内部の出来事を一般的に扱う。キャリアタイミングジェネレータ610は、キャリア(PULL_UPおよびPULL_DOWN)を発生させ、受信された信号(SQI、SQQ)を復調させるための正確なタイミング信号を提供するようにクロック周波数を分割する。また、アンテナコイル信号でビジーではないときには、先に述べたプロセッサ510とともに、半二重タグを復号する。コンパレータ612は、XORゲート614におけるSQIと比較されるゼロ交叉を検出して、プロセッサ606が図3のトライアック自動調整スイッチを制御することができるようにマルチプレクサ608において位相エラー電圧(TUNE_ERR)616を発生する。

【0047】

10

図7は、図2について上述したブロック構成要素106に対応するスプリッタおよびコイルバランス回路、ならびにアンテナコイル106の一例を示している。図2におけるスプリッタ222、コイルバランス234、ならびにアンテナコイル112および114に対応する回路ブロックは、図7においてより詳細に示されている。図7は回路図の一例であり、多くの回路および構成要素の変更が考えられ、それらの導入は本発明の範囲から逸脱しないということに留意されたい。

【0048】

本実施形態においては、2つのアンテナコイル708を駆動する電流は、ユーザが2つのアンテナコイルを駆動する電流のバランスを等しくとることを可能にする抵抗バランスネットワーク702および調節可能な差動インダクタ706によって、バランスをとられる。差動変圧器704は、2つのアンテナコイル112および114の電流の差を測定し、これが半二重あるいは全二重トランスポンダに含まれるデータを反映し、および/あるいは磁場を通過する物体を示す。

20

【0049】

本発明ではアンテナ「コイル」を上で説明しているが、コイル状であろうとなかろうと、当該分野で知られているどのようなタイプのアンテナを用いてもよいことを理解すべきである。

【0050】

図3～7の説明およびそれらの図面自体は、当業者であればさまざまな用途に応じて変更され得ることを理解するであろう代表的な回路と主要な構成要素とを示している。詳細を完全にするために、ここに付録として含まれている図3A、4A、5A、6Aおよび7Aは、図3～7に対応する回路要素についての参照符号を含む詳細な回路図である。

30

発明のさまざまな実施形態を説明したが、当業者は、多くの実施形態および実装が本発明の範囲内で可能であることを理解することであろう。したがって、本発明は、添付の請求項およびそれらの等価物に鑑みることを以外で、限定されることはない。

【図面の簡単な説明】

【0051】

【図1】本発明の基本的な構成要素であるデュアルアンテナコイルリーダを示す図である。

【図2】図1の読み取り回路のブロック図の一例である。

40

【図3】本発明の電源、アンテナコイルドライバ、および自動調節回路の一例を示す図である。

【図3A】図3に対応する回路要素についての参照符号を含む詳細な回路図である。

【図4】本発明の受信および自動調節回路の一例を示す図である。

【図4A】図4に対応する回路要素についての参照符号を含む詳細な回路図である。

【図5】本発明のデコード回路の一例を示す図である。

【図5A】図5に対応する回路要素についての参照符号を含む詳細な回路図である。

【図6】本発明のプロセッサの一例を示す図である。

【図6A】図6に対応する回路要素についての参照符号を含む詳細な回路図である。

【図7】本発明のスプリッタ、コイルバランス、およびアンテナコイルの一例を示す図で

50

ある。

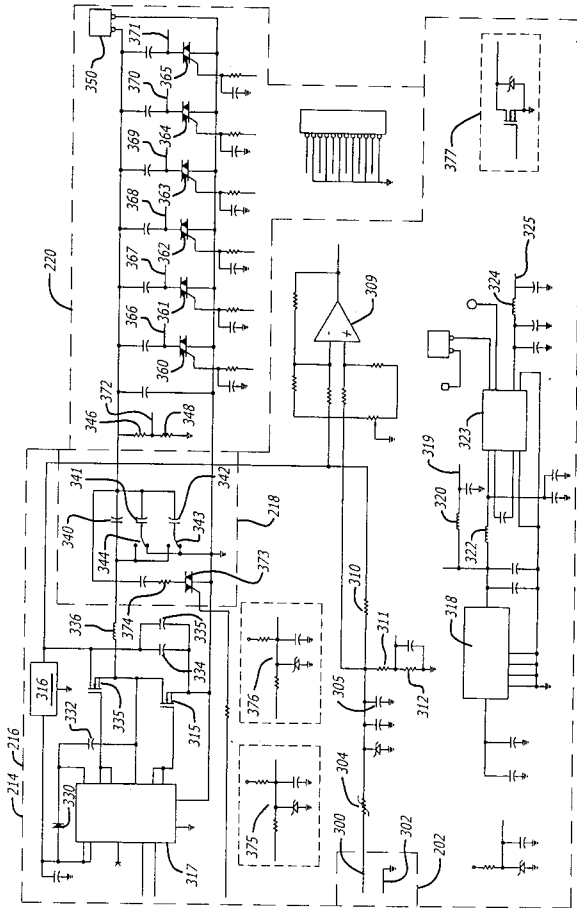
【図7A】図7に対応する回路要素についての参照符号を含む詳細な回路図である。

【符号の説明】

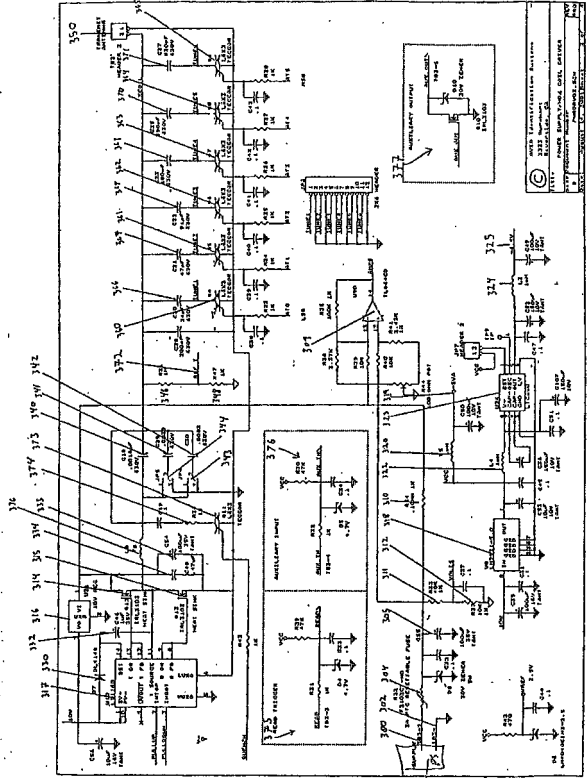
【0052】

100	インテロゲータ	
102	プロセッサ	
104	アンテナコイルドライバ/電源回路	
106	スプリッタ	
108	受信回路	
110	デコーダ回路	10
112、114	アンテナコイル	
202	DC電源	
204	EEPROM	
206	制御プロセッサ	
208	キャリアジェネレータ	
210	ハウスキーピングプロセッサ	
212	COMM I/Oプロセッサ	
214	コイルドライバスイッチ	
216	電力レベル調整部	
218	インピーダンス整合回路網	20
220	自動調整部	
222	信号スプリッタ	
226	受信部アンプフィルタ	
227	半二重デコーダ	
228	同期復調部	
230	整流部	
232	加算器	
240、242	全二重デコーダ	
300、302	端子	
304	リセット可能フューズ	30
305	コンデンサ	
309	差動増幅器	
310、311、312	抵抗	
314、315	アンテナコイル駆動nMOSFETスイッチ	
316、318	電圧調整器	
317	CMOSドライバ	
320、322、324	フィルタ	
323	インバータ	
330	ダイオード	
332、334、335	コンデンサ	40
336	インダクタ	
340、341、342	コンデンサ	
343、344	スイッチ	
346、348	抵抗	
360~365	トリアック	
366~371	コンデンサ	
373	トリアック	
374	抵抗	
375	読取トリガ回路	
376	補助入力回路	50

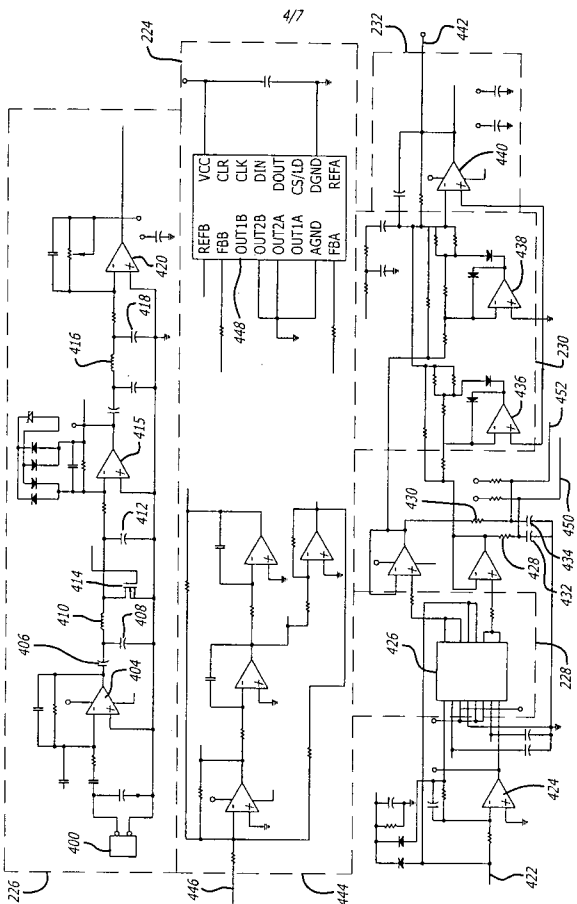
【 図 3 】



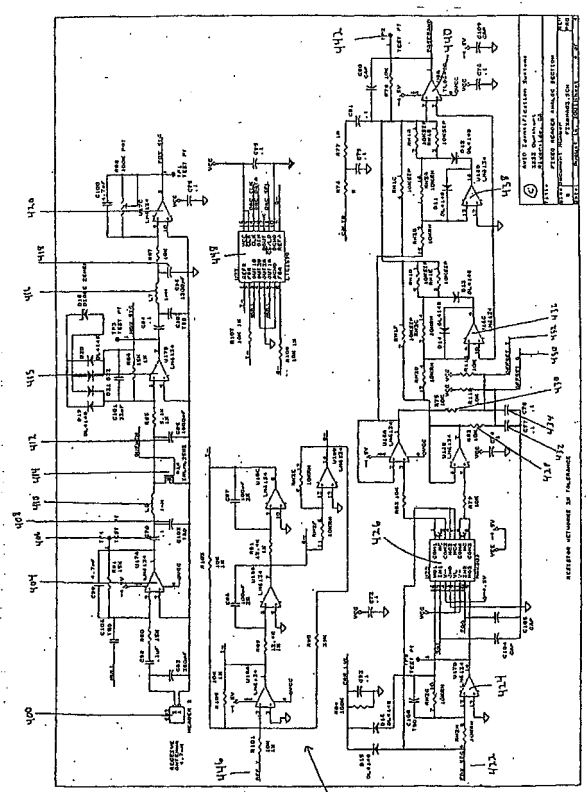
【 図 3 A 】



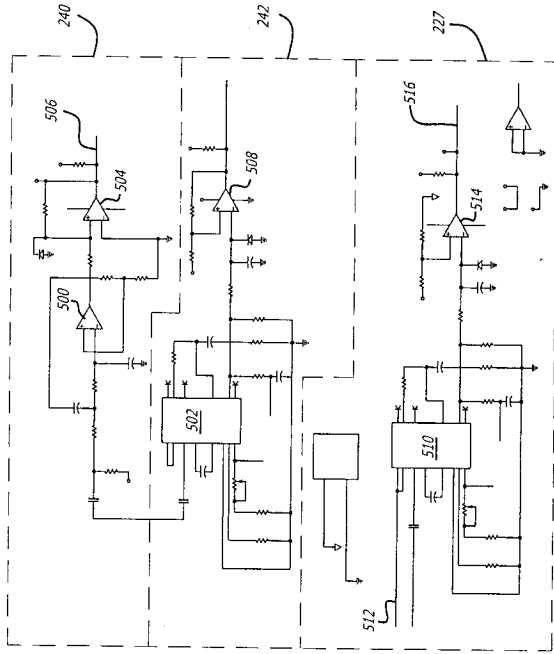
【 図 4 】



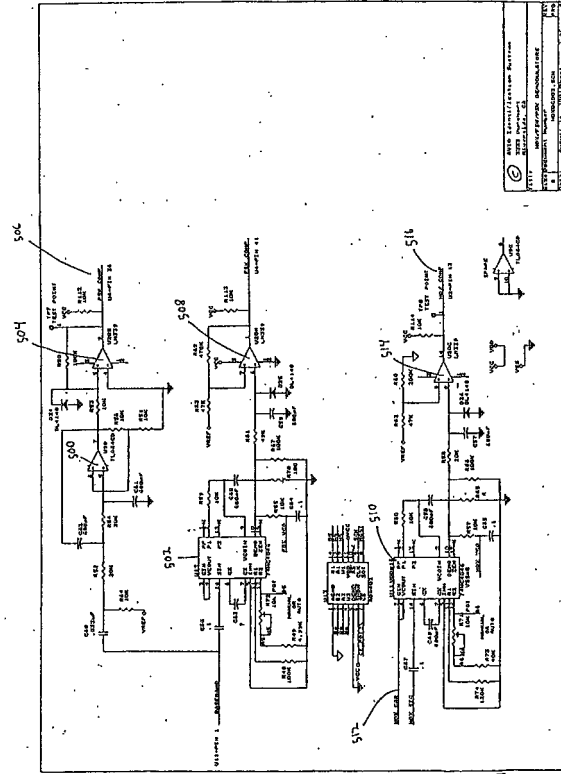
【 図 4 A 】



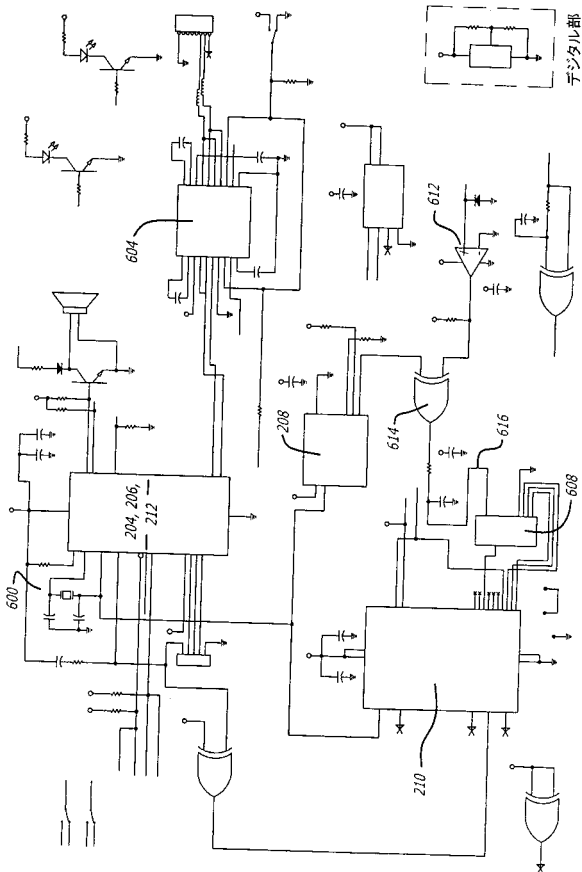
【 図 5 】



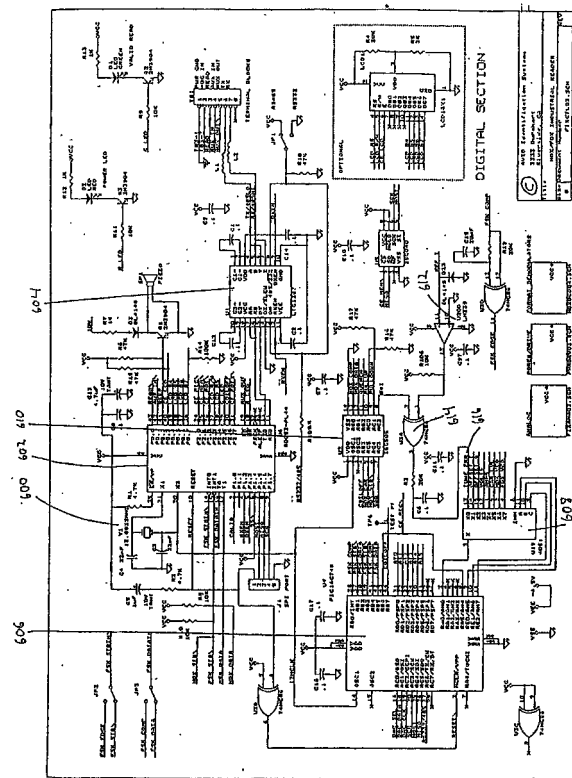
【 図 5 A 】



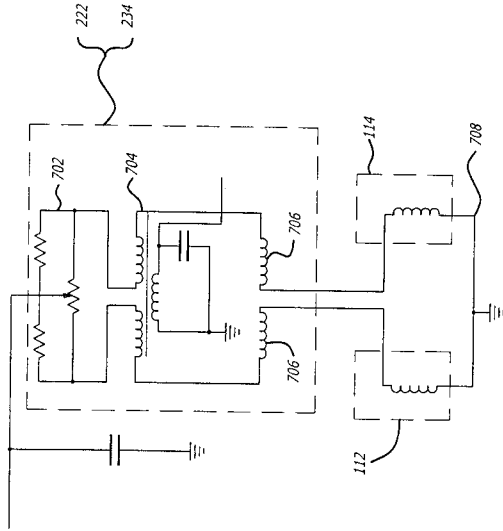
【 図 6 】



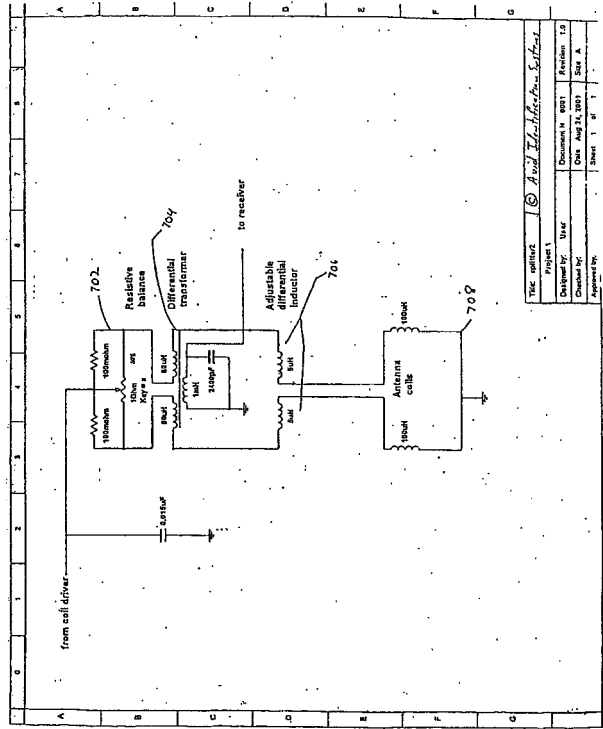
【 図 6 A 】



【 図 7 】



【 図 7 A 】



フロントページの続き

(72)発明者 ワード ティモシー ジョン
アメリカ合衆国 カリフォルニア州 91760、 ノルコ、 ハムナー アヴェニュー 317
9

審査官 江口 能弘

(56)参考文献 特開昭60-206332(JP,A)
米国特許第04361153(US,A)
特開2002-57608(JP,A)
特開平10-242893(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04B 1/59
G06K 17/00
H04B 5/02