



(12) 发明专利

(10) 授权公告号 CN 111180452 B

(45) 授权公告日 2023. 01. 24

(21) 申请号 201911421883.2

H10B 43/35 (2023.01)

(22) 申请日 2019.12.31

H10B 43/27 (2023.01)

(65) 同一申请的已公布的文献号

审查员 杨帆

申请公布号 CN 111180452 A

(43) 申请公布日 2020.05.19

(73) 专利权人 长江存储科技有限责任公司

地址 430074 湖北省武汉市武汉东湖新技术开发区未来三路88号

(72) 发明人 刘沙沙

(74) 专利代理机构 北京成创同维知识产权代理

有限公司 11449

专利代理师 岳丹丹

(51) Int. Cl.

H10B 41/35 (2023.01)

H10B 41/27 (2023.01)

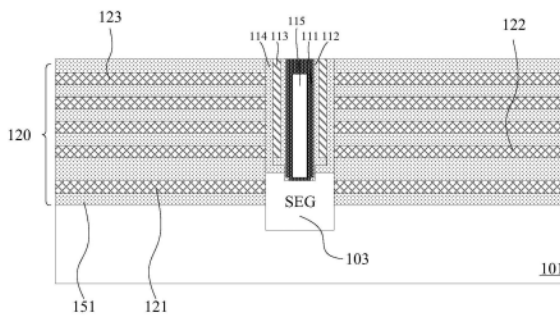
权利要求书2页 说明书7页 附图8页

(54) 发明名称

3D存储器件及其制造方法

(57) 摘要

公开了一种3D存储器件及其制造方法,3D存储器件包括:衬底;位于衬底上方的栅叠层结构,栅叠层结构包括交替堆叠的多个层间绝缘层和多个栅极导体;以及贯穿栅叠层结构的多个沟道柱,沟道柱包括位于沟道柱侧壁的功能层、位于沟道柱底部的氧化层以及位于功能层和氧化层上的沟道层;沟道层位于外延层上方,并与外延层接触;其中,功能层包括栅氧化层、位于栅氧化层上的电荷存储层以及位于电荷存储层上的隧穿氧化层;电荷存储层在功能层的拐角处与沟道层隔离。本发明实施例中电荷存储层在功能层的拐角处与沟道层隔离,避免电荷存储层上的电荷泄漏到沟道层中,从而提高3D存储器的底部选择栅极的阈值电压的稳定性。



1. 一种3D存储器件的制造方法,包括:

在衬底上方形成绝缘叠层结构,所述绝缘叠层结构包括交替堆叠的多个层间绝缘层和多个牺牲层;

形成贯穿所述绝缘叠层结构的多个沟道柱,形成所述沟道柱的步骤包括:

贯穿所述绝缘叠层结构与部分所述衬底形成多个沟道孔;

在所述沟道孔的底部形成外延层,所述外延层与所述衬底接触;以及

在所述沟道孔的侧壁和底部形成功能层,其中,所述功能层包括栅氧化层、位于栅氧化层上的电荷存储层以及位于电荷存储层上的隧穿氧化层;

去除所述沟道孔底部的电荷存储层;

在所述功能层上形成沟道层,所述沟道层位于所述外延层上方,并与所述外延层接触;

其中,所述电荷存储层在所述功能层的拐角处与所述沟道层隔离。

2. 根据权利要求1所述的制造方法,其特征在于,在所述沟道孔的侧壁和底部形成功能层以及去除所述沟道孔底部的电荷存储层的步骤包括:

在所述沟道孔的侧壁和底部形成所述功能层;

刻蚀所述沟道孔底部上的功能层以形成暴露所述外延层的第一开口;

去除所述沟道孔底部的电荷存储层形成空隙;

在功能层表面、所述空隙内以及所述第一开口的侧壁和底部表面形成氧化层。

3. 根据权利要求2所述的制造方法,其特征在于,形成空隙的步骤包括:

去除所述沟道孔底部的电荷存储层时,所述电荷存储层相对于栅氧化层和隧穿氧化层具有高的刻蚀选择比。

4. 根据权利要求3所述的制造方法,其特征在于,所述电荷存储层相对于栅氧化层和隧穿氧化层的刻蚀速率比至少大于30:1。

5. 根据权利要求2所述的制造方法,其特征在于,在所述功能层上形成沟道层包括:

在所述功能层和所述氧化层上形成第一沟道层;

刻蚀所述沟道孔底部上的第一沟道层和所述氧化层,形成暴露出所述外延层的第二开口;

在所述第一沟道层表面以及所述第二开口的底部和侧壁表面形成第二沟道层。

6. 根据权利要求1所述的制造方法,其特征在于,还包括:

在所述沟道层上形成填充层;

去除所述沟道孔顶部的所述填充层,以形成凹槽,在所述凹槽内形成插塞结构。

7. 根据权利要求1所述的制造方法,其特征在于,还包括:

采用多个栅极导体置换所述多个牺牲层,从而形成栅叠层结构。

8. 一种3D存储器件,其特征在于,包括:

衬底;

位于衬底上方的栅叠层结构,所述栅叠层结构包括交替堆叠的多个层间绝缘层和多个栅极导体;以及

贯穿所述栅叠层结构的多个沟道柱,所述沟道柱包括位于沟道柱底部的外延层、位于沟道柱侧壁的功能层、位于所述功能层和部分外延层上的氧化层以及位于所述功能层和所述氧化层上的沟道层;

所述沟道层位于所述外延层上方,并与所述外延层接触;

其中,所述功能层包括栅氧化层、位于栅氧化层上的电荷存储层以及位于电荷存储层上的隧穿氧化层;所述电荷存储层在所述功能层的拐角处与所述沟道层隔离;

其中,所述电荷存储层和所述外延层之间包括依次堆叠的栅氧化层和隧穿氧化层。

9. 根据权利要求8所述的3D存储器件,其特征在于,所述电荷存储层相对于栅氧化层和隧穿氧化层具有高的刻蚀选择比。

10. 根据权利要求9所述的3D存储器件,其特征在于,所述电荷存储层相对于栅氧化层和隧穿氧化层的刻蚀速率比至少大于30:1。

11. 根据权利要求8所述的3D存储器件,其特征在于,还包括:

位于所述沟道柱中的填充层,所述填充层与所述沟道层接触;

位于所述填充层上的插塞结构。

3D存储器件及其制造方法

技术领域

[0001] 本发明涉及存储器技术领域,特别涉及3D存储器件及其制造方法。

背景技术

[0002] 存储器件的存储密度的提高与半导体制造工艺的进步密切相关。随着半导体制造工艺的孔径越来越小,存储器件的存储密度越来越高。为了进一步提高存储密度,已经开发出三维结构的存储器件(即,3D存储器件)。3D存储器件包括沿着垂直方向堆叠的多个存储单元,在单位面积的晶片上可以成倍地提高集成度,并且可以降低成本。

[0003] 现有3D NAND存储器的形成过程一般包括:在衬底上形成氮化硅层和氧化硅层交替层叠的堆叠层;刻蚀所述堆叠层,在堆叠层中形成沟道孔,在形成沟道孔后,刻蚀沟道孔底部的衬底,在衬底中形成凹槽;在沟道孔底部的凹槽中,通过选择性外延生长(Selective Epitaxial Growth)形成外延硅层,通常该外延硅层也称作SEG;在所述沟道孔的侧壁和底部中形成功能层和沟道层,所述沟道层与外延硅层(SEG)连接;去除氮化硅层,在去除氮化硅层的位置形成栅极金属。

[0004] 功能层包括栅氧化层、位于栅氧化层上的电荷存储层以及位于电荷存储层上的隧穿氧化层,所选的材料可以是氧化物-氮化物-氧化物(ONO)的单层和/或多层组合结构。功能层(ONO层)的轴向截面可以是两个相对的L形,电荷存储层和沟道层在功能层的拐角处(L-Foot position)直接接触,会在拐角处产生高电阻率(High electrical resistivity)。由于底部选择栅极(BSG)的电荷束缚能力较差,电荷存储层上的电荷很容易泄漏到沟道层中,将导致底部选择栅极BSG的阈值电压 V_t 偏移,影响3D存储器件的性能,尤其在擦除或者读取/写入过程中。在反复的擦除或者读取/写入后,拐角处将积累大量电荷,进一步使底部选择栅极BSG的阈值电压 V_t 偏移。

发明内容

[0005] 鉴于上述问题,本发明的目的在于提供一种3D存储器件及其制造方法,在功能层的拐角处将电荷存储层和沟道层隔离开,提高3D存储器的底部选择栅极的阈值电压的稳定性。

[0006] 根据本发明的一方面,提供一种3D存储器件的制造方法,包括:在衬底上方形成绝缘叠层结构,所述绝缘叠层结构包括交替堆叠的多个层间绝缘层和多个牺牲层;形成贯穿所述绝缘叠层结构的多个沟道柱,形成所述沟道柱的步骤包括:贯穿所述绝缘叠层结构与部分所述衬底形成多个沟道孔;在所述沟道孔的底部形成外延层,所述外延层与所述半导体衬底接触;以及在所述沟道孔的侧壁和底部形成功能层,其中,所述功能层包括栅氧化层、位于栅氧化层上的电荷存储层以及位于电荷存储层上的隧穿氧化层;去除所述沟道孔底部的电荷存储层;在所述功能层上形成沟道层,所述沟道层位于所述外延层上方,并与所述外延层接触;其中,所述电荷存储层在所述功能层的拐角处与所述沟道层隔离。

[0007] 优选地,在所述沟道孔的侧壁形成功能层以及去除所述沟道孔底部的电荷存储层

的步骤包括：在所述沟道孔的侧壁和底部形成所述功能层；刻蚀所述沟道孔底部上的功能层以形成暴露所述外延层的第一开口；去除所述沟道孔底部的电荷存储层形成空隙；在功能层表面、所述空隙内以及所述第一开口的侧壁和底部表面形成氧化层。

[0008] 优选地，形成空隙的步骤包括：去除所述沟道孔底部的电荷存储层时，所述电荷存储层相对于栅氧化层和隧穿氧化层具有高的刻蚀选择比。

[0009] 优选地，所述电荷存储层相对于栅氧化层和隧穿氧化层的刻蚀速率比至少大于30:1。

[0010] 优选地，在所述功能层上形成沟道层包括：在所述功能层和所述氧化层上形成第一沟道层；刻蚀所述第一沟道孔底部上的第一沟道层和所述氧化层，形成暴露出所述外延层的第二开口；在所述第一沟道层表面以及所述第二开口的底部和侧壁表面形成第二沟道层。

[0011] 优选地，所述3D存储器件的制造方法，还包括：在所述沟道层上形成填充层；去除所述沟道孔顶部的所述填充层，以形成凹槽，在所述凹槽内形成插塞结构。

[0012] 优选地，所述3D存储器件的制造方法，还包括：采用多个栅极导体置换所述多个牺牲层，从而形成栅叠层结构。

[0013] 根据本发明的另一方面，提供一种3D存储器件，包括：衬底；位于衬底上方的栅叠层结构，所述栅叠层结构包括交替堆叠的多个层间绝缘层和多个栅极导体；以及贯穿所述栅叠层结构的多个沟道柱，所述沟道柱包括位于沟道柱侧壁的功能层、位于沟道柱底部的氧化层以及位于所述功能层和所述氧化层上的沟道层；所述沟道层位于所述外延层上方，并与所述外延层接触；其中，所述功能层包括栅氧化层、位于栅氧化层上的电荷存储层以及位于电荷存储层上的隧穿氧化层；所述电荷存储层在所述功能层的拐角处与所述沟道层隔离。

[0014] 优选地，所述电荷存储层相对于栅氧化层和隧穿氧化层具有高的刻蚀选择比。

[0015] 优选地，所述电荷存储层相对于栅氧化层和隧穿氧化层的刻蚀速率比至少大于30:1。

[0016] 优选地，所述3D存储器件还包括：位于所述沟道柱中的填充层，所述填充层与所述沟道层接触；位于所述填充层上的插塞结构。

[0017] 本发明提供的3D存储器件及其制造方法，在所述沟道孔的侧壁和底部形成功能层，其中，所述功能层包括栅氧化层、位于栅氧化层上的电荷存储层以及位于电荷存储层上的隧穿氧化层；去除所述沟道孔底部的电荷存储层；在所述功能层上形成沟道层；使所述电荷存储层在所述功能层的拐角处与所述沟道层隔离，避免电荷存储层上的电荷泄漏到沟道层中，从而提高3D存储器的底部选择栅极的阈值电压的稳定性。

附图说明

[0018] 通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

[0019] 图1a和图1b分别示出了3D存储器件的存储单元串的电路图和结构示意图；

[0020] 图2示出了3D存储器件的透视图；

[0021] 图3a至图3j示出根据本发明实施例的3D存储器件制造方法的各个阶段的截面图。

具体实施方式

[0022] 以下将参照附图更详细地描述本发明的各种实施例。在各个附图中，相同的元件采用相同或类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。

[0023] 下面结合附图和实施例，对本发明的具体实施方式作进一步详细描述。

[0024] 本发明中描述的“上方”，是指位于基板平面的上方，可以是指材料之间的直接接触，也可以是间隔设置。

[0025] 在本申请中，术语“半导体结构”指在制造存储器件的各个步骤中形成的整个半导体结构的统称，包括已经形成的所有层或区域。在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

[0026] 本发明可以各种形式呈现，以下将描述其中一些示例。

[0027] 图1a和1b分别示出3D存储器件的存储单元串的电回路和结构示意图。在该实施例中示出的存储单元串包括4个存储单元的情形。可以理解，本发明不限于此，存储单元串中的存储单元数量可以为任意多个，例如，32个或64个。

[0028] 如图1a所示，存储单元串100的第一端连接至位线BL，第二端连接至源极线SL。存储单元串100包括在第一端和第二端之间串联连接的多个晶体管，包括：第一选择晶体管Q1、存储单元M1至M4、以及第二选择晶体管Q2。第一选择晶体管Q1的栅极连接至串选择线SSL，第二选择晶体管Q2的栅极连接至地选择线GSL。存储单元M1至M4的栅极分别连接至字线WL1至WL4的相应字线。

[0029] 如图1b所示，存储单元串100的选择晶体管Q1和Q2分别包括第二导体层122和第三导体层123，存储单元M1至M4分别包括第一导体层121。第一导体层121、第二导体层122和第三导体层123与存储单元串100中的晶体管的堆叠顺序一致，相邻的导体层之间彼此采用绝缘层隔开，从而形成栅叠层结构。

[0030] 进一步地，存储单元串100包括存储串110。存储串110与栅叠层结构相邻或者贯穿栅叠层结构。在存储串110的中间部分，第一导体层121与沟道层111之间夹有隧穿氧化层112、电荷存储层113和栅氧化层114，从而形成存储单元M1至M4。在存储串110的两端，第二导体层122和123与沟道层111之间夹有栅氧化层114，从而形成第一选择晶体管Q1和第二选择晶体管Q2。

[0031] 沟道层111例如由掺杂多晶硅组成，隧穿氧化层112和栅氧化层114分别由氧化物组成，例如氧化硅，电荷存储层113由包含量子点或者纳米晶体的绝缘层组成，例如包含金属或者半导体的微粒的氮化硅，第一导体层121、第二导体层122和第三导体层123由金属组成，例如钨。沟道层111用于提供选择晶体管和控制晶体管的沟道区，沟道层111的掺杂类型与选择晶体管和控制晶体管的类型相同。例如，对于N型的选择晶体管和控制晶体管，沟道层111可以是N型掺杂的多晶硅。

[0032] 在该实施例中，存储串110的芯部为沟道层111，隧穿氧化层112、电荷存储层113和栅氧化层114形成围绕芯部侧壁的叠层结构。在替代的实施例中，存储串110的芯部为附加的绝缘层，沟道层111、隧穿氧化层112、电荷存储层113和栅氧化层114形成围绕半导体层的叠层结构。

[0033] 在该实施例中，第一选择晶体管Q1和第二选择晶体管Q2、存储单元M1至M4使用公

共的沟道层111和栅氧化层114。在存储串110中,沟道层111提供多个晶体管的源漏区和沟道层。在替代的实施例中,可以采用彼此独立的步骤,分别形成第一选择晶体管Q1和第二选择晶体管Q2的半导体层和栅氧化层以及存储单元M1至M4的半导体层和栅氧化层。在存储串110中,第一选择晶体管Q1和第二选择晶体管Q2的半导体层与存储单元M1至M4的半导体层彼此电连接。

[0034] 在写入操作中,存储单元串100利用FN隧穿效率将数据写入存储单元M1至M4中的选定存储单元。以存储单元M2为例,在源极线SL接地的同时,地选择线GSL偏置到大约零伏电压,使得对应于地选择线GSL的第二选择晶体管Q2断开,串选择线SSL偏置到高电压VDD,使得对应于串选择线SSL的选择晶体管Q1导通。进一步地,位线BIT2接地,字线WL2偏置于编程电压VPG,例如20V左右,其余字线偏置于低电压VPS1。由于只有选定存储单元M2的字线电压高于隧穿电压,因此,该存储单元M2的沟道区的电子,经由隧穿氧化层112到达电荷存储层113,从而将数据转变成电荷存储于存储单元M2的电荷存储层113中。

[0035] 在读取操作中,存储单元串100根据存储单元M1至M4中的选定存储单元的导通状态判断功能层中的电荷量,从而获得该电荷量表征的数据。以存储单元M2为例,字线WL2偏置于读取电压VRD,其余字线偏置于高电压VPS2。存储单元M2的导通状态与其阈值电压相关,即与功能层中的电荷量相关,从而根据存储单元M2的导通状态可以判断数据值。存储单元M1、M3和M4始终处于导通状态,因此,存储单元串100的导通状态取决于存储单元M2的导通状态。控制电路根据位线BL和源极线SL上检测的电信号判断存储单元M2的导通状态,从而获得存储单元M2中存储的数据。

[0036] 图2分别示出了3D存储器件的透视图。为了清楚起见,在图2中未示出3D存储器件中的各个绝缘层。

[0037] 在该实施例中示出的3D存储器件200包括4*4共计16个存储单元串100,每个存储单元串100包括4个存储单元,从而形成4*4*4共计64个存储单元的存储器阵列。可以理解,本发明不限于此,3D存储器件可以包括任意多个存储单元串,例如,1024个,每个存储单元串中的存储单元数量可以为任意多个,例如,32个或64个。

[0038] 在3D存储器件200中,存储单元串100分别包括各自的沟道柱110,以及公共的第一导体层121、第二导体层122和第三导体层123。第一导体层121、第二导体层122和第三导体层123与存储单元串100中的晶体管的堆叠顺序一致,相邻的导体层之间彼此采用绝缘层隔开,从而形成栅叠层结构120。在图中未示出绝缘层。

[0039] 存储串110的内部结构如图1b所示,在此不再进行详细说明。在存储串110的中间部分,第一导体层121与存储串110内部的沟道层111、隧穿氧化层112、电荷存储层113和栅氧化层114一起,形成存储单元M1至M4。在存储串110的两端,第二导体层122和第三导体层123与存储串110内部的沟道层111和栅氧化层114一起,形成第一选择晶体管Q1和第二选择晶体管Q2。

[0040] 沟道柱110贯穿栅叠层结构120,并且排列成阵列,同一列的多个存储串110的第一端共同连接至同一条位线(即BL1-BL4之一),第二端共同连接至衬底101,第二端经由衬底100形成共源极连接。

[0041] 第一选择晶体管Q1的栅极导体122由栅线缝隙(gate line slit)102分割成不同的栅线。同一行的多个沟道柱110的栅线共同连接至同一条串选择线(即串选择线SSL1至

SSL4之一)。

[0042] 存储晶体管M1和M4的栅极导体121按照不同的层面分别连接成一体。如果存储晶体管M1和M4的栅极导体121由栅线缝隙161分割成不同的栅线,则同一层面的栅线经由各自的导电通道131到达互连层132,从而彼此互连,然后经由导电通道133连接至同一条字线(即字线WL1至WL4之一)。

[0043] 地选择晶体管Q2的栅极导体连接成一体。如果地选择晶体管Q2的栅极导体123由栅线缝隙161分割成不同的栅线,则栅线经由各自的导电通道131到达互连层132,从而彼此互连,然后经由导电通道133连接至同一条地选择线GSL。

[0044] 图3示出了本发明实施例的3D存储器件的制造方法的流程图;图3a至图3j示出根据本发明实施例的3D存储器件制造方法的各个阶段的截面图。

[0045] 该方法开始于已经形成沟道孔102以及外延层103的半导体结构,如图3a所示。

[0046] 在该步骤中,采用沉积工艺,例如为原子层沉积(Atomic Layer Deposition, ALD),物理气相沉积(Physical Vapor Deposition, PVD)或化学气相沉积(Chemical Vapor Deposition, CVD)等工艺在衬底101上形成层间绝缘层151和牺牲层152交替堆叠形成的绝缘叠层结构150,形成贯穿绝缘叠层结构150的沟道孔,以及在所述沟道孔的底部形成外延层103。在该实施例中,衬底101例如是单晶硅衬底,层间绝缘层151例如由氧化硅组成,牺牲层152例如由氮化硅组成。牺牲层152将在后续栅极形成工艺中被替换成导体层。外延层103可以例如是选择性外延生长(Selective Epitaxial Growth, SEG)。

[0047] 在该实施例中,示出的绝缘叠层结构中包括5层牺牲层152,在具体的3D存储器件的制造过程中,牺牲层152根据不同3D存储器件对存储单元数量的不同要求而设置为其他的数量。

[0048] 进一步地,在所述沟道孔102的侧壁形成功能层,所述功能层包括栅氧化层114、位于栅氧化层上的电荷存储层113以及位于电荷存储层上的隧穿氧化层112,如图3b所示。

[0049] 在该步骤中,在沟道孔内沿着其侧壁以及底部形成栅氧化层114、电荷存储层113以及隧穿氧化层112,所选的材料可以是氧化物-氮化物-氧化物(ONO)的单层和/或多层组合结构,但并不限于此处提及的材料及组合方式。在该实施例中,所述栅氧化层114和所述隧穿氧化层112例如是氧化硅,所述电荷存储层113例如是氮化硅。形成栅氧化层114、电荷存储层113以及隧穿氧化层112采用化学气相沉积工艺。

[0050] 进一步地,刻蚀所述沟道孔102底部上的功能层以形成暴露或延伸到所述外延层103中的第一开口104,如图3c所示。

[0051] 在该步骤中,刻蚀所述沟道孔底部上的功能层采用各向异性的干法刻蚀工艺。在一实施例中,所述各向异性的干法刻蚀工艺为等离子体刻蚀工艺,等离子体刻蚀工艺采用的气体包括含碳氟的气体。

[0052] 进一步地,去除所述沟道孔102底部上的电荷存储层113形成空隙105,如图3d所示。

[0053] 在该步骤中,采用干法刻蚀去除所述沟道孔底部的电荷存储层113,在一实施例中,所述干法刻蚀为各向异性的等离子刻蚀。去除所述沟道孔底部的电荷存储层113时,所述电荷存储层113相对于栅氧化层114和隧穿氧化层112具有高的刻蚀选择比,所述电荷存储层113相对于栅氧化层114和隧穿氧化层112的刻蚀速率比至少大于30:1。由于电荷存储

层113为氮化物层,栅氧化层114和隧穿氧化层112为氧化物层,即利用对氮化物层(例如氮化硅SiN)和氧化物层(例如氧化硅)的高刻蚀选择比(High Etch selectivity)的刻蚀工艺去除所述沟道孔底部的电荷存储层113,使得第一开口104两侧栅氧化层114和隧穿氧化层112被刻蚀的量很少。

[0054] 进一步地,在功能层表面、所述空隙105内以及所述第一开口104的侧壁和底部表面形成氧化层,如图3e所示。

[0055] 在该步骤中,在沟道孔内沿功能层表面、所述空隙内以及所述第一开口的侧壁和底部表面形成隧穿氧化层112,使得位于沟道孔底部的氧化层包括栅氧化层114以及位于所述栅氧化层上的隧穿氧化层112。

[0056] 进一步地,在所述功能层和所述氧化层上形成第一沟道层111a,如图3f所示。

[0057] 在本实施例中,所述第一沟道层111a的材料为多晶硅。进一步地,刻蚀所述沟道,102底部上的第一沟道层111a和氧化层以形成暴露或延伸到所述外延层中的第二开口106,所述氧化层包括栅氧化层114以及位于所述栅氧化层上的隧穿氧化层112,如图3g所示。

[0058] 在该步骤中,刻蚀所述沟道孔底部上的第一沟道层111a和氧化层采用各向异性的干法刻蚀。在一实施例中,所述各向异性的干法刻蚀工艺为等离子体刻蚀工艺,等离子体刻蚀工艺采用的气体包括含碳氟的气体。

[0059] 进一步地,在所述第一沟道层111a表面以及所述第二开口106的底部和侧壁表面形成第二沟道层111b,如图3h所示。

[0060] 在本实施例中,所述第二沟道层111b的材料为多晶硅,形成工艺为化学气相沉积。第二沟道层111b和第一沟道层111a共同构成NAND存储器的沟道层111。此时,所述电荷存储层113与所述沟道层111隔离。

[0061] 进一步,在沟道层111上形成填充层115以及去除所述沟道孔102顶部的所述填充层115以形成凹槽,在所述凹槽内形成插塞结构,如图3i所示。

[0062] 在本实施例中,所述填充层115的材料为氧化硅或其他合适的材料。在所述凹槽内沉积多晶硅形成插塞结构,该插塞结构跟沟道层接触。

[0063] 进一步地,采用多个栅极导体置换所述多个牺牲层152,从而形成栅叠层结构120,如图3j。

[0064] 在该步骤中,所述牺牲层152被替换成栅极导体121、122和123,从而形成栅叠层结构120。栅极导体121、122和123的材料可以为金属或其他的导电材料(比如多晶硅等)。本实施例中,所述导电材料为金属,所述金属为W、Al、Cu、Ti、Ag、Au、Pt、Ni其中一种或几种。其中,所述外延层103与栅极导体121形成第一选择晶体管;所述沟道层111与栅极导体122形成多个存储晶体管;所述沟道层111与栅极导体123形成第二选择晶体管。

[0065] 本发明提供的3D存储器件及其制造方法,

[0066] 在所述沟道孔的侧壁和底部形成功能层,其中,所述功能层包括栅氧化层、位于栅氧化层上的电荷存储层以及位于电荷存储层上的隧穿氧化层;去除所述沟道孔底部的电荷存储层;在所述功能层上形成沟道层;使所述电荷存储层在所述功能层的拐角处与所述沟道层隔离,避免电荷存储层上的电荷泄漏到沟道层中,从而提高3D存储器的底部选择栅极的阈值电压的稳定性。

[0067] 3D存储器件的其他细节,例如存储阵列的结构、周边互连等,并非本发明的重点,

在此不再展开描述。

[0068] 在本发明的上下文中,三维存储器件可以是3D闪存,例如3DNAND闪存。

[0069] 在此使用了流程图用来说明根据本申请的实施例的方法所执行的操作。应当理解的是,前面的操作不一定按照顺序来精确地执行。相反,可以按照倒序或同时处理各种步骤。同时,或将其他操作添加到这些过程中,或从这些过程移除某一步或数步操作。例如,某些步骤并非必须,因而可以省略,或者替换为其他步骤。

[0070] 上述实施例所形成的半导体结构,再经过后续的常规步骤,即可得到三维存储器件。

[0071] 依照本发明的实施例如上文所述,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利要求书及其全部范围和等效物的限制。

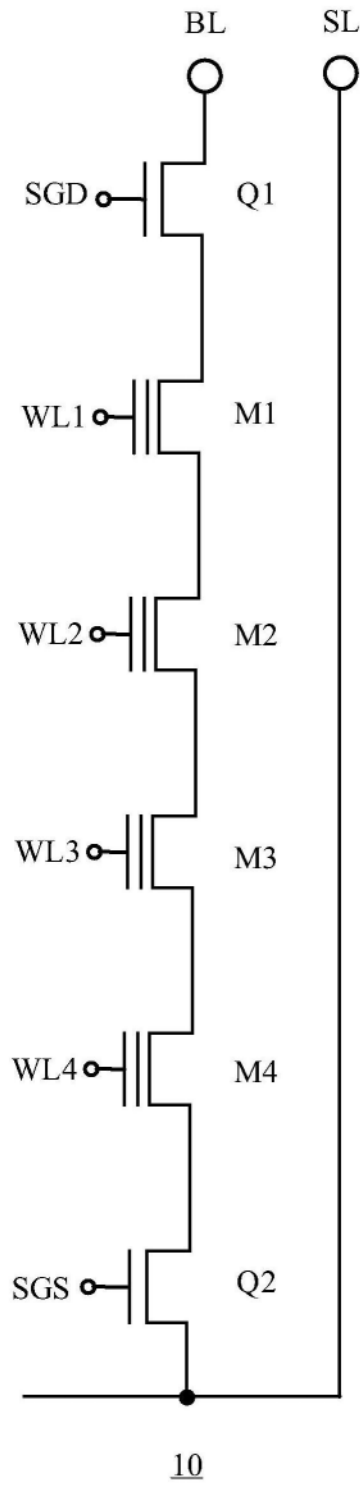


图1a

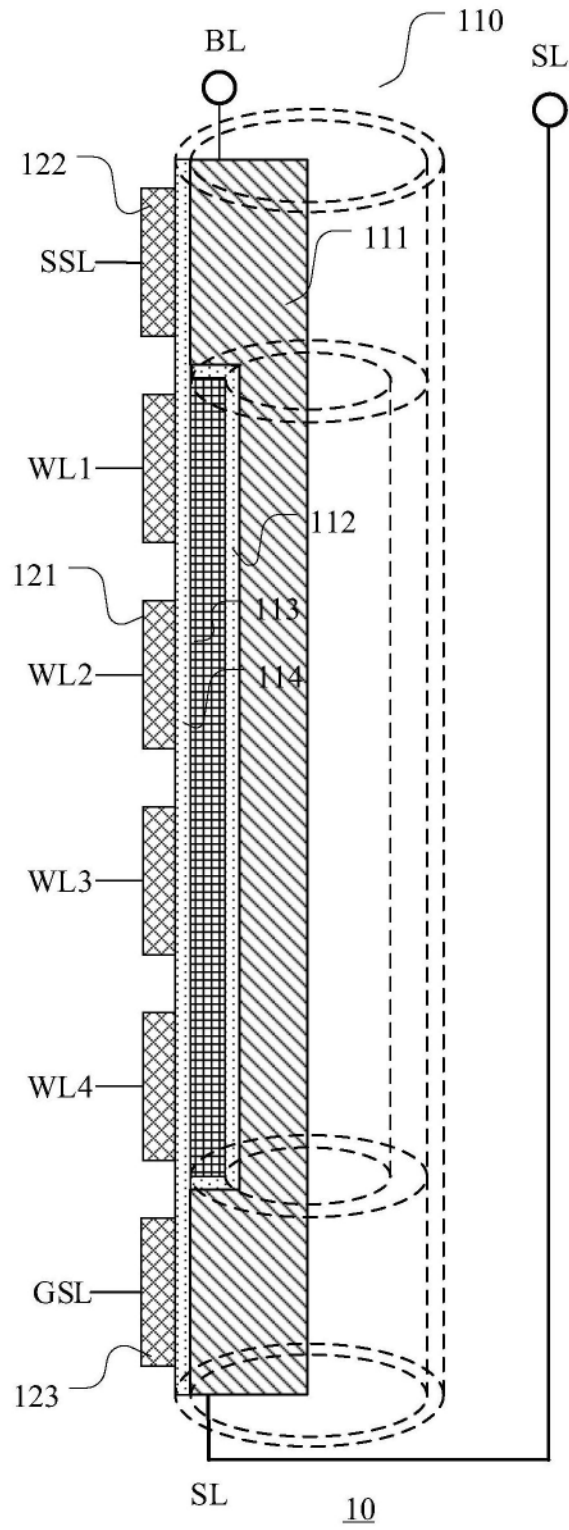


图1b

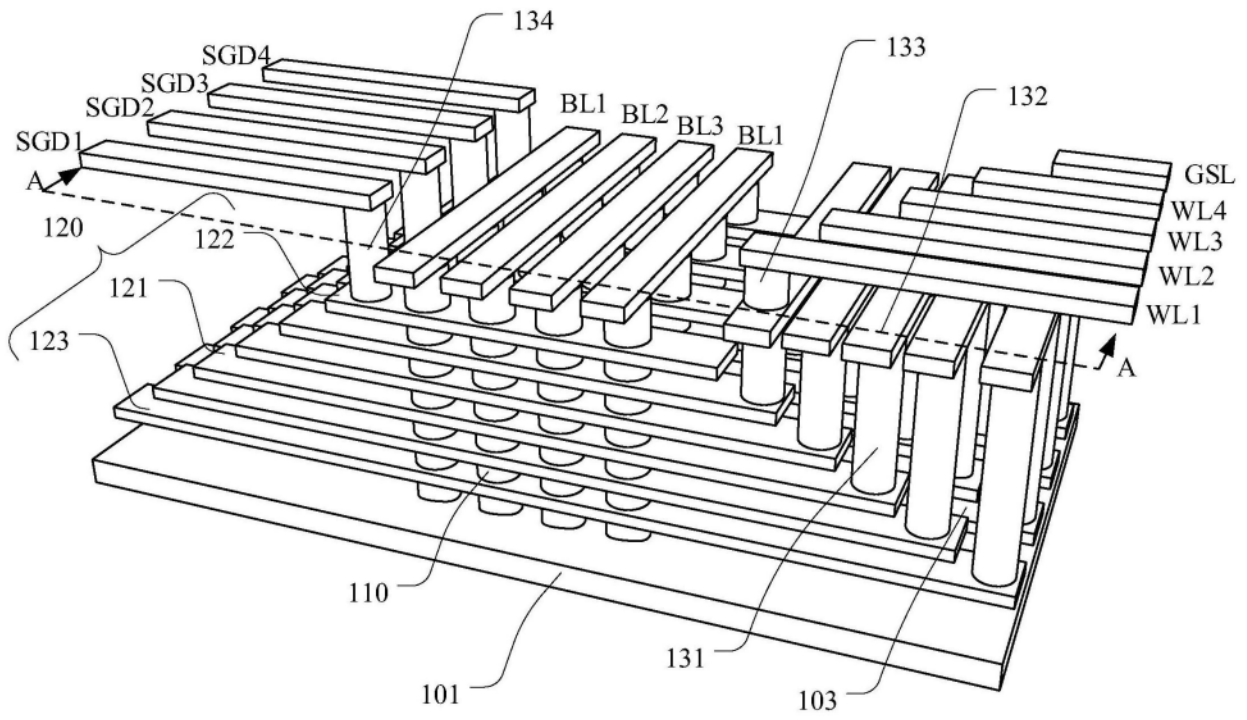


图2

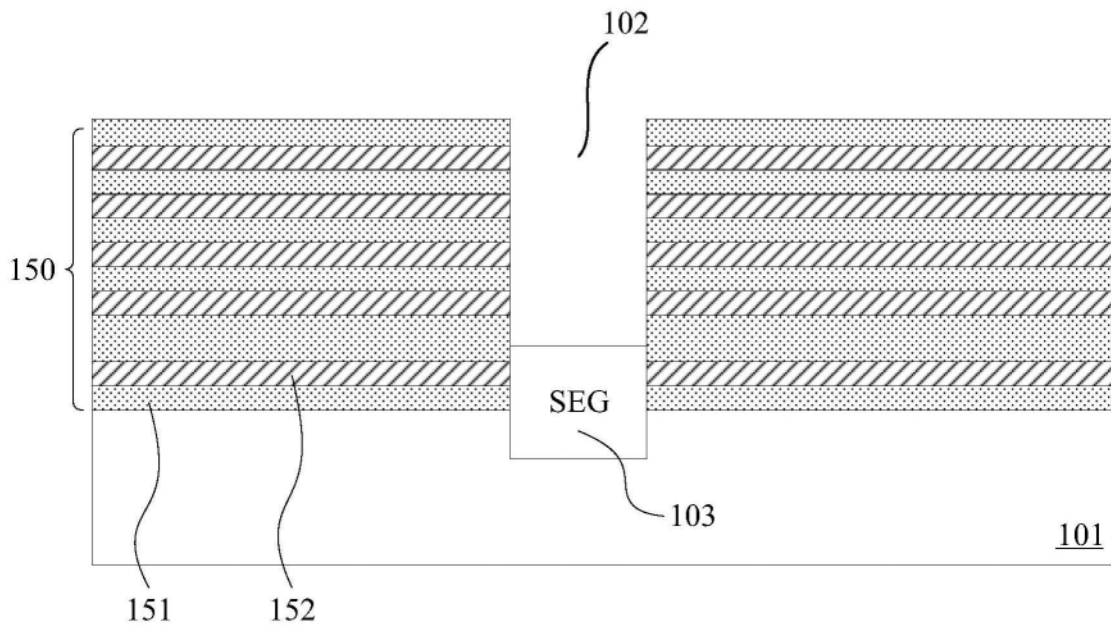


图3a

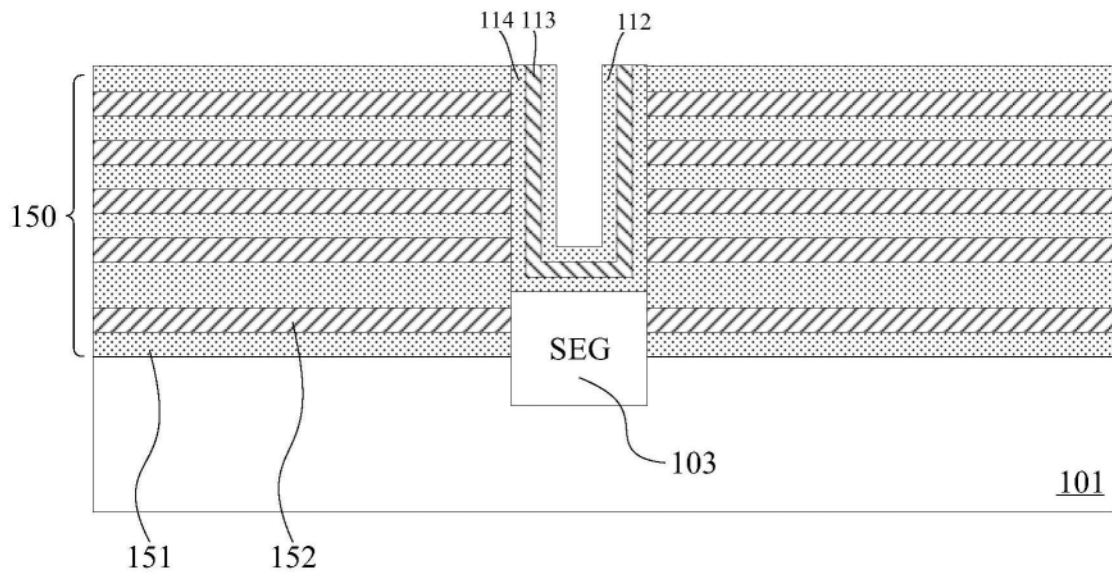


图3b

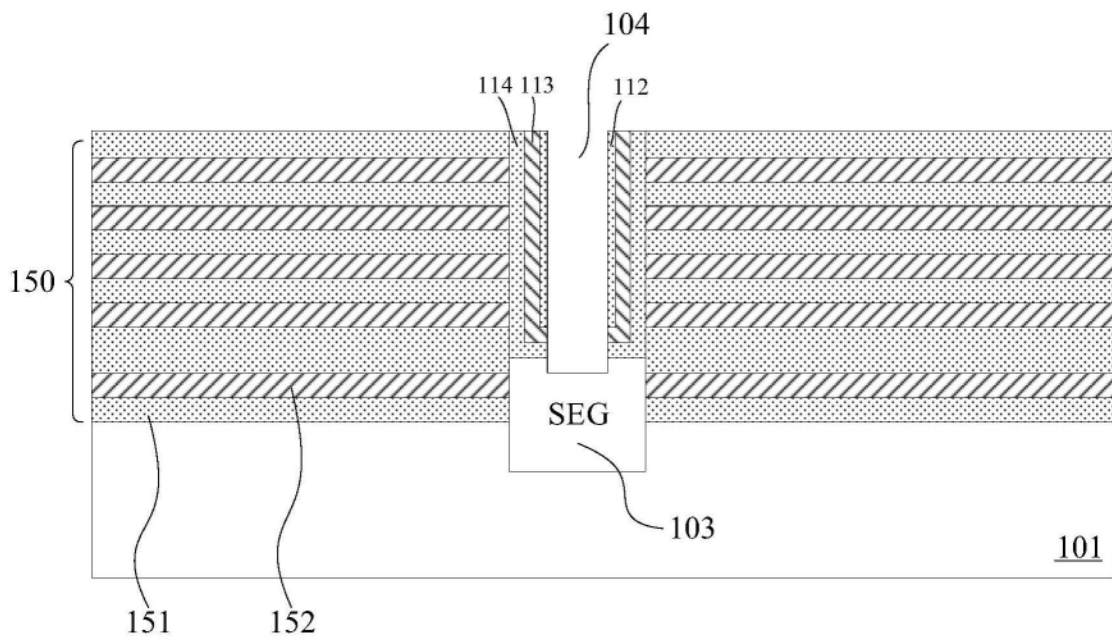


图3c

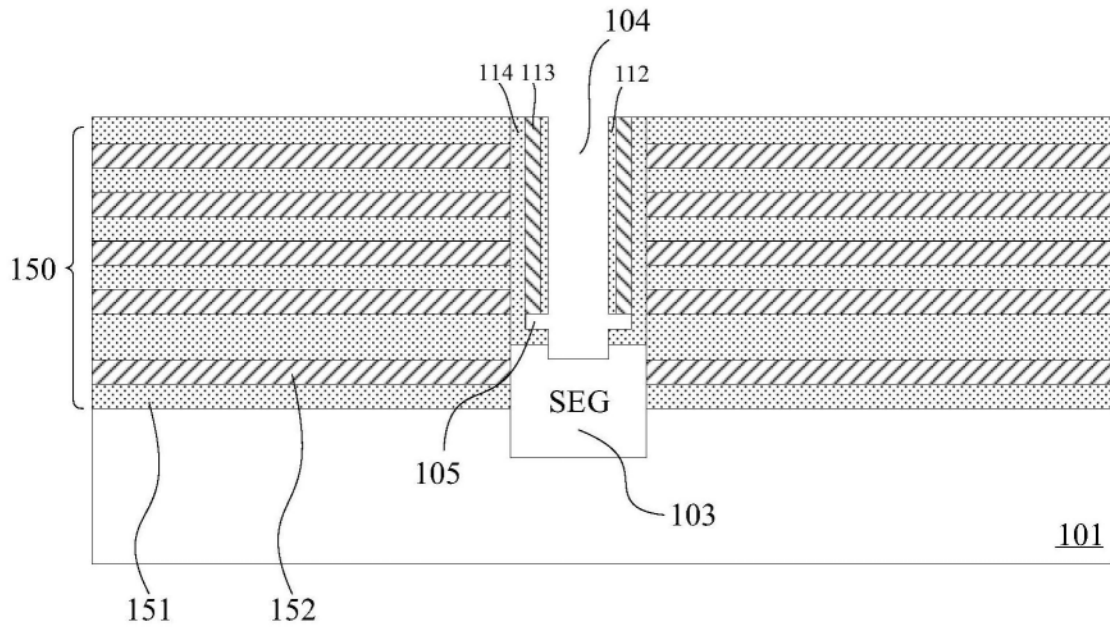


图3d

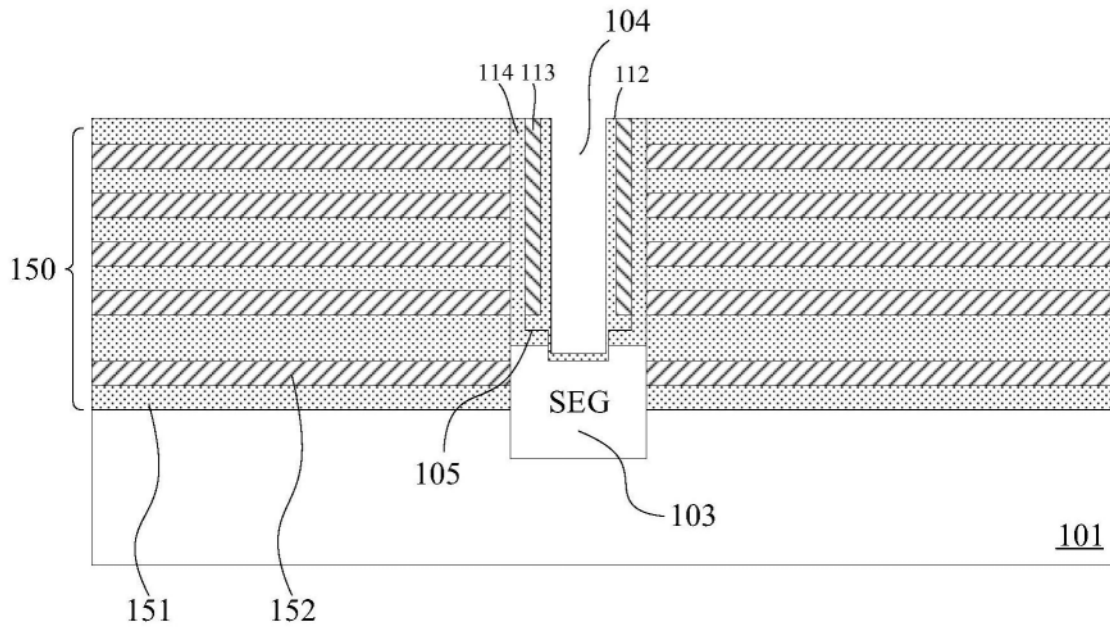


图3e

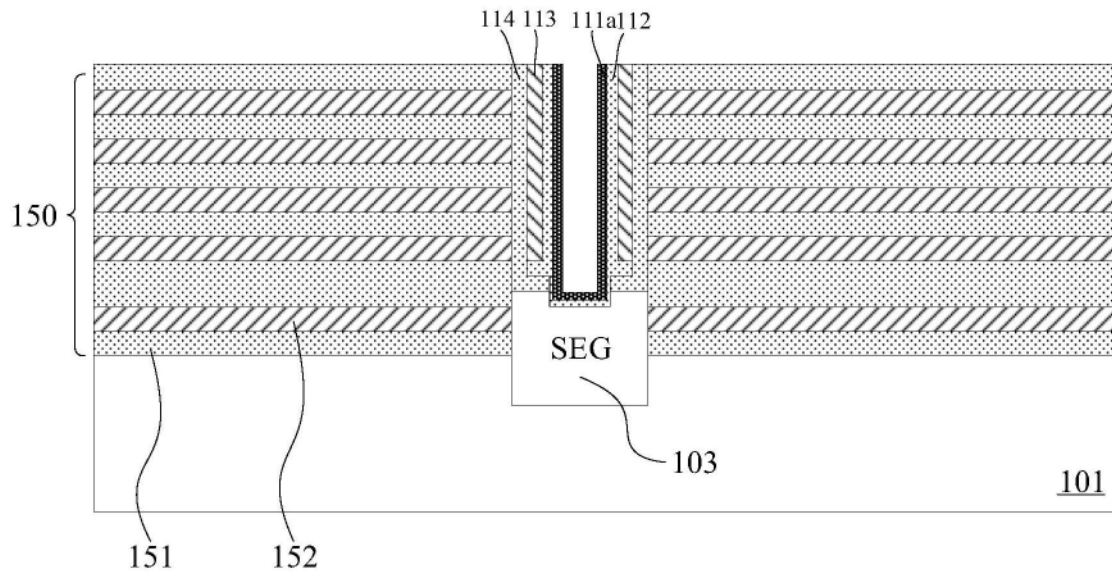


图3f

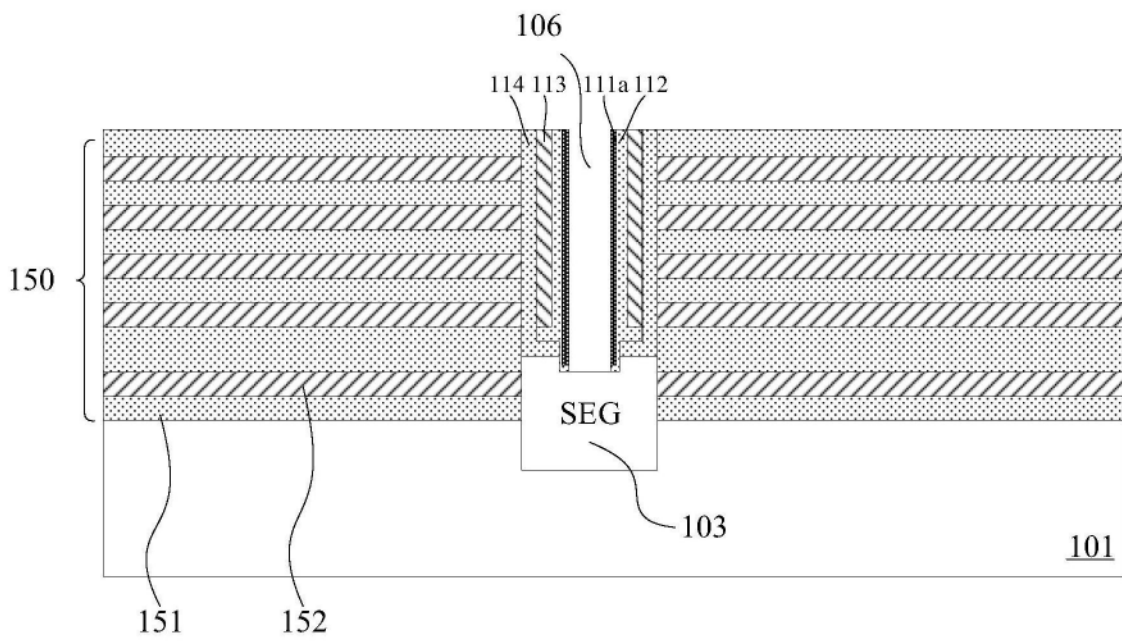


图3g

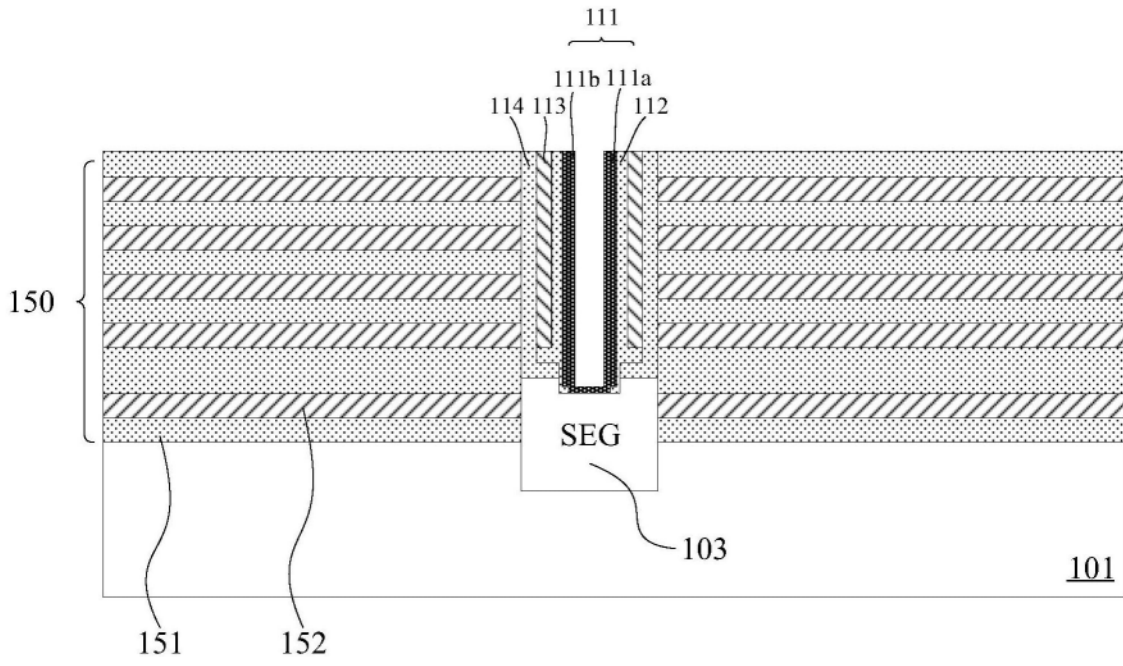


图3h

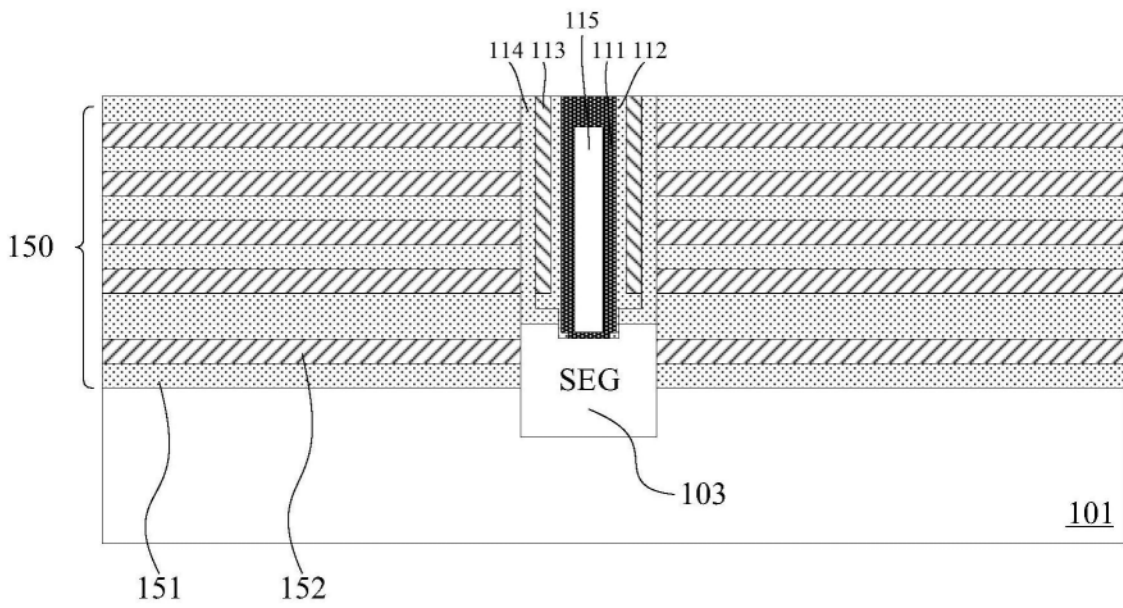


图3i

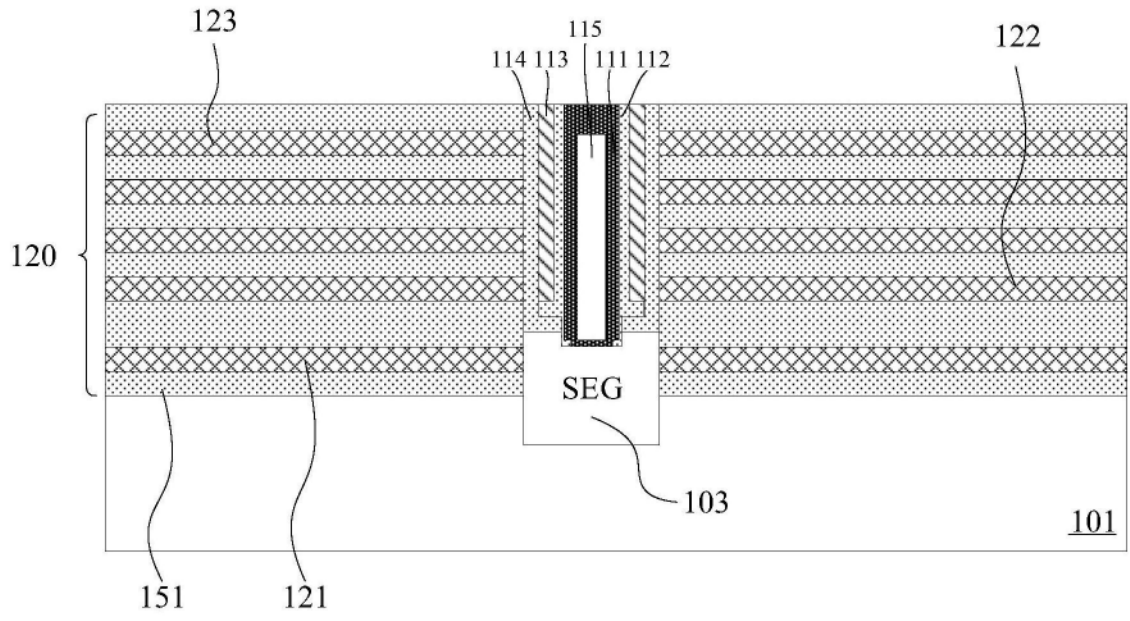


图3j