



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월15일
(11) 등록번호 10-0970383
(24) 등록일자 2010년07월08일

(51) Int. Cl.

G11C 16/00 (2006.01)

(21) 출원번호 10-2008-7008057

(22) 출원일자(국제출원일자) 2005년10월19일

심사청구일자 2008년04월03일

(85) 번역문제출일자 2008년04월03일

(65) 공개번호 10-2008-0052640

(43) 공개일자 2008년06월11일

(86) 국제출원번호 PCT/JP2005/019236

(87) 국제공개번호 WO 2007/046145

국제공개일자 2007년04월26일

(56) 선행기술조사문헌

US20030067013 A1*

JP2005025914 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

후지쯔 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라쿠 가미코
다나카 4초메 1-1

(72) 발명자

다무라 데츠로

일본국 가나가와켄 가와사키시 나카하라쿠 가미코
다나카 4-1-1후지쯔 가부시끼가이샤 내

기노시타 겐타로

일본국 가나가와켄 가와사키시 나카하라쿠 가미코
다나카 4-1-1후지쯔 가부시끼가이샤 내

(74) 대리인

문기상, 문두현

전체 청구항 수 : 총 5 항

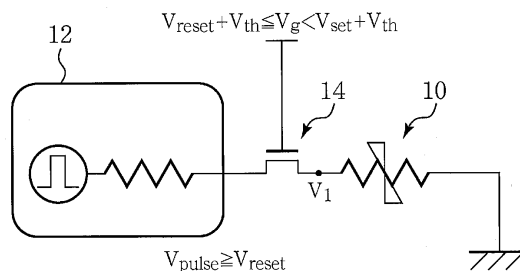
심사관 : 손윤식

(54) 불휘발성 반도체 기억 장치의 기입 방법

(57) 요약

저항 기억 소자(10)의 한쪽 단부에 한쪽 단부가 접속된 NMOS 트랜지스터(14)를 설치하고, NMOS 트랜지스터(14)를 통하여 저항 기억 소자(10)에 전압을 인가하여 저저항 상태에서 고저항 상태로 전환할 때에, NMOS 트랜지스터(14)의 게이트 전압을, 저항 기억 소자(10)의 리셋 전압과 NMOS 트랜지스터(14)의 임계값 전압의 합계 이상, 저항 기억 소자(10)의 세트 전압과 NMOS 트랜지스터(14)의 임계값 전압의 합계 미만의 값으로 설정하여, 저항 기억 소자(10)에 걸리는 전압이, 리셋 전압 이상, 세트 전압 미만의 값이 되도록 한다.

대표도 - 도4



특허청구의 범위

청구항 1

고저항 상태와 저저항 상태를 기억하고, 전압의 인가에 의해 상기 고저항 상태와 상기 저저항 상태를 전환하는 저항 기억 소자를 갖는 불휘발성 반도체 기억 장치의 기입 방법으로서,

상기 저항 기억 소자의 한쪽 단부(端部)에 한쪽 단부가 접속된 트랜지스터를 설치하고,

상기 트랜지스터를 통하여 상기 저항 기억 소자에 전압을 인가하여 상기 저저항 상태에서 상기 고저항 상태로 전환할 때에, 상기 트랜지스터의 게이트 전압을, 상기 저항 기억 소자의 리셋 전압과 상기 트랜지스터의 임계값 전압의 합계 이상, 상기 저항 기억 소자의 세트 전압과 상기 임계값 전압의 합계 미만의 값으로 설정하여, 상기 저항 기억 소자에 걸리는 전압이, 상기 리셋 전압 이상, 상기 세트 전압 미만의 값이 되도록 하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법.

청구항 2

제 1 항에 있어서,

상기 트랜지스터의 게이트 단자에, 상기 리셋 전압과 상기 임계값 전압의 합계 이상, 상기 세트 전압과 상기 임계값 전압의 합계 미만의 전압을 인가한 상태에서, 상기 트랜지스터의 다른 쪽 단부에, 상기 리셋 전압 이상의 펄스 전압을 인가하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법.

청구항 3

제 1 항에 있어서,

상기 트랜지스터의 다른 쪽 단부에, 상기 리셋 전압 이상의 전압을 인가한 상태에서, 상기 트랜지스터의 게이트 단자에, 상기 리셋 전압과 상기 임계값 전압의 합계 이상, 상기 세트 전압과 상기 임계값 전압의 합계 미만의 펄스 전압을 인가하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법.

청구항 4

고저항 상태와 저저항 상태를 기억하고, 전압의 인가에 의해 상기 고저항 상태와 상기 저저항 상태를 전환하는 저항 기억 소자와, 상기 저항 기억 소자의 한쪽 단부에 한쪽 단부가 접속된 선택 트랜지스터를 각각 가지며, 매트릭스 형상으로 배치된 복수의 메모리 셀과 ; 제 1 방향으로 연장하여 병행으로 배치된 복수의 신호선으로서, 각 신호선이, 상기 제 1 방향으로 배열되는 상기 메모리 셀의 상기 선택 트랜지스터의 게이트 전극에 접속된 복수의 제 1 신호선과 ; 제 1 방향과 교차하는 제 2 방향으로 연장하여 병행으로 배치된 복수의 신호선으로서, 각 신호선이, 상기 제 2 방향으로 배열되는 상기 메모리 셀의 상기 선택 트랜지스터의 다른 쪽 단부측에 접속된 복수의 제 2 신호선을 갖는 불휘발성 반도체 기억 장치의 기입 방법으로서,

복수의 상기 메모리 셀 중, 상기 저항 기억 소자를 상기 저저항 상태에서 상기 고저항 상태로 재기록하는 재기록 대상의 메모리 셀에 접속된 상기 제 1 신호선에, 상기 저항 기억 소자의 리셋 전압과 상기 선택 트랜지스터의 임계값 전압의 합계 이상, 상기 저항 기억 소자의 세트 전압과 상기 임계값 전압의 합계 미만의 전압을 인가하고,

상기 재기록 대상의 메모리 셀에 접속된 상기 제 1 신호선에, 상기 리셋 전압과 상기 임계값 전압의 합계 이상, 상기 세트 전압과 상기 임계값 전압의 합계 미만의 상기 전압이 인가된 상태에서, 상기 재기록 대상의 메모리 셀에 접속된 상기 제 2 신호선에, 상기 리셋 전압 이상의 펄스 전압을 인가함으로써, 상기 재기록 대상의 메모리 셀의 상기 저항 기억 소자를 상기 저저항 상태에서 상기 고저항 상태로 재기록하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법.

청구항 5

고저항 상태와 저저항 상태를 기억하고, 전압의 인가에 의해 상기 고저항 상태와 상기 저저항 상태를 전환하는 저항 기억 소자와, 상기 저항 기억 소자의 한쪽 단부에 한쪽 단부가 접속된 선택 트랜지스터를 각각 가지며, 매트릭스 형상으로 배치된 복수의 메모리 셀과 ; 제 1 방향으로 연장하여 병행으로 배치된 복수의 신호선으로서, 각 신호선이, 상기 제 1 방향으로 배열되는 상기 메모리 셀의 상기 선택 트랜지스터의 게이트 전극에 접속된 복

수의 제 1 신호선과 ; 제 1 방향과 교차하는 제 2 방향으로 연장하여 병행으로 배치된 복수의 신호선으로서, 각 신호선이, 상기 제 2 방향으로 배열되는 상기 메모리 셀의 상기 선택 트랜지스터의 다른 쪽 단부측에 접속된 복수의 제 2 신호선을 갖는 불휘발성 반도체 기억 장치의 기입 방법으로서,

복수의 상기 메모리 셀 중, 상기 저항 기억 소자를 상기 저저항 상태에서 상기 고저항 상태로 재기록하는 재기록 대상의 메모리 셀에 접속된 상기 제 2 신호선에, 상기 저항 기억 소자의 리셋 전압 이상의 전압을 인가하고,

상기 재기록 대상의 메모리 셀에 접속된 상기 제 2 신호선에, 상기 리셋 전압 이상의 상기 전압이 인가된 상태에서, 상기 재기록 대상의 메모리 셀에 접속된 상기 제 1 신호선에, 상기 리셋 전압과 상기 선택 트랜지스터의 임계값 전압의 합계 이상, 상기 저항 기억 소자의 세트 전압과 상기 임계값 전압의 합계 미만의 펄스 전압을 인가함으로써, 상기 재기록 대상의 메모리 셀의 상기 저항 기억 소자를 상기 저저항 상태에서 상기 고저항 상태로 재기록하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

명세서

기술분야

[0001] 본 발명은 불휘발성 반도체 기억 장치의 기입 방법에 관한 것으로, 특히, 저항값이 다른 복수의 저항 상태를 갖는 저항 기억 소자를 이용한 불휘발성 반도체 기억 장치의 기입 방법에 관한 것이다.

배경기술

[0002] 최근, 새로운 메모리 소자로서, RRAM(Resistance Random Access Memory)으로 불리는 불휘발성 반도체 기억 장치가 주목받고 있다. RRAM은 저항값이 다른 복수의 저항 상태를 가지며, 외부로부터 전기적 자극을 부여함으로써 저항 상태가 변화되는 저항 기억 소자를 이용하여, 저항 기억 소자의 고저항 상태와 저저항 상태를 예를 들면, 정보의 “0”과 “1”에 대응시킴으로써, 메모리 소자로서 이용하는 것이다. RRAM은 고속성, 대용량성, 저소비 전력성 등 그 포텐셜의 높이에서, 그 장래성이 기대되고 있다.

[0003] 저항 기억 소자는 전압의 인가에 의해 저항 상태가 변화되는 저항 기억 재료를 한 쌍의 전극간에 삽입한 것이다. 저항 기억 재료로서는, 대표적인 것으로서 천이(遷移) 금속을 포함하는 산화물 재료가 알려져 있다.

[0004] 저항 기억 소자를 이용한 불휘발성 반도체 기억 장치는, 예를 들면, 특허문헌 1~5, 비특허문헌 1~3 등에 기재되어 있다.

[0005] 특허문헌 1 : 미국 특허 제6473332호 명세서

[0006] 특허문헌 2 : 일본국 특허공개 2005-025914호 공보

[0007] 특허문헌 3 : 일본국 특허공개 2004-272975호 공보

[0008] 특허문헌 4 : 일본국 특허공개 2004-110867호 공보

[0009] 특허문헌 5 : 일본국 특허공개 2004-355670호 공보

[0010] 비특허문헌 1 : A. Beck et al., Appl. Phys. Lett. Vol. 77, p.139(2001)

[0011] 비특허문헌 2 : W. W. Zhuang et al., Tech. Digest IEDM 2002, p.193

[0012] 비특허문헌 3 : I. G. Baek et al., Tech. Digest IEDM 2004, p.587

발명의 상세한 설명

- [0013] 그러나, 저항 기억 소자에 전압을 단지 인가하여 저항 기억 재료를 저저항 상태에서 고저항 상태로 변화시키는 종래의 수법에서는, 저항 기억 소자의 저항값의 증가에 의해, 과도한 전압이 저항 기억 소자에 걸리게 된다. 이러한 과도한 전압에 의해, 저항 기억 소자가 고저항 상태에서 다시 저저항 상태로 변화하여, 고저항 상태를 유지할 수 없는 우려가 있다.
- [0014] 본 발명의 목적은, 저항 기억 소자를 저저항 상태에서 고저항 상태로 스위칭시킬 때, 저항 기억 소자에 과도한 전압이 걸려 저항 기억 소자가 다시 저저항 상태로 변화되는 것을 방지하고, 저항 기억 소자에의 정확한 데이터의 기입을 실현할 수 있는 불휘발성 반도체 기억 장치의 기입 방법을 제공하는 데 있다.
- [0015] 본 발명의 한 관점에 의하면, 고저항 상태와 저저항 상태를 기억하고, 전압의 인가에 의해 상기 고저항 상태와 상기 저저항 상태를 전환하는 저항 기억 소자를 갖는 불휘발성 반도체 기억 장치의 기입 방법으로서, 상기 저항 기억 소자의 한쪽 단부(端部)에 한쪽 단부가 접속된 트랜지스터를 설치하고, 상기 트랜지스터를 통하여 상기 저항 기억 소자에 전압을 인가하여 상기 저저항 상태에서 상기 고저항 상태로 전환할 때에, 상기 트랜지스터의 게이트 전압을, 상기 저항 기억 소자의 리셋 전압과 상기 트랜지스터의 임계값 전압의 합계 이상, 상기 저항 기억 소자의 세트 전압과 상기 임계값 전압의 합계 미만의 값으로 설정하여, 상기 저항 기억 소자에 걸리는 전압이, 상기 리셋 전압 이상, 상기 세트 전압 미만의 값이 되도록 하는 불휘발성 반도체 기억 장치의 기입 방법이 제공된다.
- [0016] 또한, 본 발명의 다른 관점에 의하면, 고저항 상태와 저저항 상태를 기억하고, 전압의 인가에 의해 상기 고저항 상태와 상기 저저항 상태를 전환하는 저항 기억 소자와, 상기 저항 기억 소자의 한쪽 단부에 한쪽 단부가 접속된 선택 트랜지스터를 각각 가지며, 매트릭스 형상으로 배치된 복수의 메모리 셀과 ; 제 1 방향으로 연장하여 병행으로 배치된 복수의 신호선으로서, 각 신호선이, 상기 제 1 방향으로 배열되는 상기 메모리 셀의 상기 선택 트랜지스터의 게이트 전극에 접속된 복수의 제 1 신호선과 ; 제 1 방향과 교차하는 제 2 방향으로 연장하여 병행으로 배치된 복수의 신호선으로서, 각 신호선이, 상기 제 2 방향으로 배열되는 상기 메모리 셀의 상기 선택 트랜지스터의 다른 쪽 단부측에 접속된 복수의 제 2 신호선을 갖는 불휘발성 반도체 기억 장치의 기입 방법으로서, 복수의 상기 메모리 셀 중, 상기 저항 기억 소자를 상기 저저항 상태에서 상기 고저항 상태로 재기록하는 재기록 대상의 메모리 셀에 접속된 상기 제 1 신호선에, 상기 저항 기억 소자의 리셋 전압과 상기 선택 트랜지스터의 임계값 전압의 합계 이상, 상기 저항 기억 소자의 세트 전압과 상기 임계값 전압의 합계 미만의 전압을 인가하고, 상기 재기록 대상의 메모리 셀에 접속된 상기 제 1 신호선에, 상기 리셋 전압과 상기 임계값 전압의 합계 이상, 상기 세트 전압과 상기 임계값 전압의 합계 미만의 상기 전압이 인가된 상태에서, 상기 재기록 대상의 메모리 셀에 접속된 상기 제 2 신호선에, 상기 리셋 전압 이상의 펄스 전압을 인가함으로써, 상기 재기록 대상의 메모리 셀의 상기 저항 기억 소자를 상기 저저항 상태에서 상기 고저항 상태로 재기록하는 불휘발성 반도체 기억 장치의 기입 방법이 제공된다.
- [0017] 또한, 본 발명의 또 다른 관점에 의하면, 고저항 상태와 저저항 상태를 기억하고, 전압의 인가에 의해 상기 고저항 상태와 상기 저저항 상태를 전환하는 저항 기억 소자와, 상기 저항 기억 소자의 한쪽 단부에 한쪽 단부가 접속된 선택 트랜지스터를 각각 가지며, 매트릭스 형상으로 배치된 복수의 메모리 셀과 ; 제 1 방향으로 연장하여 병행으로 배치된 복수의 신호선으로서, 각 신호선이, 상기 제 1 방향으로 배열되는 상기 메모리 셀의 상기 선택 트랜지스터의 게이트 전극에 접속된 복수의 제 1 신호선과 ; 제 1 방향과 교차하는 제 2 방향으로 연장하여 병행으로 배치된 복수의 신호선으로서, 각 신호선이, 상기 제 2 방향으로 배열되는 상기 메모리 셀의 상기 선택 트랜지스터의 다른 쪽 단부측에 접속된 복수의 제 2 신호선을 갖는 불휘발성 반도체 기억 장치의 기입 방법으로서, 복수의 상기 메모리 셀 중, 상기 저항 기억 소자를 상기 저저항 상태에서 상기 고저항 상태로 재기록하는 재기록 대상의 메모리 셀에 접속된 상기 제 2 신호선에, 상기 저항 기억 소자의 리셋 전압 이상의 전압을 인가하고, 상기 재기록 대상의 메모리 셀에 접속된 상기 제 2 신호선에, 상기 리셋 전압 이상의 상기 전압이 인가된 상태에서, 상기 재기록 대상의 메모리 셀에 접속된 상기 제 1 신호선에, 상기 리셋 전압과 상기 선택 트랜지스터의 임계값 전압의 합계 이상, 상기 저항 기억 소자의 세트 전압과 상기 임계값 전압의 합계 미만의 펄스 전압을 인가함으로써, 상기 재기록 대상의 메모리 셀의 상기 저항 기억 소자를 상기 저저항 상태에서 상기 고저항 상태로 재기록하는 불휘발성 반도체 기억 장치의 기입 방법이 제공된다.
- [0018] 또한, 본 발명의 또 다른 관점에 의하면, 고저항 상태와 저저항 상태를 기억하고, 전압의 인가에 의해 상기 고저항 상태와 상기 저저항 상태를 전환하는 저항 기억 소자를 갖는 불휘발성 반도체 기억 장치로서, 상기 저항 기억 소자의 한쪽 단부에 한쪽 단부가 접속된 트랜지스터를 가지며, 상기 트랜지스터를 통하여 상기 저항 기억

소자에 전압을 인가하여 상기 저저항 상태에서 상기 고저항 상태로 전환할 때에, 상기 트랜지스터의 게이트 전압을, 상기 저항 기억 소자의 리셋 전압과 상기 트랜지스터의 임계값 전압의 합계 이상, 상기 저항 기억 소자의 세트 전압과 상기 임계값 전압의 합계 미만의 값으로 설정하여, 상기 저항 기억 소자에 걸리는 전압이, 상기 리셋 전압 이상, 상기 세트 전압 미만의 값이 되도록 하는 불휘발성 반도체 기억 장치가 제공된다.

[0019] (발명의 효과)

[0020] 본 발명에 의하면, 트랜지스터를 통하여 저항 기억 소자에 전압을 인가하여 저저항 상태에서 고저항 상태로 전환할 때에, 트랜지스터의 게이트 전압을, 저항 기억 소자의 리셋 전압과 트랜지스터의 임계값 전압의 합계 이상, 저항 기억 소자의 세트 전압과 임계값 전압의 합계 미만의 값으로 설정하여, 저항 기억 소자에 걸리는 전압이, 리셋 전압 이상, 세트 전압 미만의 값이 되도록 하므로, 저항 기억 소자에 과대한 전압이 걸려 저항 기억 소자가 다시 저저항 상태로 변화되는 것을 방지할 수 있다. 이에 따라, 저항 기억 소자에 데이터를 정확하게 기입할 수 있어, 저항 기억 소자를 이용한 불휘발성 반도체 기억 장치의 신뢰성을 향상할 수 있다.

실시예

[제 1 실시예]

[0055] 본 발명의 제 1 실시예에 의한 저항 기억 소자의 리셋 방법에 대하여 도 1 내지 도 5를 이용하여 설명한다.

[0056] 도 1은 단극성 저항 기억 재료를 사용한 저항 기억 소자의 전류-전압 특성을 나타낸 그래프, 도 2 및 도 3은 저항 기억 소자에 대한 전압의 인가를 설명한 도면, 도 4는 본 실시예에 의한 저항 기억 소자의 리셋 방법을 행하기 위한 회로 구성을 나타낸 회로도, 도 5는 본 실시예에 의한 저항 기억 소자의 리셋 방법에서 저항 기억 소자에 걸리는 전압의 시간 변화를 측정한 결과를 나타낸 그래프이다.

[0057] 우선, 저항 기억 소자의 기본 동작에 대하여 도 1을 이용하여 설명한다.

[0058] 저항 기억 소자는 한 쌍의 전극간에 저항 기억 재료가 삽입된 것이다. 저항 기억 재료는, 그 대부분이 천이(遷移) 금속을 포함하는 산화물 재료이며, 전기적 특성의 차이에서 크게 2가지로 분류할 수 있다.

[0059] 하나는, 고저항 상태와 저저항 상태의 사이에서 저항값을 변화시키기 위해서, 극성이 동일한 전압을 필요로 하는 재료이며, 예를 들면, NiO_x 나 TiO_x 와 같은 단일의 천이 금속 산화물 등이 해당된다. 이하, 저항 상태의 재기록에 극성이 동일한 전압을 요하는 이러한 저항 기억 재료를, 단극성 저항 기억 재료라고 부른다.

[0060] 또 하나는, 고저항 상태와 저저항 상태의 사이에서 저항 상태를 변화시키기 위해서 서로 다른 극성의 전압을 사용하는 것이며, 크롬(Cr) 등의 불순물을 미량으로 도핑한 SrTiO_3 이나 SrZrO_3 , 또는 초거대 자기 저항(CMR : Colossal Magneto-Resistance)을 나타내는 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ 이나 $\text{La}_{1-x}\text{Ca}_x\text{MnO}_3$ 등이 해당된다. 이하, 저항 상태의 재기록에 극성이 다른 전압을 요하는 이러한 저항 기억 재료를, 쌍극성 저항 기억 재료라고 부른다.

[0061] 이하의 설명에서는, 단극성 저항 기억 재료를 사용한 저항 기억 소자에 관하여 설명한다

[0062] 도 1은, 단극성 저항 기억 재료를 사용한 저항 기억 소자의 전류-전압 특성을 나타낸 그래프이다. 이 그래프는 전형적인 단극성 저항 기억 재료인 TiO_x 를 사용한 경우이다.

[0063] 초기 상태에서, 저항 기억 소자는 고저항 상태라고 생각된다.

[0064] 인가 전압을 0V에서 서서히 증가해 가면, 전류는 곡선(a)을 따라 화살표 방향으로 변화하고, 그 절대값은 서서히 증가한다. 인가 전압이 더욱 커져 소정의 값을 초과하면, 저항 기억 소자가 고저항 상태에서 저저항 상태로 스위칭한다. 또한, 이하의 설명에서는, 저항 기억 소자를 고저항 상태에서 저저항 상태로 변화하는 동작을 「세트」라고 부른다. 이에 따라, 전류의 절대값이 급격하게 증가하고, 전류-전압 특성은 점(A)에서 점(B)로 천이한다. 도 1에서 점(B)에서의 전류값이 일정하게 되어 있는 것은, 급격한 전류의 증가에 의한 소자의 파괴를 방지하기 위해서 전류 제한을 실시하고 있기 때문이다.

[0065] 점(B)의 상태에서 서서히 전압을 감소해 가면, 전류는 곡선(b)을 따라 화살표 방향으로 변화되고, 그 절대값은 서서히 감소한다. 인가 전압이 0V로 되돌아가면, 전류도 0A가 된다.

[0066] 다음에, 전류 제한을 해제하고, 인가 전압을 0V에서 재차 서서히 증가해 가면, 전류는 곡선(c)을 따라서 화살표 방향으로 변화되고, 그 절대값은 서서히 증가한다. 인가되는 전압이 더욱 커져 소정의 값을 초과하면, 저항 기억 소자가 저저항 상태에서 고저항 상태로 스위칭한다. 또한, 이하의 설명에서는, 저항 기억 소자를 저저항 상

태에서 고저항 상태로 변화시키는 동작을 「리셋」이라고 부른다. 이에 따라, 전류의 절대값이 급격하게 감소하고, 전류-전압 특성은 점(C)에서 점(D)로 천이한다.

- [0067] 점(D)의 상태에서 서서히 전압을 감소해 가면, 그 절대값은 서서히 감소한다. 인가 전압이 0V로 되돌아가면, 전류도 0A가 된다.
- [0068] 각각의 저항 상태는, 소정의 전압값 이하로 안정되며, 전원을 꺼도 유지된다. 즉, 고저항 상태에서는, 인가 전압이 점(A)의 전압보다도 낮으면, 전류-전압 특성은 곡선(a)을 따라 선형적으로 변화하여, 고저항 상태가 유지된다. 마찬가지로, 저저항 상태에서는, 인가 전압이 점(C)의 전압보다도 낮으면, 전류-전압 특성은 곡선(c)을 따라 변화하여, 저저항 상태가 유지된다.
- [0069] 상술한 바와 같이, 저항 기억 소자를 세트, 또는 리셋하는 경우에는, 각각의 경우에 따라 필요한 전압을 저항 기억 소자에 인가하면 좋다. 그러나, 실제의 동작에서는, 저항 기억 소자를 저저항 상태에서 고저항 상태로 리셋하는 경우에서, 단지 전압을 인가한 것에서는, 이하에 기술하는 결함이 생긴다.
- [0070] 도 2의 (a)는 저항 기억 소자에 전압을 인가하기 위한 회로 구성을 나타낸 회로도이다. 도시하는 바와 같이, 저항 기억 소자(10)의 일단에, 펄스 전압을 인가하기 위한 펄스 제너레이터(12)가 접속되어 있다. 저항 기억 소자(10)의 타단은, 기준 전위, 예를 들면, 접지 전위인 0V에 접속되어 있다. 도 2의 (b)는 펄스 제너레이터(12)에 의해 저항 기억 소자(10)에 인가되는 전압값(V_{pulse})의 펄스 전압을 나타내고 있다.
- [0071] 도 2에 나타낸 회로 구성에서, 저항 기억 소자(10)에 펄스 전압을 인가한 경우에, 저항 기억 소자(10)에 걸리는 전압(V_1)의 타임 차트를 나타낸 것이 도 3의 (a) 및 도 3의 (b)이다. 도 3의 (a)는 저항 기억 소자(10)를 고저항 상태에서 저저항 상태로 세트하는 경우에서의 전압(V_1)의 시간 변화를 나타내고 있다. 도 3의 (b)는 저항 기억 소자(10)를 저저항 상태에서 고저항 상태로 리셋하는 경우에서의 전압(V_1)의 시간 변화를 나타내고 있다.
- [0072] 저항 기억 소자(10)를 세트하는 경우에는, 펄스 제너레이터(12)에 의해, 저항 기억 소자(10)를 세트하는 데 요하는 전압값(세트 전압 V_{set})의 펄스 전압을 저항 기억 소자(10)에 인가한다. 이 펄스 전압을 저항 기억 소자(10)에 인가한 시점에서는, 원하는 전압이 저항 기억 소자(10)에 걸린다. 이에 따라, 저항 기억 소자(10)가 고저항 상태에서 저저항 상태로 변화된다(도 3의 (a)). 저항 기억 소자(10)가 저저항 상태로 변화되면, 인가된 전압의 대부분은 펄스 제너레이터(12)의 내부 저항, 또는 펄스 제너레이터(12)와 저항 기억 소자(10)를 접속하는 배선의 저항에 걸리게 된다. 이 결과, 저항 기억 소자(10)에 걸리는 전압은 저하된다.
- [0073] 한편, 저항 기억 소자(10)를 리셋하는 경우에는, 펄스 제너레이터(12)에 의해, 저항 기억 소자(10)를 리셋하는 데 요하는 전압값(리셋 전압 V_{reset})의 펄스 전압을 저항 기억 소자(10)에 인가한다. 이 펄스 전압을 저항 기억 소자(10)에 인가한 시점에서는, 원하는 전압이 저항 기억 소자(10)에 걸린다. 이에 따라, 저항 기억 소자(10)가 저저항 상태에서 고저항 상태로 변화된다(도 3의 (b)). 그러나, 저항 기억 소자(10)를 리셋하는 경우에는, 저항 기억 소자(10)가 고저항 상태로 변화된 순간에, 인가된 전압의 거의 전부가, 저항 기억 소자(10)에 걸리게 된다. 이 때문에, 저항 기억 소자(10)에 걸리는 전압이 세트 전압을 초과하여, 저항 기억 소자(10)가 고저항 상태에서 다시 저저항 상태로 변화되어 버려, 고저항 상태를 유지할 수 없는 우려가 있다.
- [0074] 본 실시예에 의한 저항 기억 소자의 리셋 방법은, 저항 기억 소자를 저저항 상태에서 고저항 상태로 스위칭시킬 때, 저항 기억 소자에 과대한 전압이 걸려 저항 기억 소자가 다시 저저항 상태로 변화되는 것을 방지하는 것을 가능하게 하는 것이다.
- [0075] 우선, 본 실시예에 의한 저항 기억 소자의 리셋 방법을 행하기 위한 회로 구성에 대하여 도 4를 이용하여 설명한다.
- [0076] 도시하는 바와 같이, NMOS 트랜지스터(14)의 드레인 단자에, 펄스 전압을 인가하기 위한 펄스 제너레이터(12)가 접속되어 있다. NMOS 트랜지스터(14)의 소스 단자에는, 저항 기억 소자(10)의 일단이 접속되어 있다. 저항 기억 소자(10)의 타단은, 기준 전위, 예를 들면, 접지 전위인 0V에 접속되어 있다.
- [0077] 저항 기억 소자(10)는 한 쌍의 전극간에 단극성 저항 기억 재료가 삽입된 것이다. 한 쌍의 전극은 모두 예를 들면, Pt로 이루어지는 것이다. 단극성 저항 기억 재료는, 예를 들면, TiO_x 로 이루어지는 것이다.
- [0078] 다음에, 도 4에 나타낸 회로 구성을 이용한 본 실시예에 의한 저항 기억 소자의 리셋 방법에 관하여 설명한다.

- [0079] 저항 기억 소자(10)는 저저항 상태에 있는 것으로 한다.
- [0080] 우선, NMOS 트랜지스터(14)의 게이트 단자에, 전압값(V_g)의 직류 전압을 인가한다. 여기서, 전압값(V_g)은 저항 기억 소자(10)를 세트하는 데 요하는 전압값을 V_{set} , 저항 기억 소자(10)를 리셋하는 데 요하는 전압값을 V_{reset} , NMOS 트랜지스터(14)의 임계값 전압의 값을 V_{th} 로 하여, $V_{reset}+V_{th} \leq V_g < V_{set}+V_{th}$ 의 관계를 충족시키는 것으로 한다. 이에 따라, NMOS 트랜지스터(14)의 게이트 전압의 값은, $V_{reset}+V_{th} \leq V_g < V_{set}+V_{th}$ 의 관계를 충족시키는 V_g 로 설정된다.
- [0081] 이어서, NMOS 트랜지스터(14)의 게이트 단자에, $V_{reset}+V_{th} \leq V_g < V_{set}+V_{th}$ 의 관계를 충족시키는 전압값(V_g)의 직류 전압을 인가한 상태에서, 펄스 제너레이터(12)에 의해, NMOS 트랜지스터(14)의 드레인 단자에, 전압값(V_{pulse})의 펄스 전압을 인가한다. 여기서, 전압값(V_{pulse})은 저항 기억 소자(10)를 리셋하는 데 요하는 전압값(V_{reset}) 이상의 것이 된다.
- [0082] 이렇게 하여, 게이트 전압의 값이 $V_{reset}+V_{th} \leq V_g < V_{set}+V_{th}$ 의 관계를 충족시키는 V_g 로 설정된 NMOS 트랜지스터(14)의 드레인 단자에, V_{reset} 이상의 전압값(V_{pulse})의 펄스 전압을 인가함으로써, NMOS 트랜지스터(14)의 소스 단자에 접속된 저항 기억 소자(10)에 펄스 전압이 인가된다. 이에 따라, 저항 기억 소자(10)의 저항값은 상승하여, 저항 기억 소자(10)는 저저항 상태에서 고저항 상태로 리셋된다.
- [0083] 이와 같이, 본 실시예에 의한 저항 기억 소자의 리셋 방법은, 게이트 전압의 값이 $V_{reset}+V_{th} \leq V_g < V_{set}+V_{th}$ 의 관계를 충족시키는 V_g 로 설정된 NMOS 트랜지스터(14)의 드레인 단자에, V_{reset} 이상의 전압값(V_{pulse})의 펄스 전압을 인가함으로써, NMOS 트랜지스터(14)의 소스 단자에 접속된 저항 기억 소자(10)에 펄스 전압을 인가하는 것에 주된 특징이 있다.
- [0084] 펄스 제너레이터(12)에 의해 V_{reset} 이상의 전압값(V_{pulse})의 펄스 전압이 NMOS 트랜지스터(14)의 드레인 단자에 인가되면, 저항 기억 소자(10)의 저항값은 상승한다. 이에 따라, 저항 기억 소자(10)에 걸리는 전압(V_1)도 상승한다.
- [0085] 여기서, 본 실시예에 의한 저항 기억 소자의 리셋 방법에서는, NMOS 트랜지스터(14)를 통하여, 저항 기억 소자(10)에 펄스 전압을 인가하고 있다. 이 때문에, 저항 기억 소자(10)에 걸리는 전압(V_1)의 상한은, NMOS 트랜지스터(14)의 게이트 전압의 값에 의해 결정된다. 즉, NMOS 트랜지스터(14)의 게이트 전압의 값은, $V_{reset}+V_{th} \leq V_g < V_{set}+V_{th}$ 의 관계를 충족시키는 V_g 로 설정되어 있기 때문에, 저항 기억 소자(10)에 걸리는 전압(V_1)은 V_{reset} 이상이지만, V_{set} 이상이 되는 일은 없다. 따라서, 저항 기억 소자(10)를 저저항 상태에서 고저항 상태로 리셋할 때에, 저저항 상태에서 고저항 상태로 변화된 저항 기억 소자(10)가 다시 저저항 상태로 변화되지 않아, 고저항 상태를 유지할 수 있다.
- [0086] 또한, 금속 산화물로 이루어지는 저항 기억 재료를 사용한 저항 기억 소자(10)는 세트에 요하는 시간보다도 리셋에 요하는 시간이 길다. 저항 기억 소자(10)가 그 저항 상태를 변화시키는 시간은, 저항 기억 소자(10)에 걸리는 전압이 클수록 짧아진다. 따라서, 저항 기억 소자(10)를 리셋할 때에, 저항 기억 소자(10)에 걸리는 전압이 V_{set} 미만의 범위에서 가능한 한 커지도록 하면, 리셋에 요하는 시간을 단축할 수 있다. 이를 위해서는, 저항 기억 소자(10)를 리셋할 때에, NMOS 트랜지스터(14)의 게이트 전압(V_g)을, $V_{set}+V_{th}$ 미만의 범위에서 가능한 한 크게 설정하면 좋다.
- [0087] 도 5는 본 실시예에 의한 저항 기억 소자의 리셋 방법에서 저항 기억 소자에 걸리는 전압(V_1)의 시간 변화를 측정한 결과를 나타낸 그래프이다. 그래프 중, 가로축은 시간, 세로축은 저항 기억 소자에 걸리는 전압(V_1)이다. 측정에 사용한 시료는, Pt로 이루어지는 하부 전극과, 막두께 20nm의 TiO_x 로 이루어지는 저항 기억 재료층과, Pt로 이루어지는 상부 전극을 갖는 직경 5 μ m의 저항 기억 소자로 했다. 이 시료는, 도 1에 나타낸 전류-전압 특성을 가지며, 세트 전압(V_{set})이 약 1.8V, 리셋 전압(V_{reset})이 약 0.7V이다. 또한, NMOS 트랜지스터의 임계값 전압의 값(V_{th})은 약 1.7V이다. NMOS 트랜지스터의 게이트 단자에 인가되는 직류 전압의 값(V_g)은 3V로 했다. 또한, NMOS 트랜지스터의 드레인 단자에 인가되는 펄스 전압의 전압값(V_{pulse})은 5V, 펄스 폭은 5ms로 했다.

- [0088] 도 5에 나타난 바와 같이, NMOS 트랜지스터의 드레인 단자에 펄스 전압을 인가하여 약 3ms 후에 저항 기억 소자는 리셋되고 있다. 이에 따라, 저항 기억 소자에 걸리는 전압(V_1)이 상승하고, 그 후 펄스 전압의 인가가 종료할 때까지, 저항 기억 소자에는 1.3V의 전압이 걸리고 있다. 이 1.3V의 전압은, 저항 기억 소자의 세트 전압보다도 작기 때문에, 저항 기억 소자가 다시 세트되는 일은 없다. 이 결과에서, 본 실시예에 의하면, 저항 기억 소자를 저저항 상태에서 고저항 상태로 확실히 리셋할 수 있는 것이 확인되었다. 또한, 도 5에 나타난 전압 변화의 측정 후의 시료의 저항값을 측정하자, 고저항 상태의 저항값이 측정되었다.
- [0089] 이와 같이, 본 실시예에 의하면, 저항 기억 소자를 저저항 상태에서 고저항 상태로 스위칭시킬 때, 소정의 전압값으로 게이트 전압이 설정된 트랜지스터를 통하여 저항 기억 소자에 전압을 인가하므로, 저항 기억 소자에 과대한 전압이 걸려 저항 기억 소자가 다시 저저항 상태로 변화되는 것을 방지할 수 있다.
- [0090] [제 2 실시예]
- [0091] 본 발명의 제 2 실시예에 의한 저항 기억 소자의 리셋 방법에 대하여 도 6 및 도 7을 이용하여 설명한다. 또한, 제 1 실시예에 의한 저항 기억 소자의 리셋 방법과 동일한 구성 요소에는, 동일한 부호를 부여하여 설명을 생략 또는 간략하게 한다.
- [0092] 도 6은 본 실시예에 의한 저항 기억 소자의 리셋 방법을 행하기 위한 회로 구성을 나타낸 회로도, 도 7은 본 실시예에 의한 저항 기억 소자의 리셋 방법에서 저항 기억 소자에 걸리는 전압의 시간 변화를 측정한 결과를 나타낸 그래프이다.
- [0093] 우선, 본 실시예에 의한 저항 기억 소자의 리셋 방법을 행하기 위한 회로 구성에 대하여 도 6을 이용하여 설명한다.
- [0094] 도시하는 바와 같이, NMOS 트랜지스터(14)의 게이트 단자에, 펄스 전압을 인가하기 위한 펄스 제너레이터(12)가 접속되어 있다. NMOS 트랜지스터(14)의 소스 단자에는, 저항 기억 소자(10)의 일단이 접속되어 있다. 저항 기억 소자(10)의 타단은, 기준 전위, 예를 들면, 접지 전위인 0V에 접속되어 있다.
- [0095] 저항 기억 소자(10)는 한 쌍의 전극간에 단극성 저항 기억 재료가 삽입된 것이다. 한 쌍의 전극은 모두 예를 들면, Pt로 이루어지는 것이다. 단극성 저항 기억 재료는, 예를 들면, TiO_x 로 이루어지는 것이다.
- [0096] 다음에, 도 6에 나타난 회로 구성을 이용한 본 실시예에 의한 저항 기억 소자의 리셋 방법에 관하여 설명한다.
- [0097] 저항 기억 소자(10)는 저저항 상태에 있는 것으로 한다.
- [0098] 우선, NMOS 트랜지스터(14)의 드레인 단자에, 전압값(V_d)의 직류 전압을 인가한다. 여기서, 전압값(V_d)은 저항 기억 소자(10)를 리셋하는 데 요하는 전압값(V_{reset}) 이상의 것으로 한다.
- [0099] 이어서, NMOS 트랜지스터(14)의 드레인 단자에, V_{reset} 이상의 전압값(V_d)의 직류 전압을 인가한 상태에서, 펄스 제너레이터(12)에 의해, NMOS 트랜지스터(14)의 게이트 단자에, 전압값(V_{pulse})의 펄스 전압을 인가한다. 여기서, 전압값(V_{pulse})은 저항 기억 소자(10)를 세트하는 데 요하는 전압값을 V_{set} , 저항 기억 소자(10)를 리셋하는 데 요하는 전압값을 V_{reset} , NMOS 트랜지스터(14)의 임계값 전압의 값을 V_{th} 로 하여, $V_{reset}+V_{th} \leq V_{pulse} < V_{set}+V_{th}$ 의 관계를 충족시키는 것으로 한다. 이에 따라, 게이트 단자에 펄스 전압이 인가되고 있는 동안, NMOS 트랜지스터(14)의 게이트 전압의 값은, $V_{reset}+V_{th} \leq V_{pulse} < V_{set}+V_{th}$ 의 관계를 충족시키는 V_{pulse} 로 설정된다.
- [0100] 이렇게 하여, NMOS 트랜지스터(14)의 드레인 단자에 V_{reset} 이상의 전압값(V_d)의 직류 전압이 인가된 상태에서, $V_{reset}+V_{th} \leq V_{pulse} < V_{set}+V_{th}$ 의 관계를 충족시키는 전압값(V_{pulse})의 펄스 전압을 NMOS 트랜지스터(14)의 게이트 단자에 인가함으로써, NMOS 트랜지스터(14)의 소스 단자에 접속된 저항 기억 소자(10)에 펄스 전압이 인가된다. 이에 따라, 저항 기억 소자(10)의 저항값은 상승하고, 저항 기억 소자(10)는 저저항 상태에서 고저항 상태로 리셋된다.
- [0101] 이와 같이, 본 실시예에 의한 저항 기억 소자의 리셋 방법은, NMOS 트랜지스터(14)의 드레인 단자에 V_{reset} 이상의 전압값(V_d)의 직류 전압이 인가된 상태에서, $V_{reset}+V_{th} \leq V_{pulse} < V_{set}+V_{th}$ 의 관계를 충족시키는 전압값(V_{pulse})의 펄스 전압을 NMOS 트랜지스터(14)의 게이트 단자에 인가함으로써, NMOS 트랜지스터(14)의 소스 단자에 접속된 저

항 기억 소자(10)에 펄스 전압을 인가하는 것에 주된 특징이 있다.

- [0102] 펄스 제너레이터(12)에 의해 $V_{reset}+V_{th} \leq V_{pulse} < V_{set}+V_{th}$ 의 관계를 충족시키는 전압값(V_{pulse})의 펄스 전압이 NMOS 트랜지스터(14)의 게이트 단자에 인가되면, NMOS 트랜지스터(14)의 드레인 단자에 V_{reset} 이상의 전압값(V_d)의 직류 전압이 인가되어 있기 때문에, 저항 기억 소자(10)의 저항값은 상승한다. 이에 따라, 저항 기억 소자(10)에 걸리는 전압(V_1)도 상승한다.
- [0103] 여기서, 본 실시예에 의한 저항 기억 소자의 리셋 방법에서는, NMOS 트랜지스터(14)를 통하여, 저항 기억 소자(10)에 펄스 전압을 인가하고 있다. 이 때문에, 저항 기억 소자(10)에 걸리는 전압(V_1)의 상한은, NMOS 트랜지스터(14)의 게이트 전압의 값에 의해 결정된다. 즉, NMOS 트랜지스터(14)의 게이트 전압의 값은, 펄스 제너레이터(12)에 의해 게이트 단자에 펄스 전압이 인가되고 있는 동안, $V_{reset}+V_{th} \leq V_{pulse} < V_{set}+V_{th}$ 의 관계를 충족시키는 V_{pulse} 로 설정되어 있다. 이 때문에, 저항 기억 소자(10)에 걸리는 전압(V_1)은, V_{reset} 이상, V_{set} 미만의 값이 되고, V_{set} 이상이 되는 일은 없다. 따라서, 저항 기억 소자(10)를 저저항 상태에서 고저항 상태로 리셋할 때에, 저저항 상태에서 고저항 상태로 변화된 저항 기억 소자(10)가 다시 저저항 상태로 변화되지 않아, 고저항 상태를 유지할 수 있다.
- [0104] 또한, 본 실시예에서도, 제 1 실시예와 마찬가지로, 저항 기억 소자(10)를 리셋할 때에, NMOS 트랜지스터(14)의 게이트 전압(V_g)을, $V_{set}+V_{th}$ 미만의 범위에서 가능한 크게 설정함으로써, V_{set} 미만의 범위에서 가능한 큰 전압을 저항 기억 소자(10)에 걸 수가 있다. 이에 따라, 리셋에 요하는 시간을 단축할 수 있다.
- [0105] 도 7은 본 실시예에 의한 저항 기억 소자의 리셋 방법에서 저항 기억 소자에 걸리는 전압(V_1)의 시간 변화를 측정한 결과를 나타낸 그래프이다. 그래프 중, 가로축은 시간, 세로축은 저항 기억 소자에 걸리는 전압(V_1)이다. 측정에 사용한 시료인 저항 기억 소자 및 NMOS 트랜지스터는, 도 5에 나타난 제 1 실시예의 경우와 동일하게 했다. NMOS 트랜지스터의 드레인 단자에 인가되는 직류 전압의 값(V_d)은 5V로 했다. 또한, NMOS 트랜지스터의 게이트 단자에 인가되는 펄스 전압의 전압값(V_{pulse})은 3V, 펄스 폭은 5ms로 했다.
- [0106] 도 7에 나타난 바와 같이, NMOS 트랜지스터의 게이트 단자에 펄스 전압을 인가하여 약 300 μ s 후에 저항 기억 소자는 리셋되고 있다. 이에 따라, 저항 기억 소자에 걸리는 전압(V_1)이 상승하고, 그 후 펄스 전압의 인가가 종료할 때까지, 저항 기억 소자에는 1.3V의 전압이 걸리고 있다. 이 1.3V의 전압은, 저항 기억 소자의 세트 전압보다도 작기 때문에, 저항 기억 소자가 다시 세트되는 일은 없다. 이 결과에서, 본 실시예에 의하면, 저항 기억 소자를 저저항 상태에서 고저항 상태로 확실히 리셋할 수 있는 것이 확인되었다. 또한, 도 7에 나타난 전압 변화의 측정 후의 시료의 저항값을 측정하자, 고저항 상태의 저항값이 측정되었다.
- [0107] 이와 같이, 본 실시예에 의하면, 저항 기억 소자를 저저항 상태에서 고저항 상태로 스위칭시킬 때, 소정의 전압값으로 게이트 전압이 설정된 트랜지스터를 통하여 저항 기억 소자에 전압을 인가하므로, 저항 기억 소자에 과대한 전압이 걸려 저항 기억 소자가 다시 저저항 상태로 변화되는 것을 방지할 수 있다.
- [0108] 또한, 본 실시예에서는, 펄스 제너레이터(12)에 의해 NMOS 트랜지스터(14)의 게이트 단자에 인가하는 전압 펄스의 전압값(V_{pulse})을, 펄스 전압의 상승 후의 초기의 기간, 즉, 저항 기억 소자(10)가 저저항 상태에서 고저항 상태로 변화되기 전의 소정의 기간에서 $V_{set}+V_{th}$ 이상으로 설정하고, 그 후, 저항 기억 소자(10)가 저저항 상태에서 고저항 상태로 변화되기 전에, 상기와 마찬가지로, $V_{reset}+V_{th} \leq V_{pulse} < V_{set}+V_{th}$ 의 관계를 충족시키는 값으로 설정해도 좋다.
- [0109] 이러한 펄스 전압을 인가함으로써, 저항 기억 소자(10)에 걸리는 전압은, 저항 기억 소자(10)가 저저항 상태에서 고저항 상태로 변화되기 전에 충분히 크게 할 수 있다. 구체적으로는, NMOS 트랜지스터(14)의 드레인 단자에 인가되는 직류 전압의 전압값(V_d)을 V_{set} 이상으로 하면, 저항 기억 소자(10)에 걸리는 전압을 V_{set} 이상으로 할 수 있다. 이 때문에, 저항 기억 소자(10)에 흐르는 전류량을 충분히 확보할 수 있어, 저항 기억 소자(10)의 리셋에 요하는 시간을 단축할 수 있다. 그 후에는, 저항 기억 소자(10)가 저저항 상태에서 고저항 상태로 변화되기 전에, 저항 기억 소자(10)에 걸리는 전압은, V_{reset} 이상, V_{set} 미만이 된다. 이에 따라, 상기와 마찬가지로, 저항 기억 소자(10)가 고저항 상태에서 다시 저저항 상태로 변화되는 것을 방지할 수 있다.

- [0110] [제 3 실시예]
- [0111] 본 발명의 제 3 실시예에 의한 불휘발성 반도체 기억 장치 및 그 기입 방법에 관하여 도 8 내지 도 12를 이용하여 설명한다.
- [0112] 도 8 및 도 9는 본 실시예에 의한 불휘발성 반도체 기억 장치의 구조를 나타낸 회로도, 도 10 및 도 11은 본 실시예에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타낸 타임 차트, 도 12는 본 실시예에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타낸 타임 차트이다.
- [0113] 본 실시예에 의한 불휘발성 반도체 기억 장치의 메모리 셀(16)은, 도 8에 나타난 바와 같이, 저항 기억 소자(18)와 셀 선택 트랜지스터(20)를 갖고 있다. 저항 기억 소자(18)는 그 일단이 셀 선택 트랜지스터(20)의 드레인 단자에 접속되고, 타단이 소스선(SL)에 접속되어 있다. 셀 선택 트랜지스터(20)의 소스 단자는 비트선(BL)에 접속되고, 게이트 단자는 워드선(WL)에 접속되어 있다. 저항 기억 소자(18)는 한 쌍의 전극간에 예를 들면, TiO_x 로 이루어지는 단극성 저항 기억 재료가 삽입된 것이다. 셀 선택 트랜지스터(20)는, 예를 들면, 임계값 전압이 0.3~1V의 MOS 트랜지스터이다.
- [0114] 도 9는, 도 8에 나타난 메모리 셀(16)을 매트릭스 형상으로 배치한 메모리 셀 어레이를 나타낸 회로도이다. 복수의 메모리 셀(16)이, 열방향(도면 중방향) 및 행방향(도면 횡방향)에 인접하여 형성되어 있다.
- [0115] 열방향에는, 복수의 워드선(WL0, WL1, ...)이 배치되어 있고, 열방향으로 배열되는 메모리 셀(16)에 공통의 신호선을 구성하고 있다. 또한, 열방향에는, 소스선(SL0, SL1...)이 배치되고, 열방향으로 배열되는 메모리 셀(16)에 공통의 신호선을 구성하고 있다.
- [0116] 행방향(도면 횡방향)에는, 복수의 비트선(BL0, BL1...)이 배치되어 있고, 행방향으로 배열되는 메모리 셀(16)에 공통의 신호선을 구성하고 있다.
- [0117] 다음에, 도 9에 나타난 본 실시예에 의한 불휘발성 반도체 기억 장치의 기입 방법에 대하여 도 10 및 도 11을 이용하여 설명한다.
- [0118] 우선, 고저항 상태에서 저저항 상태로의 재기록 동작, 즉 세트의 동작에 관하여 도 10을 이용하여 설명한다. 재기록 대상의 메모리 셀(16)은, 워드선(WL0) 및 비트선(BL0)에 접속된 메모리 셀(16)인 것으로 한다. 도 10의 (a)는 워드선(WL0)의 전압의 시간 변화를 나타내고 있다. 도 10의 (b)는 비트선(BL0)의 전압의 시간 변화를 나타내고 있다. 도 10의 (c)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 걸리는 전압(V_0)의 시간 변화를 나타내고 있다. 도 10의 (d)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 흐르는 전류(비트선(BL0)에 흐르는 전류)의 시간 변화를 나타내고 있다.
- [0119] 우선, 워드선(WL0)에 소정의 전압을 인가하여, 셀 선택 트랜지스터(20)를 온 상태로 한다. 이 때, 워드선(WL0)에 인가하는 전압은, 저항 기억 소자(18)를 세트하는 데 요하는 세트 전압을 V_{set} , 셀 선택 트랜지스터(20)의 임계값 전압을 V_{th} 로 하여, $V_{set}+V_{th}$ 로 제어한다(도 10의 (a)). 이렇게 하여, 셀 선택 트랜지스터(20)의 게이트 전압을 $V_{set}+V_{th}$ 로 설정하고, 저항 기억 소자(18)를 세트하는 데 충분한 전압이 저항 기억 소자(18)에 걸리도록 한 상태로 한다.
- [0120] 소스선(SL0)은, 기준 전위, 예를 들면, 접지 전위인 0V에 접속한다.
- [0121] 그 다음에, 비트선(BL0)에, 저항 기억 소자(18)를 세트하는 데 요하는 전압(V_{set}) 이상의 전압(V_{cc})을 인가한다(도 10의 (b)).
- [0122] 비트선(BL0)에 전압이 인가되면, 저항 기억 소자(18)에는, 게이트 전압이 $V_{set}+V_{th}$ 로 설정된 셀 선택 트랜지스터(20)를 통하여 비트선(BL0)으로부터 전압이 인가된다. 이 때문에, 저항 기억 소자(18)에 걸리는 전압(V_0)은 우선 V_{set} 가 된다. 이에 따라, 저항 기억 소자(18)의 저항값은 감소하여, 저항 기억 소자(18)는 고저항 상태에서 저저항 상태로 변화된다. 저항 기억 소자(18)의 저항값의 감소에 따라, 저항 기억 소자(18)에 걸리는 전압(V_0)은 V_{set} 로부터 감소한다(도 10의 (c)). 저항 기억 소자(18)에 흐르는 전류는, 저항 기억 소자(18)의 저항값의 감소에 따라 증가한다(도 10의 (d)).
- [0123] 이어서, 비트선(BL0)에 인가되는 전압을 0으로 되돌린 후, 워드선(WL0)에 인가되는 전압을 오프로 하여, 세트의 동작을 완료한다.

- [0124] 다음에, 저저항 상태에서 고저항 상태로의 재기록 동작, 즉 리셋의 동작에 관하여 도 11을 이용하여 설명한다. 재기록 대상의 메모리 셀(16)은, 워드선(WL0) 및 비트선(BL0)에 접속된 메모리 셀(16)인 것으로 한다. 도 11의 (a)는 워드선(WL0)의 전압의 시간 변화를 나타내고 있다. 도 11의 (b)는 비트선(BL0)의 전압의 시간 변화를 나타내고 있다. 도 11의 (c)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 걸리는 전압(V0)의 시간 변화를 나타내고 있다. 도 11의 (d)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 흐르는 전류(비트선(BL0)에 흐르는 전류)의 시간 변화를 나타내고 있다.
- [0125] 본 실시예에 의한 저저항 상태에서 고저항 상태로의 재기록 동작은, 제 1 실시예에 의한 저항 기억 소자의 리셋 방법을 이용하여 행하는 것이다.
- [0126] 우선, 워드선(WL0)에 소정의 전압을 인가하고, 셀 선택 트랜지스터(20)를 온 상태로 한다. 이 때, 워드선(WL0)에 인가하는 전압(V_{WL})은, 저항 기억 소자(18)를 세트하는 데 요하는 세트 전압을 V_{set} , 저항 기억 소자(18)를 리셋하는 데 요하는 리셋 전압을 V_{reset} , 셀 선택 트랜지스터(20)의 임계값 전압을 V_{th} 로 하여, $V_{\text{reset}}+V_{\text{th}} \leq V_{\text{WL}} < V_{\text{set}}+V_{\text{th}}$ 의 관계를 충족시키는 값으로 한다(도 11의 (a)). 이렇게 하여, 셀 선택 트랜지스터(20)의 게이트 전압(V_g)을 $V_{\text{reset}}+V_{\text{th}} \leq V_g < V_{\text{set}}+V_{\text{th}}$ 의 관계를 충족시키는 값으로 설정하고, 저항 기억 소자(18)를 리셋하는 데 충분한 전압이 저항 기억 소자(18)에 걸리고, 또한, 저항 기억 소자(18)의 저항값이 상승해도 저항 기억 소자(18)가 세트되지 않도록 한 상태로 한다.
- [0127] 소스선(SL0)은 기준 전위, 예를 들면, 접지 전위인 0V에 접속한다.
- [0128] 그 다음에, 비트선(BL0)에, 저항 기억 소자(18)를 리셋하는 데 요하는 전압(V_{reset}) 이상의 전압(V_{cc})을 인가한다(도 11의 (b)).
- [0129] 비트선(BL0)에 V_{reset} 이상의 전압이 인가되면, 저항 기억 소자(18)에는, 게이트 전압(V_g)이 $V_{\text{reset}}+V_{\text{th}} \leq V_g < V_{\text{set}}+V_{\text{th}}$ 의 관계를 충족시키는 값으로 설정된 셀 선택 트랜지스터(20)를 통하여 비트선(BL0)으로부터 전압이 인가된다. 이 때문에, 저항 기억 소자(18)에 걸리는 전압(V0)은 V_{reset} 이상, V_{set} 미만의 값이 되고, V_{set} 이상이 되는 일은 없다(도 11의 (c)). 이에 따라, 저항 기억 소자(18)의 저항값은 상승하여, 저항 기억 소자(18)는 저저항 상태에서 고저항 상태로 변화된다.
- [0130] 상기 리셋 과정에서는, 저항 기억 소자(18)의 저항값이 상승한 순간, 저항 기억 소자(18)에 흐르는 전류는 감소하고, 저항 기억 소자(18)에 걸리는 전압(V0)은 상승한다(도 11의 (c) 및 도 11의 (d)). 그러나, 본 실시예에 의하면, 저항 기억 소자(18)의 저항값이 상승해도, 저항 기억 소자(18)에 걸리는 전압(V0)은 V_{set} 미만으로 억제되기 때문에, 저저항 상태에서 고저항 상태로 변화된 저항 기억 소자(18)가 다시 저저항 상태로 변화되지 않아, 고저항 상태를 유지할 수 있다.
- [0131] 이어서, 비트선(BL0)에 인가되는 전압을 0으로 되돌린 후, 워드선(WL0)에 인가되는 전압을 오프로 하여, 리셋의 동작을 완료한다.
- [0132] 다음에, 도 9에 나타난 본 실시예에 의한 불휘발성 반도체 기억 장치의 관독 방법에 관하여 도 12를 이용하여 설명한다. 관독 대상의 메모리 셀(16)은, 워드선(WL0) 및 비트선(BL0)에 접속된 메모리 셀(16)인 것으로 한다. 도 12의 (a)는 워드선(WL0)의 전압의 시간 변화를 나타내고 있다. 도 12의 (b)는 비트선(BL0)의 전압의 시간 변화를 나타내고 있다. 도 12의 (c)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 걸리는 전압(V_0)의 시간 변화를 나타내고 있다. 도 12의 (d)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 흐르는 전류(비트선(BL0)에 흐르는 전류)의 시간 변화를 나타내고 있다.
- [0133] 우선, 비트선(BL0)에, 소정의 전압을 인가한다(도 12의 (b)). 비트선(BL0)에 인가되는 전압(V_{read})은, 저항 기억 소자(18)가 어느 저항 상태에 있을 때에도 인가 전압에 의해 세트나 리셋이 생기지 않도록 설정한다.
- [0134] 소스선(SL1)은 기준 전위, 예를 들면, 접지 전위인 0V에 접속한다.
- [0135] 이어서, 워드선(WL0)에 소정의 전압을 인가하고, 셀 선택 트랜지스터(20)를 온 상태로 한다(도 12의 (a)).
- [0136] 워드선(WL0)에 이러한 전압이 인가되면, 저항 기억 소자(18)에 전압(V_{read})이 걸리고(도 12의 (c)), 비트선(BL0)에는, 저항 기억 소자(18)의 저항값에 따른 전류가 흐른다(도 12의 (d)).

- [0137] 따라서, 비트선(BL0)에 흐르는 이 전류값을 검출함으로써, 저항 기억 소자(18)가 고저항 상태 및 저저항 상태 중 어느 상태에 있는지를 판독할 수 있다. 즉, 판독 대상의 메모리 셀(16)에 유지된 데이터가 “0” 및 “1” 중 어느 데이터인지를 판독할 수 있다(도 12의 (d)).
- [0138] 이와 같이, 본 실시예에 의하면, 저항 기억 소자를 저저항 상태에서 고저항 상태로 스위칭시킬 때, 소정의 전압값으로 게이트 전압이 설정된 트랜지스터를 통하여 저항 기억 소자에 전압을 인가하므로, 저항 기억 소자에 과대한 전압이 걸려 저항 기억 소자가 다시 저저항 상태로 변화되는 것을 방지할 수 있다. 이에 따라, 저항 기억 소자에 데이터를 정확하게 기입할 수 있어, 저항 기억 소자를 사용한 불휘발성 반도체 기억 장치의 신뢰성을 향상할 수 있다.
- [0139] [제 4 실시예]
- [0140] 본 발명의 제 4 실시예에 의한 불휘발성 반도체 기억 장치 및 그 기입 방법에 관하여 도 13 및 도 14를 이용하여 설명한다. 또한, 제 3 실시예에 의한 불휘발성 반도체 기억 장치 및 그 기입 방법과 동일한 구성 요소에는, 동일한 부호를 부여하여 설명을 생략 또는 간략하게 한다.
- [0141] 도 13 및 도 14는 본 실시예에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타낸 타임 차트이다.
- [0142] 본 실시예에 의한 불휘발성 반도체 기억 장치는, 도 8 및 도 9에 나타난 제 3 실시예에 의한 불휘발성 반도체 기억 장치와 동일하다. 이하, 본 실시예에 의한 불휘발성 반도체 기억 장치의 기입 방법에 대하여 도 13 및 도 14를 이용하여 설명한다.
- [0143] 우선, 고저항 상태에서 저저항 상태로의 재기록 동작, 즉 세트의 동작에 관하여 도 13을 이용하여 설명한다. 재기록 대상의 메모리 셀(16)은, 워드선(WL0) 및 비트선(BL0)에 접속된 메모리 셀(16)인 것으로 한다. 도 13의 (a)는 워드선(WL0)의 전압의 시간 변화를 나타내고 있다. 도 13의 (b)는 비트선(BL0)의 전압의 시간 변화를 나타내고 있다. 도 13의 (c)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 걸리는 전압(V0)의 시간 변화를 나타내고 있다. 도 13의 (d)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 흐르는 전류(비트선(BL0)에 흐르는 전류)의 시간 변화를 나타내고 있다.
- [0144] 우선, 비트선(BL0)에, 저항 기억 소자(18)를 세트하는 데 요하는 전압(V_{set}) 이상의 전압(V_{cc})을 인가한다(도 13의 (b)).
- [0145] 소스선(SL0)은, 기준 전위, 예를 들면, 접지 전위인 0V에 접속한다.
- [0146] 다음에, 워드선(WL0)에 소정의 전압을 인가하고, 셀 선택 트랜지스터(20)를 온 상태로 한다. 이 때, 워드선(WL0)에 인가하는 전압은, 저항 기억 소자(18)를 세트하는 데 요하는 세트 전압을 V_{set} , 셀 선택 트랜지스터(20)의 임계값 전압을 V_{th} 로 하여, $V_{set}+V_{th}$ 로 제어한다(도 13의 (a)).
- [0147] 셀 선택 트랜지스터(20)가 온 상태가 되면, 저항 기억 소자(18)에는, 게이트 전압이 $V_{set}+V_{th}$ 로 설정된 셀 선택 트랜지스터(20)를 통하여 비트선(BL0)으로부터 전압이 인가된다. 이 때문에, 저항 기억 소자(18)에 걸리는 전압(V0)은 우선 V_{set} 가 된다. 이에 따라, 저항 기억 소자(18)의 저항값은 감소하고, 저항 기억 소자(18)는 고저항 상태에서 저저항 상태로 변화된다. 저항 기억 소자(18)의 저항값의 감소에 따라, 저항 기억 소자(18)에 걸리는 전압(V0)은 V_{set} 로부터 감소한다(도 13의 (c)). 저항 기억 소자(18)에 흐르는 전류는, 저항 기억 소자(18)의 저항값의 감소에 따라 증가한다(도 13의 (d)).
- [0148] 이어서, 비트선(BL0)에 인가되는 전압을 0으로 되돌린 후, 워드선(WL0)에 인가되는 전압을 오프로 하여, 세트의 동작을 완료한다.
- [0149] 다음에, 저저항 상태에서 고저항 상태로의 재기록 동작, 즉 리셋의 동작에 대하여 도 14를 이용하여 설명한다. 재기록 대상의 메모리 셀(16)은, 워드선(WL0) 및 비트선(BL0)에 접속된 메모리 셀(16)인 것으로 한다. 도 14의 (a)는 워드선(WL0)의 전압의 시간 변화를 나타내고 있다. 도 14의 (b)는 비트선(BL0)의 전압의 시간 변화를 나타내고 있다. 도 14의 (c)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 걸리는 전압(V0)의 시간 변화를 나타내고 있다. 도 14의 (d)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 흐르는 전류(비트선(BL0)에 흐르는 전류)의 시간 변화를 나타내고 있다.
- [0150] 본 실시예에 의한 저저항 상태에서 고저항 상태로의 재기록 동작은, 제 2 실시예에 의한 저항 기억 소자의 리셋 방법을 이용하여 행하는 것이다.

- [0151] 우선, 비트선(BL0)에, 저항 기억 소자(18)를 리셋하는 데 요하는 전압(V_{reset}) 이상의 전압(V_{cc})을 인가한다(도 14의 (b)).
- [0152] 소스선(SL0)은, 기준 전위, 예를 들면, 접지 전위인 0V에 접속한다.
- [0153] 이어서, 워드선(WL0)에 소정의 전압을 인가하고, 셀 선택 트랜지스터(20)를 온 상태로 한다. 이 때, 워드선(WL0)에 인가되는 전압(V_{wl})은, 저항 기억 소자(18)를 세트하는 데 요하는 세트 전압을 V_{set} , 저항 기억 소자(18)를 리셋하는 데 요하는 리셋 전압을 V_{reset} , 셀 선택 트랜지스터(20)의 임계값 전압을 V_{th} 로 하여, $V_{reset}+V_{th} \leq V_{wl} < V_{set}+V_{th}$ 의 관계를 충족시키는 값으로 한다(도 14의 (a)).
- [0154] 셀 선택 트랜지스터(20)가 온 상태로 되면, 저항 기억 소자(18)에는, 게이트 전압(V_g)이 $V_{reset}+V_{th} \leq V_g < V_{set}+V_{th}$ 의 관계를 충족시키는 값으로 설정된 셀 선택 트랜지스터(20)를 통하여 비트선(BL0)으로부터 전압이 인가된다. 이 때문에, 저항 기억 소자(18)에 걸리는 전압(V0)은 V_{reset} 이상, V_{set} 미만의 값이 되고, V_{set} 이상이 되는 일은 없다(도 14의 (c)). 이에 따라, 저항 기억 소자(18)의 저항값은 상승하여, 저항 기억 소자(18)는 저저항 상태에서 고저항 상태로 변화된다.
- [0155] 상기 리셋 과정에서는, 저항 기억 소자(18)의 저항값이 상승한 순간, 저항 기억 소자(18)에 흐르는 전류는 감소하고, 저항 기억 소자(18)에 걸리는 전압(V0)은 상승한다(도 14의 (c) 및 도 14의 (d)). 그러나, 본 실시예에 의하면, 저항 기억 소자(18)에 걸리는 전압(V0)은 V_{set} 미만으로 억제되기 때문에, 저저항 상태에서 고저항 상태로 변화된 저항 기억 소자(18)가 다시 저저항 상태로 변화되지 않아, 고저항 상태를 유지할 수 있다.
- [0156] 다음에, 워드선(WL0)에 인가되는 전압을 0으로 되돌린 후, 비트선(BL0)에 인가되는 전압을 오프로 하여, 리셋의 동작을 완료한다.
- [0157] 또한, 본 실시예에 의한 불휘발성 반도체 기억 장치의 판독 방법은, 제 3 실시예에 의한 경우와 동일하다.
- [0158] 이와 같이, 본 실시예에 의하면, 저항 기억 소자를 저저항 상태에서 고저항 상태로 스위칭시킬 때, 소정의 전압값으로 게이트 전압이 설정된 트랜지스터를 통하여 저항 기억 소자에 전압을 인가하므로, 저항 기억 소자에 과대한 전압이 걸려 저항 기억 소자가 다시 저저항 상태로 변화되는 것을 방지할 수 있다. 이에 따라, 저항 기억 소자에 데이터를 정확하게 기입할 수 있어, 저항 기억 소자를 사용한 불휘발성 반도체 기억 장치의 신뢰성을 향상할 수 있다.
- [0159] (변형예)
- [0160] 본 실시예의 변형예에 의한 불휘발성 반도체 기억 장치의 기입 방법에 대하여 도 15를 이용하여 설명한다. 도 15는 본 변형예에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타낸 타임 차트이다.
- [0161] 본 변형예에 의한 불휘발성 반도체 기억 장치의 기입 방법은, 상기의 저저항 상태에서 고저항 상태로의 재기록 동작에서, 워드선(WL0)에 인가되는 전압을, 전압 인가 개시로부터 저항 기억 소자(18)의 리셋하기 전에서 $V_{set}+V_{th}$ 이상으로 설정하여, 저항 기억 소자(18)의 리셋에 요하는 시간을 단축하는 것이다.
- [0162] 이하, 본 변형예에 의한 저저항 상태에서 고저항 상태로의 재기록 동작, 즉 리셋 동작에 대하여 도 15를 이용하여 설명한다. 재기록 대상의 메모리 셀(16)은, 워드선(WL0) 및 비트선(BL0)에 접속된 메모리 셀(16)인 것으로 한다. 도 15의 (a)는 워드선(WL0)의 전압의 시간 변화를 나타내고 있다. 도 15의 (b)는 비트선(BL0)의 전압의 시간 변화를 나타내고 있다. 도 15의 (c)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 걸리는 전압(V0)의 시간 변화를 나타내고 있다. 도 15의 (d)는 재기록 대상의 메모리 셀(16)에서의 저항 기억 소자(18)에 흐르는 전류(비트선(BL0)에 흐르는 전류)의 시간 변화를 나타내고 있다.
- [0163] 우선, 비트선(BL0)에, 저항 기억 소자(18)를 세트하는 데 요하는 전압(V_{set})이상의 전압(V_{cc})을 인가한다(도 15의 (b)).
- [0164] 소스선(SL0)은, 기준 전위, 예를 들면, 접지 전위인 0V에 접속한다.
- [0165] 이어서, 워드선(WL0)에 소정의 전압을 인가하고, 셀 선택 트랜지스터(20)를 온 상태로 한다. 이 때, 본 변형예에서는, 워드선(WL0)에 인가하는 전압(V_{wl})을, 전압 인가 개시 후의 초기의 기간(펄스 전압의 상승 후의 초기의 기간), 즉 저항 기억 소자(18)가 저저항 상태에서 고저항 상태로 변화되기 전의 소정의 기간에서, $V_{set}+V_{th}$ 이상

으로 설정하고, 그 후, 저항 기억 소자(18)가 저저항 상태에서 고저항 상태로 변화되기 전에, 상기와 마찬가지로, $V_{reset} + V_{th} \leq V_{WL} < V_{set} + V_{th}$ 의 관계를 충족시키는 값으로 설정한다(도 15의 (a)).

[0166] 이에 따라, 저항 기억 소자(18)에 걸리는 전압은, 저항 기억 소자(18)가 저저항 상태에서 고저항 상태로 변화되기 전에서 V_{set} 이상이 되고, 그 후, 저항 기억 소자(18)가 저저항 상태에서 고저항 상태로 변화되기 전에, V_{reset} 이상, V_{set} 미만이 된다(도 15의 (c)).

[0167] 이와 같이, 본 변형예에서는, 저항 기억 소자(18)에 걸리는 전압은, 저항 기억 소자(18)가 저저항 상태에서 고저항 상태로 변화되기 전에서 V_{set} 이상이 되므로, 저항 기억 소자(18)에 흐르는 전류량을 충분히 확보할 수 있다. 이에 따라, 저항 기억 소자(18)의 리셋에 요하는 시간을 단축할 수 있다.

[0168] [제 5 실시예]

[0169] 본 발명의 제 5 실시예에 의한 불휘발성 반도체 기억 장치 및 그 제조 방법에 대하여 도 16 내지 도 19를 이용하여 설명한다.

[0170] 도 16의 (a)는 본 실시예에 의한 불휘발성 반도체 기억 장치의 구조를 나타낸 평면도, 도 16의 (b)는 본 실시예에 의한 불휘발성 반도체 기억 장치의 구조를 나타낸 개략 단면도, 도 17 내지 도 19는 본 실시예에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타낸 공정 단면도이다.

[0171] 본 실시예에서는, 상기 제 3 실시예에 의한 불휘발성 반도체 기억 장치의 구체적인 구조 및 그 제조 방법에 관하여 설명한다.

[0172] 우선, 본 실시예에 의한 불휘발성 반도체 기억 장치의 구조에 대하여 도 16을 이용하여 설명한다.

[0173] 도 16의 (b)에 나타난 바와 같이, 실리콘 기판(22)에는, 소자 영역을 확정하는 소자 분리막(24)이 형성되어 있다. 실리콘 기판(22)의 소자 영역에는, 게이트 전극(26) 및 소스/드레인 영역(28, 30)을 갖는 셀 선택 트랜지스터가 형성되어 있다.

[0174] 게이트 전극(26)은 도 16의 (a)에 나타난 바와 같이, 열방향(도면 종방향)에 인접하는 셀 선택 트랜지스터의 게이트 전극(26)을 공통 접속하는 워드선(WL)으로서도 기능한다.

[0175] 셀 선택 트랜지스터가 형성된 실리콘 기판(22) 위에는, 소스/드레인 영역(28)에 전기적으로 접속된 콘택트 플러그(32)와, 소스/드레인 영역(30)에 전기적으로 접속된 콘택트 플러그(34)가 매립된 층간 절연막(36)이 형성되어 있다.

[0176] 콘택트 플러그(32, 34)가 매립된 층간 절연막(36) 위에는, 콘택트 플러그(34)를 통하여 소스/드레인 영역(30)에 전기적으로 접속된 저항 기억 소자(44)가 형성되어 있다.

[0177] 저항 기억 소자(44)는 콘택트 플러그(34)에 전기적으로 접속된 하부 전극(38)과, 하부 전극(38) 위에 형성된 저항 기억 재료층(40)과, 저항 기억 재료층(40) 위에 형성된 상부 전극(42)을 갖고 있다.

[0178] 저항 기억 소자(44)가 형성된 층간 절연막(36) 위에는, 콘택트 플러그(32)에 전기적으로 접속된 콘택트 플러그(46)와, 저항 기억 소자(44)의 상부 전극(42)에 전기적으로 접속된 콘택트 플러그(48)가 매립된 층간 절연막(50)이 형성되어 있다.

[0179] 콘택트 플러그(46, 48)가 매립된 층간 절연막(50) 위에는, 콘택트 플러그(46)에 전기적으로 접속된 중계 배선(52)과, 콘택트 플러그(48)를 통하여 저항 기억 소자(44)의 상부 전극(42)에 전기적으로 접속된 소스선(54)이 형성되어 있다.

[0180] 중계 배선(52) 및 소스선(54)이 형성된 층간 절연막(50) 위에는, 중계 배선(52)에 전기적으로 접속된 콘택트 플러그(56)가 매립된 층간 절연막(58)이 형성되어 있다.

[0181] 층간 절연막(58) 위에는, 층간 절연막(58, 50, 36)에 매립된 콘택트 플러그(56), 중계 배선(52), 콘택트 플러그(46) 및 콘택트 플러그(32)를 통하여 소스/드레인 영역(28)에 전기적으로 접속된 비트선(60)이 형성되어 있다.

[0182] 이와 같이 하여, 도 9에 나타난 제 3 실시예에 의한 불휘발성 반도체 기억 장치가 구성되어 있다.

[0183] 다음에, 본 실시예에 의한 불휘발성 반도체 기억 장치의 제조 방법에 대하여 도 17 내지 도 19를 이용하여 설명한다.

- [0184] 우선, 실리콘 기판(22) 내에, 소자 영역을 획정하는 소자 분리막(24)을 형성한다.
- [0185] 다음에, 실리콘 기판(22)의 소자 영역 위에, 통상의 MOS 트랜지스터의 제조 방법과 같은 방법으로, 게이트 전극(26) 및 소스/드레인 영역(28, 30)을 갖는 셀 선택 트랜지스터를 형성한다(도 17의 (a)).
- [0186] 이어서, 셀 선택 트랜지스터가 형성된 실리콘 기판(22) 위에, 예를 들면, CVD법에 의해 실리콘 산화막을 퇴적하고, 실리콘 산화막으로 이루어지는 층간 절연막(36)을 형성한다.
- [0187] 다음에, 리소그래피 및 건식 에칭에 의해, 층간 절연막(36)에, 소스/드레인 영역(28, 30)에 도달하는 콘택트 홀을 형성한다.
- [0188] 다음에, 예를 들면, CVD법에 의해 배리어 메탈 및 텅스텐막을 퇴적 후, 이들 도전막을 에치백하고, 층간 절연막(36) 내에, 소스/드레인 영역(28, 30)에 전기적으로 접속된 콘택트 플러그(32, 34)를 형성한다(도 17의 (b)).
- [0189] 다음에, 콘택트 플러그(32, 34)가 매립된 층간 절연막(36) 위에, Pt막(38)과, TiO_x 막(40)과, Pt막(42)을 순차적으로 성막한다(도 17의 (c)).
- [0190] 다음에, 포토리소그래피 및 건식 에칭에 의해, Pt막(38), TiO_x 막(40) 및 Pt막(42)을 패터닝하고, Pt로 이루어지는 하부 전극(38)과, TiO_x 로 이루어지는 저항 기억 재료층(40)과, Pt로 이루어지는 상부 전극(42)을 갖는 저항 기억 소자(44)를 형성한다(도 18의 (a)).
- [0191] 다음에, 저항 기억 소자(44)가 형성된 층간 절연막(36) 위에, 예를 들면, CVD법에 의해 실리콘 산화막을 퇴적하고, 실리콘 산화막으로 이루어지는 층간 절연막(50)을 형성한다.
- [0192] 다음에, 리소그래피 및 건식 에칭에 의해, 층간 절연막(50)에, 콘택트 플러그(32)에 도달하는 콘택트 홀 및 저항 기억 소자(44)의 상부 전극(42)에 도달하는 콘택트 홀을 형성한다.
- [0193] 다음에, 예를 들면, CVD법에 의해 배리어 메탈 및 텅스텐막을 퇴적 후, 이들 도전막을 에치백하고, 층간 절연막(50) 내에, 콘택트 플러그(32)에 전기적으로 접속된 콘택트 플러그(46)와, 저항 기억 소자(44)의 상부 전극(42)에 전기적으로 접속된 콘택트 플러그(48)를 형성한다(도 18의 (b)).
- [0194] 다음에, 콘택트 플러그(46, 48)가 매립된 층간 절연막(50) 위에 도전막을 퇴적 후, 포토리소그래피 및 건식 에칭에 의해 이 도전막을 패터닝하고, 콘택트 플러그(46)에 전기적으로 접속된 중계 배선(52)과, 콘택트 플러그(48)를 통하여 저항 기억 소자(44)의 상부 전극(42)에 전기적으로 접속된 소스선(54)을 형성한다(도 18의 (c)).
- [0195] 다음에, 중계 배선(52) 및 소스선(54)이 형성된 층간 절연막(50) 위에, 예를 들면, CVD법에 의해 실리콘 산화막을 퇴적하고, 실리콘 산화막으로 이루어지는 층간 절연막(58)을 형성한다.
- [0196] 다음에, 리소그래피 및 건식 에칭에 의해, 층간 절연막(58)에, 중계 배선(52)에 도달하는 콘택트 홀을 형성한다.
- [0197] 다음에, 예를 들면, CVD법에 의해 배리어 메탈 및 텅스텐막을 퇴적 후, 이들 도전막을 에치백하고, 층간 절연막(58) 내에, 중계 배선(52)에 전기적으로 접속된 콘택트 플러그(56)를 형성한다(도 19의 (a)).
- [0198] 다음에, 콘택트 플러그(56)가 매립된 층간 절연막(58) 위에 도전막을 퇴적 후, 포토리소그래피 및 건식 에칭에 의해 이 도전막을 패터닝하고, 콘택트 플러그(56), 중계 배선(52), 콘택트 플러그(46) 및 콘택트 플러그(32)를 통하여 소스/드레인 영역(28)에 전기적으로 접속된 비트선(60)을 형성한다(도 19의 (b)).
- [0199] 이 후, 필요에 따라 상층의 배선층을 더 형성하여, 불휘발성 반도체 기억 장치를 완성한다.
- [0200] [변형 실시예]
- [0201] 본 발명은 상기 실시예에 한정되지 않고 각종 변형이 가능하다.
- [0202] 예를 들면, 상기 실시예에서는, 저항 기억 소자의 저항 기억 재료로서 TiO_x 를 사용했지만, 저항 기억 소자의 저항 기억 재료는 이것에 한정되는 것이 아니다. 예를 들면, 저항 기억 재료로서는, NiO_x 등을 적용할 수 있다.
- [0203] 또한, 상기 실시예에서는, 저항 기억 소자의 전극을 Pt에 의해 구성했지만, 전극의 구성 재료는 이것에 한정되는 것이 아니다.
- [0204] 또한, 상기 제 3 및 제 4 실시예에서는, 셀 선택 트랜지스터를 통하여 저항 기억 소자에 전압을 인가함으로써,

저항 기억 소자에 걸리는 전압을 세트 전압보다도 작게 했지만, 셀 선택 트랜지스터와는 별개로, 저항 기억 소자에 걸리는 전압을 세트 전압보다도 작게 하기 위한 트랜지스터를 설치하여, 불휘발성 반도체 기억 장치를 구성해도 좋다.

산업상 이용 가능성

[0205] 본 발명에 의한 불휘발성 반도체 기억 장치의 기입 방법은, 저항 기억 소자를 저저항 상태에서 고저항 상태로 스위칭할 때에, 고저항 상태로 변화된 저항 소자가 다시 저저항 상태로 변화되는 것을 확실히 방지할 수 있는 것이다. 따라서, 본 발명에 의한 불휘발성 반도체 기억 장치의 기입 방법은, 불휘발성 반도체 기억 장치의 신뢰성을 향상하는 데 있어서 매우 유용하다.

도면의 간단한 설명

[0021] 도 1은 단극성 저항 기억 재료를 사용한 저항 기억 소자의 전류-전압 특성을 나타낸 그래프.
 [0022] 도 2는 저항 기억 소자에 대한 전압의 인가를 설명한 제 1 도.
 [0023] 도 3은 저항 기억 소자에 대한 전압의 인가를 설명한 제 2 도.
 [0024] 도 4는 본 발명의 제 1 실시예에 의한 저항 기억 소자의 리셋 방법을 행하기 위한 회로 구성을 나타낸 회로도.
 [0025] 도 5는 본 발명의 제 1 실시예에 의한 저항 기억 소자의 리셋 방법에서 저항 기억 소자에 걸리는 전압의 시간 변화를 측정한 결과를 나타낸 그래프.
 [0026] 도 6은 본 발명의 제 2 실시예에 의한 저항 기억 소자의 리셋 방법을 행하기 위한 회로 구성을 나타낸 회로도.
 [0027] 도 7은 본 발명의 제 2 실시예에 의한 저항 기억 소자의 리셋 방법에서 저항 기억 소자에 걸리는 전압의 시간 변화를 측정한 결과를 나타낸 그래프.
 [0028] 도 8은 본 발명의 제 3 실시예에 의한 불휘발성 반도체 기억 장치의 구조를 나타낸 제 1 회로도.
 [0029] 도 9는 본 발명의 제 3 실시예에 의한 불휘발성 반도체 기억 장치의 구조를 나타낸 제 2 회로도.
 [0030] 도 10은 본 발명의 제 3 실시예에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타낸 제 1 타임 차트.
 [0031] 도 11은 본 발명의 제 3 실시예에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타낸 제 2 타임 차트.
 [0032] 도 12는 본 발명의 제 3 실시예에 의한 불휘발성 반도체 기억 장치의 판독 방법을 나타낸 타임 차트.
 [0033] 도 13은 본 발명의 제 4 실시예에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타낸 제 1 타임 차트.
 [0034] 도 14는 본 발명의 제 4 실시예에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타낸 제 2 타임 차트.
 [0035] 도 15는 본 발명의 제 4 실시예의 변형예에 의한 불휘발성 반도체 기억 장치의 기입 방법을 나타낸 타임 차트.
 [0036] 도 16은 본 발명의 제 5 실시예에 의한 불휘발성 반도체 기억 장치의 구조를 나타낸 개략도.
 [0037] 도 17은 본 발명의 제 5 실시예에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타낸 제 1 공정 단면도.
 [0038] 도 18은 본 발명의 제 5 실시예에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타낸 제 2 공정 단면도.
 [0039] 도 19는 본 발명의 제 5 실시예에 의한 불휘발성 반도체 기억 장치의 제조 방법을 나타낸 제 3 공정 단면도.

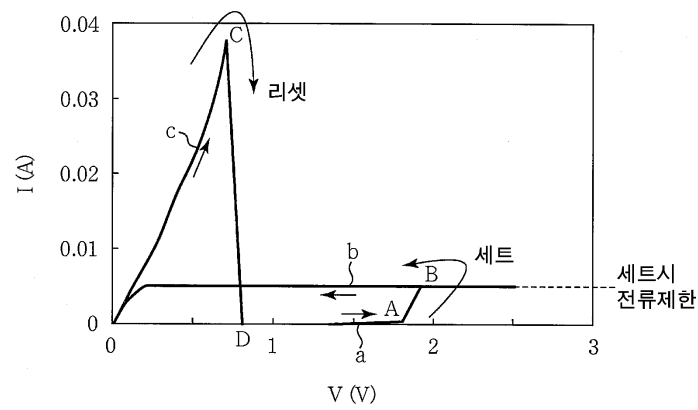
[0040] 도면의 주요 부분에 대한 부호의 설명

[0041] 10 : 저항 기억 소자	12 : 펄스 제너레이터
[0042] 14 : NMOS 트랜지스터	16 : 메모리 셀
[0043] 18 : 저항 기억 소자	20 : 셀 선택 트랜지스터
[0044] 22 : 실리콘 기판	24 : 소자 분리막
[0045] 26 : 게이트 전극	28, 30 : 소스/드레인 영역
[0046] 32 : 콘택트 플러그	34 : 콘택트 플러그

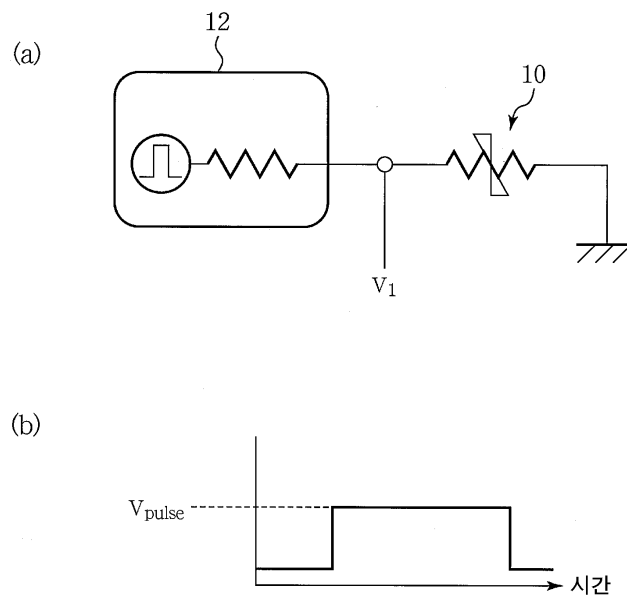
[0047]	36 : 층간 절연막	38 : 하부 전극
[0048]	40 : 저항 기억 재료층	42 : 상부 전극
[0049]	44 : 저항 기억 소자	46 : 콘택트 플러그
[0050]	48 : 콘택트 플러그	50 : 층간 절연막
[0051]	52 : 중계 배선	54 : 소스선
[0052]	56 : 콘택트 플러그	58 : 층간 절연막
[0053]	60 : 비트선	

도면

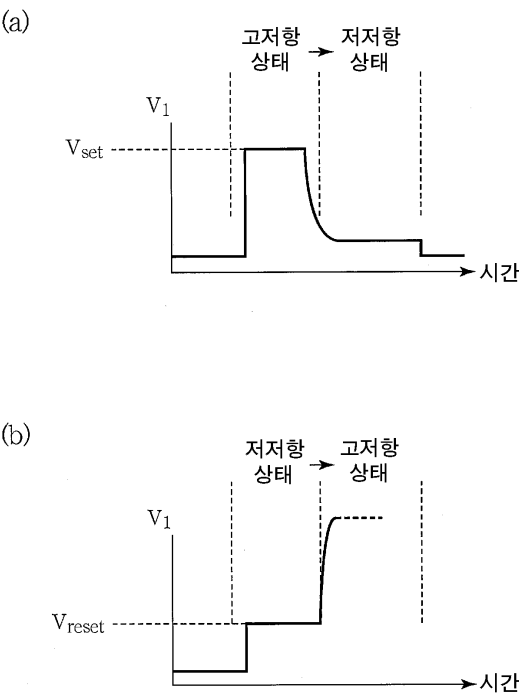
도면1



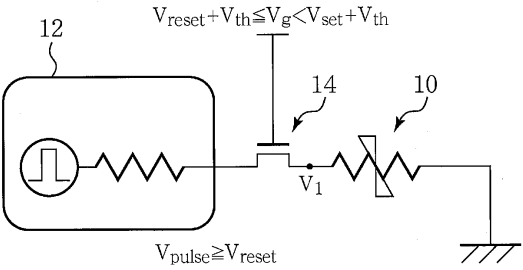
도면2



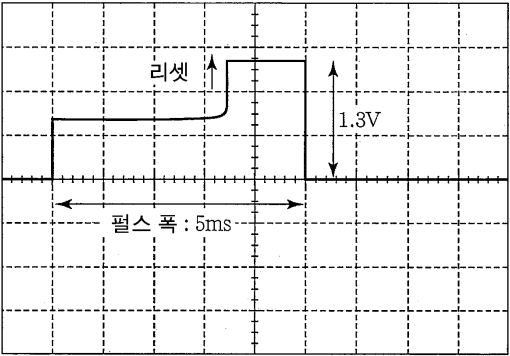
도면3



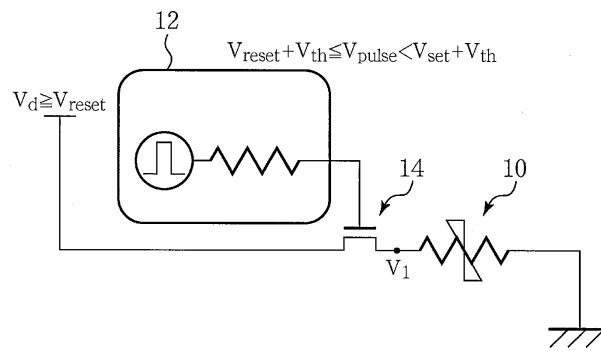
도면4



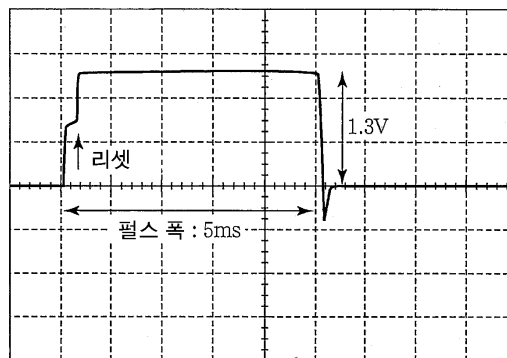
도면5



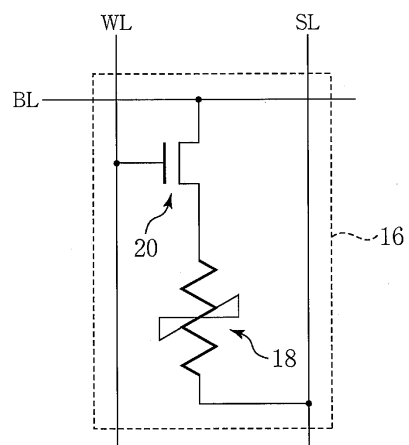
도면6



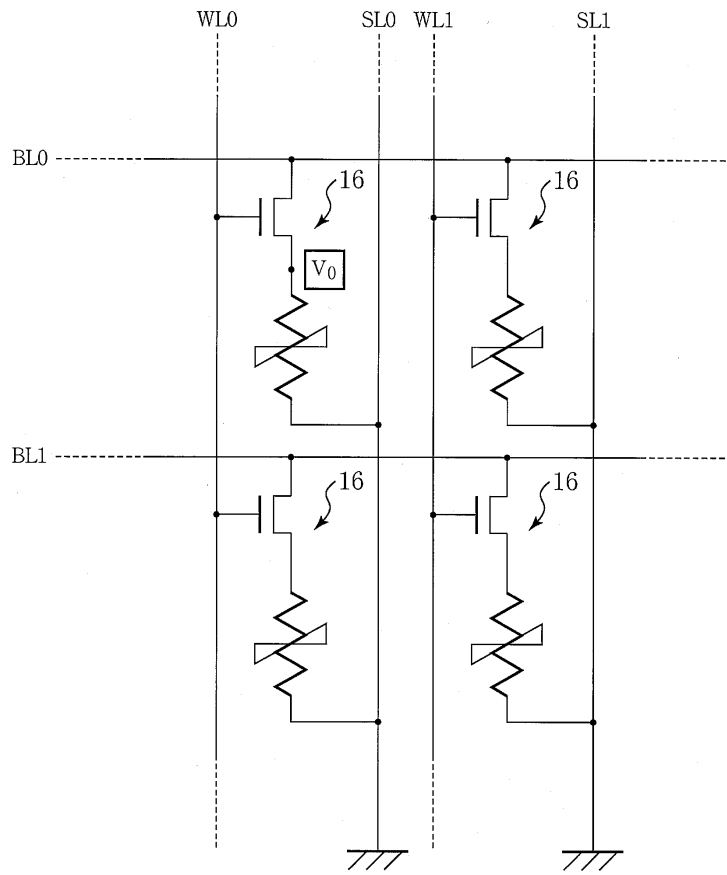
도면7



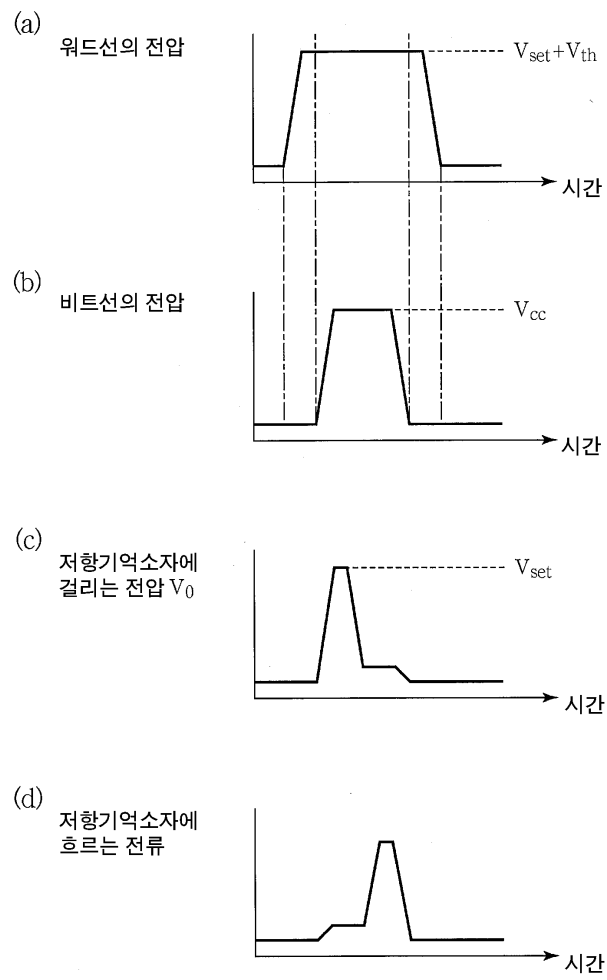
도면8



도면9

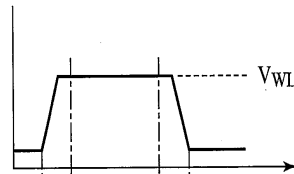


도면10

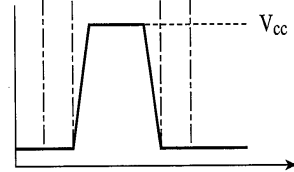


도면11

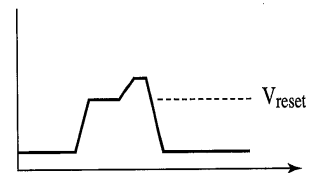
(a)
워드선의 전압



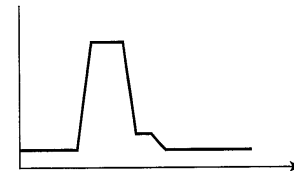
(b)
비트선의 전압



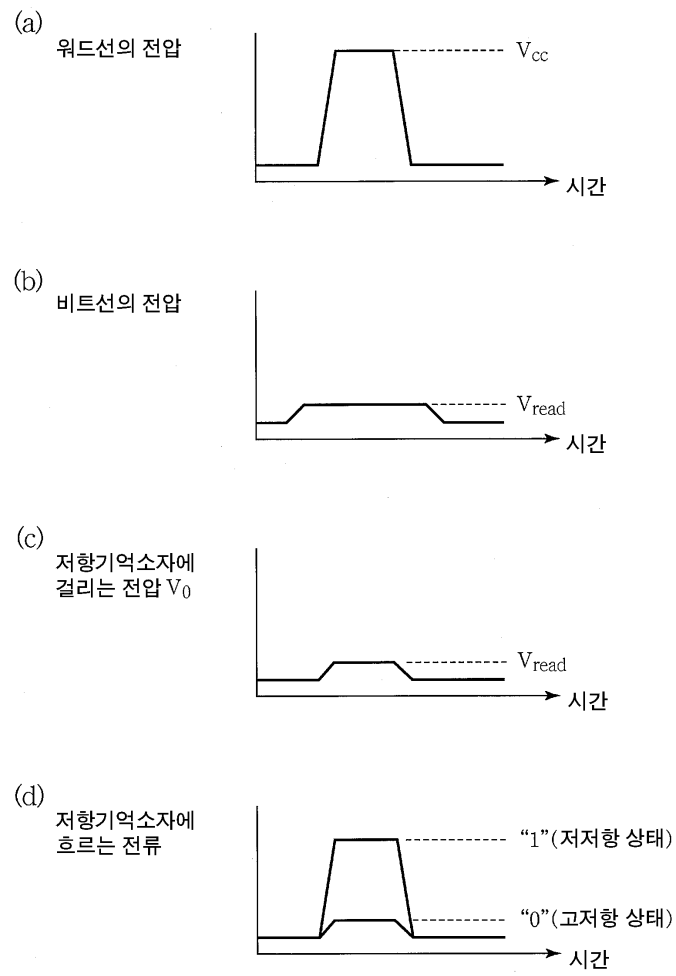
(c)
저항기억소자에
걸리는 전압 V0



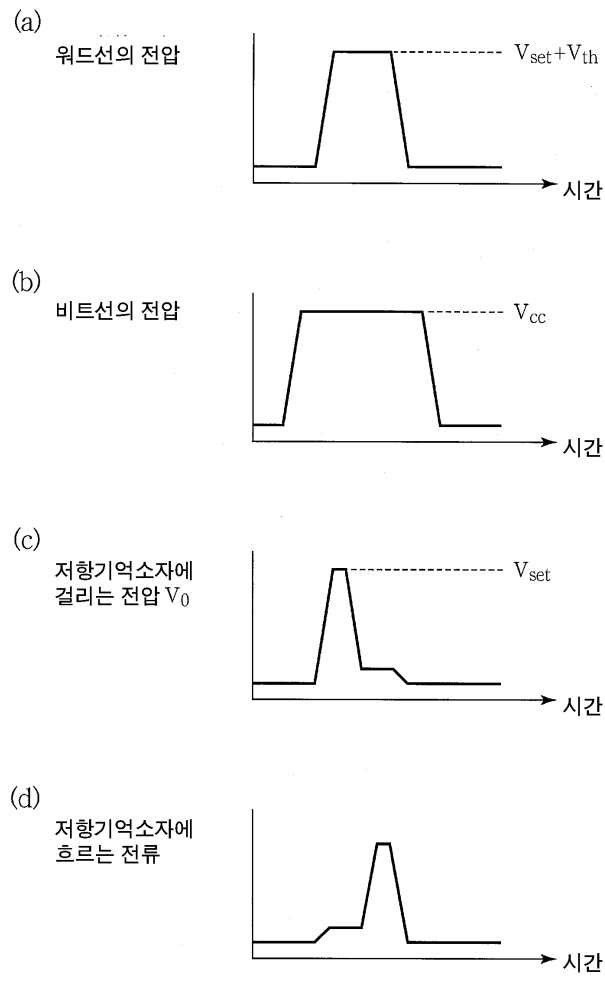
(d)
저항기억소자에
흐르는 전류



도면12

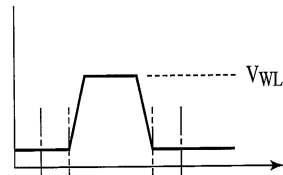


도면13

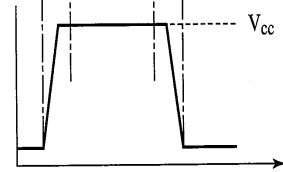


도면14

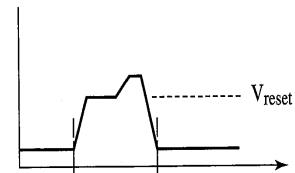
(a) 워드선의 전압



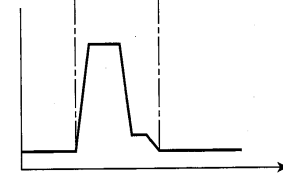
(b) 비트선의 전압



(c) 저항기억소자에 걸리는 전압 V_0

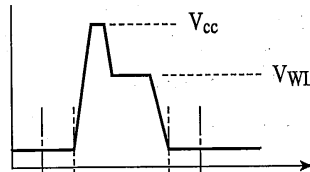


(d) 저항기억소자에 흐르는 전류

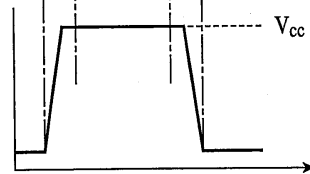


도면15

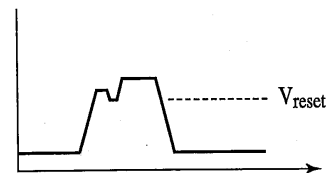
(a) 워드선의 전압



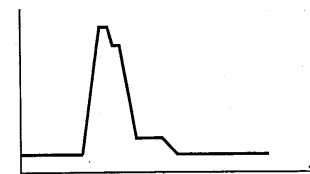
(b) 비트선의 전압



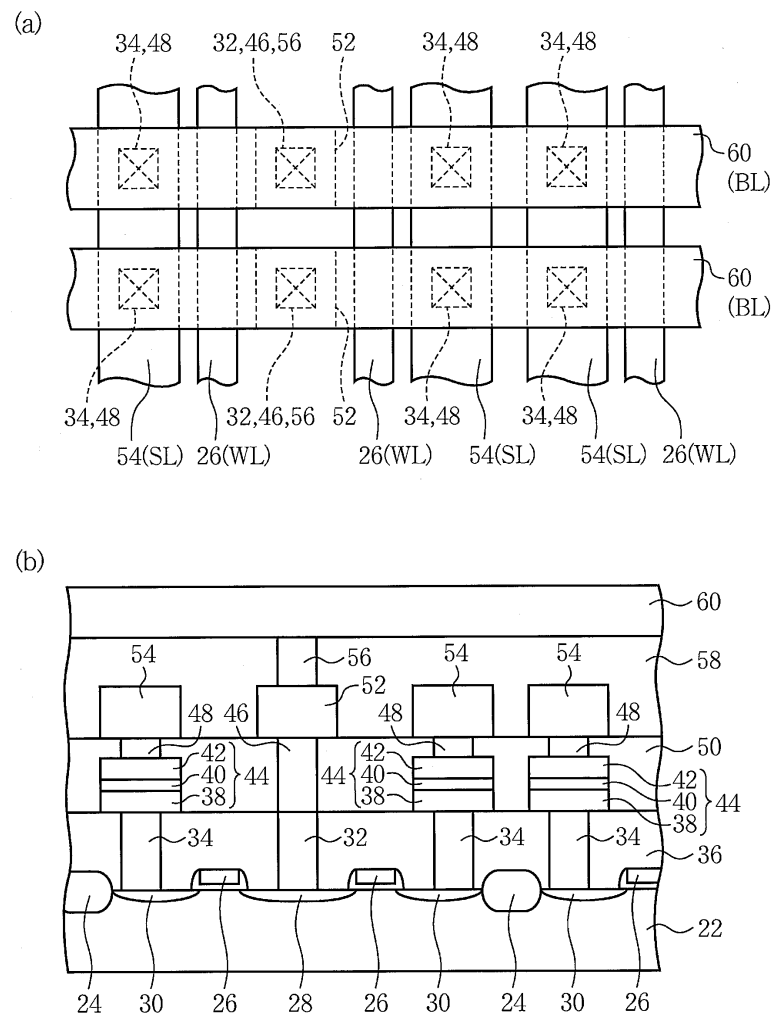
(c) 저항기억소자에 걸리는 전압 V_0



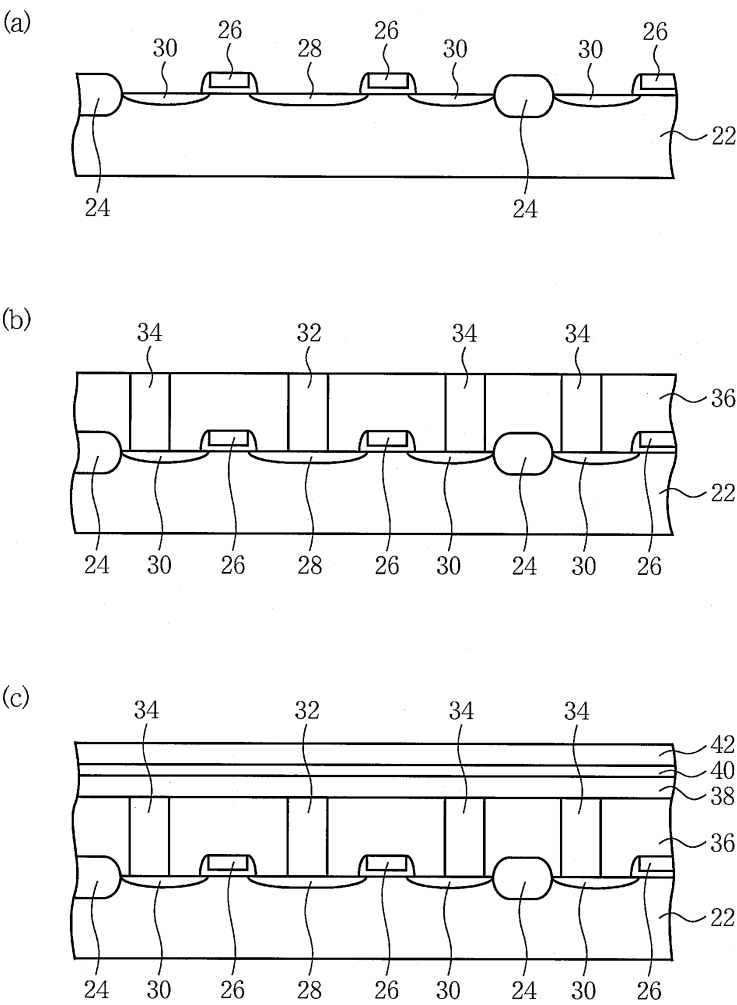
(d) 저항기억소자에 흐르는 전류



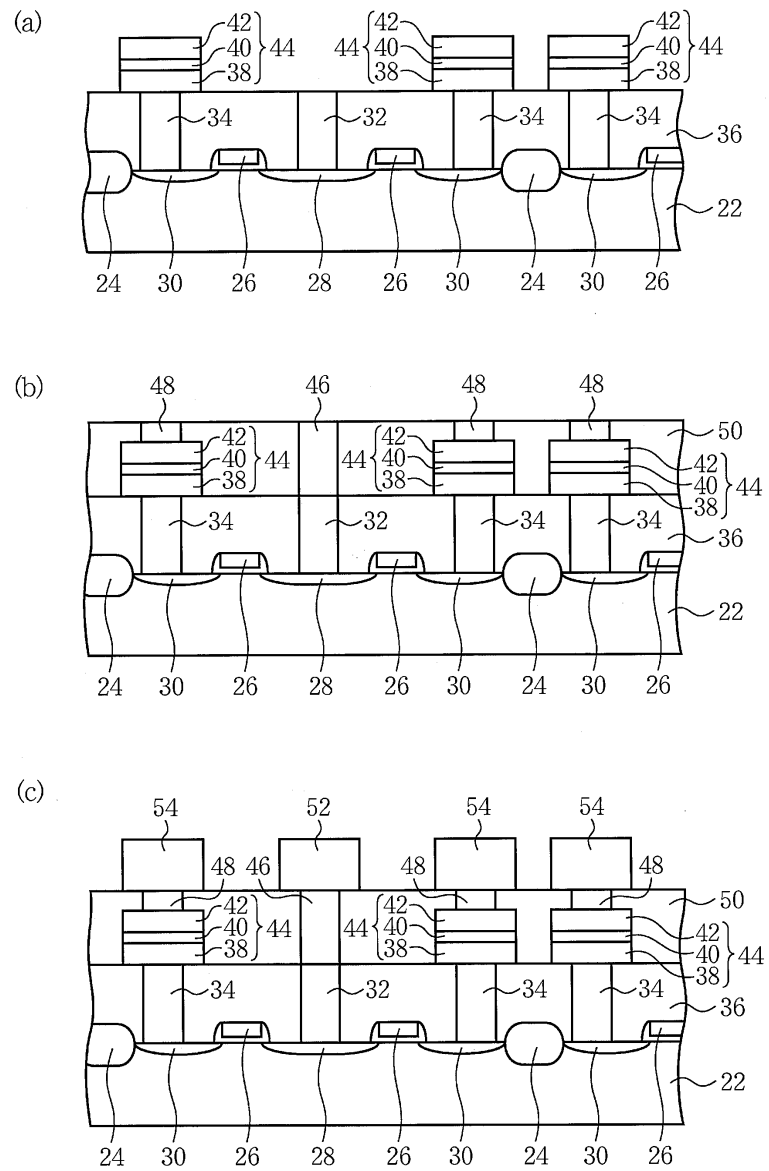
도면16



도면17



도면18



도면19

