(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0108480
(43) 공개일자 2024년07월09일

(51) 국제특허분류(Int. Cl.)
H03K 5/15 (2006.01) *H04N 25/76* (2023.01)
H04N 25/779 (2023.01)
(52) CPC특허분류
H03K 5/15 (2013.01)
H04N 25/76 (2023.08)
(21) 출원번호 10-2024-7019902
(22) 출원일자(국제) 2022년09월29일
심사청구일자 없음
(85) 번역문제출일자 2024년06월14일
(86) 국제출원번호 PCT/JP2022/036575
(87) 국제공개번호 WO 2023/089964
국제공개일자 2023년05월25일
(30) 우선권주장
JP-P-2021-189281 2021년11월22일 일본(JP)

(71) 출원인
하마마츠 포토닉스 가부시키가이샤
일본국 시주오카켄 하마마츠시 츄오쿠 이치노초 1126-1
(72) 발명자
요시무라 히데토시
일본국 시주오카켄 하마마츠시 히가시쿠 이치노초 1126-1 하마마츠 포토닉스 가부시키가이샤 내
조보지 다스쿠
일본국 시주오카켄 하마마츠시 히가시쿠 이치노초 1126-1 하마마츠 포토닉스 가부시키가이샤 내
(뒷면에 계속)
(74) 대리인
특허법인태평양

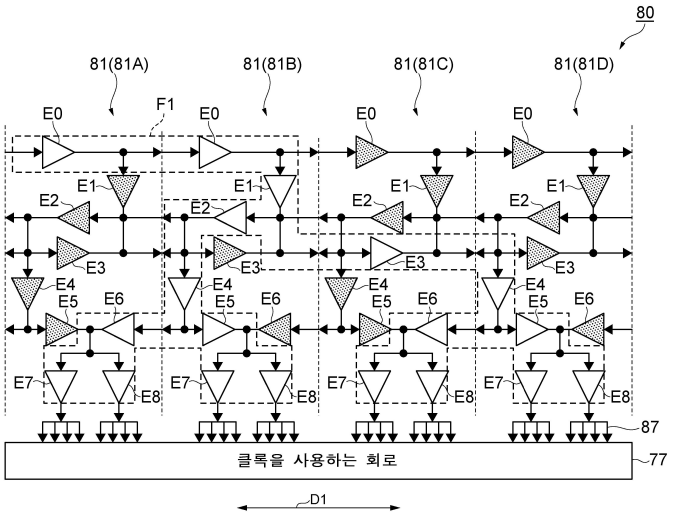
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **클록 전달 회로, 촬상 소자, 및 클록 전달 회로의 제조 방법**

(57) 요 약

클록 전달 회로는 서로 공통의 회로 패턴을 가지고 일방향을 따라서 늘어서는 복수의 회로 영역을 구비한다. 복수의 회로 영역 각각의 회로 패턴은, 고임피던스 상태와 통과 상태의 사이에서 전환 가능한 적어도 두 개의 회로 요소와, 복수의 회로 영역 중 해당 회로 영역에 인접하는 회로 영역의 회로 패턴에 접속되는 배선을 가진다. 복수의 회로 영역의 적어도 두 개의 회로 요소의 상태가, 회로 영역마다 정해지는 소정의 상태로 제어됨으로써, 복수의 회로 영역을 횡단하는 클록 트리의 적어도 일부가 구성된다.

대 표 도



(52) CPC특허분류
H04N 25/779 (2023.01)
(72) 발명자
스기야마 유키노부
일본국 시주오카켄 하마마츠시 히가시쿠 이치노초 1126-1 하마마츠 포토닉스 가부시키가이샤 내
요네카와 리쿠
일본국 시주오카켄 하마마츠시 히가시쿠 이치노초 1126-1 하마마츠 포토닉스 가부시키가이샤 내

명 세 서

청구범위

청구항 1

단일의 기판 상에 마련된 클록 트리를 포함하는 클록 전달 회로로서,

서로 공통의 회로 패턴을 가지고 일방향으로 늘어서는 복수의 회로 영역을 구비하고,

상기 복수의 회로 영역 각각의 상기 회로 패턴은,

고임피던스 상태와 통과 상태의 사이에서 전환 가능한 적어도 두 개의 회로 요소와,

상기 복수의 회로 영역 중 해당 회로 영역에 인접하는 상기 회로 영역의 상기 회로 패턴에 접속되는 배선,

을 가지고,

상기 복수의 회로 영역의 상기 적어도 두 개의 회로 요소의 상태가 상기 회로 영역마다 정해지는 소정의 상태로 제어됨으로써, 상기 복수의 회로 영역을 횡단하는 상기 클록 트리의 적어도 일부가 구성되는, 클록 전달 회로.

청구항 2

청구항 1에 있어서,

상기 회로 패턴은 상기 클록 트리의 복수 단의 분기를 각각 담당하도록 구성된 복수 단의 회로 부분을 포함하는, 클록 전달 회로.

청구항 3

청구항 2에 있어서,

상기 복수 단의 회로 부분 중 하나의 상기 회로 부분은,

상기 적어도 두 개의 회로 요소에 포함되어 출력단끼리가 접속된 제1 및 제2 회로 요소를 포함하고,

상기 배선은

상기 제1 회로 요소의 입력단을, 상기 복수의 회로 영역 중 해당 회로 영역의 일방측에 인접하는 상기 회로 영역의 상기 제2 회로 요소의 입력단에 접속하기 위한 제1 배선 부분과,

상기 제2 회로 요소의 입력단을, 상기 복수의 회로 영역 중 해당 회로 영역의 타방측에 인접하는 상기 회로 영역의 상기 제1 회로 요소의 입력단에 접속하기 위한 제2 배선 부분,

을 포함하는, 클록 전달 회로.

청구항 4

청구항 2 또는 청구항 3에 있어서,

상기 복수 단의 회로 부분 중 적어도 하나의 상기 회로 부분은,

상기 적어도 두 개의 회로 요소에 포함되는 제3, 제4 및 제5 회로 요소를 포함하고,

상기 제3 회로 요소의 출력단, 상기 제4 회로 요소의 입력단, 및 상기 제5 회로 요소의 입력단이 제2 노드에 접속되고,

상기 제3 회로 요소의 입력단과 상기 제4 회로 요소의 출력단이 제3 노드에 접속되고,

상기 배선은,

상기 제2 노드를, 상기 복수의 회로 영역 중 해당 회로 영역의 일방측에 인접하는 상기 회로 영역의 상기 제3 노드에 접속하기 위한 제3 배선 부분과,

상기 제3 노드를, 상기 복수의 회로 영역 중 해당 회로 영역의 타방측에 인접하는 상기 회로 영역의 상기 제2 노드에 접속하기 위한 제4 배선 부분,

을 포함하는, 클록 전달 회로.

청구항 5

청구항 1 내지 청구항 4 중 어느 한 항에 있어서,

상기 적어도 두 개의 회로 요소는 트라이스테이트형인, 클록 전달 회로.

청구항 6

청구항 2 내지 청구항 4 중 어느 한 항에 있어서,

상기 적어도 두 개의 회로 요소 중, 적어도 최종단의 상기 회로 부분을 구성하는 상기 회로 요소가 트라이스테이트형으로서, 해당 회로 요소의 출력단은 풀업 저항 및 풀다운 저항 중 한쪽 또는 양쪽 모두에 접속되어 있는, 클록 전달 회로.

청구항 7

청구항 2 내지 청구항 4 중 어느 한 항에 있어서,

상기 적어도 두 개의 회로 요소 중, 적어도 최종단의 상기 회로 부분을 구성하는 상기 회로 요소가 논리 회로를 포함하여 구성되는, 클록 전달 회로.

청구항 8

일차원 또는 이차원으로 배열된 복수의 화소를 포함하는 화소 어레이와,

상기 복수의 화소 각각으로부터 출력되는 복수의 아날로그 신호 각각을 디지털 신호로 변환하는 복수의 아날로그/디지털 변환기를 포함하는 아날로그/디지털 변환기 어레이와,

상기 아날로그/디지털 변환기 어레이로부터 출력되는 복수의 디지털 신호 각각을 격납하는 복수의 격납 영역을 가지는 메모리 어레이와,

상기 메모리 어레이에 격납된 상기 복수의 디지털 신호를 시리얼 신호로 하여 차례로 출력시키는 수평 주사 회로,

를 구비하고,

상기 아날로그/디지털 변환기 어레이 및 상기 수평 주사 회로 중 적어도 한쪽은, 청구항 1 내지 청구항 7 중 어느 한 항에 기재된 클록 전달 회로를 통해서 클록 신호의 공급을 받는, 촬상 소자.

청구항 9

단일의 기판 상에 마련된 클록 트리를 포함하는 클록 전달 회로를 제조하는 방법으로서,

공통의 노광 패턴을 이용하여 연속 노광을 행함으로써, 서로 공통의 회로 패턴을 가지고 일방향으로 늘어서는 복수의 회로 영역을 형성하는 공정을 포함하고,

상기 복수의 회로 영역 각각의 상기 회로 패턴은,

고임피던스 상태와 통과 상태의 사이에서 전환 가능한 적어도 두 개의 회로 요소와,

상기 복수의 회로 영역 중 해당 회로 영역에 인접하는 상기 회로 영역의 상기 회로 패턴에 접속되는 배선,

을 가지고,

상기 복수의 회로 영역의 상기 적어도 두 개의 회로 요소의 상태가, 상기 회로 영역마다 정해지는 소정의 상태로 제어됨으로써, 상기 복수의 회로 영역을 횡단하는 상기 클록 트리의 적어도 일부가 구성되는, 클록 전달 회로의 제조 방법.

청구항 10

청구항 9에 있어서,

상기 회로 패턴은 상기 클록 트리의 복수 단의 분기를 각각 담당하도록 구성된 복수 단의 회로 부분을 포함하는, 클록 전달 회로의 제조 방법.

청구항 11

청구항 10에 있어서,

상기 복수 단의 회로 부분 중 하나의 상기 회로 부분은,

상기 적어도 두 개의 회로 요소에 포함되어 출력단끼리가 접속된 제1 및 제2 회로 요소를 포함하고,

상기 배선은

상기 제1 회로 요소의 입력단을, 상기 복수의 회로 영역 중 해당 회로 영역의 일방측에 인접하는 상기 회로 영역의 상기 제2 회로 요소의 입력단에 접속하기 위한 제1 배선 부분과,

상기 제2 회로 요소의 입력단을, 상기 복수의 회로 영역 중 해당 회로 영역의 타방측에 인접하는 상기 회로 영역의 상기 제1 회로 요소의 입력단에 접속하기 위한 제2 배선 부분,

을 포함하는, 클록 전달 회로의 제조 방법.

청구항 12

청구항 10 또는 청구항 11에 있어서,

상기 복수 단의 회로 부분 중 적어도 하나의 상기 회로 부분은

상기 적어도 두 개의 회로 요소에 포함되는 제3, 제4 및 제5 회로 요소를 포함하고,

상기 제3 회로 요소의 출력단, 상기 제4 회로 요소의 입력단, 및 상기 제5 회로 요소의 입력단이 제2 노드에 접속되고,

상기 제3 회로 요소의 입력단과 상기 제4 회로 요소의 출력단이 제3 노드에 접속되고,

상기 배선은

상기 제2 노드를, 상기 복수의 회로 영역 중 해당 회로 영역의 일방측에 인접하는 상기 회로 영역의 상기 제3 노드에 접속하기 위한 제3 배선 부분과,

상기 제3 노드를, 상기 복수의 회로 영역 중 해당 회로 영역의 타방측에 인접하는 상기 회로 영역의 상기 제2 노드에 접속하기 위한 제4 배선 부분,

을 포함하는, 클록 전달 회로의 제조 방법.

청구항 13

청구항 9 내지 청구항 12 중 어느 한 항에 있어서,

상기 적어도 두 개의 회로 요소는 트라이스테이트형인, 클록 전달 회로의 제조 방법.

청구항 14

청구항 10 내지 청구항 12 중 어느 한 항에 있어서,

상기 적어도 두 개의 회로 요소 중, 적어도 최종단의 상기 회로 부분을 구성하는 상기 회로 요소가 트라이스테이트형으로서, 해당 회로 요소의 출력단은 풀업 저항 및 풀다운 저항 중 한쪽 또는 양쪽 모두에 접속되어 있는, 클록 전달 회로의 제조 방법.

청구항 15

청구항 10 내지 청구항 12 중 어느 한 항에 있어서,

상기 적어도 두 개의 회로 요소 중, 적어도 최종단의 상기 회로 부분을 구성하는 상기 회로 요소가 논리 회로를

포함하여 구성되는, 클록 전달 회로의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 개시는 클록 전달 회로, 촬상 소자, 및 클록 전달 회로의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 특허 문헌 1에는, 구조화 지연 스큐를 이용한 버퍼링 기술이 개시되어 있다. 이 특허 문헌 1에는, 트리 구조 라우팅 방식이 기재되어 있다. 특허 문헌 2에는, 레티클에 형성된 패턴의 투영 이미지의 일부를 겹쳐 연속 노광하면서 원하는 패턴을 기판에 형성하는 노광 장치에 관한 기술이 개시되어 있다. 특허 문헌 3에는, 대형 디스플레이 장치의 표시 디바이스를 제조할 때 연속 노광을 행하는 것이 기재되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 특허 문헌 1: 일본 특개 2007-060036호 공보

(특허문헌 0002) 특허 문헌 2: 일본 특개 2001-110708호 공보

(특허문헌 0003) 특허 문헌 3: 일본 특개 2001-154371호 공보

발명의 내용

해결하려는 과제

[0004] 반도체 소자의 내부에 있어서 클록 신호를 전파할 때에는, 클록 배선의 길이 및 부하에 따라 클록 신호에 지연이 생긴다. 이에, 다수의 회로에 클록 신호를 동일한 타이밍에 입력하고 싶은 경우에는, 클록 트리가 이용된다. 클록 트리에 있어서는, 클록 공급처인 회로군의 중심 위치에 관해서 좌우 대칭으로 클록 신호의 분기를 반복하는 것이 바람직하다.

[0005] 한편, 대면적의 반도체 소자를 제조할 때의 포토리소그래피 공정에 있어서, 공통의 노광 패턴을 가지는 복수의 샷을 연결하여 1개의 소자로 하는 경우가 있다. 이 기술은 연속 노광이라고 불린다. 연속 노광에 의해서 반도체 소자를 제조하는 경우, 동일한 회로 패턴을 가지는 회로 영역이 복수 늘어서므로, 각 회로 영역 내에 있어서 클록 트리를 형성하는 것은 용이하지만, 복수의 회로 영역을 횡단하는 클록 트리를 형성하는 것은 곤란하다. 따라서, 복수의 회로 영역 간에 있어서 클록 신호에 지연이 생긴다고 하는 문제가 있다.

[0006] 본 개시는 동일한 회로 패턴을 가지는 복수의 회로 영역을 횡단하는 클록 트리를 형성하는 것을 가능하게 하는 클록 전달 회로, 및 클록 전달 회로의 제조 방법을 제공하는 것을 목적으로 한다. 본 개시는 클록 신호의 지연이 적은 촬상 소자를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 개시에 의한 클록 전달 회로는, 단일의 기판 상에 마련된 클록 트리를 포함하는 클록 전달 회로이다. 이 클록 전달 회로는 서로 공통의 회로 패턴을 가지고 일방향으로 늘어서는 복수의 회로 영역을 구비한다. 복수의 회로 영역 각각의 회로 패턴은, 고임피던스 상태와 통과 상태의 사이에서 전환 가능한 적어도 두 개의 회로 요소와, 복수의 회로 영역 중 해당 회로 영역에 인접하는 회로 영역의 회로 패턴에 접속되는 배선을 가진다. 복수의 회로 영역의 상기 적어도 두 개의 회로 요소의 상태가 회로 영역마다 정해지는 소정의 상태로 제어됨으로써, 복수의 회로 영역을 횡단하는 클록 트리의 적어도 일부가 구성된다.

[0008] 본 개시에 의한 클록 전달 회로의 제조 방법은, 단일의 기판 상에 마련된 클록 트리를 포함하는 클록 전달 회로를 제조하는 방법이다. 이 제조 방법은, 공통의 노광 패턴을 이용하여 연속 노광을 행함으로써, 서로 공통의 회로 패턴을 가지고 일방향으로 늘어서는 복수의 회로 영역을 형성하는 공정을 포함한다. 복수의 회로 영역 각각의 회로 패턴은, 고임피던스 상태와 통과 상태의 사이에서 전환 가능한 적어도 두 개의 회로 요소와, 복수의 회

로 영역 중 해당 회로 영역에 인접하는 회로 영역의 회로 패턴에 접속되는 배선을 가진다. 복수의 회로 영역의 상기 적어도 두 개의 회로 요소의 상태가, 회로 영역마다 정해지는 소정의 상태로 제어됨으로써, 복수의 회로 영역을 횡단하는 클록 트리의 적어도 일부가 구성된다.

[0009] 이들 클록 전달 회로 및 클록 전달 회로의 제조 방법에 의하면, 동일한 회로 패턴을 가지는 복수의 회로 영역을 횡단하는 클록 트리를 형성할 수 있다. 고로, 복수의 회로 영역 간에 있어서의 클록 신호의 지연을 저감시킬 수 있다.

[0010] 상기의 클록 전달 회로 및 클록 전달 회로의 제조 방법에 있어서, 회로 패턴은 클록 트리의 복수 단의 분기를 각각 담당하도록 구성된 복수 단의 회로 부분을 포함해도 된다. 이 경우, 각 단의 회로 부분에 의해서, 클록 트리의 각 단의 분기를 적합하게 실현할 수 있다.

[0011] 상기의 클록 전달 회로 및 클록 전달 회로의 제조 방법에 있어서, 복수 단의 회로 부분 중 하나의 회로 부분은, 상기 적어도 두 개의 회로 요소에 포함되어 출력단끼리가 접속된 제1 및 제2 회로 요소를 포함해도 된다. 그리고, 상기 배선은 제1 회로 요소의 입력단을, 복수의 회로 영역 중 해당 회로 영역의 일방측에 인접하는 회로 영역의 제2 회로 요소의 입력단에 접속하기 위한 제1 배선 부분과, 제2 회로 요소의 입력단을, 복수의 회로 영역 중 해당 회로 영역의 타방측에 인접하는 회로 영역의 제1 회로 요소의 입력단에 접속하기 위한 제2 배선 부분을 포함해도 된다. 해당 회로 부분을 클록 신호가 전파하는 경우에는, 해당 회로 부분은 제1 배선 부분 또는 제2 배선 부분으로부터 클록 신호를 입력받고, 제1 회로 요소의 출력단과 제2 회로 요소의 출력단 사이의 제1 노드로부터 클록 신호를 출력할 수 있다. 따라서, 회로 부분을 간이하게 실현할 수 있다.

[0012] 상기의 클록 전달 회로 및 클록 전달 회로의 제조 방법에 있어서, 복수 단의 회로 부분 중 적어도 하나의 회로 부분은, 상기 적어도 두 개의 회로 요소에 포함되는 제3, 제4 및 제5 회로 요소를 포함해도 된다. 그리고, 제3 회로 요소의 출력단, 제4 회로 요소의 입력단, 및 제5 회로 요소의 입력단이 제2 노드에 접속되고, 제3 회로 요소의 입력단과 제4 회로 요소의 출력단이 제3 노드에 접속되어도 된다. 그리고, 상기 배선은, 제2 노드를, 복수의 회로 영역 중 해당 회로 영역의 일방측에 인접하는 회로 영역의 제3 노드에 접속하기 위한 제3 배선 부분과, 제3 노드를, 복수의 회로 영역 중 해당 회로 영역의 타방측에 인접하는 회로 영역의 제2 노드에 접속하기 위한 제4 배선 부분을 포함해도 된다. 해당 회로 부분을 클록 신호가 전파하는 경우에는, 해당 회로 부분은 제3 노드에 있어서 클록 신호를 받고, 필요에 따라서 제5 회로 요소의 출력단으로부터 클록 신호를 출력할 수 있다. 제3 및 제4 회로 요소의 상태를 제어함으로써 클록 신호의 전파 방향을 제어할 수 있다. 따라서, 특히 초단 또는 중단의 회로 부분을 간이하게 실현할 수 있다.

[0013] 상기의 클록 전달 회로 및 클록 전달 회로의 제조 방법에 있어서, 상기 적어도 두 개의 회로 요소는 트라이스테이트(등록 상표)형이어도 된다. 이 경우, 상기 적어도 두 개의 회로 요소 각각을 단일의 기능 부분에 의해서 간소하게 구성할 수 있다. 회로 요소의 통과 상태에 있어서의 출력 저항값을 낮게 억제할 수 있으므로, 회로 요소의 저항값에 기인하는 클록 신호의 지연을 저감시킬 수 있다.

[0014] 상기의 클록 전달 회로 및 클록 전달 회로의 제조 방법에 있어서, 적어도 두 개의 회로 요소 중, 적어도 최종단의 회로 부분을 구성하는 회로 요소가 트라이스테이트형으로서, 해당 회로 요소의 출력단은 풀업 저항 및 풀다운 저항 중 한쪽 또는 양쪽 모두에 접속되어 있어도 된다. 혹은, 상기의 클록 전달 회로 및 클록 전달 회로의 제조 방법에 있어서, 적어도 두 개의 회로 요소 중, 적어도 최종단의 회로 부분을 구성하는 회로 요소가 논리 회로를 포함하여 구성되어 있어도 된다. 이들 중 어느 구성에 의해, 클록 공급처로의 신호 레벨이 부정(不定)이 되는 것을 억제하여, 클록 공급처의 오동작을 방지할 수 있다.

[0015] 본 개시에 의한 촬상 소자는, 일차원 또는 이차원으로 배열된 복수의 화소를 포함하는 화소 어레이와, 복수의 화소 각각으로부터 출력되는 복수의 아날로그 신호 각각을 디지털 신호로 변환하는 복수의 아날로그/디지털 변환기를 포함하는 아날로그/디지털 변환기 어레이와, 아날로그/디지털 변환기 어레이로부터 출력되는 복수의 디지털 신호 각각을 격납하는 복수의 격납 영역을 가지는 메모리 어레이와, 메모리 어레이에 격납된 복수의 디지털 신호를 시리얼 신호로 하여 차례로 출력시키는 수평 주사 회로를 구비한다. 아날로그/디지털 변환기 어레이 및 수평 주사 회로 중 적어도 한쪽은, 상기 어느 클록 전달 회로를 통해서 클록 신호의 공급을 받는다. 이 촬상 소자에 의하면, 복수의 디지털 신호 간에 있어서의 클록 신호의 지연을 저감시킬 수 있다. 따라서, 시리얼 신호를 판독할 때의 에러 빈도를 저감시킬 수 있다.

발명의 효과

[0016] 본 개시에 의하면, 동일한 회로 패턴을 가지는 복수의 회로 영역을 횡단하는 클록 트리를 형성하는 것을 가능하

게 하는 클록 전달 회로 및 클록 전달 회로의 제조 방법을 제공할 수 있다. 본 개시에 의하면, 클록 신호의 지연이 적은 촬상 소자를 제공할 수 있다.

도면의 간단한 설명

[0017] 도 1은 일 실시 형태에 따른, 촬상 소자를 제조하기 위해 이용되는 노광 장치의 구성을 모식적으로 나타내는 측면도이다.

도 2는 포토마스크의 레티클 패턴을 모식적으로 나타내는 평면도이다.

도 3의 (a)부는 노광 및 현상 후의 웨이퍼의 회로 형성면을 나타내는 평면도이다. 도 3의 (b)부는 (a)부의 일부를 확대하여 나타내는 도면이다. 도 3의 (c)부는 (b)부의 IIIc-IIIc선을 따른 단면을 나타내는 도면이다.

도 4는 복수의 촬상 소자 각각의 구체적인 구성예를 나타내는 도면이다.

도 5는 클록 트리의 구성을 모식적으로 나타내는 도면이다.

도 6은 클록 전달 회로의 구성을 나타내는 회로도이다.

도 7은 각 회로 영역의 회로 패턴을 나타내는 회로도이다.

도 8은 각 회로 영역의 회로 패턴의 다른 예를 나타내는 회로도이다.

도 9는 각 회로 영역의 회로 요소를 제어하는 회로의 예를 나타내는 회로도이다.

도 10은 클록 전달 회로의 다른 제어예를 나타내는 도면이다.

도 11은 일 실시 형태에 의한 클록 전달 회로의 제조 방법을 나타내는 순서도이다.

도 12는 참고예로서의 클록 전달 회로를 모식적으로 나타내는 도면이다.

도 13은 클록 신호의 지연의 영향을 설명하는 도면이다. 도 13의 (a)부는, 직렬 회로의 일단에 입력되는 클록 신호를 나타낸다. 도 13의 (b)부는 직렬 회로의 일단에 가까운 회로 영역으로부터 출력되는 클록 신호에 의해서 구동되는 회로로부터 출력되는 시리얼 신호의 예를 나타낸다. 도 13의 (c)부는 직렬 회로의 일단으로부터 먼 회로 영역으로부터 출력되는 클록 신호에 의해서 구동되는 회로로부터 출력되는 시리얼 신호의 예를 나타낸다.

도 14의 (a)부, (b)부 및 (c)부는, 회로 요소의 구성예를 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부 도면을 참조하면서 본 개시에 의한 클록 전달 회로, 촬상 소자, 및 클록 전달 회로의 제조 방법의 실시 형태를 상세하게 설명한다. 도면의 설명에 있어서 동일한 요소에는 동일한 부호를 부여하고, 중복하는 설명을 생략한다.

[0019] 도 1은 본 개시의 일 실시 형태에 따른, 촬상 소자를 제조하기 위해 이용되는 노광 장치(1)의 구성을 모식적으로 나타내는 측면도이다. 도 1에 나타내지는 것처럼, 노광 장치(1)는, 웨이퍼(W) 상에 도포된 레지스터(R)를 노광하는 장치로서, 광원(10)과, 포토마스크(20)와, 렌즈(30)를 구비한다. 광원(10)은 레지스터(R)가 감도를 가지는 파장의 광(L)을 출력한다. 포토마스크(20)는 후술하는 촬상 소자(40)(도 3을 참조)를 형성하기 위한 레티클 패턴(노광 패턴)을 가진다. 포토마스크(20)는 광원(10)에 대향해서 배치된다. 포토마스크(20)는 1 또는 복수의 레티클 패턴(21)을 가진다. 렌즈(30)는 포토마스크(20)와 웨이퍼(W)의 사이에 배치된다. 광원(10)으로부터 출력된 광(L)은, 포토마스크(20)를 통과한 후 렌즈(30)에 의해서 집광되어, 웨이퍼(W) 상의 레지스터(R)에 도달한다. 레지스터(R)는 포지티브형 및 네거티브형 중 어느 것이어도 된다.

[0020] 도 2는 포토마스크(20)의 레티클 패턴(21) 중 하나를 모식적으로 나타내는 평면도이다. 레티클 패턴(21)은, 적어도, 제1 부분(211)과, 제2 부분(212)과, 제3 부분(213)을 포함한다. 제1 부분(211)은 기호 「A」에 의해서 나타내진다. 제2 부분(212)은 기호 「B」에 의해서 나타내진다. 제3 부분(213)은 기호 「C」에 의해서 나타내진다. 제1 부분(211)은 촬상 소자(40)의 수광 부분을 형성하기 위한 부분이다. 제1 부분(211)은 촬상 소자(40)의 수광 부분을 복수의 회로 영역으로 분할했을 때의, 그 복수의 회로 영역 각각에 공통의 회로 패턴에 대응하는 노광 패턴을 포함한다. 제2 부분(212)은 촬상 소자(40) 중 수광 부분의 일단과 나란한 회로 영역(42)(도 3을 참조)을 형성하기 위한 부분이다. 제3 부분(213)은 촬상 소자(40) 중 수광 부분의 타단과 나란한 회로 영역(43)(도 3을 참조)을 형성하기 위한 부분이다. 제2 부분(212) 및 제3 부분(213)은, 수광 부분에 바이어스

전원을 공급하기 위한 회로 등에 대응하는 노광 패턴을 포함한다.

[0021] 도 3의 (a)부는, 노광 및 현상 후의 웨이퍼(W)의 회로 형성면을 나타내는 평면도이다. 도 3의 (b)부는, 도 3의 (a)부의 일부를 확대하여 나타내는 도면이다. 도 3의 (a)부에 나타내지는 것처럼, 웨이퍼(W)에는, 노광 장치(1)에 의한 노광 및 그 후의 현상에 의해서, 복수의 촬상 소자(40)가 형성된다. 복수의 촬상 소자(40)는, 방향 D1을 길이 방향으로 하고, 방향 D1과 교차하는 방향 D2를 따라서 늘어서서 있다. 도 3의 (b)부에 나타내지는 것처럼, 복수의 촬상 소자(40) 각각은, 방향 D1을 따라서 늘어서는 복수의 회로 영역(41)으로 이루어지는 회로 영역군(44)과, 방향 D1에 있어서 회로 영역군(44)의 일단에 배치된 회로 영역(42)과, 방향 D1에 있어서 회로 영역군(44)의 타단에 배치된 회로 영역(43)을 가진다. 회로 영역군(44)은 수광 부분을 포함한다.

[0022] 복수의 회로 영역(41) 각각은, 도 2에 나타내지는 제1 부분(211)을 이용한 연속 노광에 의해서 형성된 영역이다. 즉, 복수의 회로 영역(41)은 제1 부분(211)을 방향 D1을 따라서 이동시키면서 레지스터(R)의 노광을 행함으로써 형성된 영역이다. 이 때, 제1 부분(211)에 의해서 각각 노광되는 인접하는 영역끼리는, 그들 일부에서 서로 겹쳐도 된다. 복수의 회로 영역(41)은 서로 동일한 회로 패턴을 가진다. 회로 영역(42)은, 도 2에 나타내지는 제2 부분(212)을 이용한 노광에 의해서 형성된 영역이다. 회로 영역(43)은, 도 2에 나타내지는 제3 부분(213)을 이용한 노광에 의해서 형성된 영역이다. 회로 영역(42)은 회로 영역(41)과 상이한 회로 패턴을 가진다. 회로 영역(43)은 회로 영역(41, 42)과 상이한 회로 패턴을 가진다.

[0023] 도 3의 (c)부는, 도 3의 (b)부의 IIIc－IIIc선을 따른 단면을 나타내는 도면이다. 도 3의 (c)부에 나타내지는 것처럼, 회로 영역군(44), 회로 영역(42), 및 회로 영역(43)은, 웨이퍼(W)로부터 잘라내지는 단일의 기판(62) 상에 마련된다. 방향 D1에 있어서의 기판(62)의 길이는, 예를 들면 20㎜ 이상 300㎜ 이하이다.

[0024] 도 4는 복수의 촬상 소자(40) 각각의 구체적인 구성예를 나타내는 도면이다. 도 4에 나타내지는 것처럼, 회로 영역군(44)은 화소 어레이(45)와, 앰프 어레이(46)와, 아날로그/디지털(A/D) 변환기 어레이(47)와, 메모리 어레이(48)와, 수평 주사 회로군(49)과, 출력 회로군(50)과, A/D 변환기용의 클록 전달 회로(80A)와, 수평 주사 회로용 및 출력 회로용의 클록 전달 회로(80B)를 가진다. 화소 어레이(45)는 복수의 회로 영역(41)에 각각 포함되는 복수의 영역(451)이 방향 D1을 따라서 늘어서서 배치되어 이루어진다. 앰프 어레이(46)는 복수의 회로 영역(41)에 각각 포함되는 복수의 영역(461)이 방향 D1을 따라서 늘어서서 배치되어 이루어진다. A/D 변환기 어레이(47)는, 복수의 회로 영역(41)에 각각 포함되는 복수의 영역(471)이 방향 D1을 따라서 늘어서서 배치되어 이루어진다. 메모리 어레이(48)는 복수의 회로 영역(41)에 각각 포함되는 복수의 영역(481)이 방향 D1을 따라서 늘어서서 배치되어 이루어진다. 수평 주사 회로군(49)은 복수의 회로 영역(41)에 각각 포함되는 복수의 영역(491)이 방향 D1을 따라서 늘어서서 배치되어 이루어진다. 출력 회로군(50)은 복수의 회로 영역(41)에 각각 포함되는 복수의 영역(501)이 방향 D1을 따라서 늘어서서 배치되어 이루어진다. 도 4에 있어서는, 복수의 회로 영역(41) 중 방향 D1에 있어서의 회로 영역군(44)의 양단 부근에 위치하는 일부의 회로 영역(41)만 도시하고, 다른 회로 영역(41)의 도시를 생략하고 있다.

[0025] 화소 어레이(45)는, 일차원 또는 이차원으로 배열된 복수의 화소를 포함한다. 복수의 화소는 적어도 방향 D1을 따라서 늘어서서 있다. 복수의 영역(451) 각각은, 2 이상의 화소를 포함한다. 따라서, 예를 들면 P개의 영역(451) 각각이 Q개의 화소를 포함하는 경우, 화소 어레이(45) 전체에서의 화소수는 (P×Q)개이다. P, Q는 2 이상의 정수이다. Q개의 화소는 n열×m행의 배치를 취한다(n×m=Q, n, m은 자연수). 각 화소는 각 화소에 입사된 광의 강도에 따른 양의 전하를 발생한다. 각 화소는 화소 내에서 전류 전압 변환하기 위한 화소 내 앰프를 포함해도 된다. 각 화소는, 예를 들면 웨이퍼(W)의 표면에 대한 이온 주입에 의해서 형성될 수 있다. 각 화소에 접속되는 배선은, 예를 들면 웨이퍼(W)의 표면 상에 에칭 등에 의해서 형성될 수 있다. 복수의 영역(451)은 서로 동일한 회로 패턴을 가진다. 이온 주입 및 에칭할 때의 노광 패턴은, 복수의 영역(451)에 있어서 공통이다.

[0026] 앰프 어레이(46)는 복수의 앰프를 포함해도 된다. 복수의 앰프 각각은, 화소 어레이(45)의 복수의 화소 각각으로부터 출력되는 복수의 아날로그 신호 각각을 전류 전압 변환한다. 혹은, 각 화소가 아날로그 신호를 전류 전압 변환하는 경우, 복수의 앰프 각각은, 전류 전압 변환된 복수의 아날로그 신호 각각을 증배한다. 복수의 앰프는 화소 어레이(45)의 복수의 화소 열에 각각 대응한다. 복수의 영역(461) 각각은, 2 이상의 앰프를 포함한다. 예를 들면 P개의 영역(451) 각각이 n열의 화소 열을 포함하는 경우, P개의 영역(461) 각각이 n개의 앰프를 포함한다. 따라서, 앰프 어레이(46) 전체에서의 앰프의 수는 적어도(P×n)개이다. 복수의 앰프 각각은, 예를 들면 트랜지스터를 포함하는 증폭 회로에 의해서 구성될 수 있다. 트랜지스터의 드레인 영역 및 소스 영역은, 예를 들면 웨이퍼(W)의 표면에 대한 이온 주입에 의해서 형성될 수 있다. 트랜지스터의 게이트, 드레인 영역 및 소스 영역의 각각에 접속되는 배선은, 예를 들면 웨이퍼(W)의 표면 상에 리프트 오프법 등에 의해서 형성될 수 있다.

복수의 영역(461)은 서로 동일한 회로 패턴을 가진다. 이온 주입 및 리프트 오프할 때의 노광 패턴은, 복수의 영역(461)에 있어서 공통이다.

[0027] A/D 변환기 어레이(47)는 복수의 A/D 변환기를 포함한다. 복수의 A/D 변환기 각각은, 화소 어레이(45)의 복수의 화소 각각으로부터 출력되는 복수의 아날로그 신호 각각을 디지털 신호로 변환한다. 복수의 A/D 변환기는 앰프 어레이(46)의 복수의 앰프에 각각 대응한다. 복수의 영역(471) 각각은, 2 이상의 A/D 변환기를 포함한다. 예를 들면 P개의 영역(461) 각각이 n개의 앰프를 포함하는 경우, P개의 영역(471) 각각이 n개의 A/D 변환기를 포함한다. 따라서, A/D 변환기 어레이(47) 전체에서의 A/D 변환기의 수는 적어도 (P×n)개이다. 복수의 영역(471)은 서로 동일한 회로 패턴을 가진다. A/D 변환기를 형성할 때의 노광 패턴은, 복수의 영역(471)에 있어서 공통이다.

[0028] 메모리 어레이(48)는 복수의 메모리 셀(격납 영역)을 가진다. 복수의 메모리 셀 각각은, A/D 변환기 어레이(47)로부터 출력되는 복수의 디지털 신호 각각을 격납한다. 복수의 메모리 셀은 복수의 A/D 변환기에 각각 대응한다. 복수의 영역(481) 각각은, 2 이상의 메모리 셀을 포함한다. 예를 들면 P개의 영역(471) 각각이 n개의 A/D 변환기를 포함하는 경우, P개의 영역(481) 각각이 n개의 메모리 셀을 포함한다. 따라서, 메모리 어레이(48) 전체에서의 메모리 셀의 수는 (P×n)개이다. 복수의 영역(481)은 서로 동일한 회로 패턴을 가진다. 메모리 셀을 형성할 때의 노광 패턴은, 복수의 영역(481)에 있어서 공통이다.

[0029] 수평 주사 회로군(49)은 메모리 어레이(48)에 격납된 복수의 디지털 신호를 시리얼 신호로 하여 차례로 출력시킨다. 수평 주사 회로군(49)은 복수의 영역(491)을 가진다. 복수의 영역(491) 각각은, 2 이상의 수평 주사 회로를 포함한다. 일례에서는, 복수의 영역(491) 각각에 포함되는 수평 주사 회로의 개수는 2이다. 그 경우, 예를 들면 P개의 영역(481) 각각이 n개의 메모리 셀을 포함한다고 하면, 하나의 수평 주사 회로에 대해 (n/2)개의 메모리 셀이 대응한다. 복수의 영역(491)은 서로 동일한 회로 패턴을 가진다. 수평 주사 회로를 형성할 때의 노광 패턴은, 복수의 영역(491)에 있어서 공통이다.

[0030] 출력 회로군(50)은 복수의 영역(501)을 가진다. 복수의 영역(501) 각각은, 수평 주사 회로군(49)의 복수의 영역(491) 각각에 접속되어 있다. 각 수평 주사 회로는, (n/2)개의 메모리 셀로부터의 디지털 신호를, 각 수평 주사 회로에 대응하는 영역(501)에, 시리얼 신호로서 차례로 출력시킨다. 각 영역(501)은 수평 주사 회로군(49)의 각 영역(491)에 포함되는 수평 주사 회로에 대응하는 출력 회로를 포함한다. 각 출력 회로는 대응하는 수평 주사 회로로부터 시리얼 신호로서 차례로 출력된 디지털 신호를 받는다. 각 영역(501)의 출력 회로는, 디지털 신호로부터 출력 데이터 Dout를 생성하고, 출력 데이터 Dout를 촬상 소자(40)의 외부로 출력한다.

[0031] 회로 영역(42)은, 예를 들면 타이밍 제어 회로(421)를 포함한다. 타이밍 제어 회로(421)는 화소 어레이(45), 앰프 어레이(46), A/D 변환기용의 클록 전달 회로(80A), 및 수평 주사 회로용의 클록 전달 회로(80B)에 대해서 공통의 클록 신호를 송신한다.

[0032] 회로 영역(43)은, 예를 들면 바이어스 전압 발생 회로(431)를 포함한다. 바이어스 전압 발생 회로(431)는, 도시하지 않은 배선을 통해서, 화소 어레이(45)의 복수의 화소 각각, 앰프 어레이(46)의 복수의 앰프 각각, 및 A/D 변환기 어레이(47)의 복수의 A/D 변환기 각각에 접속되어 있다. 바이어스 전압 발생 회로(431)는 화소 어레이(45)의 복수의 화소, 앰프 어레이(46)의 복수의 앰프, 및 A/D 변환기 어레이(47)의 복수의 A/D 변환기에 바이어스 전압을 공급한다.

[0033] 이어서, 클록 전달 회로(80A, 80B)의 구성에 대해 상세하게 설명한다. 클록 전달 회로(80A, 80B)는 단일의 기판(62)(도 3의 (c)부를 참조) 상에 마련된 클록 트리를 포함한다. 도 5는 일례로서, 클록 트리(70)의 구성을 모식적으로 나타내는 도면이다. 클록 트리(70)는 클록 신호를 입력하는 배선(76)과, 클록을 사용하는 회로(77)의 사이에, 복수 단의 분기를 가진다. 각 분기는 한 개의 클록 배선을 적어도 2개로 분기한다. 도 5에는, 일례로서, 초단(C1), 제2 단(C2), 및 제3 단(최종단)(C3)과 같은 합계 3단의 분기가 나타내져 있다. 초단(C1)과 제2 단(C2) 사이의 배선, 제2 단(C2)과 제3 단(C3) 사이의 배선, 및 제3 단(C3)과 회로(77) 사이의 배선의 각각에는, 1 또는 복수의 리피터 버퍼(78)가 마련된다.

[0034] 도 6은 클록 전달 회로(80)의 구성을 나타내는 회로도이다. 도 4에 나타내진 클록 전달 회로(80A, 80B)는, 클록 전달 회로(80)와 마찬가지의 구성을 가진다. 도 6의 회로(77)가 A/D 변환기 어레이(47)인 경우, 회로(77)는 복수의 영역(471)에 포함되는 모든 A/D 변환기를 포함한다. 회로(77)가 수평 주사 회로군(49)인 경우, 회로(77)는 복수의 영역(491)에 포함되는 모든 수평 주사 회로를 포함한다. 회로(77)가 출력 회로군(50)인 경우, 회로(77)는 복수의 영역(501)에 포함되는 모든 출력 회로를 포함한다.

[0035] 클록 전달 회로(80)는 복수의 회로 영역(81)을 구비한다. 복수의 회로 영역(81) 각각은, 복수의 회로 영역(41)(도 3, 도 4 참조) 각각에 포함된다. 복수의 회로 영역(81)은 서로 공통의 회로 패턴을 가지고, 방향 D1을 따라서 늘어서서 있다. 각 회로 영역(81)은 이웃하는 회로 영역(81)과 접해 있고 또한 연속하고 있다.

[0036] 도 7은 각 회로 영역(81)의 회로 패턴을 나타내는 회로도이다. 도 7에 나타내는 것처럼, 각 회로 영역(81)의 회로 패턴은, 적어도 2개(본 실시 형태에서는 9개)의 회로 요소(E0~E8)와, 배선(W1~W6)을 가진다. 회로 요소(E0~E8) 중 적어도 회로 요소(E0~E6)(본 실시 형태에서는 모든 회로 요소(E0~E8))는, 고임피던스 상태와 통과 상태의 사이에서 전환 가능한 회로 요소로서, 예를 들면 트라이스테이트(등록상표)형의 회로 요소이다. 트라이스테이트형은, 쓰리 스테이트형이라고도 불린다. 고임피던스 상태란, 절연 상태이거나 또는 절연 상태에 가까운 저항값을 가지는 상태를 말한다. 통과 상태란, 입력 신호의 논리에 추종한 신호를 출력하는 상태를 말한다. 일례에서는, 회로 요소(E0~E8)는 트라이스테이트 버퍼 혹은 트라이스테이트 인버터이다. 회로 요소(E0~E8)는 클록 트리에 있어서 리피터 버퍼로서 기능한다. 배선(W1~W6)은 인접하는 회로 영역(81)의 회로 패턴에 접속되는 배선이다. 각 회로 영역(81)의 회로 패턴은, 복수 단의 회로 부분을 포함한다. 즉, 각 회로 영역(81)의 회로 패턴은, 클록 공급 부분(82)과, 제1 단(초단)의 회로 부분(83)과, 제2 단의 회로 부분(84)과, 제3 단(최종단)의 회로 부분(85)을 포함한다.

[0037] 클록 공급 부분(82)은 클록 전달 회로(80)의 외부로부터 입력된 클록 신호를 클록 트리에 공급하기 위한 부분이다. 클록 공급 부분(82)은 회로 요소(E0 및 E1)와, 배선(W5 및 W6)을 포함한다. 배선(W5)의 일단은, 해당 회로 영역(81)의 일방측(도면의 좌측)에 인접하는 회로 영역(81)의 배선(W6)과 접속된다. 배선(W5)의 타단은, 회로 요소(E0)의 입력단에 접속된다. 회로 요소(E0)의 입력단은, 클록 전달 회로(80)의 외부로부터, 인접하는 회로 영역(81)을 통해서 입력된 클록 신호를 받는다. 배선(W6)의 일단은, 회로 요소(E0)의 출력단에 접속된다. 배선(W6)의 타단은, 해당 회로 영역(81)의 타방측(도면의 우측)에 인접하는 회로 영역(81)의 배선(W5)과 접속된다. 회로 요소(E1)의 입력단은, 배선(W6)과 접속된다.

[0038] 회로 요소(E0)가 통과 상태인 경우, 클록 신호는 배선(W5)으로부터 배선(W6)으로 전파된다. 회로 요소(E0)가 고임피던스 상태인 경우, 클록 신호는 배선(W5)으로부터 배선(W6)으로 전파되지 않는다. 회로 요소(E0, E1)의 양쪽 모두가 통과 상태인 경우, 클록 신호는 배선(W5)으로부터 제1 단의 회로 부분(83)으로 전파된다. 회로 요소(E0)가 통과 상태이고 또한 회로 요소(E1)가 고임피던스 상태인 경우, 클록 신호는 배선(W5, W6)을 전파하지만 제1 단의 회로 부분(83)으로는 전파되지 않는다.

[0039] 제1 단의 회로 부분(83)은 클록 공급 부분(82)으로부터 공급된 클록 신호를 분기하기 위한 부분이다. 회로 부분(83)은 회로 요소(E2)(제3 회로 요소), 회로 요소(E3)(제4 회로 요소), 및 회로 요소(E4)(제5 회로 요소)를 포함한다. 이에 더하여, 회로 부분(83)은 배선(W3)(제3 배선 부분) 및 배선(W4)(제4 배선 부분)을 포함한다.

[0040] 회로 요소(E2)의 출력단, 회로 요소(E3)의 입력단, 및 회로 요소(E4)의 입력단은, 노드(N2)(제2 노드)에 접속되어 있다. 회로 요소(E2)의 입력단 및 회로 요소(E3)의 출력단은, 노드(N3)(제3 노드)에 접속되어 있다. 바꾸어 말하면, 회로 요소(E2 및 E3)는, 노드(N2)와 노드(N3)의 사이에 있어서, 서로 역방향으로 되면서 서로 병렬로 접속되어 있다. 회로 요소(E4)의 입력단은, 그 병렬 회로의 일단에 접속되어 있다. 배선(W3)은, 노드(N2)를, 해당 회로 영역(81)의 일방측(도면의 좌측)에 인접하는 회로 영역(81)의 노드(N3)에 접속하기 위한 배선 부분이다. 배선(W4)은, 노드(N3)를, 해당 회로 영역(81)의 타방측(도면의 우측)에 인접하는 회로 영역(81)의 노드(N2)에 접속하기 위한 배선 부분이다. 노드(N3)는 클록 전달 회로(80)의 외부로부터의 클록 공급 배선, 즉 클록 공급 부분(82)의 회로 요소(E1)의 출력단에 접속된다.

[0041] 회로 요소(E2)가 통과 상태이고 또한 회로 요소(E3)가 고임피던스 상태인 경우, 클록 신호는 노드(N3)로부터 노드(N2)로 전파된다. 반대로, 회로 요소(E2)가 고임피던스 상태이고 또한 회로 요소(E3)가 통과 상태인 경우, 클록 신호는 노드(N2)로부터 노드(N3)로 전파된다. 회로 요소(E2, E3)가 동시에 통과 상태가 되는 경우는 없다. 회로 요소(E2, E3)의 양쪽 모두가 고임피던스 상태인 경우, 노드(N2)와 노드(N3)의 사이에 클록 신호는 전파되지 않는다. 회로 요소(E4)가 통과 상태인 경우, 클록 신호는 노드(N2)로부터 제2 단의 회로 부분(84)으로 전파된다. 회로 요소(E4)가 고임피던스 상태인 경우, 클록 신호는 노드(N2)로부터 제2 단의 회로 부분(84)으로 전파되지 않는다.

[0042] 회로 부분(83)을 클록 신호가 전파될 때, 회로 부분(83)은 노드(N3)에 있어서 클록 신호를 받고, 필요에 따라서 회로 요소(E4)의 출력단으로부터 클록 신호를 출력할 수 있다. 회로 요소(E2, E3)의 상태를 제어함으로써 클록 신호의 전파 방향을 제어할 수 있다. 클록 트리에는, 복수의 회로 영역(81)을 걸친 분기와 각 회로 영역(81) 내에서 행해지는 분기가 존재하지만, 이 회로 부분(83)은 복수의 회로 영역(81)을 걸친 분기 중 초단의 분기를 담

당한다.

[0043] 제2 단의 회로 부분(84)은 제1 단의 회로 부분(83)으로부터 공급된 클록 신호를 더 분기하기 위한 부분이다. 회로 부분(84)은 회로 요소(E5)(제1 회로 요소) 및 회로 요소(E6)(제2 회로 요소)를 포함한다. 이에 더하여, 회로 부분(84)은 배선(W1)(제1 배선 부분) 및 배선(W2)(제2 배선 부분)을 포함한다.

[0044] 회로 요소(E5, E6)의 출력단은 서로 접속되어 있다. 바꾸어 말하면, 회로 요소(E5, E6)의 출력단은 노드(N1)에 접속되어 있다. 배선(W1)은 회로 요소(E5)의 입력단을, 해당 회로 영역(81)의 일방측(도면의 좌측)에 인접하는 회로 영역(81)의 회로 요소(E6)의 입력단에 접속하기 위한 배선 부분이다. 배선(W1)은 해당 회로 영역(81)의 일방측에 인접하는 회로 영역(81)의 배선(W2)에 접속된다. 또한, 배선(W1)은 회로 요소(E4)의 출력단에 접속된다. 배선(W2)은 회로 요소(E6)의 입력단을, 해당 회로 영역(81)의 타방측(도면의 우측)에 인접하는 회로 영역(81)의 회로 요소(E5)의 입력단에 접속하기 위한 배선 부분이다. 배선(W2)은 해당 회로 영역(81)의 타방측에 인접하는 회로 영역(81)의 배선(W1)에 접속된다.

[0045] 회로 요소(E5)가 통과 상태이고 또한 회로 요소(E6)가 고임피던스 상태인 경우, 클록 신호는 배선(W1)으로부터 노드(N1)로 전파된다. 회로 요소(E5)가 고임피던스 상태이고 또한 회로 요소(E6)가 통과 상태인 경우, 클록 신호는 배선(W2)으로부터 노드(N1)로 전파된다. 회로 요소(E5, E6)가 동시에 통과 상태가 되는 경우는 없다. 회로 요소(E5, E6)의 양쪽 모두가 고임피던스 상태인 경우, 노드(N1)에 클록 신호는 전파되지 않는다.

[0046] 회로 부분(84)을 클록 신호가 전파될 때, 회로 부분(84)은, 배선(W1) 또는 배선(W2)에 있어서 클록 신호를 받고, 노드(N1)로부터 클록 신호를 출력할 수 있다. 전술한 것처럼 클록 트리에는 복수의 회로 영역(81)을 걸친 분기와 각 회로 영역(81) 내에서 행해지는 분기가 존재하지만, 이 회로 부분(84)은 복수의 회로 영역(81)을 걸친 분기 중 말단의 분기를 담당한다.

[0047] 제3 단의 회로 부분(85)은, 각 회로 영역(81) 내에서 행해지는 분기를 담당하는 부분이다. 회로 부분(85)은, 회로 요소(E7) 및 회로 요소(E8)를 포함한다. 회로 요소(E7) 및 회로 요소(E8)의 입력단은, 노드(N1)에 접속됨과 아울러 서로 접속되어 있다. 회로 요소(E7) 및 회로 요소(E8)의 출력단은, 도 6에 나타내지는 것처럼, 복수의 배선(87)으로 분기된 다음, 클록을 사용하는 회로(77)에 포함되는 복수의 클록 공급 대상 각각에 접속된다. 클록을 사용하는 회로(77)에 포함되는 복수의 클록 공급 대상은, 예를 들면, A/D 변환기 어레이(47)의 복수의 A/D 변환기, 수평 주사 회로군(49)의 복수의 수평 주사 회로, 또는 출력 회로군(50)의 복수의 출력 회로이다. 회로 요소(E7) 및 회로 요소(E8)의 출력단은, 복수의 회로 영역(81)에 걸쳐서 공통으로 마련된 배선에 접속되고, 그 배선을 통해서 회로(77)의 복수의 클록 공급 대상으로 접속되어도 된다.

[0048] 상기의 구성을 바꾸어 말하면, 클록 공급 부분(82)에 있어서는, 도 6에 나타내지는 것처럼, 복수의 회로 영역(81)의 회로 요소(E0)가 방향을 가지런히 한 상태에서 서로 직렬로 접속되어 있다. 그리고, 각 회로 영역(81)의 회로 요소(E1)의 입력단은, 이웃하는 회로 요소(E0) 간의 노드에 접속되어 있다. 제1 단의 회로 부분(83)에 있어서는, 복수의 회로 영역(81)의 회로 요소(E2)가 방향을 가지런히 한 상태에서 서로 직렬로 접속되어 있고, 복수의 회로 영역(81)의 회로 요소(E3)가, 회로 요소(E2)와는 역방향으로, 방향을 가지런히 한 상태에서 서로 직렬로 접속되어 있다. 이웃하는 회로 요소(E2) 간의 노드는, 이웃하는 회로 요소(E3) 간의 노드와 공통이다. 회로 요소(E2) 간의 노드는, 회로 요소(E1)의 출력단과, 회로 요소(E4)의 입력단에 교대로 접속되어 있다. 제2 단의 회로 부분(84)에 있어서는, 회로 요소(E6)가 회로 요소(E5)에 대해서 역방향으로 되면서, 회로 요소(E5, E6)가 교대로 직렬 접속되어 있다. 회로 요소(E4)의 출력단은, 회로 요소(E5)의 입력단과 회로 요소(E6)의 입력단 사이의 노드에 접속된다.

[0049] 도 6에 나타내지는 클록 전파 경로(F1)는, 상기의 구성을 가지는 복수의 회로 영역(81)에 의해서 실현 가능한 클록 트리의 일례를 나타내고 있다. 클록 전파 경로(F1)의 경로 상에 존재하는 회로 요소(도면 중에 백색으로 나타냄)는 통과 상태가 되고, 클록 전파 경로(F1)의 경로 밖에 존재하는 회로 요소(도면 중에 하프톤으로 나타냄)는 고임피던스 상태가 된다. 이하, 구체적으로 설명한다.

[0050] 먼저, 클록 공급 부분(82)에 있어서는, 도 6에 나타내지는 4개의 회로 영역(81) 중 편측 2개의 회로 영역(81A, 81B)의 회로 요소(E0)가 통과 상태가 되고, 반대측의 2개의 회로 영역(81C, 81D)의 회로 요소(E0)가 고임피던스 상태가 된다. 회로 영역(81B)의 회로 요소(E1)가 통과 상태가 되고, 다른 회로 영역(81A, 81C, 81D)의 회로 요소(E1)가 고임피던스 상태가 된다. 이것에 의해, 클록 전달 회로(80)의 외부로부터 공급된 클록 신호는, 회로 영역(81A, 81B)의 회로 요소(E0) 및 회로 영역(81B)의 회로 요소(E1)를 통과하여, 회로 영역(81B)에 위치하는 클록 트리의 정점(클록 입력단)에 도달한다.

[0051] 다음으로, 제1 단의 회로 부분(83)에 있어서는, 회로 영역(81B)의 회로 요소(E2)가 통과 상태가 되고, 다른 회로 영역(81A, 81C, 81D)의 회로 요소(E2)가 고임피던스 상태가 된다. 회로 영역(81C)의 회로 요소(E3)가 통과 상태가 되고, 다른 회로 영역(81A, 81B, 81D)의 회로 요소(E3)가 고임피던스 상태가 된다. 또한, 회로 영역(81B, 81D)의 회로 요소(E4)가 통과 상태가 되고, 다른 회로 영역(81A, 81C)의 회로 요소(E4)가 고임피던스 상태가 된다. 이것에 의해, 클록 신호는, 회로 영역(81B)의 회로 요소(E2 및 E4)를 통과하는 클록 신호와, 회로 영역(81C)의 회로 요소(E3) 및 회로 영역(81D)의 회로 요소(E4)를 통과하는 클록 신호로 분기된다.

[0052] 이어서, 제2 단의 회로 부분(84)에 있어서는, 회로 영역(81B, 81D)의 회로 요소(E5)가 통과 상태가 되고, 다른 회로 영역(81A, 81C)의 회로 요소(E5)가 고임피던스 상태가 된다. 회로 영역(81A, 81C)의 회로 요소(E6)가 도통 상태가 되고, 다른 회로 영역(81B, 81D)의 회로 요소(E6)가 고임피던스 상태가 된다. 회로 영역(81B)의 회로 요소(E4)를 통과한 클록 신호는, 이것에 의해, 회로 영역(81A)의 회로 요소(E6)를 통과하는 클록 신호와, 회로 영역(81B)의 회로 요소(E5)를 통과하는 클록 신호로 분기된다. 회로 영역(81D)의 회로 요소(E4)를 통과한 클록 신호는, 이것에 의해, 회로 영역(81C)의 회로 요소(E6)를 통과하는 클록 신호와, 회로 영역(81D)의 회로 요소(E5)를 통과하는 클록 신호로 분기된다.

[0053] 이어서, 각 회로 영역(81A~81D)의 제3 단의 회로 부분(85)에 있어서, 회로 요소(E5 또는 E6)를 통과한 클록 신호가, 회로 요소(E7)를 통과하는 클록 신호와, 회로 요소(E8)를 통과하는 클록 신호로 분기된다. 이렇게 하여 합계 8개로 분기된 클록 신호는, 배선(87)을 거쳐, 클록을 사용하는 회로(77)에 공급된다.

[0054] 본 실시 형태에서는 회로 부분(83)이 일단만인 경우를 설명하고 있지만, 도 8에 나타내지는 것처럼, 회로 부분(83)은 복수 단에 걸쳐서 마련되어도 된다. 바꾸어 말하면, 회로 부분(83)은 복수의 회로 영역(81)을 걸친 분기 중 초단의 분기에 더하여 중단의 분기를 더 담당해도 된다. 그 경우, 2단째 이후의 각 회로부분(83)의 노드(N3)가, 그 회로 부분(83)의 전단(前段)의 회로 부분(83)의 회로 요소(E4)의 출력단에 접속된다. 이것에 의해, 클록 트리의 복수의 회로 영역(81)을 걸친 분기 중 중단의 분기를 임의의 수로 늘릴 수 있다.

[0055] 상기의 예에서는 A/D 변환기 어레이(47), 수평 주사 회로군(49), 및 출력 회로군(50)의 모두가, 클록 전달 회로(80)를 통해서 클록 신호의 공급을 받고 있다. A/D 변환기 어레이(47), 수평 주사 회로군(49), 및 출력 회로군(50) 중 하나 또는 두 개만이, 클록 전달 회로(80)를 통해서 클록 신호의 공급을 받아도 된다.

[0056] 여기서, 각 회로 영역(81)의 회로 요소(E0~E8)를 제어하는 회로에 대해 설명한다. 도 9는 각 회로 영역(81)의 회로 요소(E0, E1)를 제어하는 회로의 예를 나타내는 회로도이다. 다른 회로 요소(E2~E8)의 제어 회로도 이것과 마찬가지의 구성을 가지므로 도시를 생략한다.

[0057] 각 회로 영역(81)은 회로 요소(E0~E8) 각각에 대응하는 복수의 플립플롭(88)각각을 더 가진다. 회로 요소(E0)에 대응하는 플립플롭(88)은 복수의 회로 영역(81)에 걸쳐서 캐스케이드 접속되어 있다. 회로 요소(E1)에 대응하는 플립플롭(88)도 또한, 복수의 회로 영역(81)에 걸쳐서 캐스케이드 접속되어 있다. 회로 요소(E2~E8) 각각에 대응하는 플립플롭(88)도 마찬가지로, 복수의 회로 영역(81)에 걸쳐서 캐스케이드 접속되어 있다.

[0058] 회로 요소(E0)에 대응하는 상기의 캐스케이드 접속 회로의 일단에는 2진 신호 S_{E0}가 입력된다. 2진 신호 S_{E0}는 캐스케이드 접속 회로에 공급되는 클록 CLK에 동기하여 온값 또는 오프값을 받는 신호이다. 도면에 나타내지는 예에서는, 클록 CLK에 있어서 4주기의 클록이 나타내져 있다. 최초의 주기에 있어서의 2진 신호 S_{E0}의 값에 따라서, 캐스케이드 접속 회로의 가장 후단에 위치하는 회로 영역(81D)의 플립플롭(88)의 출력값이 제어되어, 회로 영역(81D)의 회로 요소(E0)가 제어된다. 제2 번째의 주기에 있어서의 2진 신호 SE0의 값에 따라서, 회로 영역(81C)의 플립플롭(88)의 출력값이 제어되어 회로 영역(81C)의 회로 요소(E0)가 제어된다. 제3 번째의 주기에 있어서의 2진 신호 S_{E0}의 값에 따라서, 회로 영역(81B)의 플립플롭(88)의 출력값이 제어되어, 회로 영역(81B)의 회로 요소(E0)가 제어된다. 그리고, 제4 번째의 주기에 있어서의 2진 신호 S_{E0}의 값에 따라서, 회로 영역(81A)의 플립플롭(88)의 출력값이 제어되어, 회로 영역(81A)의 회로 요소(E0)가 제어된다. 이와 같이, 2진 신호 S_{E0}의 값을 클록 CLK의 주기마다 임의의 값으로 함으로써, 복수의 회로 영역(81)의 회로 요소(E0)를 개별로 제어할 수 있다. 복수의 회로 영역(81)의 회로 요소(E1)도 또한, 2진 신호 S_{E1}의 값을 클록 CLK의 주기마다 임의의 값으로 함으로써 개별로 제어 가능하다. 다른 회로 요소(E2~E8)에 대해서도 마찬가지이다.

[0059] 도 10은 클록 전달 회로(80)의 다른 제어예를 나타내는 도면이다. 이 예에서는, 클록 공급 부분(82)(도 7을 참조)의 회로 요소(E0, E1)의 제어 상태는 도 6에 나타내진 예와 같다. 그리고, 회로 영역(81A, 81C, 81D)에 있어서는, 제1 단의 회로 부분(83), 제2 단의 회로 부분(84), 및 제3 단의 회로 부분(85)에 포함되는 모든 회로 요

소(E2~E8)가, 고임피던스 상태가 되어 있다. 그리고, 회로 영역(81B)에 있어서만, 회로 요소(E2~E8)가, 도 6에 나타내진 제어 상태와 마찬가지로 제어되고 있다. 이와 같이, 복수의 회로 영역(81) 중 일부의 회로 영역(81)에 의해서만 클록 트리를 구성해도 된다. 클록을 사용하는 회로(77)에 포함되는 복수의 클록 공급 대상 중 일부의 클록 공급 대상이 사용되고, 다른 클록 공급 대상이 사용되지 않는 경우에는, 이와 같이 일부의 회로 영역(81)으로 한정하여 클록 트리를 구성해도 된다. 이것에 의해, 소비 전력을 절감시킬 수 있다.

[0060] 도 11은 본 실시 형태에 의한 클록 전달 회로(80)의 제조 방법을 나타내는 순서도이다. 클록 전달 회로(80)를 제조할 때에는, 먼저, 예를 들면 도 2에 나타내지는 레티클 패턴(21)의 제1 부분(211)에 회로 영역(81)을 위한 공통의 노광 패턴을 형성하고, 레지스터(R)(도 1을 참조)에 대해서 이 노광 패턴을 이용하여 연속 노광을 행한다(공정 S1). 다음으로, 레지스터(R)를 현상하여 경화시켜, 마스크를 형성한다(공정 S2). 그리고, 마스크를 통해서 이온 주입, 반도체의 에칭 또는 금속의 리프트 오프를 행하여, 회로 요소(E0~E8) 또는 배선(W1~W6)의 구성 요소를 제작한다(공정 S3). 이상의 공정 S1~S3을, 클록 전달 회로(80)의 제작에 필요한 횟수만큼 반복한다(공정 S4). 그 후, 웨이퍼를 절단하여 개편화(個片化)한다(공정 S5). 이상의 공정에 의해, 서로 공통의 회로 패턴을 가지고 방향 D1을 따라서 늘어서는 복수의 회로 영역(81)을 구비하는 클록 전달 회로(80)를, 단일의 기판 상에 제작할 수 있다.

[0061] 이상에 설명한 본 실시 형태의 클록 전달 회로(80), 촬상 소자(40), 및 클록 전달 회로(80)의 제조 방법에 의해서 얻어지는 효과에 대해 설명한다. 도 12는 참고예로서의 클록 전달 회로(100)를 모식적으로 나타내는 도면이다. 이 클록 전달 회로(100)에서는, 방향 D1을 따라서 늘어서는 복수의 회로 영역(110) 각각이, 리피터 버퍼(101~104)를 가진다. 리피터 버퍼(101 및 102)는, 복수의 회로 영역(110)을 걸쳐 교대로 직렬 접속되어 있다. 리피터 버퍼(103 및 104)의 입력단은, 리피터 버퍼(101)와 리피터 버퍼(102) 사이의 노드에 접속되어 있다. 클록 신호는 리피터 버퍼(101 및 102)로 이루어지는 직렬 회로의 일단으로부터 입력되어, 이 직렬 회로를 전파하면서, 각 회로 영역(110)에 있어서 리피터 버퍼(103 및 104)로 분기된다.

[0062] 이러한 클록 전달 회로(100)에서는, 리피터 버퍼(101 및 102)로 이루어지는직렬 회로에 있어서 클록 회로가 전파하는 거리가 길어질수록, 클록 신호에 지연이 생긴다. 따라서, 클록 신호가 입력되는 직렬 회로의 일단으로부터 먼 회로 영역(110)일수록 클록 신호가 지연된다. 도 13은 클록 신호의 지연의 영향을 설명하는 도면이다. 도 13의 (a)부는 직렬 회로의 일단에 입력되는 클록 신호를 나타낸다. 도 13의 (b)부는 직렬 회로의 일단에 가까운 회로 영역(110)으로부터 출력되는 클록 신호에 의해서 구동되는 회로로부터 출력되는 시리얼 신호의 예를 나타낸다. 도 13의 (c)부는, 직렬 회로의 일단으로부터 먼 회로 영역(110)으로부터 출력되는 클록 신호에 의해서 구동되는 회로로부터 출력되는 시리얼 신호의 예를 나타낸다. 일부의 회로 영역(110)에 지연이 생기면, 시리얼 신호 간에 지연 T가 생긴다. 따라서, 시리얼 신호를 읽어들이는 회로에 있어서의 신호 인식 정밀도가 저하될 우려가 있다.

[0063] 이에, 다수의 회로에 클록 신호를 동일한 타이밍에 입력하기 위해서 클록 트리가 이용된다. 그러나, 대면적의 반도체 소자를 제조할 때의 포토리소그래피 공정에 있어서 연속 노광을 행하는 경우에는, 동일한 회로 패턴을 가지는 회로 영역이 복수 늘어선다. 각 회로 영역 내에 있어서 클록 트리를 형성하는 것은 용이하지만, 복수의 회로 영역을 횡단하는 클록 트리를 형성하는 것은 곤란하다. 회로 영역마다 회로 패턴을 다르게 함으로써 클록 트리를 형성하는 것은 가능하다. 그렇지만 그 경우, 다종류의 노광 패턴을 준비할 필요가 있으므로, 제조 코스트가 증대함과 아울러 제조 공정이 복잡화된다.

[0064] 본 실시 형태에서는, 복수의 회로 영역(81) 각각의 회로 패턴이, 고임피던스 상태와 통과 상태의 사이에서 전환 가능한 회로 요소(E0~E6)와, 해당 회로 패턴에 인접하는 회로 영역(81)의 회로 패턴에 접속되는 배선(W1~W6)를 가진다. 그리고, 복수의 회로 영역(81)의 회로 요소(E0~E6)의 상태가, 예를 들면 도 6에 나타내지는 것과 같이, 회로 영역(81)마다 정해지는 소정의 상태로 제어됨으로써, 복수의 회로 영역(81)을 횡단하는 클록 트리가 구성된다. 이것에 의해, 동일한 회로 패턴을 가지는 복수의 회로 영역(81)을 횡단하는 클록 트리를 형성할 수 있다. 고로, 복수의 회로 영역(81) 간에 있어서의 클록 신호의 지연을 저감시킬 수 있다. 이에 더하여, 회로 영역마다 회로 패턴을 다르게 할 필요가 없으므로, 다종류의 노광 패턴을 준비할 필요가 없다. 따라서, 제조 코스트를 저감시킴과 아울러 제조 공정을 간이화할 수 있다.

[0065] 본 실시 형태와 같이, 각 회로 영역(81)의 회로 패턴은, 클록 트리의 복수 단의 분기를 각각 담당하도록 구성된 복수 단의 회로 부분(83, 84)을 포함해도 된다. 이 경우, 각 단의 회로 부분(83, 84)에 의해서, 클록 트리의 각 단의 분기를 적합하게 실현할 수 있다.

[0066] 본 실시 형태와 같이, 회로 부분(84)은 출력단끼리가 접속된 회로 요소(E5, E6)를 포함해도 된다. 그리고, 배선

(W1~W6)은 회로 요소(E5)의 입력단을, 해당 회로 영역(81)의 일방측에 인접하는 회로 영역(81)의 회로 요소(E6)의 입력단에 접속하기 위한 배선(W1)과, 회로 요소(E6)의 입력단을, 해당 회로 영역(81)의 타방측에 인접하는 회로 영역(81)의 회로 요소(E5)의 입력단에 접속하기 위한 배선(W2)을 포함해도 된다. 클록 신호가 전파하는 회로 부분(84)은, 배선(W1)(또는 배선(W2)이어도 됨)으로부터 클록 신호를 입력받아, 회로 요소(E5)의 출력단과 회로 요소(E6)의 출력단 사이의 노드(N1)로부터 클록 신호를 출력할 수 있다. 따라서, 일단의 분기를 담당하는 회로 부분(84)을 간이하게 실현할 수 있다.

[0067] 본 실시 형태와 같이, 회로 부분(83)은 회로 요소(E2, E3, E4)를 포함해도 된다. 그리고, 회로 요소(E2)의 출력단, 회로 요소(E3)의 입력단, 및 회로 요소(E4)의 입력단이 노드(N2)에 접속되고, 회로 요소(E2)의 입력단과 회로 요소(E3)의 출력단이 노드(N3)에 접속되어도 된다. 그리고, 배선(W1~W6)은 노드(N2)를, 해당 회로 영역(81)의 일방측에 인접하는 회로 영역(81)의 노드(N3)에 접속하기 위한 배선(W3)과, 노드(N3)를, 해당 회로 영역(81)의 타방측에 인접하는 회로 영역(81)의 노드(N2)에 접속하기 위한 배선(W4)을 포함해도 된다. 클록 신호가 전파하는 회로 부분(83)은, 노드(N3)(또는 노드(N2)여도 됨)에 있어서 클록 신호를 받아, 필요에 따라서 회로 요소(E4)의 출력단으로부터 클록 신호를 출력할 수 있다. 이에 더하여, 회로 요소(E2, E3)의 상태를 제어함으로써 클록 신호의 전파 방향을 제어할 수 있다. 따라서, 특히 초단 또는 중단의 분기를 담당하는 회로 부분(83)을 간이하게 실현할 수 있다.

[0068] 본 실시 형태와 같이, 회로 요소(E0~E6)는 트라이스테이트형이어도 된다. 이 경우, 회로 요소(E0~E6) 각각을 단일의 기능 부분에 의해서 간소하게 구성할 수 있다. 회로 요소(E0~E6)의 통과 상태에 있어서의 출력 저항값을 낮게 억제할 수 있으므로, 회로 요소(E0~E6)의 저항값에 기인하는 클록 신호의 지연을 저감시킬 수 있다.

[0069] 본 실시 형태의 촬상 소자(40)에 있어서는, A/D 변환기 어레이(47), 수평 주사 회로군(49), 및 출력 회로군(50) 중 적어도 하나가, 클록 전달 회로(80)와 마찬가지의 구성을 가지는 클록 전달 회로를 통해서 클록 신호의 공급을 받는다. 이 촬상 소자(40)에 의하면, 복수의 디지털 신호 간에 있어서의 클록 신호의 지연을 저감시킬 수 있다. 따라서, 시리얼 신호를 판독할 때의 에러 빈도를 저감시킬 수 있다.

[0070] 본 개시에 의한 클록 전달 회로, 촬상 소자, 및 클록 전달 회로의 제조 방법은, 상술한 실시 형태로 한정되는 것이 아니고, 그 밖에 다양한 변형이 가능하다. 예를 들면, 상기 실시 형태에서는 각 회로 영역(81)이 9개의 회로 요소(E0~E8)를 가지는 예를 설명했지만, 각 회로 영역(81)이 적어도 회로 부분(84)을 가지고 있으면, 2개의 회로 영역(81)에 걸치는 클록 트리를 실현할 수 있다. 바꾸어 말하면, 각 회로 영역(81)은 적어도 2개의 회로 요소(E5, E6)를 가지고 있으면 된다.

[0071] 상기 실시 형태에서는 회로 요소(E0~E6)가 트라이스테이트형인 경우에 대해 예시했지만, 고임피던스 상태와 통과 상태의 사이에서 전환 가능하면, 회로 요소(E0~E6)는 트라이스테이트형으로 한정되지 않는다. 예를 들면, 회로 요소(E0~E6)는 서로 직렬로 접속된 리피터 버퍼 및 스위치를 포함하여 구성되어도 된다. 그 경우에도, 스위치를 제어함으로써, 회로 요소(E0~E6)의 고임피던스 상태 및 통과 상태를 전환할 수 있다.

[0072] 최종단의 회로 부분(85)을 구성하는 회로 요소(E7, E8)는, 회로(77)로 공급되는 클록 신호의 전위가 부정이 되는 것을 피하기 위한 구성을 가지는 것이 바람직하다. 도 14의 (a)부, (b)부 및 (c)부는, 그러한 회로 요소의 구성예를 나타내는 회로도이다.

[0073] 도 14의 (a)부 및 (b)부에 나타내지는 회로 요소는, 논리 회로를 포함하여 구성되어 있다. 구체적으로는, 도 14의 (a)부에 나타내지는 회로 요소는, 논리곱(AND) 소자(91)를 포함하여 구성되어 있다. 일례에서는, 회로 요소는 AND 소자(91)만으로 이루어진다. AND 소자(91)의 2개의 입력단 중 한쪽의 입력단에는, 전단의 회로 부분(84)으로부터의 클록 신호 Sclk가 입력된다. AND 소자(91)의 2개의 입력단 중 다른 쪽의 입력단에는, 캐스케이드 접속된 플립플롭(88)(도 9를 참조)으로부터의 제어 신호 Sctrl가 입력된다. AND 소자(91)는 클록 신호 Sclk와 제어 신호 Sctrl의 논리곱을 회로(77)로 출력한다. 도 14의 (b)부에 나타내지는 회로 요소는, 논리합(OR) 소자(92) 및 부정(NOT) 소자(93)를 포함하여 구성되어 있다. 일례에서는, 회로 요소는 OR 소자(92) 및 NOT 소자(93)만으로 이루어진다. OR 소자(92)의 2개의 입력단 중 한쪽의 입력단에는, 전단의 회로 부분(84)으로부터의 클록 신호 Sclk가 입력된다. OR 소자(92)의 2개의 입력단 중 다른 쪽의 입력단은, NOT 소자(93)의 출력단에 접속되어 있다. 이 다른 쪽의 입력단에는, 캐스케이드 접속된 플립플롭(88)(도 9를 참조)으로부터의 제어 신호 Sctrl가, NOT 소자(93)를 통해서 입력된다. OR 소자(92)는 클록 신호 Sclk와, 제어 신호 Sctrl의 논리가 반전된 신호의 논리합을 회로(77)로 출력한다.

[0074] 도 14의 (c)부에 나타내지는 회로 요소는, 트라이스테이트형의 회로 요소(94)와, 풀업 저항(95)을 포함하여 구

성된다. 일례에서는, 회로 요소는 트라이스테이트형의 회로 요소(94) 및 풀업 저항(95)만으로 이루어진다. 풀업 저항(95)은 회로 요소(94)의 출력단과 전원 전압 Vdd의 사이에 접속되어 있다. 이 회로 요소는 풀업 저항(95)을 대신하여, 또는 풀업 저항(95)과 함께, 회로 요소(94)의 출력단과 기준 전위(그라운드 전위)의 사이에 접속된 풀다운 저항을 가져도 된다. 도 14의 (a)부, (b)부 및 (c)부에 나타내진 어느 구성에 의해, 회로(77)로의 클록 신호의 레벨이 부정이 되는 것을 억제하여, 회로(77)의 오동작을 방지할 수 있다.

[0075] 상기 실시 형태에서는 클록 전달 회로(80)를 촬상 소자에 적용한 예를 나타내고 있지만, 클록 전달 회로(80)는 촬상 소자로 한정하지 않고 다양한 반도체 소자에 적용 가능하다.

[0076] 상기 실시 형태에서는 공통의 회로 패턴을 가지는 복수의 회로 영역(81)에 의해서 클록 트리가 완성되어 있다. 반드시 공통의 회로 패턴을 가지는 복수의 회로 영역(81)에 의해서만 클록 트리가 완성되어 있지 않아도 된다. 예를 들면, 복수의 회로 영역(81)과 나란히 있고 복수의 회로 영역(81)과는 회로 패턴이 상이한 별개의 회로 영역이 클록 트리의 일부를 구성해도 된다.

[0077] 적합한 실시 형태에 있어서 본 발명의 원리를 도시하여 설명해 왔지만, 본 발명은 그러한 원리로부터 일탈하는 일 없이 배치 및 상세에 있어서 변경될 수 있는 것은, 당업자에 의해서 인식된다. 본 발명은 본 실시 형태에 개시된 특정의 구성으로 한정되는 것은 아니다. 따라서, 특허 청구 범위 및 그 정신의 범위로부터 오는 모든 수정 및 변경에 권리를 청구한다.

부호의 설명

[0078] 1…노광 장치 10…광원

20…포토마스크 21…레티클 패턴

30…렌즈 40…촬상 소자

41~43…회로 영역 44…회로 영역군

45…화소 어레이 46…앰프 어레이

47…A/D 변환기 어레이 48…메모리 어레이

49…수평 주사 회로군 50…출력 회로군

62…기판 70…클록 트리

76…배선 77…클록을 사용하는 회로

78…리피터 버퍼 80, 80A, 80B…클록 전달 회로

81, 81A~81D…회로 영역 82…클록 공급 부분

83~85…회로 부분 87…배선

88…플립플롭 91…AND 소자

92…OR 소자 93…NOT 소자

94…회로 요소 95…풀업 저항

100…클록 전달 회로 101~104…리피터 버퍼

110…회로 영역 211…제1 부분

212…제2 부분 213…제3 부분

421…타이밍 제어 회로 431…바이어스 전압 발생 회로

451, 461, 471, 481, 491, 501…영역 C1…초단

C2…제2 단 C3…제3 단(최종단)

CLK…클록 D1, D2…방향

Dout…출력 데이터 E0~E8…회로 요소

F1…클록 전파 경로　L…광

N1~N3…노드　R…레지스터

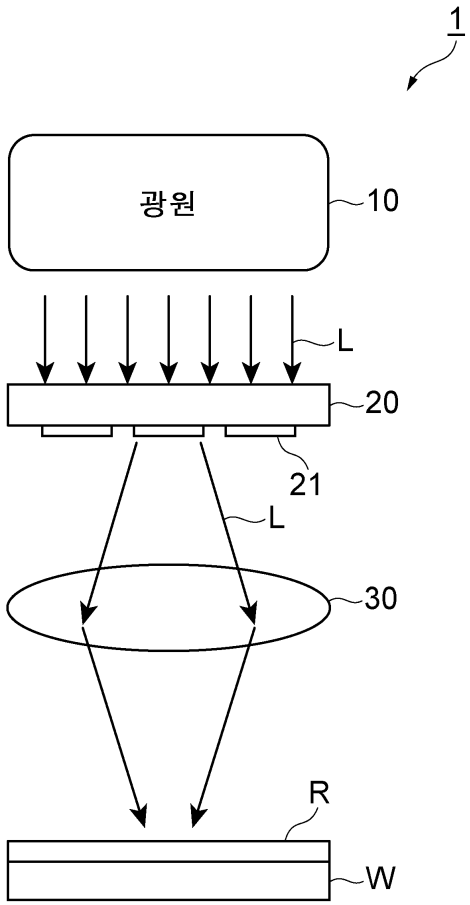
S_{E0}, S_{E1}…2진 신호　Sclk…클록 신호

Sctrl…제어 신호　W…웨이퍼

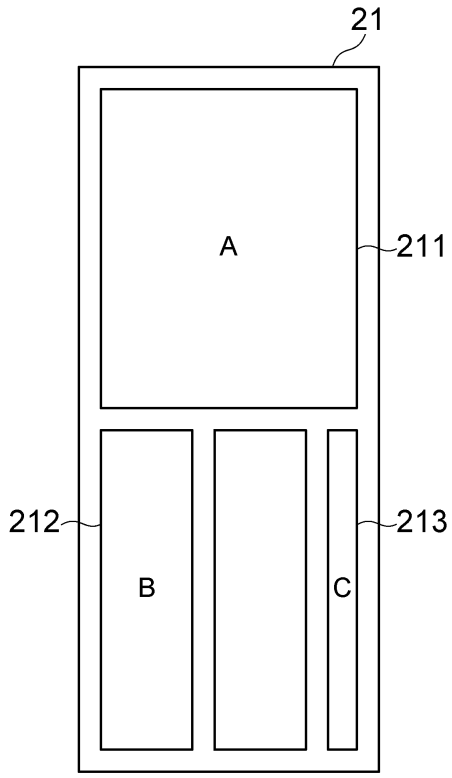
W1~W6…배선

도면

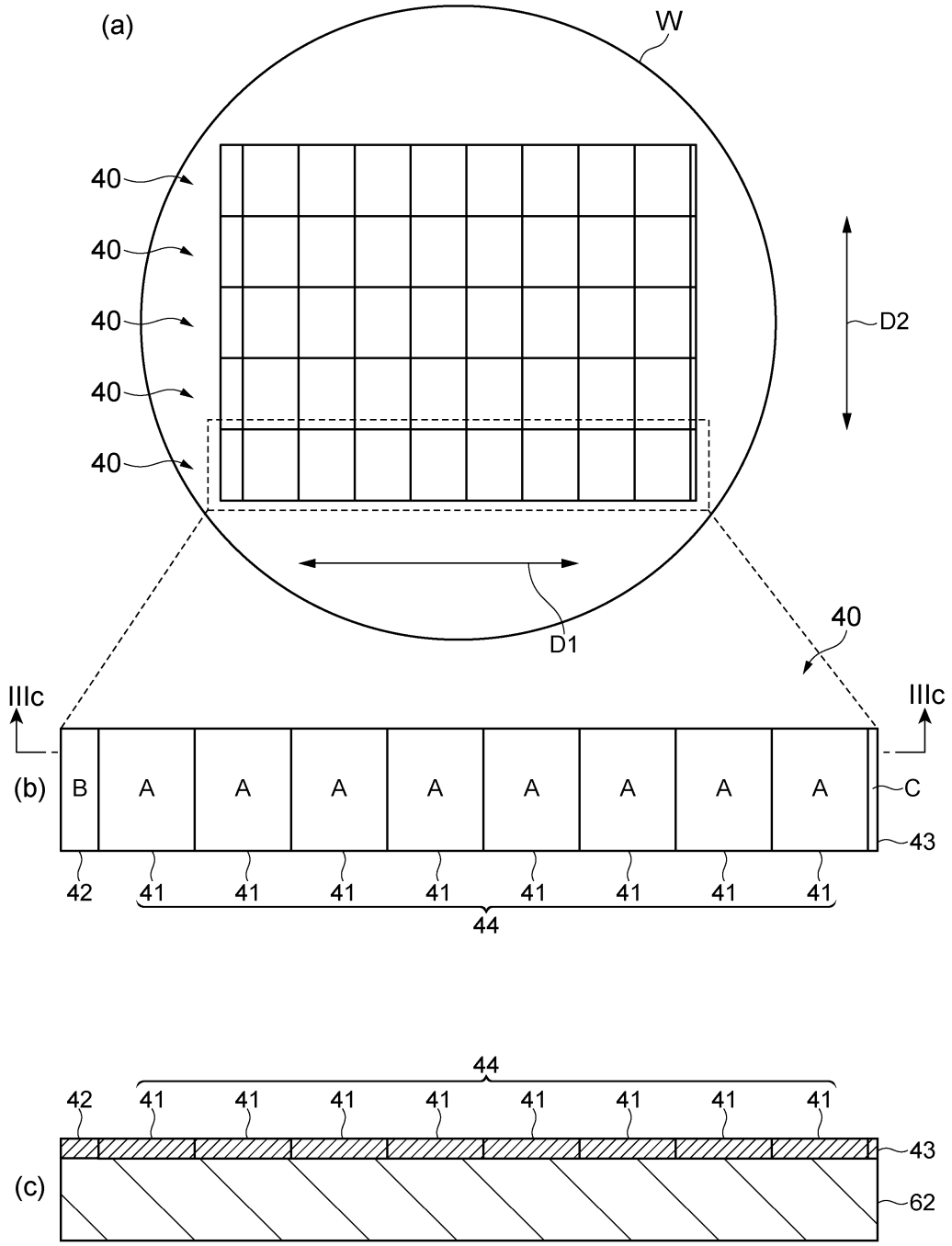
도면1



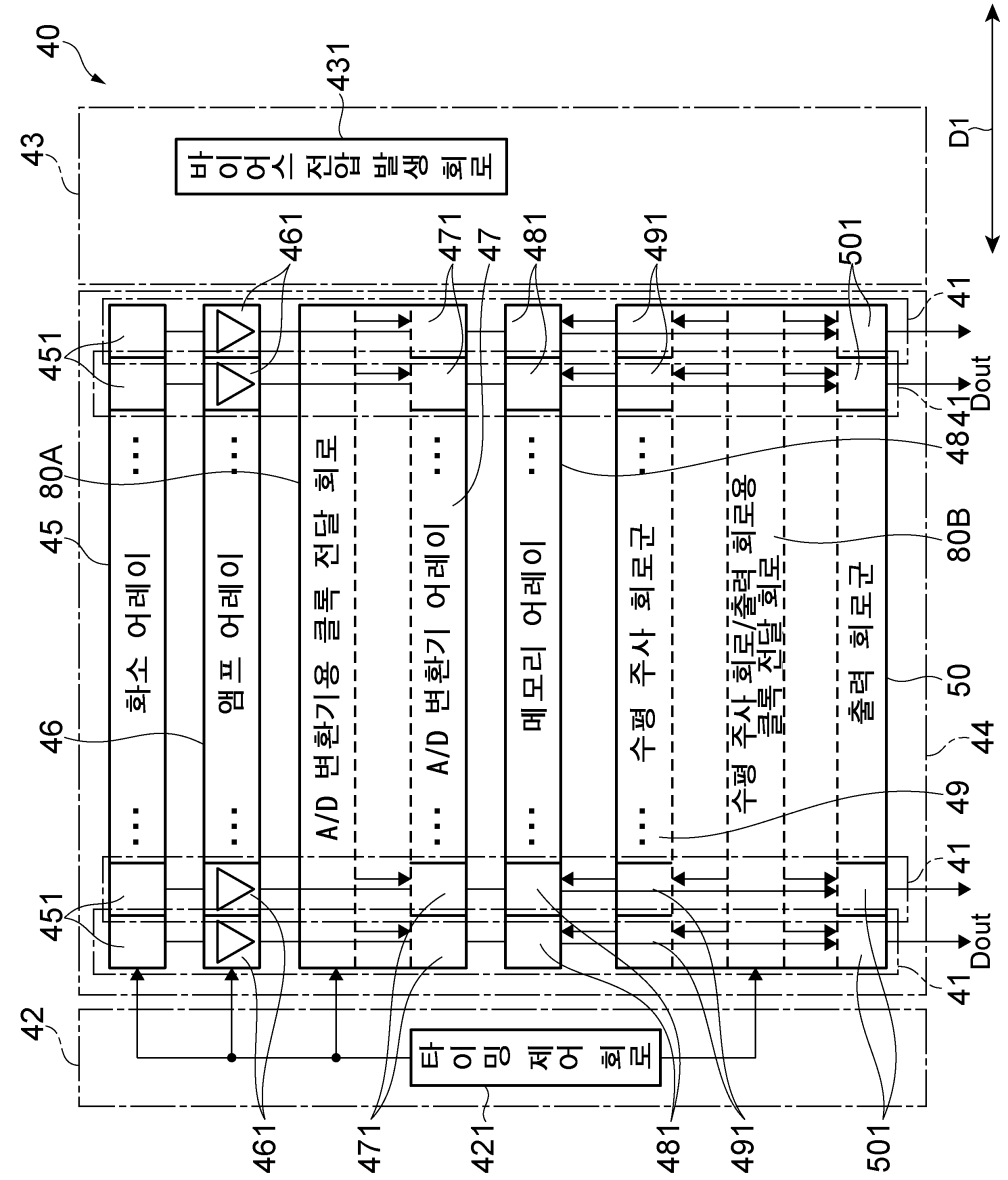
도면2



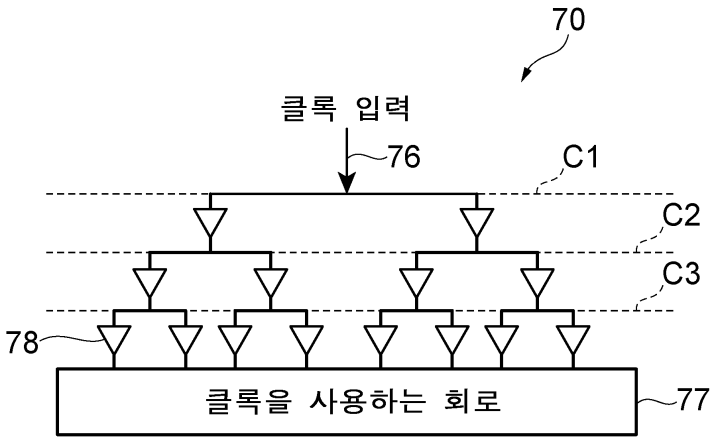
도면3


(a)
W
40
40
40
40
40
D2
D1
40
IIIc
IIIc
(b)
B
A
A
A
A
A
A
A
A
C
43
42
41
41
41
41
41
41
41
41
44
44
42
41
41
41
41
41
41
41
41
43
(c)
62

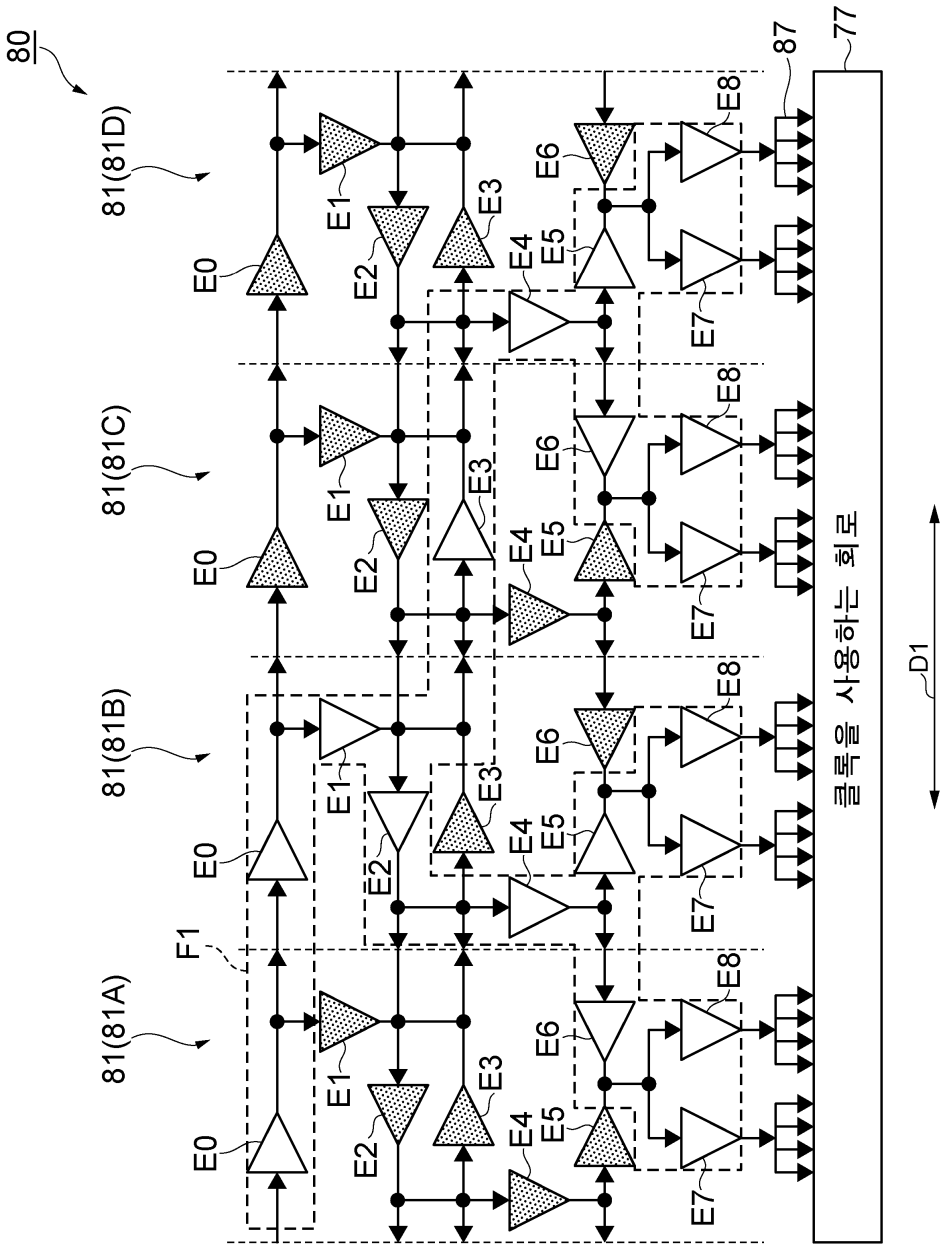
도면4


40
431
바이어싱 전압 발생 회로
43
D1
461
471
47
481
491
501
41
451
Dout
48
80A
45
80B
화소 어레이
앰프 어레이
A/D 변환기용 클록 전달 회로
A/D 변환기 어레이
메모리 어레이
수평 주사 회로군
수평 주사 회로/출력 회로용 클록 전달회로
출력 회로군
50
46
44
49
42
타이밍 제어 회로
421

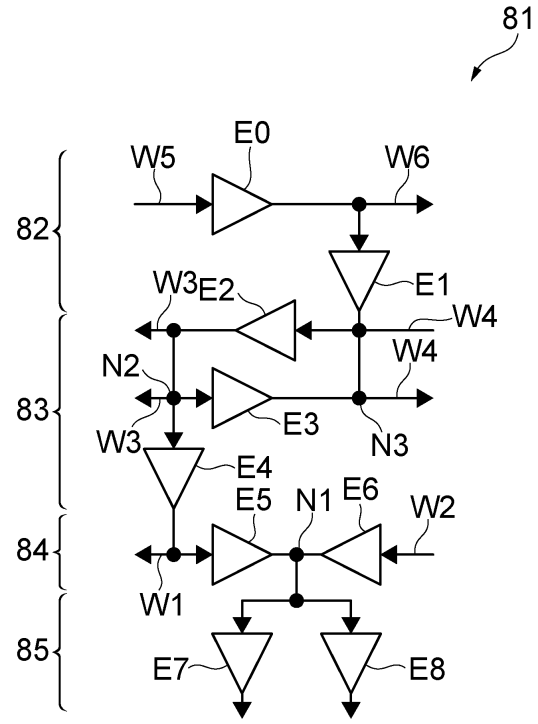
도면5


70
클록 입력
76
C1
C2
C3
78
클록을 사용하는 회로
77

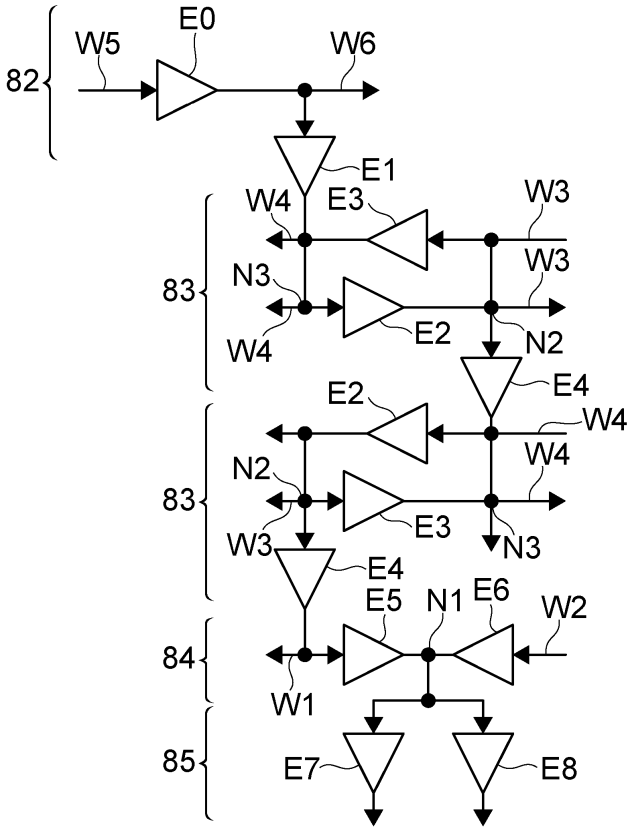
도면6


80
81(81D)
81(81C)
81(81B)
81(81A)
F1
E0
E1
E2
E3
E4
E5
E6
E7
E8
87
77
클록을 사용하는 회로
D1

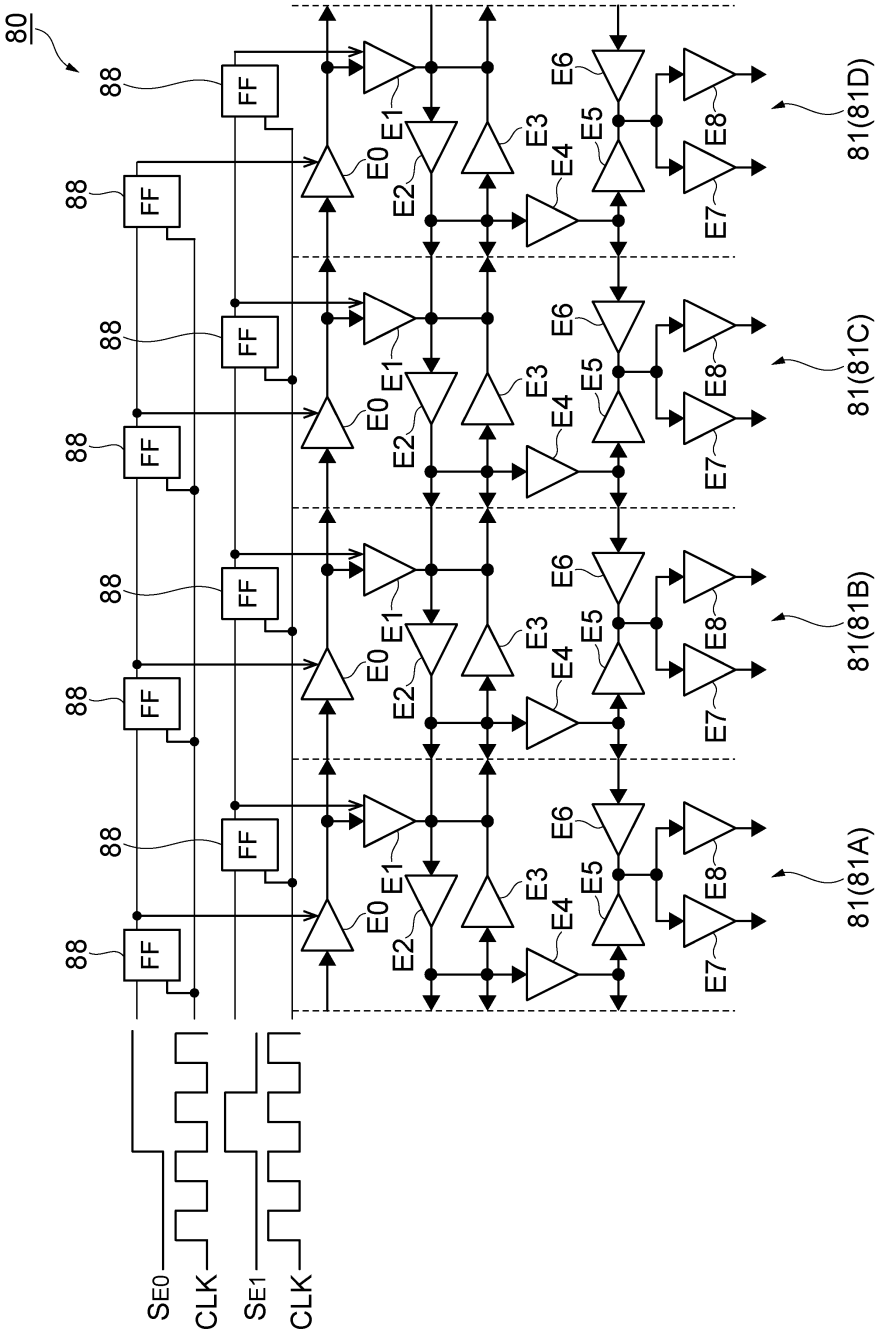
도면7


81
82
83
84
85
W5
E0
W6
E1
W3
E2
W4
W4
N2
E3
N3
W3
E4
E5
N1
E6
W2
W1
E7
E8

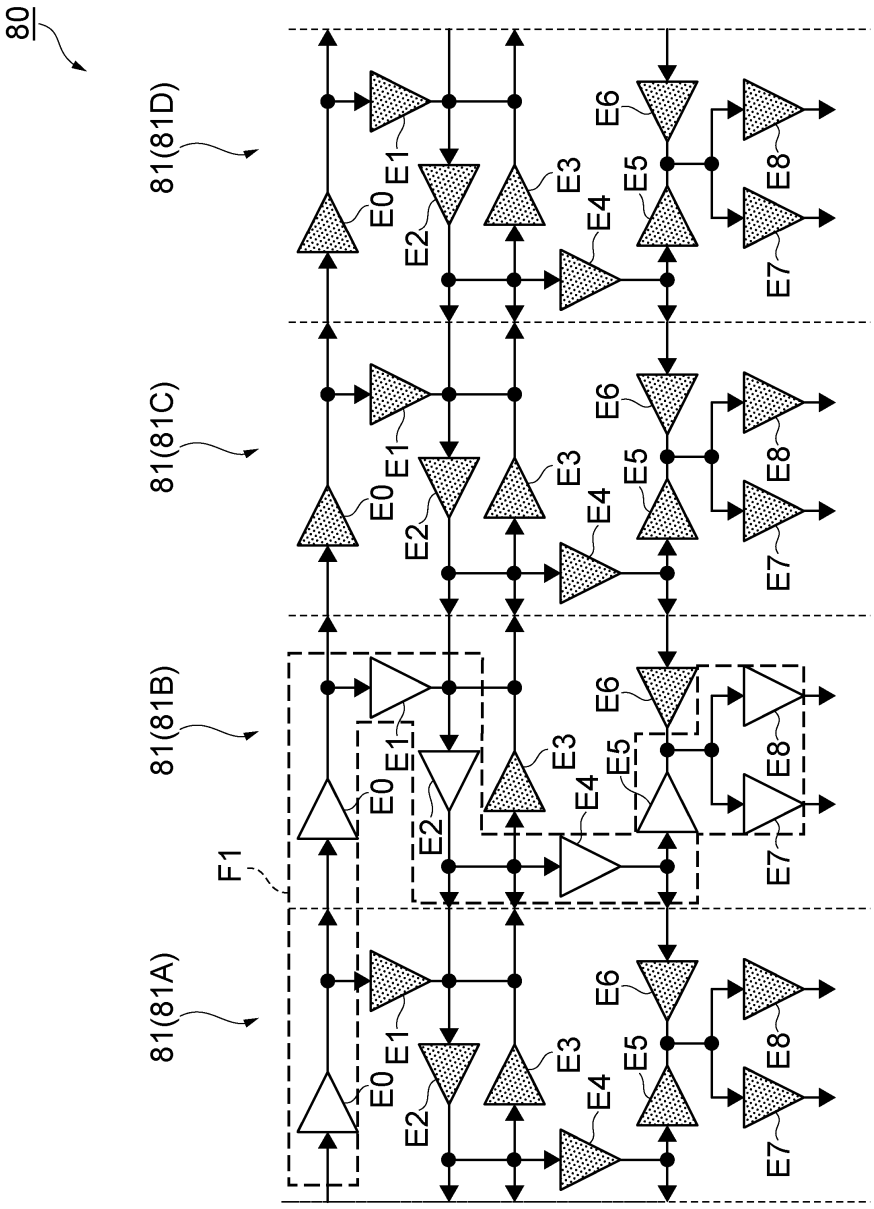
도면8


82
83
83
84
85
W5
E0
W6
E1
W4
E3
W3
W3
N3
E2
N2
W4
E4
E2
W4
W4
N2
E3
N3
W3
E4
E5
N1
E6
W2
W1
E7
E8

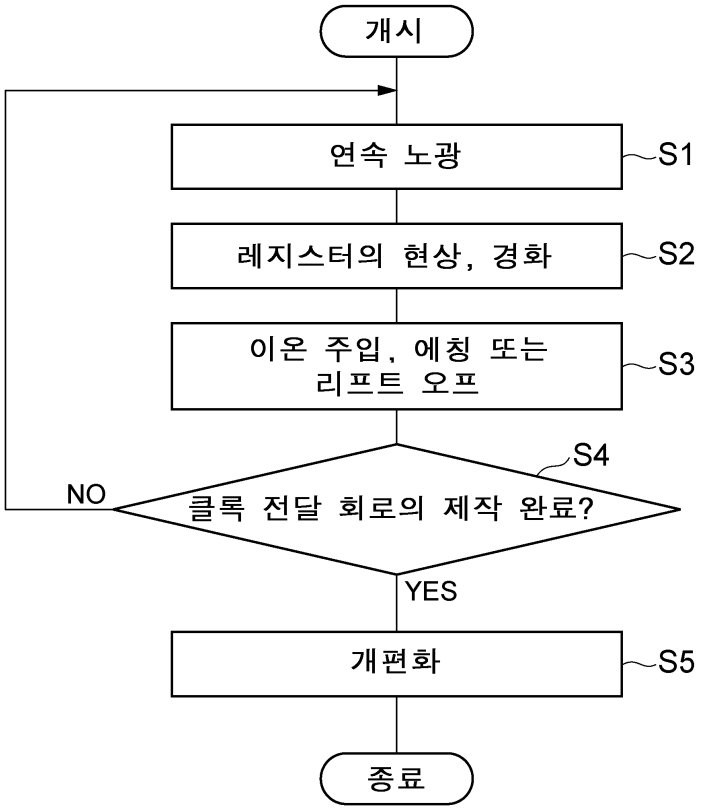
도면9


80
88
FF
E0
E1
E2
E3
E4
E5
E6
E7
E8
81(81D)
81(81C)
81(81B)
81(81A)
SE0
CLK
SE1
CLK

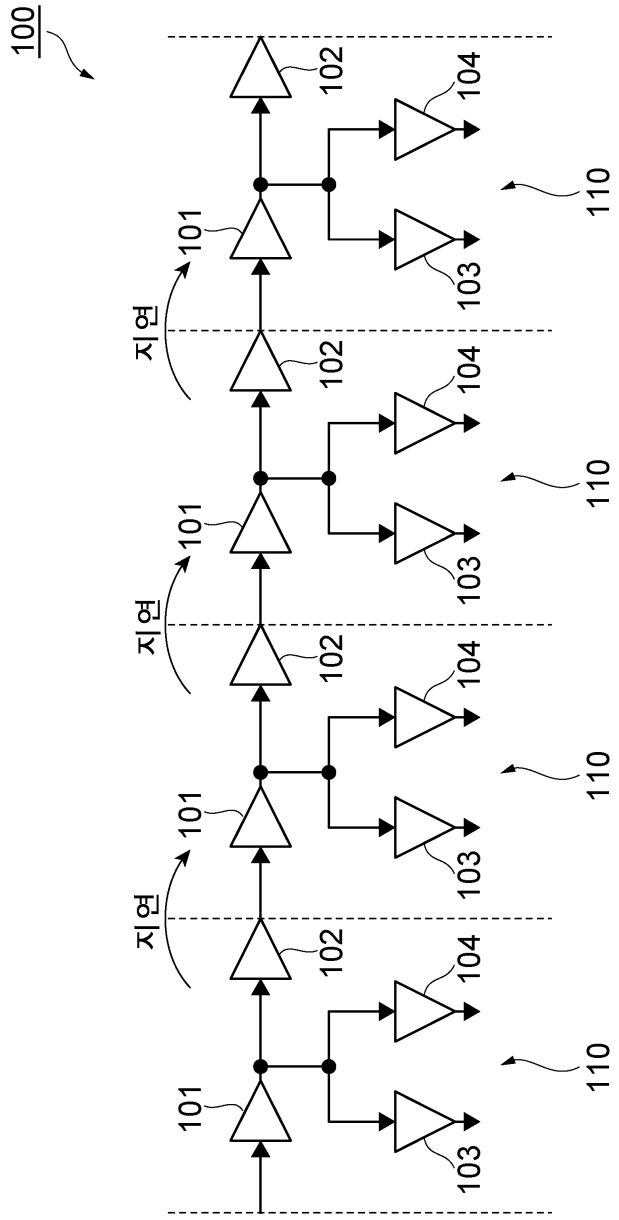
도면10



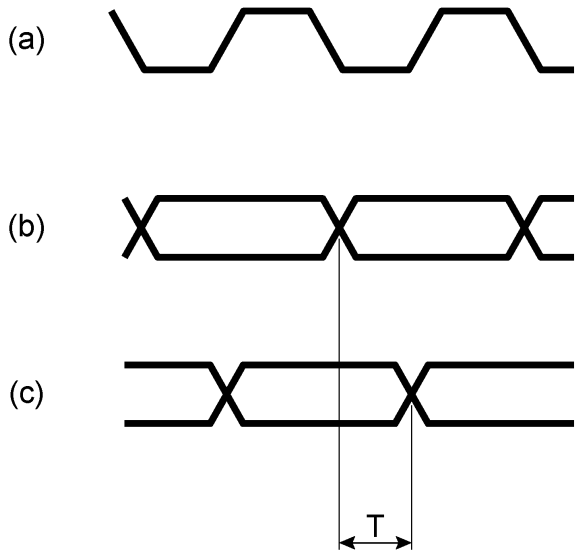
도면11


개시
연속 노광
S1
레지스터의 현상, 경화
S2
이온 주입, 에칭 또는
리프트 오프
S3
S4
NO
클록 전달 회로의 제작 완료?
YES
개편화
S5
종료

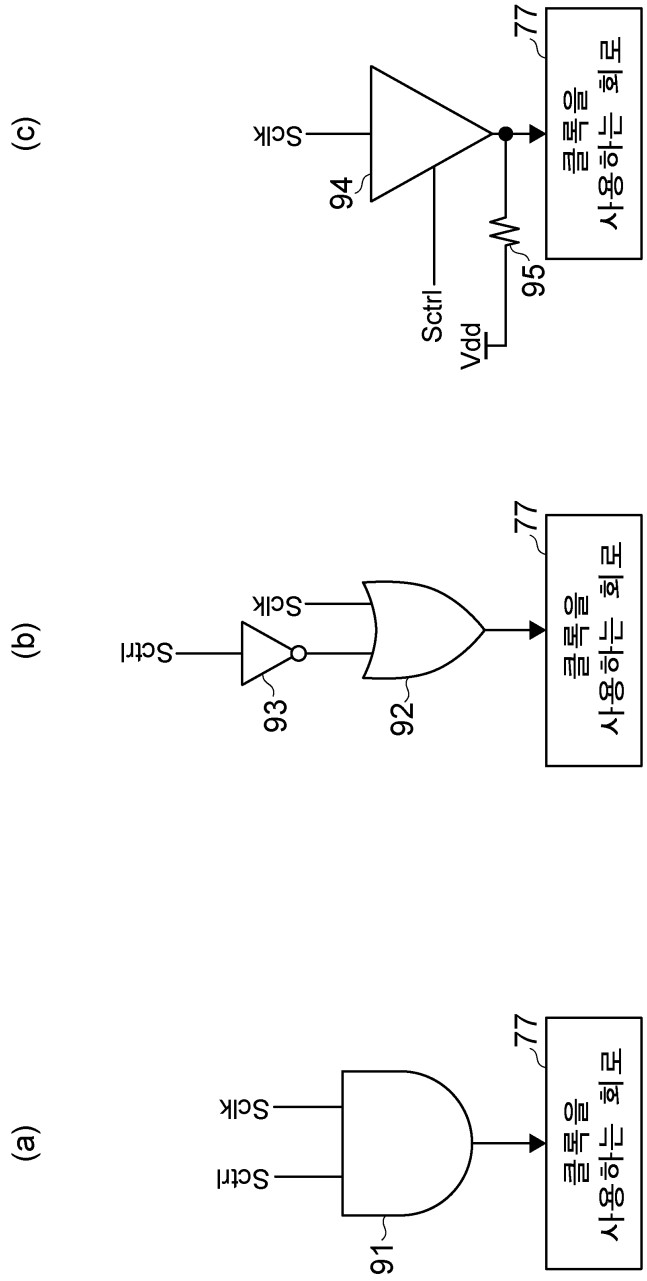
도면12



도면13



도면14


(a)
Sctrl
Sclk
91
77
클록을
사용하는 회로
(b)
Sctrl
Sclk
93
92
77
클록을
사용하는 회로
(c)
Sclk
94
Sctrl
Vdd
95
77
클록을
사용하는 회로