



(12) 发明专利

(10) 授权公告号 CN 110785836 B

(45) 授权公告日 2023. 09. 26

(21) 申请号 201880042217.5

阴泳信 高桥茂树

(22) 申请日 2018.05.25

(74) 专利代理机构 永新专利商标代理有限公司

(65) 同一申请的已公布的文献号

72002

申请公布号 CN 110785836 A

专利代理师 吕文卓

(43) 申请公布日 2020.02.11

(51) Int.Cl.

(30) 优先权数据

H01L 21/338 (2006.01)

2017-124349 2017.06.26 JP

H01L 21/336 (2006.01)

(85) PCT国际申请进入国家阶段日

H01L 29/778 (2006.01)

2019.12.24

H01L 29/78 (2006.01)

H01L 29/812 (2006.01)

(86) PCT国际申请的申请数据

(56) 对比文件

PCT/JP2018/020230 2018.05.25

WO 2016098391 A1, 2016.06.23

(87) PCT国际申请的公布数据

W02019/003746 JA 2019.01.03

JP 2015207610 A, 2015.11.19

JP 2013074279 A, 2013.04.22

CN 103370777 A, 2013.10.23

(73) 专利权人 株式会社电装

审查员 姚日英

地址 日本爱知县

(72) 发明人 畑谦佑 星真一 松木英夫

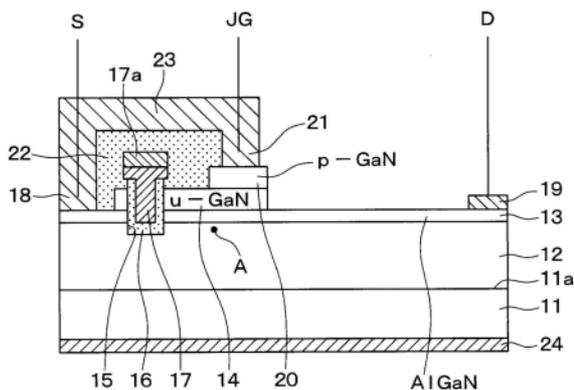
权利要求书2页 说明书7页 附图9页

(54) 发明名称

半导体装置

(57) 摘要

在具有活性区域(1)和非活性区域(2)的半导体装置中,活性区域(1)采用如下结构:具备:具有包括第一、第二半导体层(12、13)的异质结构造的沟道形成层;具有MOS栅极电极(17)的栅极构造部;在第二半导体层(13)之上配置于夹着栅极构造部的两侧的源极电极(18)及漏极电极(19);配置于栅极构造部与漏极电极(19)之间的从漏极电极(19)离开了的位置、且未掺加杂质的第三半导体层(14);形成于第三半导体层(14)之上的p型的第四半导体层(20);以及与第四半导体层(20)接触的JG电极(21)。并且,JG电极(21)与源极电极(18)电连接而成为与该源极电极(18)相同的电位,并且仅配置于活性区域(1)内。



1. 一种半导体装置,具有活性区域(1)及包围该活性区域的非活性区域(2),在上述活性区域形成有横型的开关器件,其特征在于,

上述活性区域具有开关器件,该开关器件具备:

沟道形成层,形成于基板(11)上,具有包括第一半导体层(12)及第二半导体层(13)的异质结构,在上述第二半导体层中形成有凹槽部(15),上述第一半导体层由构成漂移区域的第一Ga_N类半导体构成,上述第二半导体层由与上述第一Ga_N类半导体相比带隙能更大的第二Ga_N类半导体构成;

栅极构造部,具有形成于上述凹槽部内的栅极绝缘膜(16)、以及形成于该栅极绝缘膜之上的成为MOS构造的栅极电极的MOS栅极电极(17);

源极电极(18)及漏极电极(19),在上述第二半导体层之上配置于夹着上述栅极构造部的两侧;

第三半导体层(14),在上述第二半导体层之上,配置于上述栅极构造部与上述漏极电极之间的从上述漏极电极离开了的位置,由未掺加杂质的第三Ga_N类半导体构成;

第四半导体层(20),形成在上述第三半导体层之上,由p型的第四Ga_N类半导体构成;以及

结栅电极(21),与上述第四半导体层接触,

上述结栅电极,与上述源极电极电连接而成为与该源极电极相同的电位,并且仅配置于上述活性区域内,

在上述非活性区域,形成有经由栅极布线(25a)而与上述MOS栅极电极连接的栅极焊盘(25)、经由源极布线(26a)而与上述源极电极连接的源极焊盘(26)、以及经由漏极布线(27a)而与上述漏极电极连接的漏极焊盘(27),

上述漏极电极经由上述漏极布线(27a)而与形成于上述非活性区域的上述漏极焊盘(27)连接,上述漏极布线从上述活性区域一直延伸设置到上述非活性区域为止,

上述结栅电极在与上述漏极布线不同的位置以包围上述漏极电极的方式配置。

2. 一种半导体装置,具有活性区域(1)及包围该活性区域的非活性区域(2),在上述活性区域形成有横型的开关器件,其特征在于,

上述活性区域具有开关器件,该开关器件具备:

沟道形成层,形成于基板(11)上,具有包括第一半导体层(12)及第二半导体层(13)的异质结构,在上述第二半导体层中形成有凹槽部(15),上述第一半导体层由构成漂移区域的第一Ga_N类半导体构成,上述第二半导体层由与上述第一Ga_N类半导体相比带隙能更大的第二Ga_N类半导体构成;

栅极构造部,具有形成于上述凹槽部内的栅极绝缘膜(16)、以及形成于该栅极绝缘膜之上的成为MOS构造的栅极电极的MOS栅极电极(17);

源极电极(18)及漏极电极(19),在上述第二半导体层之上配置于夹着上述栅极构造部的两侧;

第三半导体层(14),在上述第二半导体层之上,配置于上述栅极构造部与上述漏极电极之间的从上述漏极电极离开了的位置,由未掺加杂质的第三Ga_N类半导体构成;

第四半导体层(20),形成在上述第三半导体层之上,由p型的第四Ga_N类半导体构成;以及

结栅电极(21),与上述第四半导体层接触,

上述结栅电极,与上述源极电极电连接而成为与该源极电极相同的电位,并且仅配置于上述活性区域内,

在上述非活性区域,形成有经由栅极布线(25a)而与上述MOS栅极电极连接的栅极焊盘(25)、经由源极布线(26a)而与上述源极电极连接的源极焊盘(26)、以及经由漏极布线(27a)而与上述漏极电极连接的漏极焊盘(27),

上述源极电极经由上述源极布线(26a)而与形成于上述非活性区域的上述源极焊盘(26)连接,上述源极布线从上述活性区域一直延伸设置到上述非活性区域为止,

上述漏极电极经由上述漏极布线(27a)而与形成于上述非活性区域的上述漏极焊盘(27)连接,上述漏极布线从上述活性区域一直延伸设置到上述非活性区域为止,

上述结栅电极配置为,位于上述源极电极、上述源极焊盘及上述源极布线与上述漏极电极、上述漏极焊盘及上述漏极布线的全部之间。

3.如权利要求1或2所述的半导体装置,其特征在于,

上述结栅电极经由在将上述MOS栅极电极覆盖的层间绝缘膜(22)之上形成的电极层(23)而连结,并与上述源极电极一体化。

半导体装置

[0001] 关联申请的相互参照

[0002] 本申请基于2017年6月26日申请的日本专利申请第2017-124349号,这里通过参照而引入其记载内容。

技术领域

[0003] 本发明涉及在基板之上层叠氮化镓(以下称为GaN)、氮化铝镓(以下称为AlGaN)等、具备基于第一GaN类半导体层和第二GaN类半导体层的异质构造的半导体装置。

背景技术

[0004] 以往,提出了形成有4端子构造的开关器件的半导体装置(例如参照专利文献1)。即,该半导体装置具有构成供载流子流动的沟道的活性区域及包围该活性区域的非活性区域,并适当配置有源极电极、漏极电极、第一栅极电极以及第二栅极电极。

[0005] 详细而言,源极电极及漏极电极分别为梳齿形状,并被配置为在活性区域内彼此的梳齿相啮合。另外,第一栅极电极及第二栅极电极配置于源极电极与漏极电极之间。另外,第二栅极电极从活性区域内起一直被引出到非活性区域为止,一部分在非活性区域中也配置于源极电极与漏极电极之间。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开平8-8441号公报

[0009] 此外,近年来,正在研究对具备异质构造的开关器件应用上述那样的4端子构造。即,近年来,正在研究例如以下那样的4端子构造的HEMT(High electron mobility transistor:高电子迁移率晶体管)。

[0010] 即,4端子构造的HEMT通过在蓝宝石等的基板之上层叠i-GaN层和i-AlGaN层而构成异质构造。并且,以贯通i-AlGaN层并到达i-GaN层的方式,形成MOS构造的栅极电极(以下称为MOS栅极电极),在i-AlGaN层的表面上的夹着MOS栅极电极的两侧形成源极电极和漏极电极。另外,在MOS栅极电极与漏极电极之间,在i-AlGaN层的表面形成有u-GaN层与p-GaN层的层叠构造,并且在p-GaN层的表面形成结栅电极(以下称为JG电极)。

[0011] 另外,在这样的结构中,例如,上述第一栅极电极相当于MOS栅极电极,上述第二栅极电极相当于JG电极。另外,在将JG电极形成于非活性区域的情况下,在JG电极的下方配置的u-GaN层及p-GaN层与JG电极一起也形成于非活性区域。

[0012] 这里,例如,在非活性区域被进行离子注入等而形成缺陷来构成时,载流子(例如电子)可能由于该缺陷而被捕集。即,存在如下情况:在位于非活性区域的JG电极的下方捕集到载流子。该情况下,JG电极的阈值电压变动从而半导体装置的特性可能变化。

发明内容

[0013] 鉴于上述点,本发明的目的在于提供能够抑制特性变化的半导体装置。

[0014] 根据本发明的一个观点,在具有活性区域和包围该活性区域的非活性区域、并在活性区域形成有横型的开关器件的半导体装置中,活性区域具有开关器件,该开关器件具备:沟道形成层,形成于基板上,具有包括第一半导体层及第二半导体层的异质结构,在第二半导体层中形成有凹槽部,第一半导体层由构成漂移区域的第一Ga_N类半导体构成,第二半导体层由与第一Ga_N类半导体相比带隙能更大的第二Ga_N类半导体构成;栅极构造部,具有形成于凹槽部内的栅极绝缘膜、以及形成于该栅极绝缘膜之上的成为MOS构造的栅极电极的MOS栅极电极;源极电极及漏极电极,在第二半导体层之上配置于夹着栅极构造部的两侧;第三半导体层,在第二半导体层之上,配置于栅极构造部与漏极电极之间的从漏极电极离开了的位置,由未掺杂杂质的第三Ga_N类半导体构成;第四半导体层,形成在第三半导体层之上,由p型的第四Ga_N类半导体构成;以及结栅电极,与第四半导体层接触;结栅电极,与源极电极电连接而成为与该源极电极相同的电位,并且仅配置于活性区域内。

[0015] 由此,成为如下结构:例如即使非活性区域被进行离子注入等而被导入很多缺陷来构成,在捕集载流子(例如电子)的区域上也没有配置JG电极。因此,能够抑制JG电极的阈值变动,能够抑制半导体装置的特性变化。

[0016] 另外,上述以及权利要求中的括弧内的符号表示权利要求中记载的用语与后述的实施方式中记载的对该用语进行例示的具体物等之间的对应关系。

附图说明

[0017] 图1是第一实施方式中的半导体装置的平面示意图。

[0018] 图2是沿着图1中的II—II线的剖视图。

[0019] 图3是沿着图1中的III—III线的剖视图。

[0020] 图4是图2所示的开关器件的等价电路。

[0021] 图5是表示关断时的各部的电流值及电压值的变化图。

[0022] 图6是表示关断后的等位线的仿真结果。

[0023] 图7是第二实施方式中的半导体装置的平面示意图。

[0024] 图8是第三实施方式中的半导体装置的平面示意图。

[0025] 图9是表示其他实施方式中的半导体装置的非活性区域的剖视图。

[0026] 图10是其他实施方式中的半导体装置的平面示意图。

具体实施方式

[0027] 以下,基于附图对本发明的实施方式进行说明。另外,在以下的各实施方式相互间,对彼此相同或等同的部分,附以同一符号进行说明。

[0028] (第一实施方式)

[0029] 参照图1~图5,对第一实施方式中的半导体装置进行说明。本实施方式的半导体装置如图1所示,具有活性区域1及包围该活性区域1的非活性区域2。并且,如图2所示,在活性区域1中,形成有具有4端子构造的HEMT的横型的开关器件。另外,虽然没有特别限定,但在本实施方式中,活性区域1被设为以图1中的纸面上下方向为长度方向的大致长方形状。

[0030] 具体而言,半导体装置如图2及图3所示,将在基板11的一面11a上形成有非掺杂的Ga_N(以下称为u-Ga_N)层12的基板用作化合物半导体基板而形成。并且,在u-Ga_N层12的表

面,形成有非掺杂的AlGa_N(以下称为u-AlGa_N)层13,由u-GaN层12和u-AlGa_N层13构成异质结构。开关器件将这些u-GaN层12及u-AlGa_N层13作为沟道形成层。并且,在AlGa_N/GaN界面的u-GaN层12侧利用压电效应及自发极化效应而感应出2DEG(即二维电子气)载流子,该区域成为载流子流动的沟道,由此开关器件进行动作。

[0031] 基板11由Si(111)、SiC这样的半导体材料等导电性材料构成。u-GaN层12可以直接形成于基板11之上,但为了结晶性良好地成膜u-GaN层12,也可以根据需要而隔着成为基底膜的缓冲层而形成。另外,在基板11之上能够结晶性良好地成膜u-GaN层12的情况下,也可以没有缓冲层。另外,这里的结晶性是指u-GaN层12中的缺陷、位错等,是对电特性及光学特性造成影响性质。

[0032] u-GaN层12是构成作为漂移区域而工作的电子移动层的部分,相当于第一GaN类半导体层。u-GaN层12由GaN类半导体材料形成,在u-AlGa_N层13侧的表层部感应出2DEG载流子。

[0033] u-AlGa_N层13相当于第二GaN类半导体层,由与构成u-GaN层12的GaN类半导体材料相比带隙能(bandgap energy)更大的GaN类半导体材料构成,构成电子供给部。

[0034] u-AlGa_N层13将Al混晶比设为x而由Al_xGa_{1-x}N构成。并且,根据该u-AlGa_N层13的Al混晶比x及膜厚,决定在u-GaN层12的表面附近形成的2DEG载流子的浓度。因此,在本实施方式中,通过调整u-AlGa_N层13的Al混晶比x及膜厚来调整2DEG载流子的浓度,不是根据厚度而决定2DEG载流子的浓度大幅变动的范围,而是根据Al混晶比来唯一地决定2DEG载流子的浓度。

[0035] 另外,在本实施方式中,u-GaN层12相当于第一半导体层,u-AlGa_N层13相当于第二半导体层,u-GaN层12及u-AlGa_N层13相当于沟道形成层。

[0036] 这里,在本实施方式中,在非活性区域2中,以避免感应出2DEG载流子的方式,实施离子注入等从而形成了很多缺陷d。即,也可以说,本实施方式的非活性区域2,以避免感应出2DEG载流子的方式,与活性区域1相比形成了多个缺陷d而构成。换言之,本实施方式的非活性区域2被作为元件分离区域。

[0037] 在活性区域1,在u-AlGa_N层13的表面,局部地形成有未掺杂杂质的u-GaN层14。

[0038] 具体而言,u-AlGa_N层13形成于u-GaN层12的上表面的整面。u-GaN层14形成于u-AlGa_N层13中的后述的MOS栅极电极17的附近,以朝向后述的漏极电极19侧突出的方式延伸设置。并且,这些u-AlGa_N层13以及u-GaN层14在凹槽部15被去除。凹槽部15将一个方向、具体而言将相对于图2的截面的法线方向作为长度方向而延伸设置。详细而言,凹槽部15为如下结构:在从基板11的一面11a的法线方向观察时,沿着后述的源极电极18的延伸设置方向而延伸设置、并且夹着源极电极18的2个凹槽部15在延伸设置方向的两端部被连结。即,凹槽部15在从基板11的一面11a的法线方向观察时成为包围后述的源极电极18的环状。

[0039] 在凹槽部15内,作为栅极构造部,隔着栅极绝缘膜16而埋入有MOS栅极电极17。具体而言,在凹槽部15的内壁面使规定膜厚的栅极绝缘膜16成膜,在该栅极绝缘膜16之上进一步形成MOS栅极电极17从而构成栅极构造部。包含MOS栅极电极17的栅极构造部沿着凹槽部15形成,因此与凹槽部15同样地将后述的源极电极18包围而形成。

[0040] 栅极绝缘膜16由硅氧化膜(即,SiO₂)、氧化铝(即,Al₂O₃)等构成,MOS栅极电极17由铝、铂等金属、或掺杂了杂质的Poly-半导体等构成。并且,这些栅极绝缘膜16及MOS栅极电

极17形成于凹槽部15内,从而构成MOS构造的栅极构造部。另外,也能够将MOS栅极电极17整体由Poly-半导体等构成,但为了降低MOS栅极电极17的布线电阻,在本实施方式中,在MOS栅极电极17的表面部配置金属层17a。

[0041] 另一方面,在u-AlGa_N层13的表面中的夹着栅极构造部的两侧分别形成有源极电极18和漏极电极19。源极电极18及漏极电极19都配置于从u-GaN层14离开了的位置,从u-GaN层14的端部到漏极电极19的距离被设为规定长度。这些源极电极18、漏极电极19分别与u-AlGa_N层13欧姆接触。

[0042] 在本实施方式中,源极电极18及漏极电极19沿着基板11的面方向中的一个方向而延伸设置,详细而言,在与活性区域1的长度方向交叉的方向上延伸设置。并且,源极电极18及漏极电极19在与延伸设置方向正交的方向上交替地形成。另外,在图1中,源极电极18及漏极电极19沿着图1中的纸面左右方向而延伸设置,并沿着图1中的纸面上下方向交替地形成。

[0043] 另外,在u-GaN层14中的位于MOS栅极电极17与漏极电极19之间的部分的表面,形成有被设为p型的p-GaN层20。p-GaN层20配置为,漏极电极19侧的端面与u-GaN层14中的漏极电极19侧的端面共面、或者与其相比位于更靠MOS栅极电极17侧的位置。另外,在本实施方式中,u-GaN层14相当于由第三Ga_N类半导体构成的第三半导体层,p-GaN层20相当于由第四Ga_N类半导体构成的第四半导体层。

[0044] 并且,在p-GaN层20的表面形成有JG电极21。JG电极21与上述的源极电极18连结,被设为与源极电极18相同的电位。

[0045] 具体而言,以将MOS栅极电极17、u-GaN层14等覆盖的方式配置层间绝缘膜22,以将层间绝缘膜22覆盖的方式形成有电极层23。该电极层23穿过形成于层间绝缘膜22的接触孔而与u-AlGa_N层13接触,并且与p-GaN层20接触。因此,由该电极层23中的与u-AlGa_N层13接触的部分构成源极电极18,由与p-GaN层20接触的部分构成JG电极21。

[0046] 在本实施方式中,这样由相同的电极层23构成源极电极18及JG电极21。因此,与用接合线等将它们之间连接的情况相比,能够降低布线电阻和电感。

[0047] 另外,在图1中,为了易于理解各部的布局,对于图2中的电极层23中的将源极电极18与JG电极21相连的部分予以省略而进行表示。即,在图1中,将图2中的电极层23中的位于MOS栅极电极17上方的部分予以省略而进行表示。

[0048] 另外,在本实施方式中,JG电极21在从基板11的一面11a的法线方向观察时形成为将漏极电极19包围的环状。即,在本实施方式中,采用在源极电极18与漏极电极19之间配置有JG电极21的结构。另外,在图1中虽未特别示出,但位于JG电极21下方的u-GaN层14及p-GaN层20沿着JG电极21而配置。即,这些u-GaN层14及p-GaN层20形成为,在从基板11的一面11a的法线方向观察时,将漏极电极19包围。

[0049] 如以上那样,在活性区域1中,构成了具备MOS栅极电极17、源极电极18、漏极电极19以及JG电极21这4个端子的开关器件。另外,在基板11的背面侧形成的是背面电极24,通过例如未图示的布线而与源极电极18电连接等从而成为与源极电极18相同的电位。

[0050] 另外,如图1所示,在非活性区域2形成有MOS栅极电极17用的栅极焊盘(以下称为栅极焊盘)25、源极焊盘26、漏极焊盘27。

[0051] 并且,MOS栅极电极17经由从活性区域1向非活性区域2引出的栅极布线25a而与栅

极焊盘25连接。另外,源极电极18经由从活性区域1向非活性区域2引出的源极布线26a而与源极焊盘26连接。漏极电极19经由从活性区域1向非活性区域2引出的漏极布线27a而与漏极焊盘27电连接。

[0052] 另外,栅极焊盘25、源极焊盘26、漏极焊盘27、栅极布线25a、源极布线26a以及漏极布线27a形成于未图示的层间绝缘膜上。

[0053] 相对于此,JG电极21形成为,仅位于活性区域1内,包围漏极电极19。并且,JG电极21在活性区域1内与源极电极18连接,从而与源极电极18为相同电位。

[0054] 接下来,对本实施方式的具备开关器件的半导体装置的动作进行说明。

[0055] 上述那样的具备MOS栅极电极17和JG电极21这两方的开关器件,通过MOS栅极电极17进行一般的MOSFET动作,通过JG电极21进行JFET动作。因此,本实施方式中的开关器件的等价电路为图4所示的电路结构。

[0056] 如图4所示,开关器件连接于负载28,栅极驱动器29控制栅极电压而将本开关器件接通/断开从而进行负载28的驱动。

[0057] 这里,开关器件成为将基于MOS栅极电极17的增强型MOSFET部30与基于JG电极21的耗尽型JFET部40串联连接的构造。这些MOSFET部30与JFET部40之间的中间电位点A是指,如图2中所示那样、u-GaN层12的表面部中的位于JG电极21下方的成为中间电位的部分。

[0058] 并且,JG电极21与源极电极18连接而被设为相同电位。它们之间存在由布线产生的寄生阻抗50,但因为通过电极层23直接连结,所以寄生阻抗50的值变低。另外,在这样的结构的开关器件中,在JFET部40,在JG电极21与漏极电极19、中间电位点A之间、以及漏极电极19与中间电位点A之间,构成电容C1~C3。另外,在MOSFET部30,在MOS栅极电极17与中间电位点A、源极电极18之间、以及中间电位点A与源极电极18之间,构成电容C4~C6。

[0059] 关于具有这样的电路结构的开关器件,关断(turn off)时的动作如以下那样。

[0060] 图5表示具有感性负载的H电桥电路中的本开关器件的关断的波形。首先,若在图5的时刻T1停止对MOS栅极电极17施加栅极电压,则MOSFET部30的断开(off)过程开始,从而中间电位点A的电位上升。由于该中间电位点A的电位的上升,JFET的栅极的断开过程开始。即,在从漏极电极19侧起经过JG电极21并通到GND侧的路径中流过位移电流 I_{jg} ,从而JFET的反馈电容C1被充电。

[0061] 然后,由于反馈电容C1的充电,漏极电极19的电位 V_{ds} 升高。另外,漏极电流 I_d 降低。若中间电位点A的电位超过JFET部40的阈值电压,则JFET部40断开。由此,开关器件整体断开。

[0062] 为了使这样的关断动作高速化,需要能够高速地进行对反馈电容C1的充电。并且,为了高速地进行对反馈电容C1的充电,重要的是,JG电极21与源极电极18之间的阻抗降低及反馈电容C1的降低。

[0063] 相对于此,在本实施方式中,JG电极21与源极电极18之间通过电极层23直接连结,所以能够将它们之间存在的布线电阻引起的寄生阻抗50的电阻值抑制得较低。因此,能够谋求JG电极21与源极电极18之间的阻抗降低。

[0064] 另外,在关断时,漏极电极19的电位 V_{ds} 升高,但以包围漏极电极19的方式配置有与源极电极18为相同电位的JG电极21。因此,如图6所示那样,能够通过JG电极21将由漏极电极19引起的高电场截断,能够抑制该高电场侵入到源极电极18侧。因此,能够抑制在源极

电极18下的区域产生漏电流。

[0065] 如以上说明那样,在本实施方式中,JG电极21仅配置于活性区域1内。即,JG电极21未配置在可能捕集到电子的区域上。因此,能够抑制JG电极21的阈值变动,能够抑制半导体装置的特性变化。

[0066] 另外,在本实施方式中,JG电极21形成为,在从基板11的一面11a的法线方向观察时将漏极电极19包围。因此,能够抑制由漏极电极19引起的高电场侵入到源极电极18侧。因此,能够抑制在源极电极18下的区域产生漏电流。

[0067] 另外,在本实施方式中,将JG电极21与源极电极18通过电极层23直接连结。因此,能够降低寄生阻抗50的电阻值,能够谋求JG电极21与源极电极18之间的阻抗降低。另外,通过将u-GaN层14及p-GaN层20从漏极电极19远离而配置,从而尽可能减小p-GaN层20与2DEG载流子的对置面积。因此,还能够降低反馈电容C1。

[0068] 并且,通过谋求JG电极21与源极电极18之间的布线电阻的降低、电感降低以及反馈电容C1的降低,能够将反馈电容C1高速地充电,能够将JFET部40高速地断开。因此,能够进一步使开关器件的关断高速化。因此,能够成为能够更高速开关的开关器件。

[0069] 并且,以贯通u-GaN层14的方式形成MOS栅极电极17。因此,u-GaN层14中的电场强度朝向MOS栅极电极17而变小,栅极绝缘膜16的电场强度变小,因此能够提高可靠性。

[0070] (第二实施方式)

[0071] 对第二实施方式进行说明。本实施方式相对于第一实施方式,变更了JG电极21的配置部位,其他与第一实施方式是同样的,因此仅对与第一实施方式不同的部分进行说明。

[0072] 在本实施方式中,如图7所示,JG电极21配置为,在从基板11的一面11a的法线方向观察时与漏极布线27a不交叉。即,JG电极21在与漏极布线27a不同的位置配置为将漏极电极19包围。换言之,JG电极21为大致C字状。

[0073] 如以上说明那样,在本实施方式中,JG电极21配置为,在从基板11的一面11a的法线方向观察时与漏极布线27a不交叉。因此,能够抑制在JG电极21与漏极布线27a之间产生寄生电容,能够抑制JFET部40的特性变动。

[0074] (第三实施方式)

[0075] 对第三实施方式进行说明。本实施方式相对于第二实施方式,变更了JG电极21的配置部位,其他与第二实施方式是同样的,因此仅对与第二实施方式不同的部分进行说明。

[0076] 在本实施方式中,如图8所示,JG电极21配置为,在从基板11的一面11a的法线方向观察时与漏极布线27a不交叉。另外,JG电极21配置为,在从基板11的一面11a的法线方向观察时,位于源极电极18、源极焊盘26及源极布线26a、与漏极电极19、漏极焊盘27及漏极布线27a的全部之间。即,JG电极21配置为,在从基板11的一面11a的法线方向观察时,与将源极电极18、源极焊盘26及源极布线26a和漏极电极19、漏极焊盘27及漏极布线27a相连的虚拟线必然交叉。

[0077] 如以上说明那样,JG电极21配置为,在从基板11的一面11a的法线方向观察时,位于源极电极18、源极焊盘26及源极布线26a与漏极电极19、漏极焊盘27及漏极布线27a的全部之间。因此,能够将由漏极电极19、漏极焊盘27及漏极布线27a引起的高电场全部用JG电极21截断。即,能够抑制由漏极电极19、漏极焊盘27及漏极布线27a引起的高电场侵入到源极电极18、源极焊盘26及源极布线26a侧。因此,在源极电极18、源极焊盘26及源极布线26a

下的区域产生漏电流这一情况得到抑制。

[0078] (其他实施方式)

[0079] 本发明依据实施方式进行了记述,但本发明被理解为并不限于该实施方式及构造。本发明也包含各种各样的变形例、等同范围内的变形。此外,各种各样的组合及方式、进而它们中包含仅一个要素、其以上或者其以下的其他组合及方式也纳入到本发明的范畴及思想范围中。

[0080] 例如,在上述各实施方式中,将凹槽部15的深度设为直到u-GaN层12的表层部被去除了一部分为止的深度,但这也只不过示出了一例。例如,凹槽部15既可以设为直到u-GaN层12的表面露出为止的深度,也可以设为在该凹槽部15的底面以不形成2DEG载流子的程度残留u-AlGa_xN层13的一部分的程度的深度。

[0081] 另外,在上述各实施方式中,以构成沟道形成层的第一、第二Ga_xN类半导体层包括u-GaN层12和u-AlGa_xN层13的情况为例进行了说明。但是,它们示出了一例,只要沟道形成层包括第一Ga_xN类半导体层以及比其带隙能大的第二Ga_xN类半导体层,也可以是其他材料。

[0082] 并且,在上述各实施方式中,源极电极18与JG电极21也可以不被一体化而例如通过引线键合等来电连接。即使是这样的结构,通过将JG电极21仅配置于活性区域1内,也能够抑制半导体装置的特性变化。

[0083] 另外,在上述各实施方式中,非活性区域2的结构能够适当变更。例如可以是,如图9所示,非活性区域2为了避免构成2DEG载流子而以将u-AlGa_xN层13及u-GaN层12的上层部去除的方式形成凹部60而构成。该情况下,凹部60设为在非活性区域2不构成2DEG载流子的深度即可,例如可以是,以仅将u-AlGa_xN层13去除的方式形成。

[0084] 并且,在上述第一实施方式中,可以如图10所示那样,栅极布线25a从与MOS栅极电极17连接的部分起以最短距离被引出到非活性区域2,并在非活性区域2盘绕而与栅极焊盘25连接。该情况下,漏极电极19等可以延伸设置于在上述第一实施方式中形成有栅极布线25a的部分、或该部分的附近为止。即,漏极电极19等可以延伸设置到活性区域1与非活性区域2的边界部的附近为止。由此,能够有效地利用活性区域1,能够提高面积效率。另外,虽未特别图示,但在上述第二、第三实施方式中,栅极布线25a也可以从与MOS栅极电极17连接的部分起以最短距离被引出到非活性区域2,并在非活性区域2盘绕而与栅极焊盘25连接。

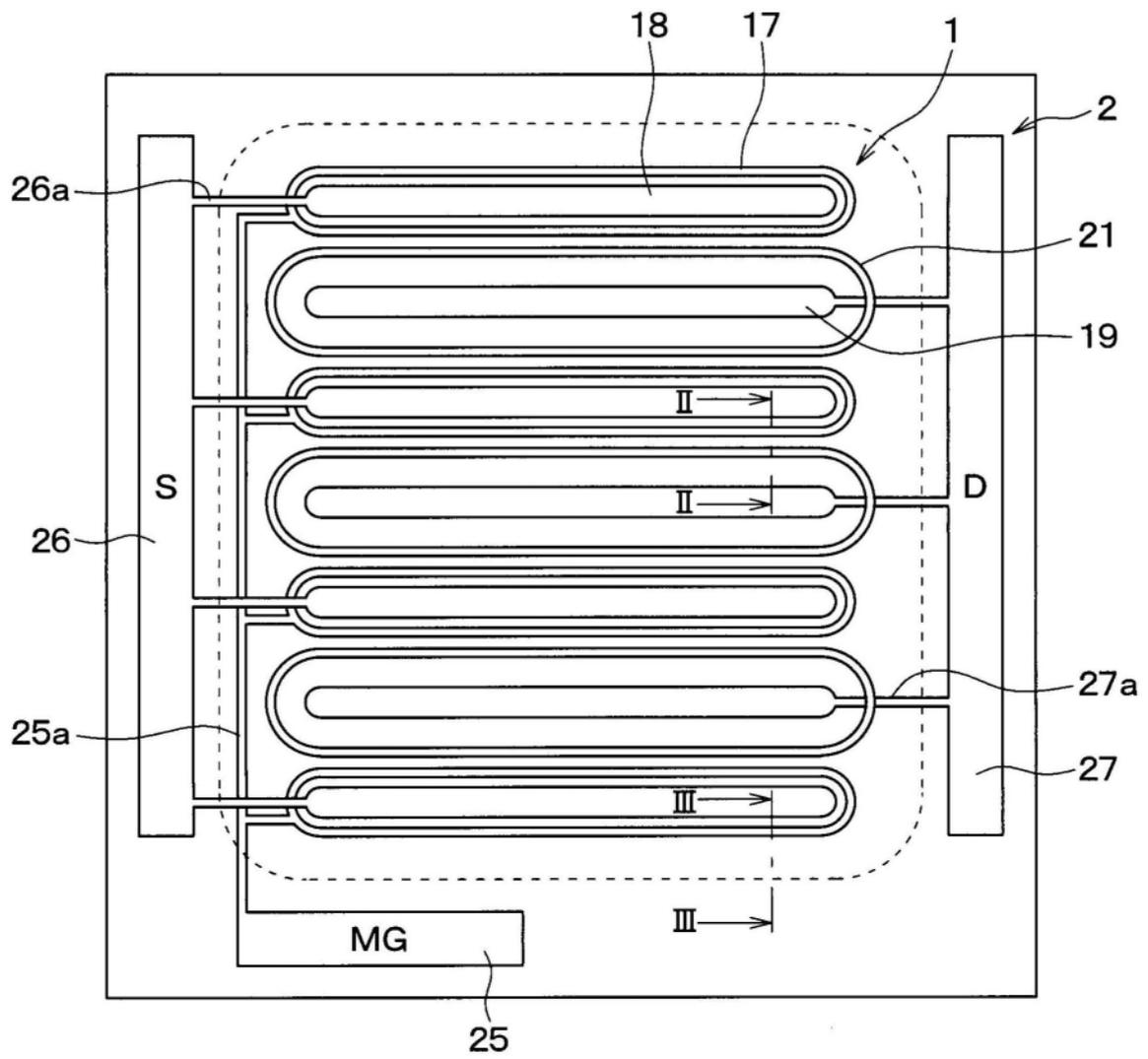


图1

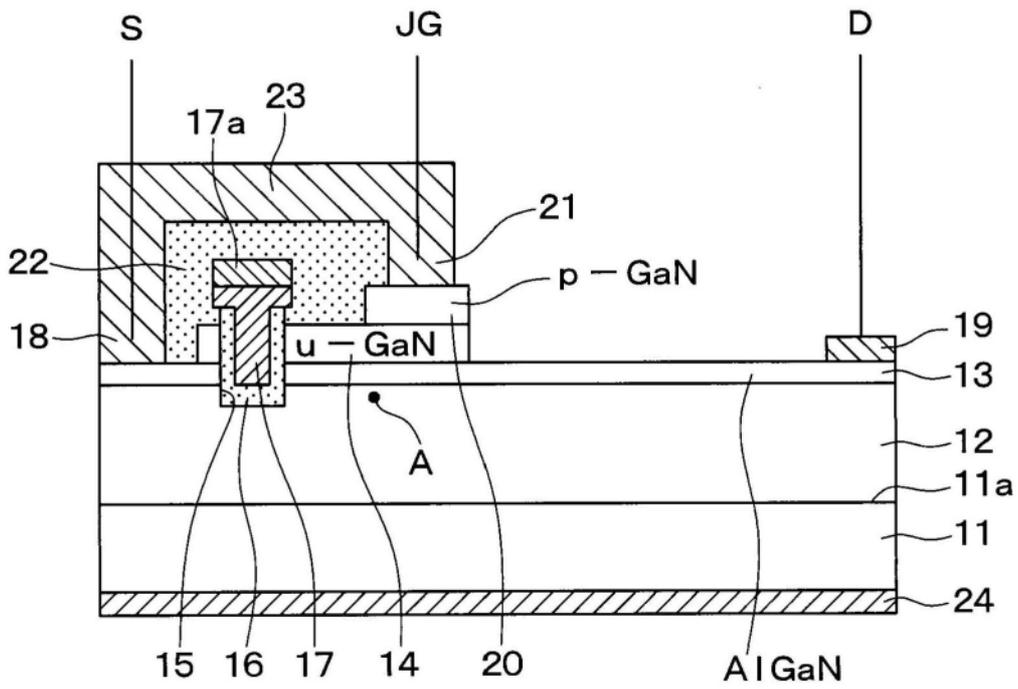


图2

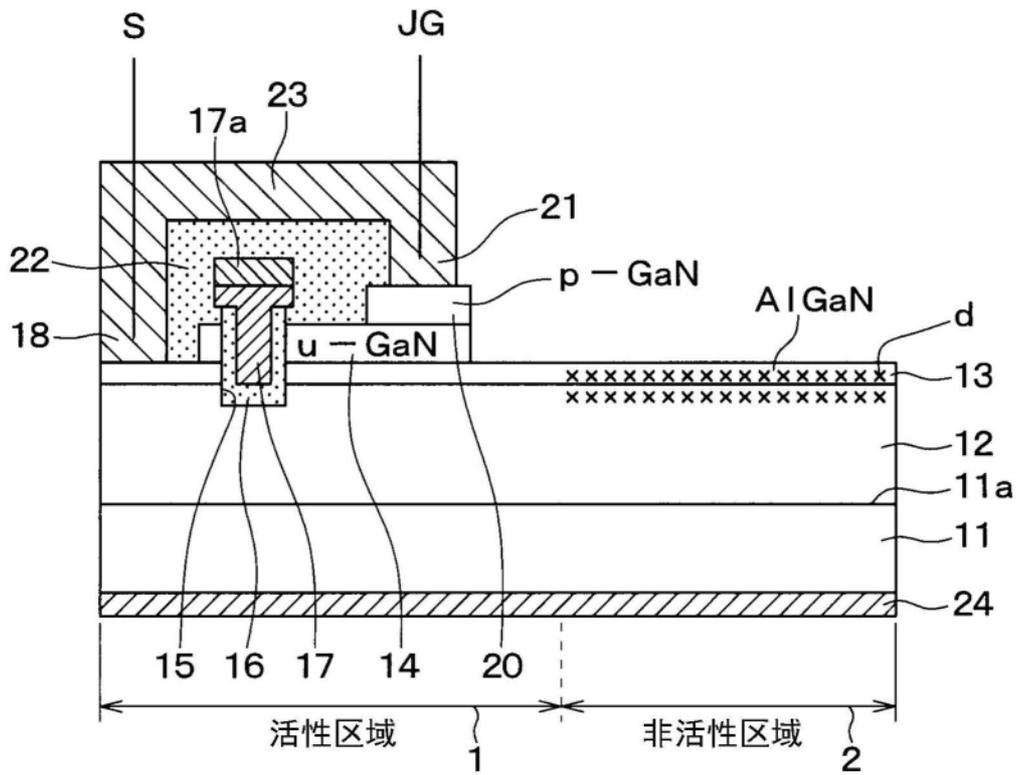


图3

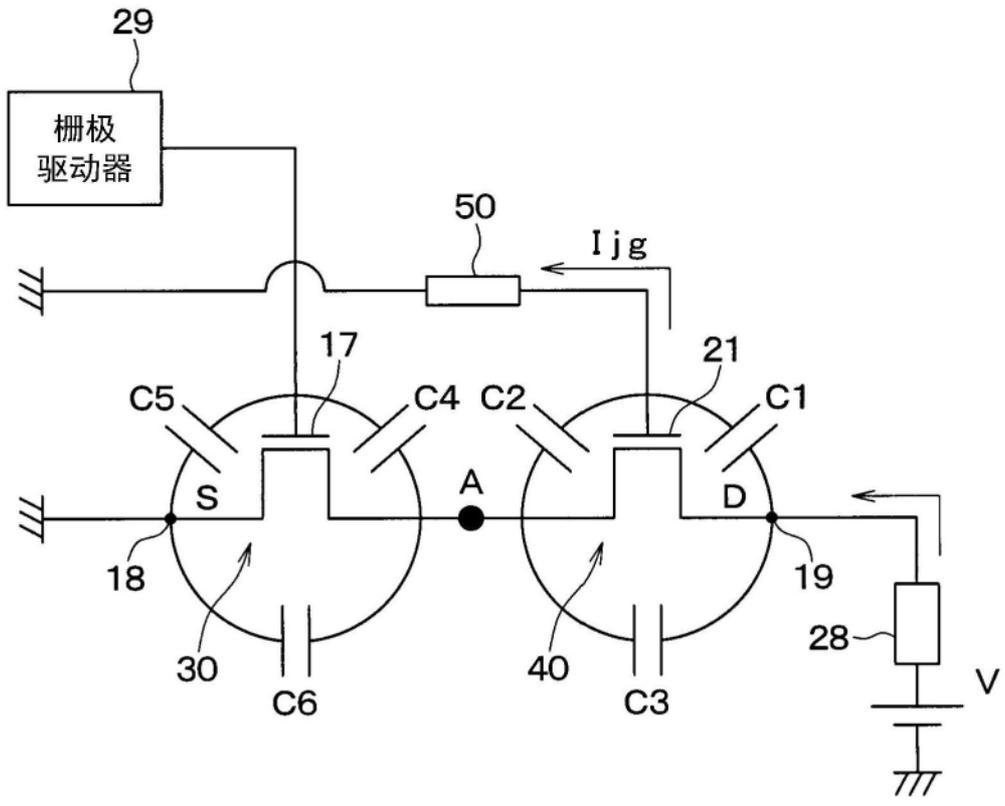


图4

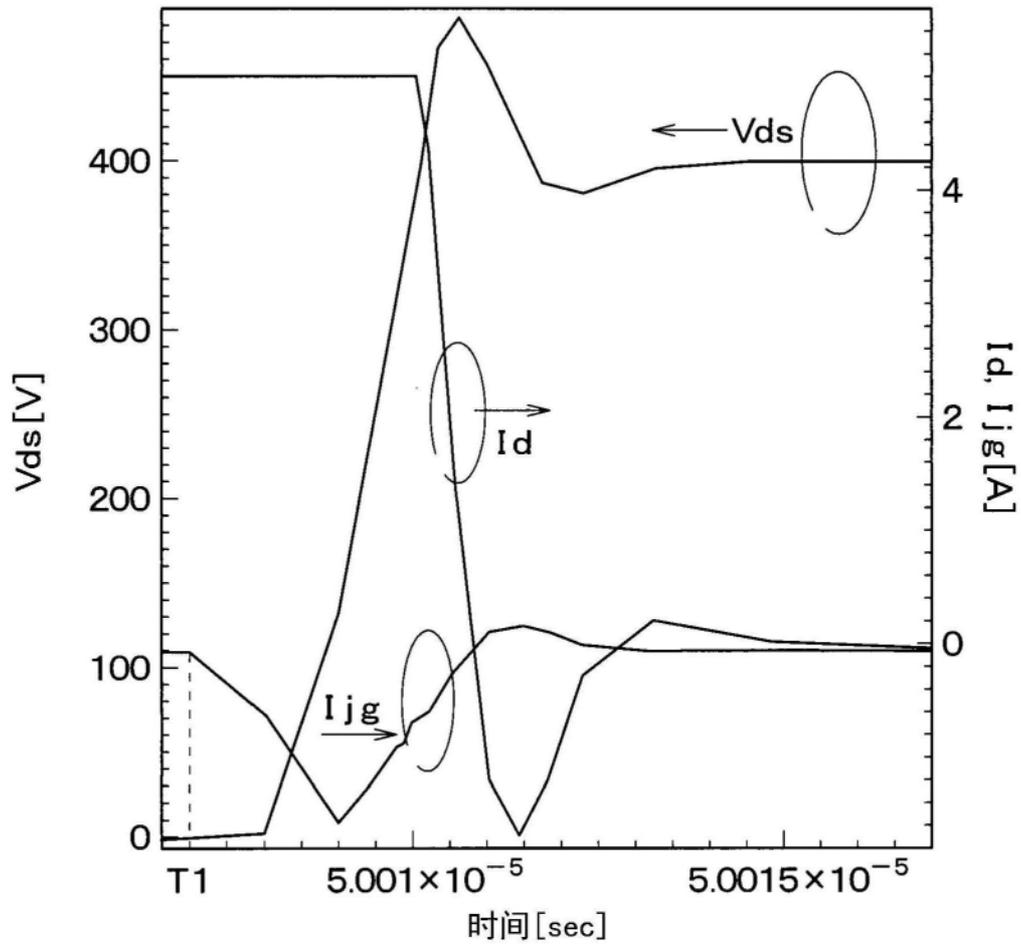


图5

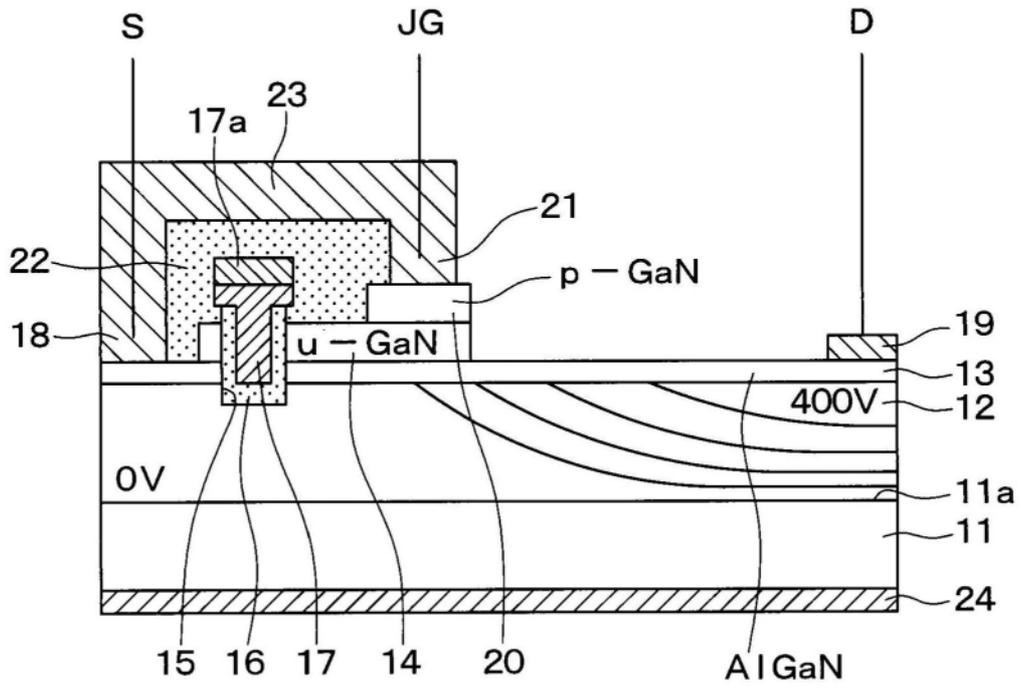


图6

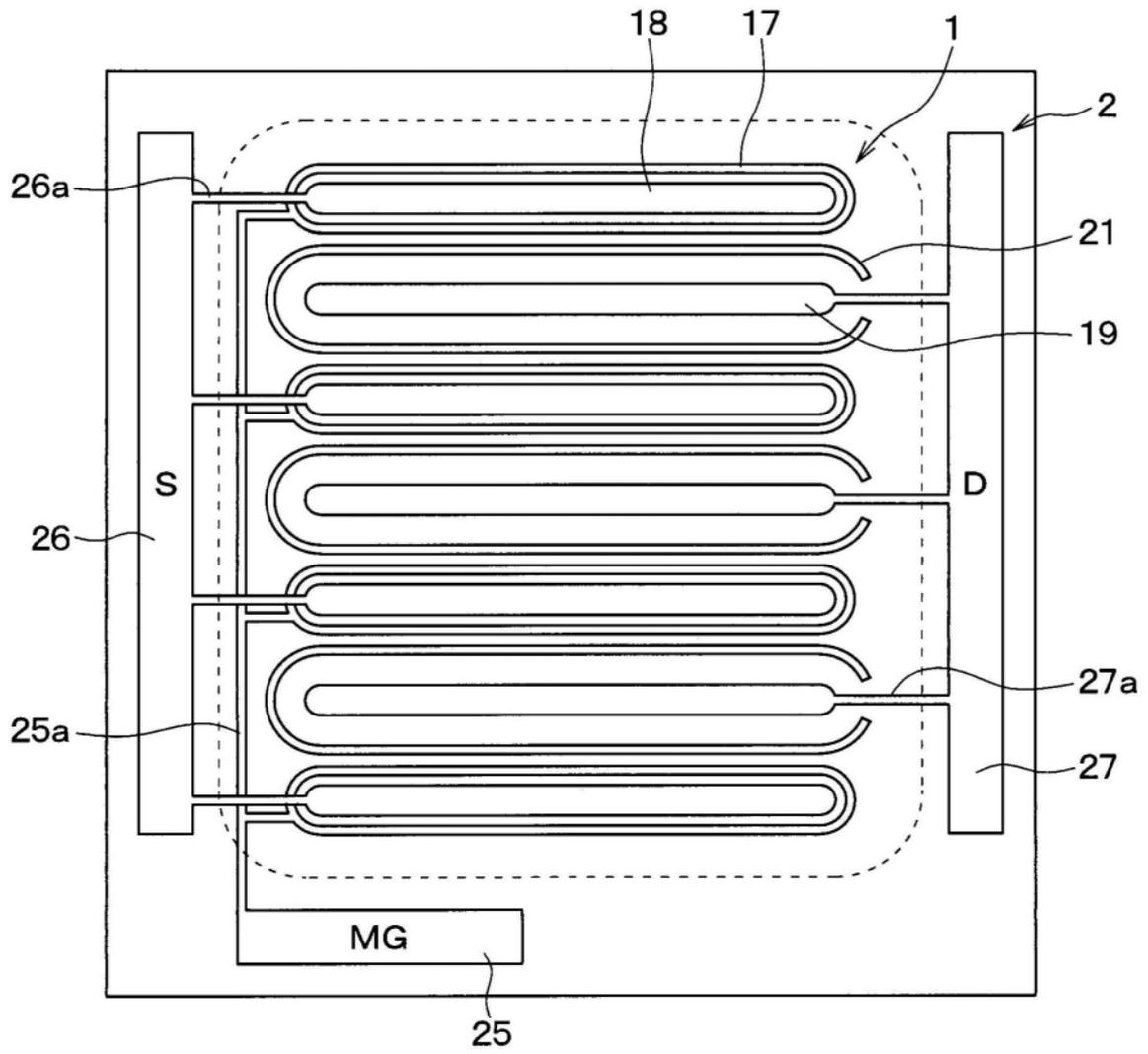


图7

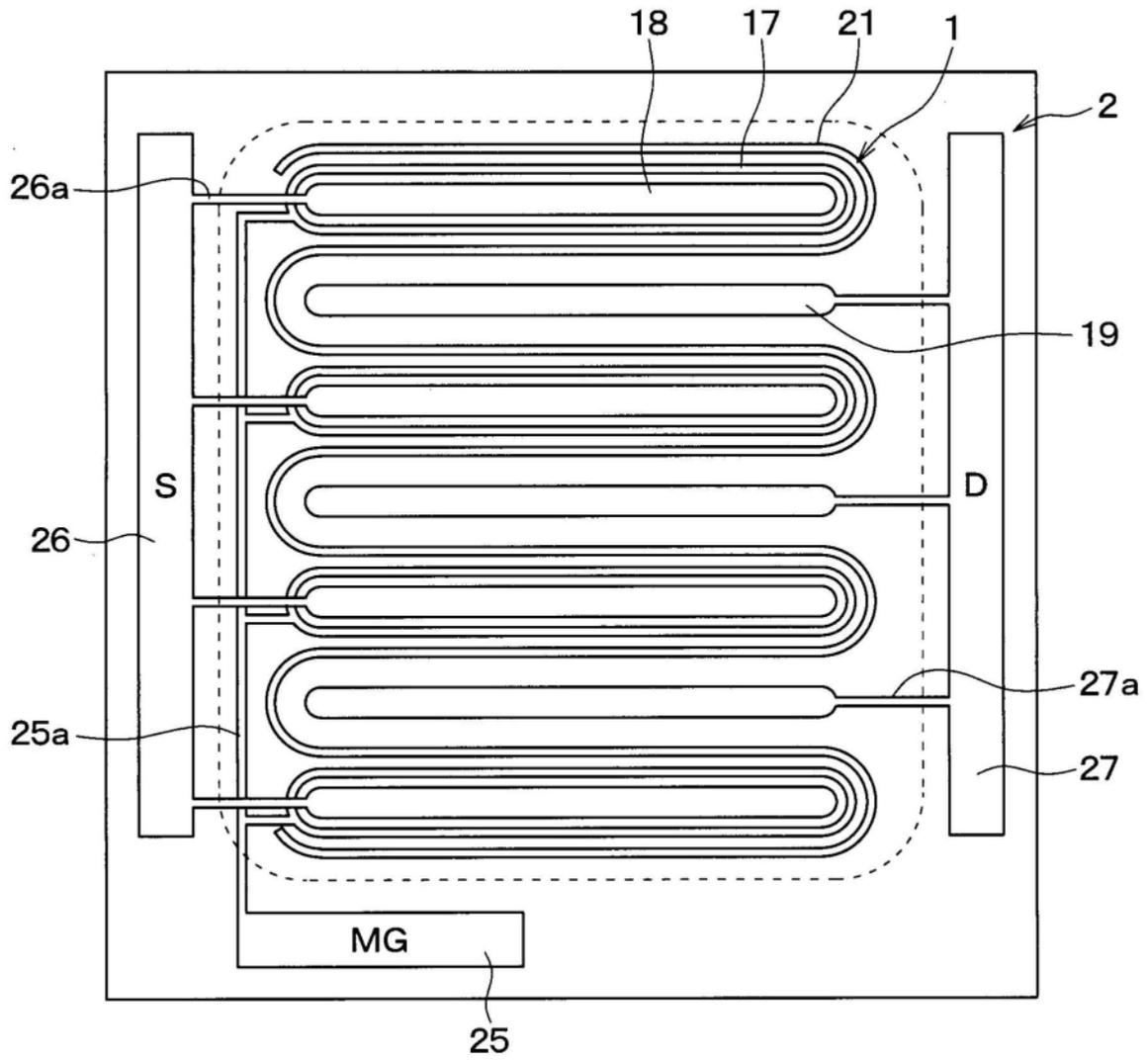


图8

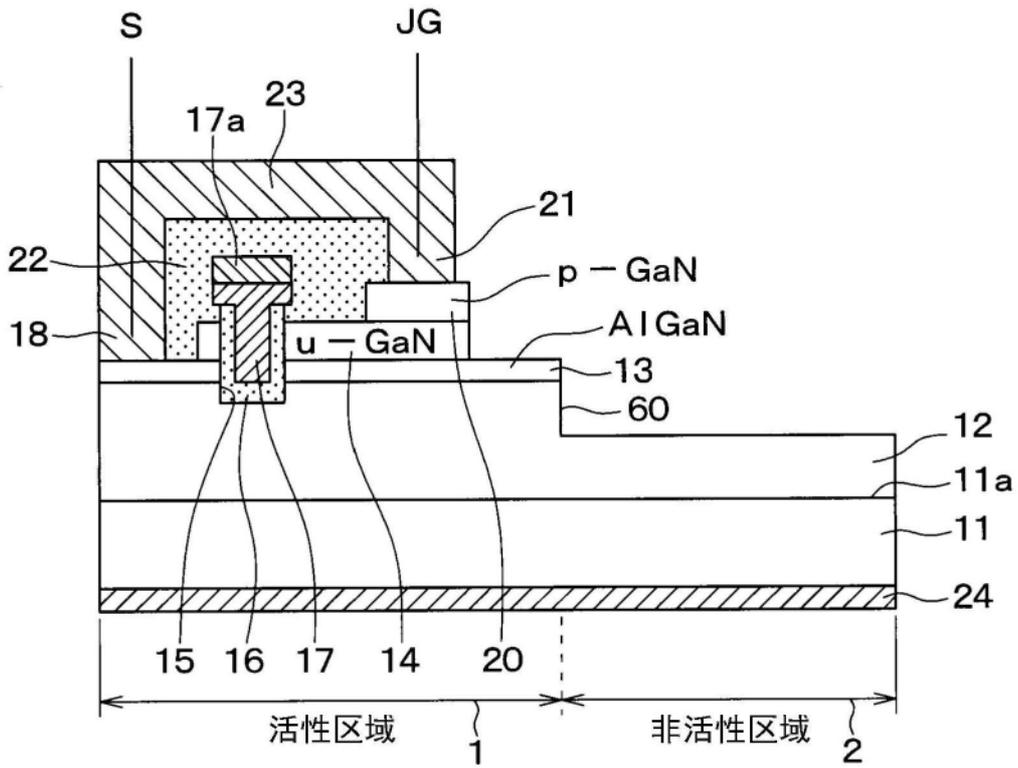


图9

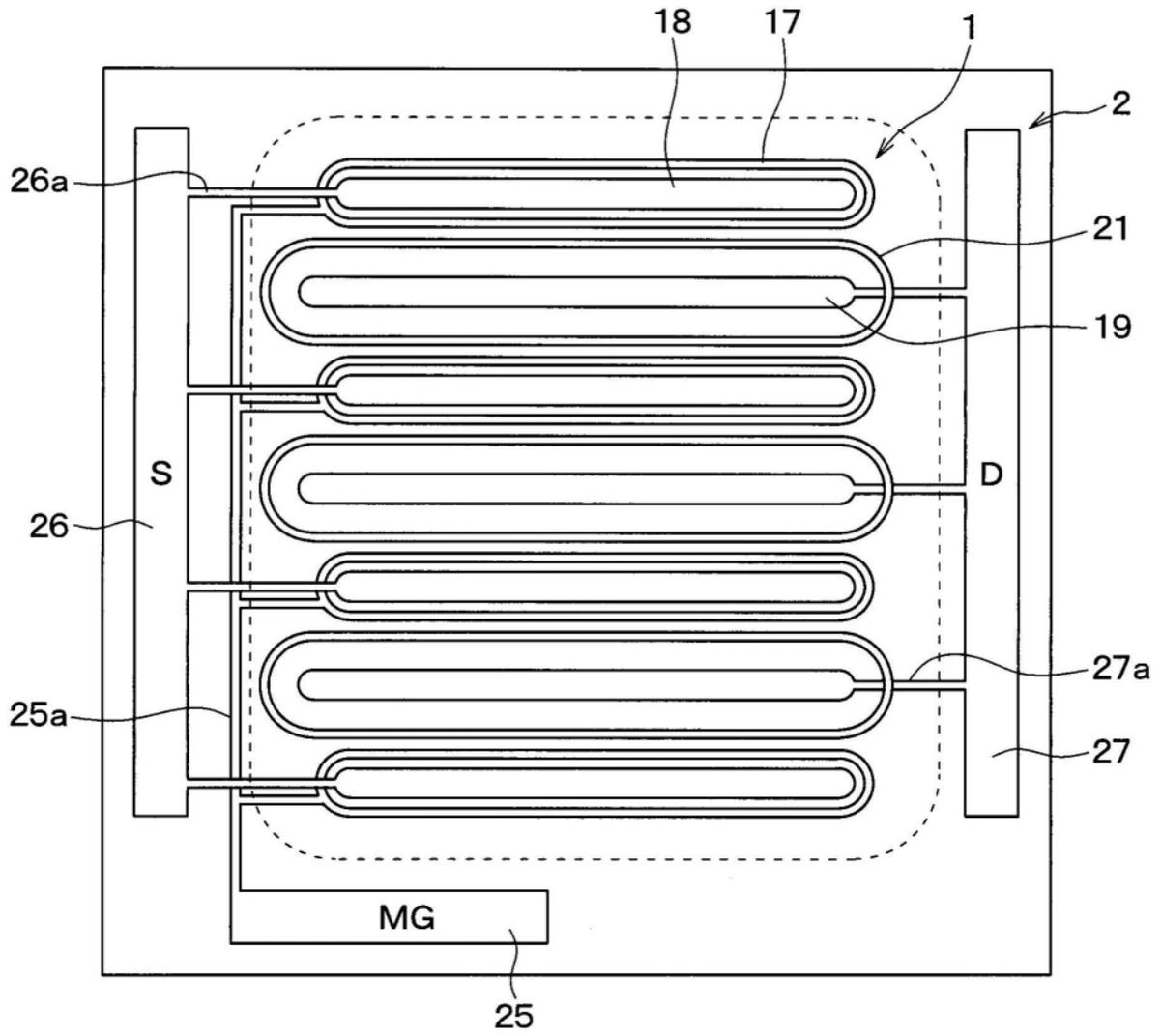


图10