

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年12月6日(2012.12.6)

【公開番号】特開2010-123696(P2010-123696A)

【公開日】平成22年6月3日(2010.6.3)

【年通号数】公開・登録公報2010-022

【出願番号】特願2008-294913(P2008-294913)

【国際特許分類】

H 01 L	29/786	(2006.01)
H 01 L	25/065	(2006.01)
H 01 L	25/07	(2006.01)
H 01 L	25/18	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	27/00	(2006.01)
H 01 L	21/3205	(2006.01)
H 01 L	21/768	(2006.01)
H 01 L	23/522	(2006.01)

【F I】

H 01 L	29/78	6 2 6 B
H 01 L	25/08	Z
H 01 L	29/78	6 1 3 Z
H 01 L	29/78	6 2 7 Z
H 01 L	27/08	3 3 1 E
H 01 L	27/00	3 0 1 C
H 01 L	21/88	J

【手続補正書】

【提出日】平成24年10月19日(2012.10.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電子素子が形成された素子領域を有する第1半導体装置と、  
前記第1半導体装置に積層され、前記素子領域の作動を制御する制御回路が形成された  
第2半導体装置と、

前記第1半導体装置及び前記第2半導体装置の少なくとも一方に形成され、前記素子領域と前記制御回路とを互いに電気的に結合する貫通結合部と、  
を備える積層半導体装置。

【請求項2】

前記貫通結合部は、前記素子領域から前記第1半導体装置の内部を前記第2半導体装置に向け伸び、前記第2半導体装置は、前記貫通結合部に接続される外部接続部を有し、  
前記外部接続部および前記貫通結合部を介して前記第1半導体装置の前記素子領域の作動を制御する請求項1に記載の積層半導体装置。

【請求項3】

前記第1半導体装置は、

单結晶シリコンのベース部と、  
前記ベース部の上の絶縁層と、  
前記絶縁層の上の单結晶シリコン層と、  
前記单結晶シリコン層に形成され前記絶縁層に達する分離溝構造とを有し、  
前記素子領域は、前記分離溝構造で囲まれた前記单結晶シリコン層の領域であり、  
前記貫通結合部は、少なくとも前記ベース部および前記絶縁層を貫通し、前記素子領域  
に電気的に結合する請求項2に記載の積層半導体装置。

【請求項4】

前記貫通結合部と前記素子領域とは、直接および中間層の少なくとも一方を介して接触  
する請求項1から3のいずれか一項に記載の積層半導体装置。

【請求項5】

前記第1半導体装置は、前記電子素子を構成する部材および前記電子素子より後に形成  
される部材の少なくとも一方と同一の工程で形成される配線を有し、

前記貫通結合部と前記素子領域とは、前記配線を介して接触する請求項1から4のいず  
れか一項に記載の積層半導体装置。

【請求項6】

前記貫通結合部は、前記電子素子の形成前に形成され、高濃度に不純物がドープされた  
半導体を含む請求項1から5の何れか一項に記載の積層半導体装置。

【請求項7】

前記貫通結合部は、前記電子素子の形成後に形成され、金属を含む請求項1から6の何  
れか一項に記載の積層半導体装置。

【請求項8】

前記素子領域に形成された前記電子素子は、トランジスタである請求項1から7のいず  
れか一項に記載の積層半導体装置。

【請求項9】

電子素子が形成された素子領域を有する第1半導体装置を準備する段階と、  
前記素子領域の作動を制御する制御回路が形成された第2半導体装置を準備する段階と

、  
前記第1半導体装置と前記第2半導体装置とを互いに積層する段階と、  
前記第1半導体装置及び前記第2半導体装置の少なくとも一方に、前記素子領域と前記  
制御回路とを互いに電気的に結合する貫通結合部を形成する段階とを有する積層半導体裝  
置の製造方法。

【請求項10】

前記第1半導体装置を準備する段階は、  
前記素子領域から前記第1半導体装置の内部を前記第2半導体装置に向けて伸びるよう  
に前記貫通結合部を形成する段階を有し、

前記第2半導体装置を準備する段階は、前記貫通結合部に接続される外部接続部を前記  
第2半導体装置に形成する段階を有し、

前記積層する段階では、前記第2半導体装置の前記外部接続部と前記貫通結合部とが接  
触するよう、前記第1半導体装置と前記第2半導体装置とを積層する請求項9に記載の積  
層半導体装置の製造方法。

【請求項11】

前記第1半導体装置を準備する段階は、  
单結晶シリコンのベース部、前記ベース部の上の絶縁層、および、前記絶縁層の上の单  
結晶シリコン層を有するSOI基板を準備する段階と、

前記单結晶シリコン層に前記絶縁層に達する分離溝構造を形成して、前記单結晶シリコ  
ン層の前記素子領域を画定する段階とを有する請求項9または10に記載の積層半導体裝  
置の製造方法。

【請求項12】

前記第1半導体装置を準備する段階は、

少なくとも前記ベース部および前記絶縁層を貫通し、前記素子領域に電気的に結合するように、前記貫通結合部を形成する段階を有する請求項 1 1 に記載の積層半導体装置の製造方法。

**【請求項 1 3】**

前記第 1 半導体装置を準備する段階は、  
少なくとも前記ベース部および前記絶縁層を貫通することとなる孔を形成する段階と、  
前記孔に金属を埋め込む段階と、  
前記電子素子が形成されていない側の前記ベース部を薄化して前記金属を露出させ、前記貫通結合部を形成する段階とを有する請求項 1 2 に記載の積層半導体装置の製造方法。

**【請求項 1 4】**

前記素子領域を画定する段階は、前記孔に形成した金属が直接および中間層の少なくとも一方を介して前記素子領域に接触するよう、前記素子領域を画定する請求項 1 3 に記載の積層半導体装置の製造方法。

**【請求項 1 5】**

前記素子領域と前記孔に形成した金属とを電気的に結合する配線を形成する工程を更に有する請求項 1 3 に記載の積層半導体装置の製造方法。

**【請求項 1 6】**

前記電子素子を構成する部材の形成工程において、前記素子領域と前記孔に形成した金属とを電気的に結合する配線を同時に形成する請求項 1 3 に記載の積層半導体装置の製造方法。

**【請求項 1 7】**

前記第 1 半導体装置を準備する段階は、  
少なくとも前記ベース部および前記絶縁層を貫通し、前記素子領域に電気的に結合する、不純物が高濃度にドープされた半導体の前記貫通結合部を形成する段階を有する請求項 1 1 に記載の積層半導体装置の製造方法。

**【請求項 1 8】**

前記貫通結合部を形成する段階において、前記貫通結合部が直接および中間層の少なくとも一方を介して前記素子領域に接触するよう、前記貫通結合部を形成する請求項 1 6 に記載の積層半導体装置の製造方法。

**【請求項 1 9】**

前記素子領域と前記貫通結合部とを電気的に結合する配線を形成する工程を更に有する請求項 1 7 に記載の積層半導体装置の製造方法。

**【請求項 2 0】**

前記電子素子を構成する部材の形成工程において配線を同時に形成する請求項 1 7 に記載の積層半導体装置の製造方法。

**【請求項 2 1】**

前記第 1 半導体装置を準備する段階は、  
前記素子領域に前記電子素子としてトランジスタを形成する段階を有する請求項 9 から 2 0 のいずれか一項に記載の積層半導体装置の製造方法。