



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I536575 B

(45)公告日：中華民國 105 (2016) 年 06 月 01 日

(21)申請案號：103127134 (22)申請日：中華民國 103 (2014) 年 08 月 07 日
(51)Int. Cl. : H01L29/78 (2006.01) H01L21/28 (2006.01)
(30)優先權：2013/08/08 美國 13/962,295
(71)申請人：克立公司 (美國) CREE, INC. (US)
美國
(72)發明人：帕拉 維品達斯 PALA, VIPINDAS (US)；阿加娃 安那 庫瑪 AGARWAL,
ANANT KUMAR (US)；成林 CHENG, LIN (CN)；利騰沃納 丹尼爾 珍納
LICHTENWALNER, DANIEL JENNER (US)；帕騫爾 約翰 威廉斯 PALMOUR,
JOHN WILLIAMS (US)
(74)代理人：陳長文
(56)參考文獻：
US 7498633B2 US 2012/0280258A1
審查人員：簡信裕
申請專利範圍項數：25 項 圖式數：17 共 34 頁

(54)名稱

垂直式功率電晶體裝置

VERTICAL POWER TRANSISTOR DEVICE

(57)摘要

本發明揭示一種功率金屬-氧化物-半導體場效電晶體(MOSFET)，其包含一基板、該基板上之一漂移層及該漂移層上方之一散佈層。該散佈層包含藉由一接面閘極場效(JFET)區域分離之一對接面植入物。一閘極氧化物層係在該散佈層之頂部上。閘極接觸件係在該閘極氧化物層之頂部上。源極接觸件之各者係在該散佈層與該閘極氧化物層及該閘極接觸件分離之一部分上。汲極接觸件係在該基板與該漂移層相對之表面上。

A power metal-oxide-semiconductor field-effect transistor (MOSFET) includes a substrate, a drift layer over the substrate, and a spreading layer over the drift layer. The spreading layer includes a pair of junction implants separated by a junction gate field effect (JFET) region. A gate oxide layer is on top of the spreading layer. The gate contact is on top of the gate oxide layer. Each one of the source contacts are on a portion of the spreading layer separate from the gate oxide layer and the gate contact. The drain contact is on the surface of the substrate opposite the drift layer.

指定代表圖：

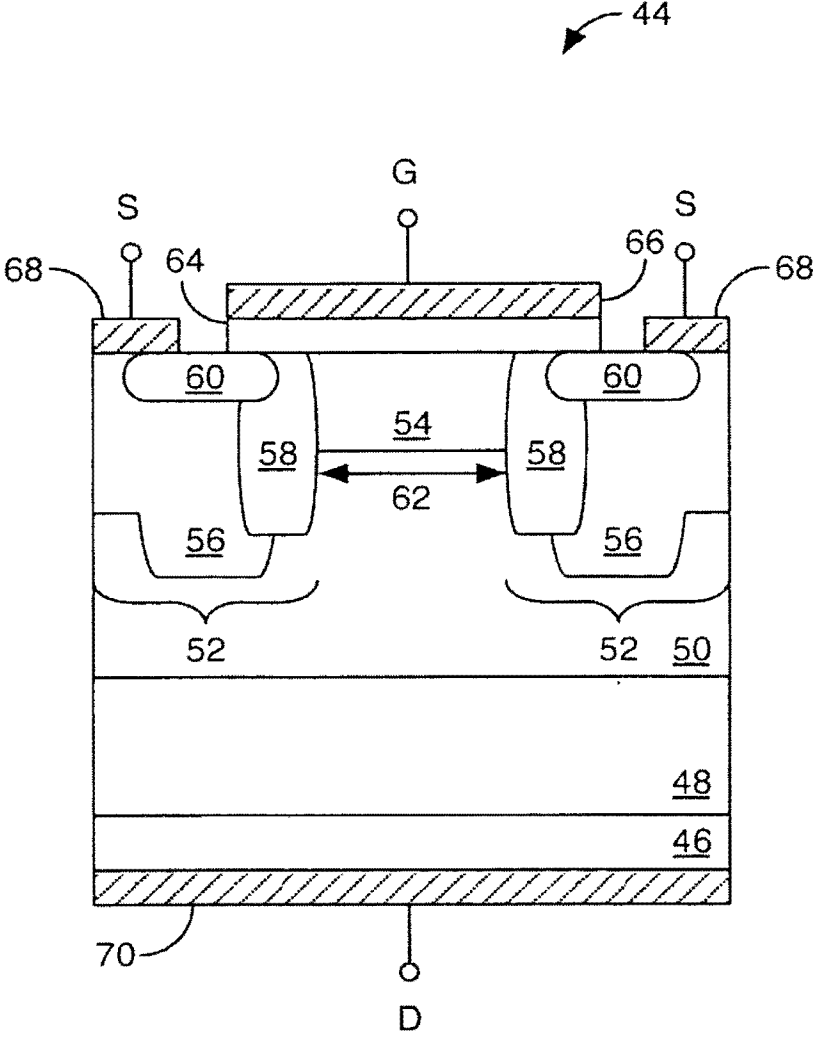


圖 3

- 符號簡單說明：
- 44 . . . 功率金屬-氧化物-半導體場效電晶體(MOSFET)裝置
 - 46 . . . 基板
 - 48 . . . 漂移層
 - 50 . . . 散佈層
 - 52 . . . 接面植入物
 - 54 . . . 接面閘極場效電晶體(JFET)區域
 - 56 . . . 深井區域
 - 58 . . . 基極區域
 - 60 . . . 源極區域
 - 62 . . . 通道寬度
 - 64 . . . 閘極氧化物層
 - 66 . . . 閘極接觸件
 - 68 . . . 源極接觸件
 - 70 . . . 汲極接觸件

發明摘要

※ 申請案號：107127134

※ 申請日：107. 8. 7

※IPC 分類：H01L29/28, 2006.01

H01L29/28, 2006.01

【發明名稱】

垂直式功率電晶體裝置

VERTICAL POWER TRANSISTOR DEVICE

【中文】

本發明揭示一種功率金屬-氧化物-半導體場效電晶體(MOSFET)，其包含一基板、該基板上方之一漂移層及該漂移層上方之一散佈層。該散佈層包含藉由一接面閘極場效(JFET)區域分離之一對接面植入物。一閘極氧化物層係在該散佈層之頂部上。閘極接觸件係在該閘極氧化物層之頂部上。源極接觸件之各者係在該散佈層與該閘極氧化物層及該閘極接觸件分離之一部分上。汲極接觸件係在該基板與該漂移層相對之表面上。

【英文】

A power metal-oxide-semiconductor field-effect transistor (MOSFET) includes a substrate, a drift layer over the substrate, and a spreading layer over the drift layer. The spreading layer includes a pair of junction implants separated by a junction gate field effect (JFET) region. A gate oxide layer is on top of the spreading layer. The gate contact is on top of the gate oxide layer. Each one of the source contacts are on a portion of the spreading layer separate from the gate oxide layer and the gate contact. The drain contact is on the surface of the substrate opposite the drift layer.

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

- 44 功率金屬-氧化物-半導體場效電晶體(MOSFET)裝置
- 46 基板
- 48 漂移層
- 50 散佈層
- 52 接面植入物
- 54 接面閘極場效電晶體(JFET)區域
- 56 深井區域
- 58 基極區域
- 60 源極區域
- 62 通道寬度
- 64 閘極氧化物層
- 66 閘極接觸件
- 68 源極接觸件
- 70 汲極接觸件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

垂直式功率電晶體裝置

VERTICAL POWER TRANSISTOR DEVICE

【技術領域】

本發明係關於功率電晶體裝置，且特定言之係關於功率金屬-氧化物-半導體場效電晶體(MOSFET)裝置。

【先前技術】

一功率金屬-氧化物-半導體場效電晶體(MOSFET)係經調適用於高功率應用之電晶體之一類型。一般而言，一功率MOSFET裝置具有一垂直結構，其中一源極及閘極接觸件位於MOSFET裝置之一第一表面上，且該第一表面藉由形成於一基板上之一漂移層與一汲極接觸件分離。垂直式MOSFET有時稱作垂直擴散MOSFET(VDMOSFET)或雙重擴散MOSFET(DMOSFET)。歸因於其等之垂直結構，一功率MOSFET之額定電壓係漂移層之摻雜及厚度之一函數。因此，可使用一相對較小的佔據面積達成高電壓功率MOSFET。

圖1展示一習知功率MOSFET裝置10。習知功率MOSFET裝置10包含一基板12、形成於基板12上方之一漂移層14、漂移層14與基板相對之表面中之一或多個接面植入物16及接面植入物16之各者之間之一接面閘極場效電晶體(JFET)區域18。接面植入物16之各者係藉由一離子植入程序形成，且包含一深井區域20、一基極區域22及一源極區域24。各深井區域20自漂移層14與基板12相對之一角隅向下朝基板12延伸且向內朝漂移層14之中心延伸。如圖1中所示，深井區域20可均勻地形成或包含一或多個突起區域。各基極區域22係由漂移層14與基板

12相對之表面向下朝基板12沿深井區域20之各者之內緣之一部分垂直形成。各源極區域24形成於漂移層14與基板12相對之表面上之一淺部分中，且橫向延伸以使深井區域20之一部分與基極區域22重疊而不會延伸在彼此上方。JFET區域18界定接面植入物16之各者之間之一通道寬度26。

一閘極氧化物層28定位於漂移層14與基板12相對之表面上，且在各源極區域24之表面之一部分之間橫向延伸，使得閘極氧化物層28在接面植入物16中之各源極區域24之表面之間部分重疊且延伸。一閘極接觸件30定位於閘極氧化物層28之頂部上。兩個源極接觸件32各定位於漂移層14與基板12相對之表面上，使得源極接觸件32之各者分別使接面植入物16之一者之源極區域24與深井區域20兩者部分重疊且不接觸閘極氧化物層28或閘極接觸件30。一汲極接觸件34位於基板12與漂移層14相對之表面上。

在操作中，當未施加一偏壓電壓於閘極接觸件30且汲極接觸件34經正向加偏壓時，各深井區域20與漂移層14之間之一接面逆向加偏壓，藉此將習知功率MOSFET 10置於一斷開狀態。在習知功率MOSFET 10之斷開狀態中，源極與汲極接觸件之間之任何電壓係藉由漂移層14支持。歸因於習知功率MOSFET 10之垂直式結構，可在源極接觸件32與汲極接觸件34之間放置大電壓且不損壞裝置。

圖2展示當習知功率MOSFET 10處於一接通狀態時該裝置之操作。當施加一正向偏壓於習知功率MOSFET 10之閘極接觸件30時，一反轉層通道36形成於漂移層14位於閘極接觸件30下方之表面處，藉此將習知功率MOSFET 10置於一接通狀態。在習知功率MOSFET 10之接通狀態中，容許電流(藉由圖2中之陰影區域展示)自源極接觸件32之各者流過反轉層通道36且流至漂移層14之JFET區域18中。一旦在JFET區域18中，電流即朝汲極接觸件34向下流過漂移層14。藉由形

成於深井區域20、基極區域22及漂移層14之間之接面呈現之一電場限制電流在JFET區域18中流至具有一JFET通道寬度40之一JFET通道38中。如圖2中所示，當藉由接面植入物16呈現之電場降低時在與反轉層通道36相距某一散佈距離42處，電流的流動橫向分佈或散佈在漂移層14中。JFET通道寬度40及散佈距離42判定功率MOSFET 10之內部電阻，藉此決定裝置之效能。一習知功率MOSFET 10大體上需要3微米或更寬之一通道寬度26以維持一適當的JFET通道寬度40及散佈距離42以適當地操作該裝置。

藉由深井區域20、基極區域22及漂移層14之間之接面形成之電場輻射穿過閘極氧化物層28，藉此使閘極氧化物層28隨時間實體地降級。最終，電場將導致閘極氧化物層28崩潰，且習知功率MOSFET 10將停止運作。

因此，需要一種功率MOSFET，其能夠在關閉狀態中處置高電壓並同時維持一低接通狀態電阻且具有一改良之壽命。

【發明內容】

本發明係關於一種電晶體裝置，其包含一基板、該基板上之一漂移層及該漂移層上方之一散佈層。該散佈層包含藉由一接面閘極場效(JFET)區域分離之一對接面植入物。該等接面植入物之各者可包含一深井區域、一基極區域及一源極區域。該電晶體裝置進一步包含一閘極氧化物層、一閘極接觸件、一對源極接觸件及一汲極接觸件。該閘極氧化物層係在該散佈層之一部分上使得該閘極氧化物層在各接面植入物之各源極區域之間部分重疊且延伸。該閘極接觸件係在該閘極氧化物層之頂部上。該等源極接觸件之各者係在該散佈層之一部分上使得各源極接觸件分別使各接面植入物之源極區域與深井區域部分重疊。該汲極接觸件係在該基板與該漂移層相對之表面上。

根據一實施例，該散佈層具有一漸變摻雜分佈，使得該散佈層

之摻雜濃度與該散佈層中之點距該JFET區域之距離成比例降低。

根據一額外實施例，該散佈層包含多個層，各層具有與該層距該JFET區域之距離成比例逐漸降低之一不同摻雜濃度。

藉由將一散佈層放置在該漂移層上方，各接面植入物之間的空間或該JFET區域之長度可減小，並同時維持或減小該裝置之接通電阻。藉由減小各接面植入物之間的空間，產生於該電晶體裝置之逆向加偏壓期間之電場之一較大部分藉由該等接面植入物之各者終止，藉此減小藉由該閘極氧化物層經歷之電場且增加該裝置之壽命。

熟習此項技術者將在結合隨附圖式閱讀較佳實施例之以下詳細描述之後明白本發明之範疇且意識到本發明之額外態樣。

【圖式簡單說明】

隨附圖式併入本說明書中且形成本說明書之一部分，其繪示本發明之若干態樣且結合描述以解釋本發明之原理。

圖1展示一習知功率MOSFET裝置之一示意表示。

圖2展示圖1中展示之習知功率MOSFET裝置之操作之細節。

圖3展示根據本發明之一實施例之一功率MOSFET裝置。

圖4展示根據本發明之一實施例之圖3中展示之功率MOSFET裝置之操作之細節。

圖5展示圖3中展示之功率MOSFET裝置之一替代性實施例。

圖6至圖15繪示用於製造圖3中展示之功率MOSFET裝置之一程序。

圖16展示指示藉由圖3中展示之功率MOSFET裝置達成之效能改良之一圖表。

圖17展示指示藉由圖3中展示之功率MOSFET裝置達成之壽命改良之一圖表。

【實施方式】

下文陳述之實施例表示使得熟習此項技術者能夠實踐該等實施例之必要資訊且闡釋實踐該等實施例之最佳模式。在根據隨附圖式閱讀以下描述之後，熟習此項技術者將瞭解本發明之概念且將認知本文未特別解決之此等概念之應用。應瞭解此等概念及應用落在本發明及隨附圖式之範疇內。

應瞭解雖然本文中術語第一、第二等可用於描述各個元件，但是此等元件應不受限於此等術語。此等術語僅用於區分一元件與另一元件。例如，在不脫離本發明之範疇之情況下，一第一元件可被稱作一第二元件，且類似地，一第二元件可被稱作一第一元件。如本文中使用，術語「及/或」包含相關聯之列出項之一或多者之任何及全部組合。

應瞭解，當諸如一層、區域或基板之一元件被稱作「在另一元件上」或延伸「至另一元件上」時，其可直接在該另一元件上方或直接延伸至該另一元件上或亦可存在中介元件。相比之下，當一元件被稱作「直接在另一元件上方」或「直接延伸至另一元件上方」時，不存在中介元件。同樣地，應瞭解，當諸如一層、區域或基板之一元件被稱作「在另一元件上方」或延伸「在另一元件上方」時，其可直接在該另一元件上方或直接延伸在該另一元件上方或亦可存在中介元件。相比之下，當一元件被稱作「直接在另一元件上方」或「直接延伸在另一元件上方」時，不存在中介元件。亦應瞭解，當一元件被稱作「連接」或「耦合」至另一元件時，其可直接連接或耦合至另一元件或可存在中介元件。相比之下，當一元件被稱作「直接連接」或「直接耦合」至另一元件時，不存在中介元件。

諸如「下」或「上」或「上部」或「下部」或「水平」或「垂直」之相對術語可在本文中用來描述如圖式中繪示之一元件、層或區域對另一元件、層或區域之一關係。應瞭解，除圖式中描述之定向以

外，此等術語及上文論述之術語亦旨在涵蓋該裝置之不同定向。

本文中使用的術語僅用於描述特定實施例之目的且旨在限制本發明。如本文所使用，除非上下文另有明確指示，否則單數形式「一」、「一個」及「該」亦旨在包含複數形式。應進一步瞭解術語「包括(comprises)」、「包括(comprising)」、「包含(includes)」及/或「包含(including)」在本文中使用时指定所陳述特徵、整體、步驟、操作、元件及/或組件之存在，但不排除一或多個其他特徵、整體、步驟、操作、元件、組件及/或其等之群組之存在或添加。

除非另有定義，否則本文中所使用之全部術語(其包含科技術語)具有與本發明所屬技術之一般技術者通常所理解之含義相同之含義。應進一步瞭解，除非本文如此明確定義，否則本文中使用的術語應解釋為具有與其等在本說明書及相關技術之背景中之含義一致之一含義且不應以一理想化或過度正式含義解釋。

現在參考圖3，展示根據本發明之一實施例之一功率MOSFET裝置44。功率MOSFET裝置44包含一基板46、形成於基板46上方之一漂移層48、形成於漂移層48上方之一散佈層50、散佈層50與漂移層48相對之表面中之一或多個接面植入物52及接面植入物52之各者之間之一接面閘極場效電晶體(JFET)區域54。接面植入物52之各者可藉由一離子植入程序形成，且可包含一深井區域56、一基極區域58及一源極區域60。各深井區域56自散佈層50與漂移層48相對之一角隅向下朝漂移層48延伸且向內朝散佈層50之中心延伸。深井區域56可均勻地形成或包含一或多個突起區域。各基極區域58係由散佈層50與漂移層48相對之表面向下朝漂移層48沿深井區域56之各者之內緣之一部分垂直形成。各源極區域60形成於散佈層50與漂移層48相對之表面上之一淺部分中，且橫向延伸以使深井區域56之一部分與基極區域58重疊而不會延伸在彼此上方。JFET區域54界定接面植入物52之各者之間之一通

道寬度62。

一閘極氧化物層64定位於散佈層50與漂移層48相對之表面上，且在各源極區域60之表面之一部分之間橫向延伸，使得閘極氧化物層64在接面植入物52中之各源極區域60之表面之間部分重疊且延伸。一閘極接觸件66定位於閘極氧化物層64之頂部上。兩個源極接觸件68各定位於散佈層50與漂移層48相對之表面上，使得源極接觸件68之各者分別使接面植入物52之源極區域60與深井區域56兩者部分重疊且不接觸閘極氧化物層64或閘極接觸件66。一汲極接觸件70位於基板46與漂移層48相對之表面上。

在操作中，當未施加一偏壓電壓於閘極接觸件66且汲極接觸件70經正向加偏壓時，各深井區域56與散佈層50之間之一接面經逆向加偏壓，藉此將習知功率MOSFET 44置於一關閉狀態。在功率MOSFET 44之關閉狀態中，源極與汲極接觸件之間之任何電壓係藉由漂移層48及散佈層50支持。歸因於功率MOSFET 44之垂直式結構，可在源極接觸件68與汲極接觸件70之間放置大電壓且不損壞裝置。

圖4展示當功率MOSFET 44處於一接通狀態時該裝置之操作。當施加一正向偏壓於功率MOSFET 44之閘極接觸件66時，一反轉層通道72形成於散佈層50位於閘極接觸件66下方之表面處，藉此將功率MOSFET 44置於一接通狀態。在功率MOSFET 44之接通狀態中，容許電流(藉由圖4中之陰影區域展示)自源極接觸件68之各者流過反轉層通道72且流至JFET區域54中。一旦在JFET區域54中，電流朝汲極接觸件70向下流過散佈層50。藉由形成於深井區域56、基極區域58及散佈層50之間之接面呈現之一電場限制電流在JFET區域54中流至具有一JFET通道寬度76之一JFET通道74中。

如圖4中所示，當藉由接面植入物52呈現之電場降低時在與反轉層通道72相距某一散佈距離78處，電流的流動橫向分佈或散佈在漂移

層50中。散佈層50以降低散佈層50中之電阻之方式摻雜，藉此藉由增加JFET通道寬度76及降低散佈距離78緩解電場之影響。藉由增加JFET通道寬度76及降低散佈距離78，散佈層50顯著減小功率MOSFET 44之接通電阻。例如，功率MOSFET 44之接通電阻在該裝置經額定以處置1200 V時可為約 $2.2 \text{ m}\Omega/\text{cm}^2$ ，且在該裝置經額定以處置600 V時可為約 $1.8\text{m}\Omega/\text{cm}^2$ 。

藉由減小功率MOSFET 44之接通電阻，散佈層50容許減小接面植入物52之各者之間之通道寬度62。減小功率MOSFET 44之通道寬度62不僅改良該裝置之佔據面積，而且改良壽命。隨著接面植入物52之各者移動彼此靠近，藉由深井區域56、基極區域58及散佈層50之間之接面產生之電場之一較大部分藉由相對接面植入物52而終止。因此，藉由閘極氧化物層64經歷之電場顯著減小，藉此導致改良功率MOSFET 44之壽命。根據一實施例，功率MOSFET 44之通道寬度62小於3微米。

功率MOSFET 44可為(例如)碳化矽(SiC)、砷化鎵(GaAs)或氮化鎵(GaN)裝置。一般技術者將明白，本發明之概念可應用於任何材料系統。功率MOSFET 44之基板46可為約180微米至350微米厚。取決於功率MOSFET 44之額定電壓，漂移層48可為約3.5微米至12微米厚。散佈層50可為約1.0微米至2.5微米厚。接面植入物52之各者可為約1.0微米至2.0微米厚。JFET區域54可為約0.75微米至1.5微米厚。

根據一實施例，散佈層50係具有自約 $2 \times 10^{17} \text{ cm}^{-3}$ 至 $5 \times 10^{16} \text{ cm}^{-3}$ 之一摻雜濃度之一N摻雜層。散佈層50可漸變，使得散佈層50之最靠近漂移層48之部分具有約 $5 \times 10^{16} \text{ cm}^{-3}$ 之一摻雜濃度，其隨著散佈層50向上延伸而逐漸變為約 $2 \times 10^{17} \text{ cm}^{-3}$ 之一摻雜濃度。根據一額外實施例，散佈層50可包括多個層。散佈層50之最靠近漂移層48之層可具有約 $5 \times 10^{16} \text{ cm}^{-3}$ 之一摻雜濃度。散佈層中之各額外層之摻雜濃度可與該層

距JFET區域54之距離成比例降低。散佈層50之最靠近漂移層48之層可具有約 $2 \times 10^{17} \text{ cm}^{-3}$ 之一摻雜濃度。

JFET區域54可為具有自約 $1 \times 10^{16} \text{ cm}^{-3}$ 至 $2 \times 10^{17} \text{ cm}^{-3}$ 之一摻雜濃度之一N摻雜層。漂移層48可為具有自約 $6 \times 10^{15} \text{ cm}^{-3}$ 至 $1.5 \times 10^{16} \text{ cm}^{-3}$ 之一摻雜濃度之一N摻雜層。深井區域56可為具有自約 $5 \times 10^{17} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 之一摻雜濃度之一重P摻雜區域。基極區域58可為具有自約 $5 \times 10^{16} \text{ cm}^{-3}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 之一摻雜濃度之一P摻雜區域。源極區域60可為具有自約 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{21} \text{ cm}^{-3}$ 之一摻雜濃度之一N摻雜區域。如一般技術者將明白，N摻雜劑可為氮、磷或任何其他合適的元素。如一般技術者將明白，P摻雜劑可為鋁、硼或任何其他合適的元素。

閘極接觸件66、源極接觸件68及汲極接觸件70可由多個層組成。例如，接觸件之各者可包含一第一鎳或鎳-鋁層、第一層上方之一第二鈦層、第二層上方之一第三鈦-鎳層及第三層上方之一第四鋁層。熟習此項技術者將明白，閘極接觸件66、源極接觸件68及汲極接觸件70可由任何合適的材料形成。

圖5展示根據本發明之一額外實施例之功率MOSFET 44。圖5中展示之功率MOSFET 44實質上類似於圖3之功率MOSFET，但是進一步包含閘極氧化物層64與散佈層50之間之一通道再生長層80。通道再生長層80經提供以降低功率MOSFET 44之臨限電壓。具體言之，深井區域56歸因於一重摻雜位準可將功率MOSFET 44之臨限電壓提升至禁止最佳效能之一位準。因此，通道再生長層80可抵消深井區域56之影響以降低功率MOSFET 44之臨限電壓。通道再生長層80可為具有自約 $1 \times 10^{15} \text{ cm}^{-3}$ 至 $1 \times 10^{17} \text{ cm}^{-3}$ 之一摻雜濃度之一N摻雜區域。

圖6至圖15繪示用於製造圖3中展示之功率MOSFET 44之一程序。首先，如圖6繪示，漂移層48生長在基板46之頂部上。一般技術

者將認知，任何合適的生長程序可用以在不脫離本發明之原理之情況下產生漂移層48。例如，一化學氣相沈積程序可用以形成漂移層48。

接著，如圖7繪示，散佈層50生長在漂移層48之頂部上。如上文論述，任何合適的生長程序可用以在不脫離本發明之原理之情況下產生散佈層50。根據一實施例，散佈層50經生長使得其包含一漸變摻雜分佈。

接著，如圖8繪示，接面植入物52之各者之深井區域56被植入在散佈層50中。如一般技術者將明白，深井區域56可由任何合適的植入程序植入。例如，一離子植入程序可用以形成深井區域56。如圖9繪示，接著植入基極區域58，隨後如圖10繪示植入源極區域60。

接著，如圖11繪示，植入JFET區域54。如上文論述，任何合適的植入程序可用以在不脫離本發明之原理之情況下產生JFET區域54。此外，雖然未繪示，但是JFET區域54可替代地由一生長程序產生。

接著，如圖12繪示，閘極氧化物層64形成於散佈層50之頂部上，使得閘極氧化物層64在接面植入物52中之各源極區域60之表面之間部分重疊且延伸。在圖13中，閘極接觸件66形成於閘極氧化物層64之頂部上。如圖14繪示，接著在散佈層50之表面上形成源極接觸件68使得源極接觸件68之各者分別使接面植入物52之源極區域60與深井區域56部分重疊，且不接觸閘極氧化物64或閘極接觸件66。最後，在圖15中，汲極接觸件70提供在基板46與漂移層48相對之表面上。

圖16係描繪散佈層50對功率MOSFET 44之接通電阻之影響之一圖表。如所示，散佈層提供該裝置之接通電阻之約一20%的降低。

圖17係描繪散佈層50對由閘極氧化物層64經歷之電場之影響之一圖表。因為散佈層50容許在不妨礙功率MOSFET 44之效能之情況下減小通道寬度62，所以可藉由相對接面植入物52終止由閘極氧化物層

64 經歷之至多 26% 的電場，藉此顯著增加該裝置之壽命。

熟習此項技術者將認知對本發明之較佳實施例之改良及修改。本文中揭示之概念之範疇及以下申請專利範圍內考量全部此等改良及修改。

【符號說明】

- 10 功率金屬-氧化物-半導體場效電晶體(MOSFET)裝置
- 12 基板
- 14 漂移層
- 16 接面植入物
- 18 接面閘極場效電晶體(JFET)區域
- 20 深井區域
- 22 基極區域
- 24 源極區域
- 26 通道寬度
- 28 閘極氧化物層
- 30 閘極接觸件
- 32 源極接觸件
- 34 汲極接觸件
- 36 反轉層通道
- 38 接面閘極場效電晶體(JFET)通道
- 40 接面閘極場效電晶體(JFET)通道寬度
- 42 散佈距離
- 44 功率金屬-氧化物-半導體場效電晶體(MOSFET)裝置
- 46 基板
- 48 漂移層
- 50 散佈層

52	接面植入物
54	接面閘極場效電晶體(JFET)區域
56	深井區域
58	基極區域
60	源極區域
62	通道寬度
64	閘極氧化物層
66	閘極接觸件
68	源極接觸件
70	汲極接觸件
72	反轉層通道
74	接面閘極場效電晶體(JFET)通道
76	接面閘極場效電晶體(JFET)通道寬度
78	散佈距離
80	通道再生長層

申請專利範圍

1. 一種電晶體裝置，其包括一閘極、一源極及一汲極，其中該閘極及該源極係藉由至少一JFET區域、一包含一漸變摻雜分佈之散佈層及一漂移層而與汲極分離，其中該散佈層之摻雜濃度在該JFET區域與漂移層之間之變化超過約 10^2 cm^{-3} 。
2. 如請求項1之電晶體裝置，其中該JFET區域、該散佈層及該漂移層包括碳化矽。
3. 如請求項1之電晶體裝置，其中該電晶體裝置係一垂直安置之金屬-氧化物-半導體場效電晶體(MOSFET)。
4. 如請求項1之電晶體裝置，其中該JFET區域具有一第一摻雜濃度，該散佈層具有不同於該第一摻雜濃度之一第二摻雜濃度，且該漂移層具有不同於該第一摻雜濃度及該第二摻雜濃度之一第三摻雜濃度。
5. 如請求項4之電晶體裝置，其中該散佈層具有大約 $2 \times 10^{17} \text{ cm}^{-3}$ 至大約 $5 \times 10^{16} \text{ cm}^{-3}$ 之範圍中之一摻雜濃度。
6. 如請求項4之電晶體裝置，其中該JFET區域具有大約 $1 \times 10^{16} \text{ cm}^{-3}$ 至大約 $2 \times 10^{17} \text{ cm}^{-3}$ 之範圍中之一摻雜濃度。
7. 如請求項1之電晶體裝置，其中該JFET區域之一厚度係在大約0.75微米至大約1微米之範圍中。
8. 如請求項1之電晶體裝置，其中該散佈層之一厚度係在大約1.0微米至大約2.5微米之範圍中。
9. 如請求項1之電晶體裝置，其中該漂移層之一厚度係在大約3.5微米至大約12微米之範圍中。
10. 如請求項1之電晶體裝置，其中該電晶體裝置之一內部電阻小於大約 $2.2 \text{ m}\Omega/\text{cm}^2$ 。

11. 如請求項1之電晶體裝置，其中該電晶體裝置經調適以在一關閉狀態時支持該源極與該汲極之間至少600 V之一電壓，且進一步其中該電晶體裝置具有小於大約 $1.8 \text{ m}\Omega/\text{cm}^2$ 之一內部電阻。
12. 如請求項1之電晶體裝置，其中該電晶體裝置經調適以在一關閉狀態時支持該源極與該汲極之間至少1200 V之一電壓，且進一步其中該電晶體裝置具有小於大約 $2.2 \text{ m}\Omega/\text{cm}^2$ 之一內部電阻。
13. 一種電晶體裝置，其包括：
 - 一基板；
 - 該基板上之一漂移層；
 - 該漂移層上之一散佈層具有一漸變之摻雜分佈，使得該散佈層之摻雜濃度在該JFET區域與漂移層之間之變化超過約 10^2 cm^{-3} ；
 - 在該散佈層中且被該JFET區域隔開之一對接面植入物，該對接面植入物之每一者包括一深井區域、一基極區域、及一源極區域；
 - 該散佈層上之一閘極接觸件及一源極接觸件，使得該閘極在該對接面植入物中之各源極區域之間部分重疊且延伸；及
 - 該基板上與該漂移層相對之一汲極接觸件。
14. 如請求項13之電晶體裝置，其進一步包括該閘極接觸件與該散佈層之間之一閘極氧化物層。
15. 如請求項13之電晶體裝置，其中該源極接觸件劃分成兩個區段，且該源極接觸件之各區段係在該散佈層之一部分上使得該源極接觸件之各區段分別使該對接面植入物之各者之該源極區域與該深井區域兩者部分重疊。
16. 如請求項13之電晶體裝置，其中該電晶體裝置係一垂直安置之金屬-氧化物-半導體場效電晶體(MOSFET)。
17. 如請求項13之電晶體裝置，其中該漂移層及該散佈層包括碳化

矽。

18. 如請求項13之電晶體裝置，其中該JFET區域之寬度係大約3微米或更小。
19. 如請求項18之電晶體裝置，其中該電晶體裝置之一內部電阻小於大約 $2.2 \text{ m}\Omega/\text{cm}^2$ 。
20. 如請求項13之電晶體裝置，其中該電晶體裝置經調適以在一關閉狀態時支持該源極接觸件與該汲極接觸件之間至少600 V之一電壓，且進一步其中該電晶體裝置具有小於大約 $1.8 \text{ m}\Omega/\text{cm}^2$ 之一內部電阻。
21. 如請求項13之電晶體裝置，其中該電晶體裝置經調適以在一關閉狀態時支持該源極接觸件與該汲極接觸件之間至少1200 V之一電壓，且進一步其中該電晶體裝置具有大約小於 $2.2 \text{ m}\Omega/\text{cm}^2$ 之一內部電阻。
22. 如請求項13之電晶體裝置，其中該漂移層之一厚度係在大約3.5微米至大約12微米之範圍中。
23. 如請求項13之電晶體裝置，其中該散佈層之一厚度係在大約1.0微米至大約2.5微米之範圍中。
24. 如請求項13之電晶體裝置，其中該JFET區域之厚度係在大約0.75微米至大約1.0微米之範圍中。
25. 如請求項13之電晶體裝置，其中該對接面植入物之各者之厚度係在大約1.0微米至大約2.0微米之範圍中。

圖式

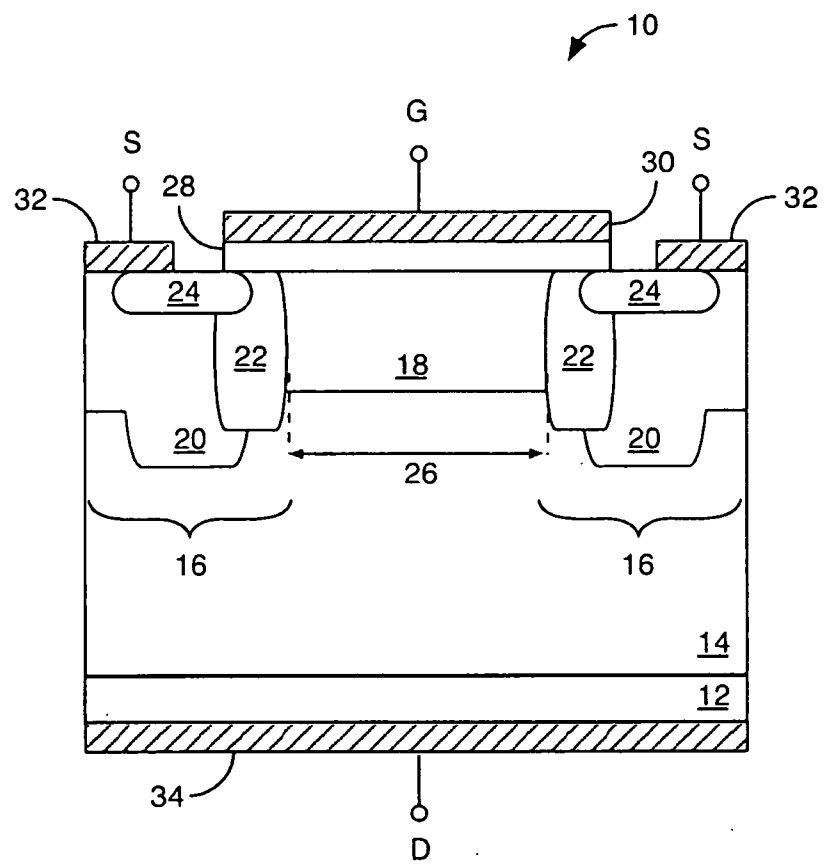


圖 1

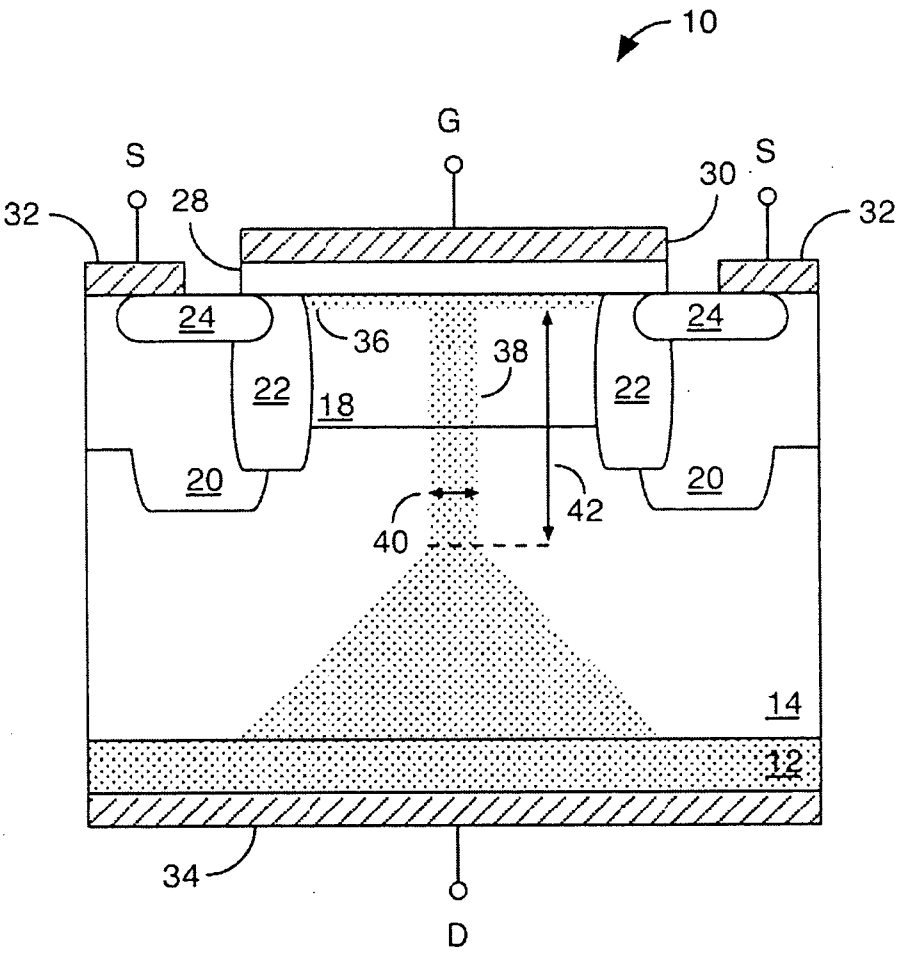


圖 2

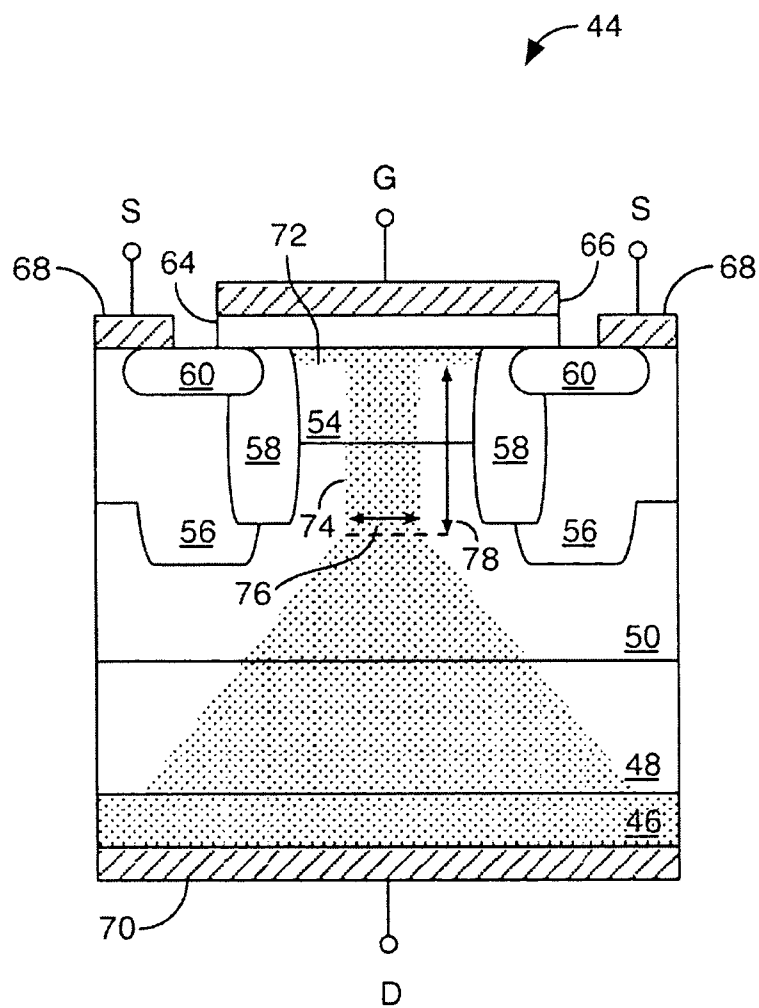


圖 4

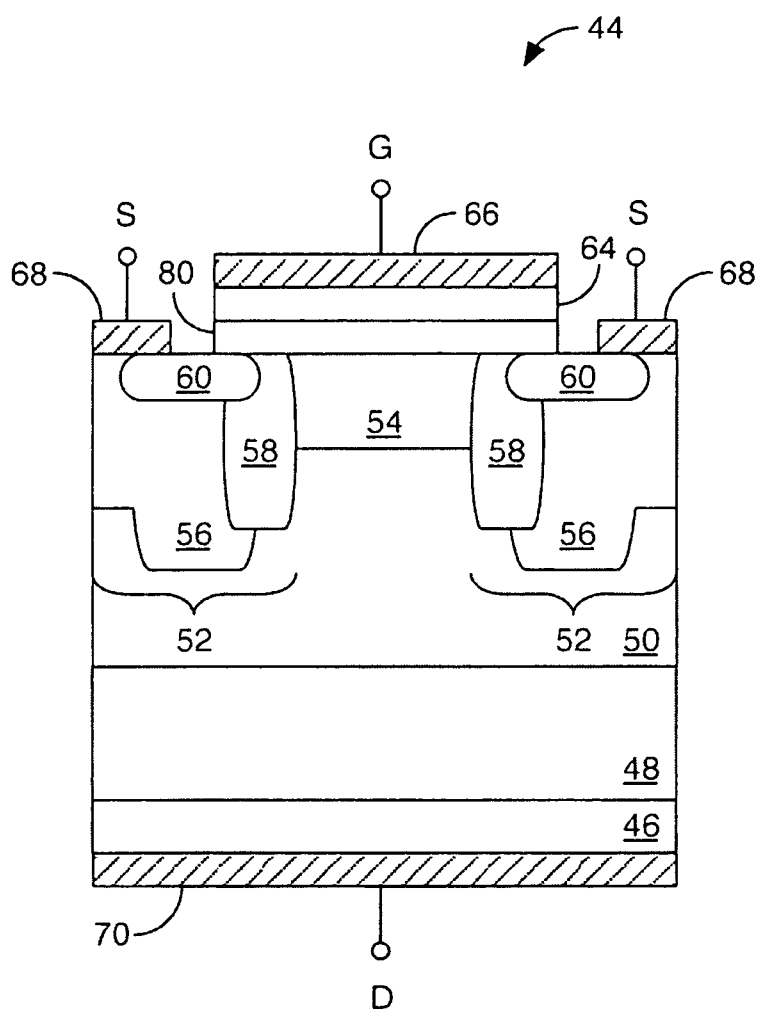


圖 5

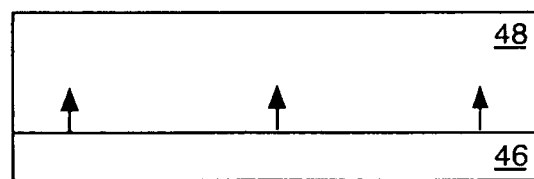


圖 6

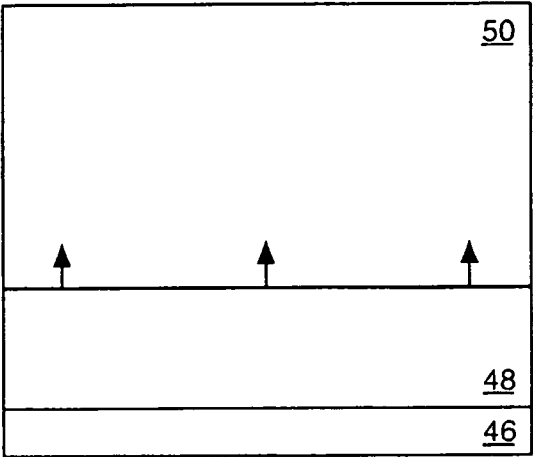


圖 7

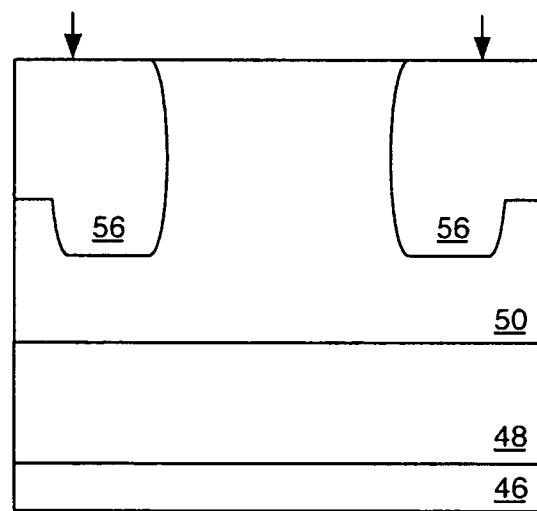


圖 8

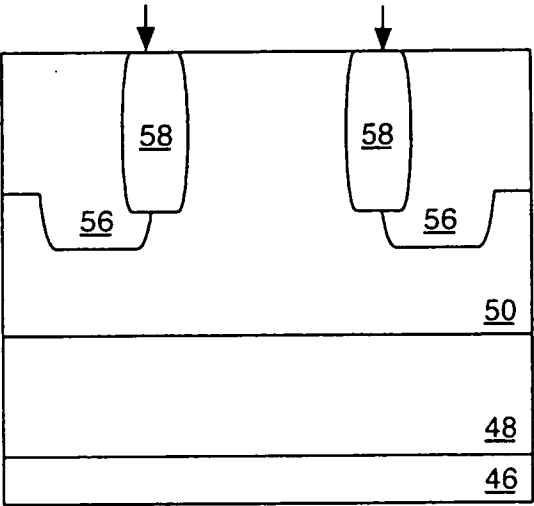


圖 9

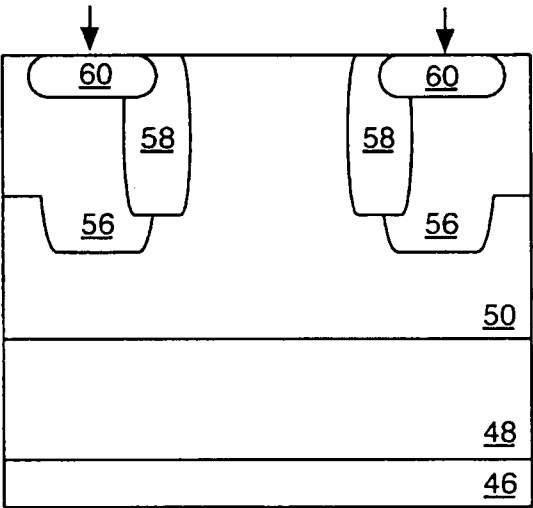


圖 10



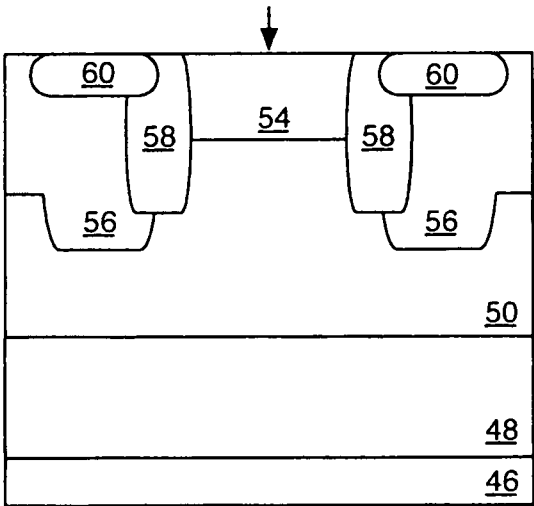


圖 11

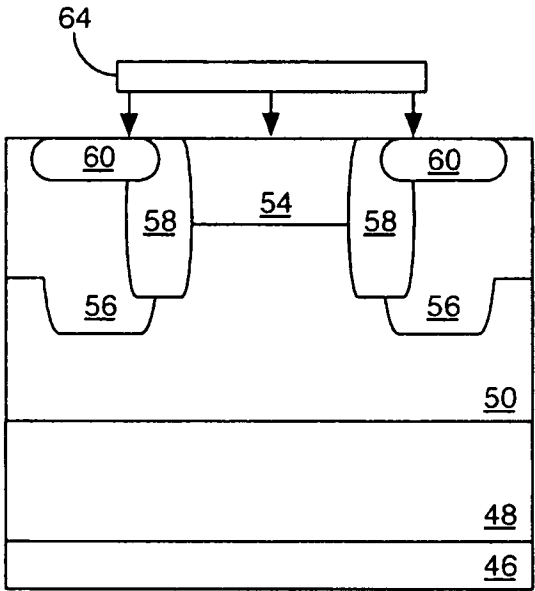


圖 12



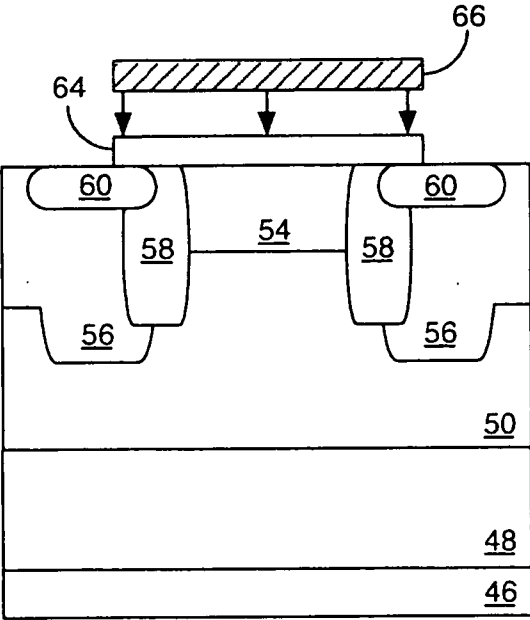


圖 13

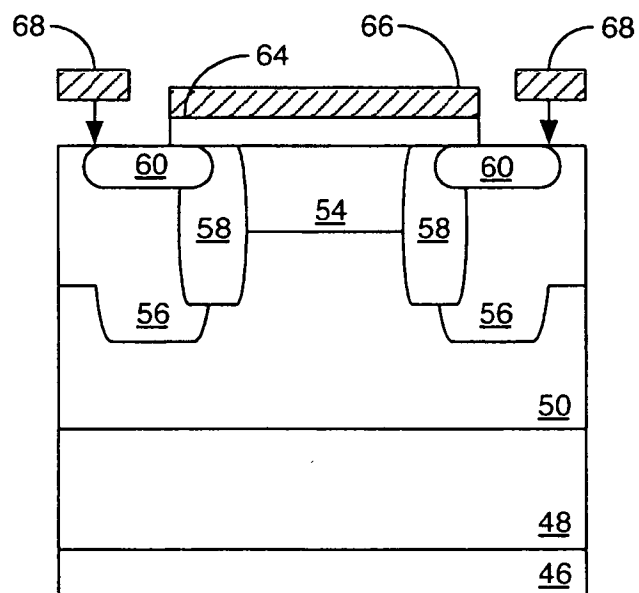


圖 14

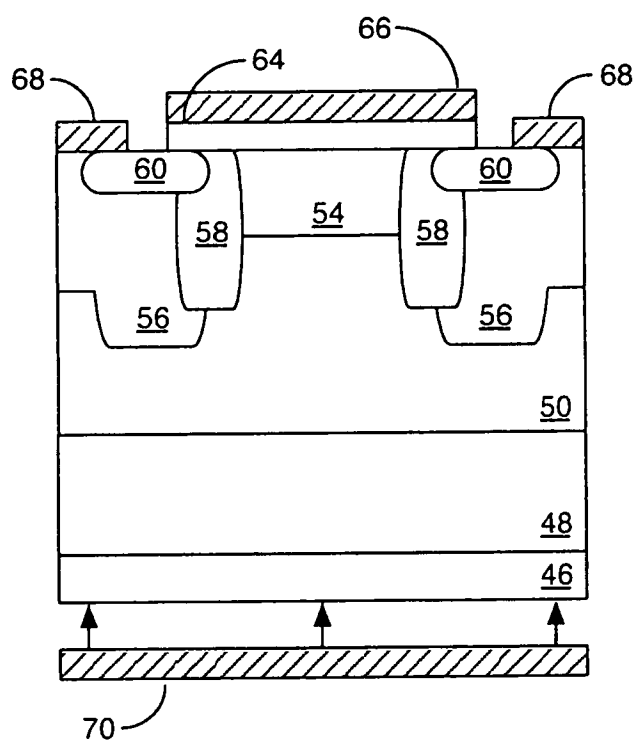


圖 15

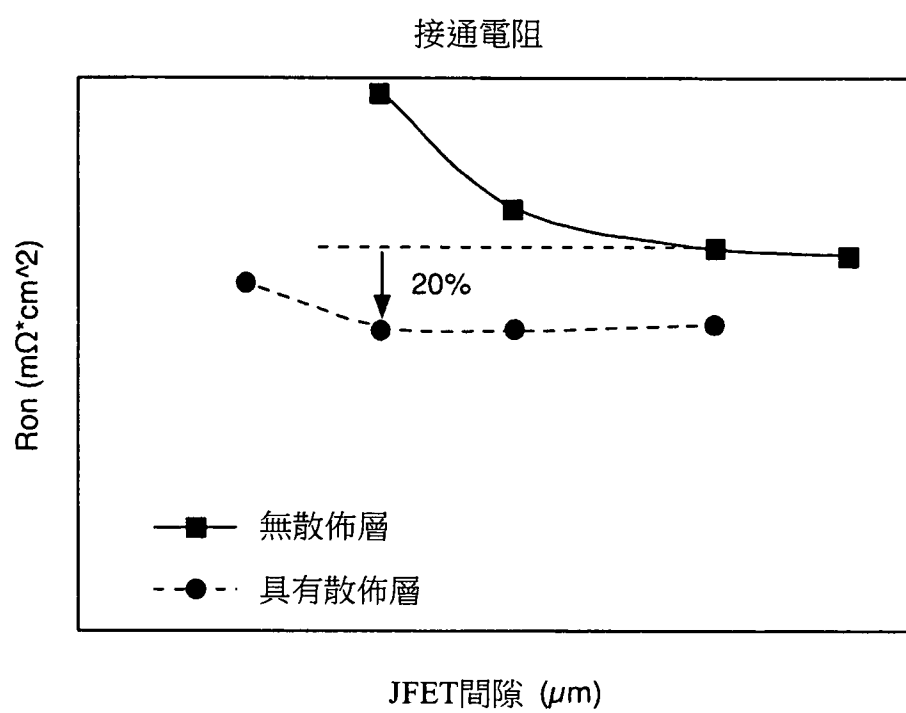


圖 16

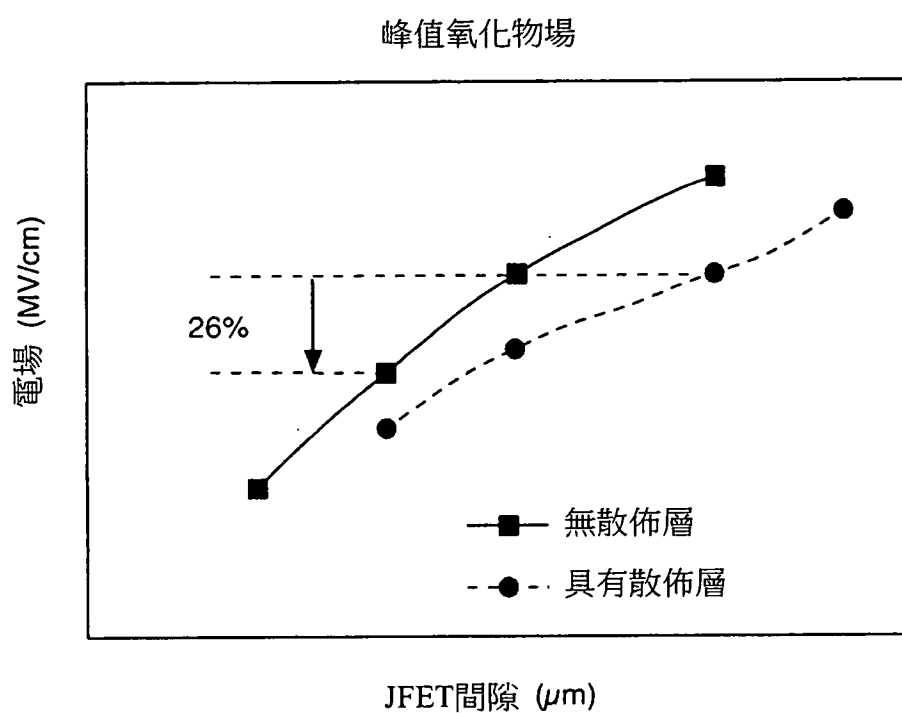


圖 17