

91年1月21日

修正

申請日期： 88.7.20	案號：88112305
類別： H05K 3/04	91年1月21日 修正 補充

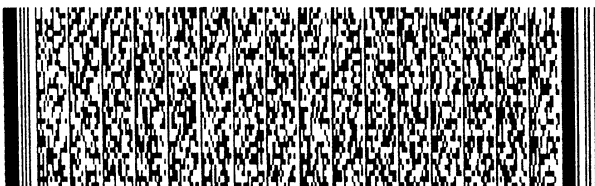
(以上各欄由本局填註)

公告本

## 發明專利說明書

496107

一、 發明名稱	中文	用以將一導電層與一導電元件作電氣耦合之裝置及其方法，以及以電氣耦合一電路板導電層之裝置及其方法
	英文	APPARATUS TO ELECTRICALLY COUPLE A CONDUCTIVE LAYER TO A CONDUCTIVE ELEMENT AND METHOD THEREFOR, AND APPARATUS TO ELECTRICALLY COUPLE CONDUCTIVE LAYERS OF A CIRCUIT BOARD AND METHOD THEREFOR
二、 發明人 煩請 修正 本 有 無 變 更 實 質 內 容 91 年	姓名 (中文)	1. 艾得華 亞林 伯頓
	姓名 (英文)	1. EDWARD ALLYN BURTON
	國籍	1. 美國
	住、居所	1. 美國奧立岡州希斯坡洛市東北瓦拉瑞庭道679號
三、 申請人 1 月 21 日 所 提 之 修 正 內 容 准 予 修 正。	姓名 (名稱) (中文)	1. 美商英特爾公司
	姓名 (名稱) (英文)	1. INTEL CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人 姓名 (中文)	1. F. 湯姆士. 當烈二世
	代表人 姓名 (英文)	1. F. THOMAS DUNLAP, JR.



本案已向

國(地區)申請專利

美國 US

申請日期

案號

主張優先權

1998/07/20 09/119,467

有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

發明範圍

本發明適用於一方法和裝置，用以在電路板或類似構造中安置通孔。更特別的是，本發明適用於在層積多層型印刷電路板相鄰層中之通孔定位，使設備在耦合至此類印刷電路板間能更直接作電氣耦合。

相關技術說明

如該技術中所熟知，印刷電路板(PCB)提供一種支撐結構，使連結至板上之多數裝置互相耦合成為可能。舉例，在一簡單型式之PCB內，例如所謂的"FR4"PCB，裝設有一環氧樹脂基板利用編織之玻璃纖維布強化並處理來加強它的防燃功能。導電性材料沉積在PCB上之指定區域。在PCB之表面上可以製作出空間使零件，例如積體電路(IC)晶片，電阻器，電容器等，插入或使用其他方法電氣黏接至PCB之表面。該等導電性材料預先沉積在PCB上，提供一各元件間所需要的電氣耦合。

PCB技術已進步至超越在一單層中提供電氣耦合的程度。在所謂的層積多層(BUM)技術，以一絕緣材料提供多層之導電耦合，例如一非傳導性材料配置在每一層之間。個別的層組一般是利用通孔和微通孔和電鍍之通孔導電性的連結在一起。一通孔是一凹處在該層積PCB之一第一層的一表面內，它貫穿絕緣層至一配置於一較低層的導電區域。典型地，絕緣層是在一指定區域中蝕刻降至較低層之高度。

然後，一導電材料被沉積(例如濺鍍)至絕緣層上並進入



## 五、發明說明 (2)

至蝕刻面積上以便在兩個導電層間建立電氣耦合。

一電鍍通孔(PTH)典型上是一鑽穿PCB基板之孔，而PTH之內表面有鍍上一導電材料。一PTH在一第一或基板前端之一導電層上提供一電氣耦合至一在一第二或基板背部之一導電層。層積多層(或高密度多層)板之範例如Ibiden USA公司所販售，WürthElektronik GmbH(Rot am See，德國)商標DYCO strate<sup>®</sup>及TWINflex<sup>®</sup>。

參考附圖1，顯示一如本技術所熟知之層積PCB之截面視圖。PCB表面層11是一層積PCB 1基板10之上表面。一第一導電層12是安置在一絕緣層14之上，且第二導電層13是以一中間絕緣層15安置在第一導電層12之上。如附圖1所示，一第一通孔21電氣耦合第一層12至PCB表面層11，一第二通孔22電氣耦合第二層13至第一層12。

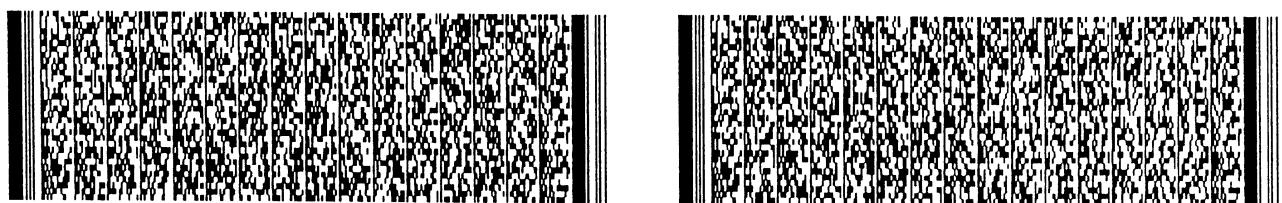
在以上所述之層積PCB中，該PTH是典型的和另一個PTH以相同的距離安置。因此，該術語"PTH節距"定義為兩相鄰PTH對應點之間的距離。在附圖1中，該PTH節距是設定成40至50mils(此處1 mils等於一千分之一英吋)。在一積層PCB之第一層上之一通孔不能直接安置在一相鄰層中一通孔之上方是可以接受的慣例。這是因為如此做可能會在PCB中電氣耦合三相鄰層。另一可接受的慣例是一通孔不能安置在一PTH之上。這是因為有一假設性的危險如此做可能會使一或多層崩潰至PTH內。但是，此慣例已改變中，且通孔此時是在第二或PTH上之較高層中安置在PTH上方。



## 五、發明說明 (3)

給定以上之限制，一般的"通孔節距"(在一給定層上相鄰通孔中心點間之距離)是大概的設定為PTH節距的兩倍(例如80至100mils)。參考附圖1，對通孔22之最佳安置是在通孔21和23之中間點將在下文進一步的說明。如果假設一IC線路30(舉例，一控制崩潰晶片耦合(CCCC)所安裝之處理器例如是一Pentium<sup>®</sup>處理器)是安裝在PCB基板10之底端，在本項技術中眾所週知裝設有一退耦電容25電氣連結至PCB 1之IC電路晶片通孔。電流從IC晶片流經電鍍通孔31經由通孔21和22至電容器25。給定一通孔節距它是PTH節距的兩倍，在通孔21和23中間點安置通孔22可在IC晶片30和電容器25之間，提供最短的電流路徑。在此範例中，電流路徑包括PTH節距(在層11中)之一半和通孔節距(在層12中)之一半。

使用如附圖1所示之通孔系統，至少有兩類問題可能會發生。第一項是IC晶片30和電容器25之間有一可感覺到數量存在的所謂寄生電感和電阻。這是部分因為從IC晶片30和電阻25因通孔節距所產生之電流路徑長度。第二個問題被認為和電源柵的結構有關。參考附圖2，所顯示為為本技術所熟知一層積電路板之上視圖。大的導電襯墊40a，b，c是裝設在板之最上層並連結至一電源供應或接地。當在此最上層中安置通孔時(例如通孔41a，b，c)，該通孔是完全的被安置在大的襯墊40a，b，c範圍內是一般的需求以便在此最上層之下的各層形成較佳的電氣耦合。也，如以上所述，該通孔一般不會安置在一PTH(例如PTH 42)



#### 五、發明說明 (4)

之上，它可能典型的直接存在於PCB基座內襯墊40a，b，c其中之一之下方。以精確的位置安置此種通孔會造成PCB製造者的困難。

有鑑於層積板技術上之前述問題，有一改善層積PCB內相鄰層電氣連結的方法和裝置之需求。

#### 發明總結

按照本發明有關之一具體實物例，提供一裝置來電氣連結一導電層至一導電元件。一第一絕緣層是配置在第一、較上層、導電層之下方，且一導電元件配置在第一絕緣層之下方。在第一導電層和第一絕緣層中之一延長通孔具有一長度足夠經由第一絕緣層電氣連結第一導電層至導電元件。

#### 附圖簡要說明

附圖1是為本技術所熟知之一積層PCB之一截面視圖。

附圖2是一為本技術所熟知之一積層PCB之一平面視圖。

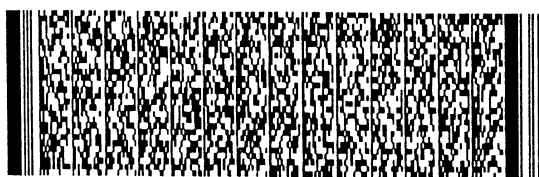
附圖3是一按照本發明之一具體實物例製作一積層PCB之一斷面視圖。

附圖4是附圖3之積層PCB之一平面視圖。

附圖5是一按照本發明之另一具體實物例製作之一積層PCB的平面視圖。

#### 詳細說明

參考附圖3，所示為按照本發明之一具體實物例積層PCB 2之一斷面側視圖。裝設有一PCB基板50它可能包括一或若干電鍍通孔(例如PTH 52)。層54是PCB基板50上之一上表

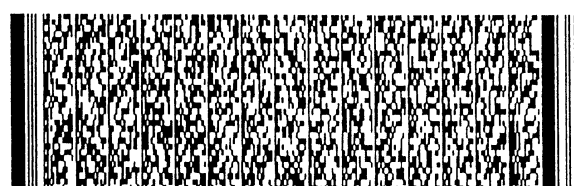
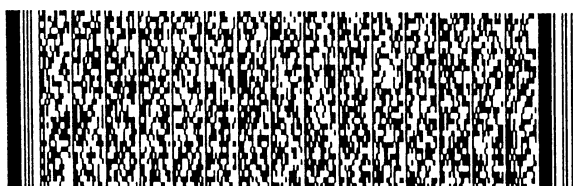


## 五、發明說明 (5)

面。第一層55是從層54利用除了延伸通孔60a, b, c外之絕緣層56隔開。按照本發明之一具體實務例，層55之一延長通孔的長度，延申貫穿絕緣層56至層54，與附圖1中所顯示之通孔相比較是少許長於一相當之長度。這些延長的通孔可以使用和附圖1通孔相同之方法做出。舉例，在一具有通至一較低層之通孔之第一導電層裝設後，一絕緣層配置在導電層之上方。然後，一延伸面積被蝕刻至絕緣層使其和通孔重疊。在絕緣層之上方和延長之蝕刻面積上方配置導電材料形成一第二導電層和一延長之通孔。該延長之通孔連結第二導電層至第一導電層中之通孔。

在按照本發明之第一具體實務例中，該延長通孔在一第一、較上層之內，具有一長度足夠直接電氣連結該第一層至一第二層(較低層)內之一通孔的一邊緣。舉例，參考附圖3，該延伸通孔62b之長度是足夠的以便直接耦合層57至一層55中之通孔60b的一邊緣。在一和本發明有關之第二具體實務例中，該延伸的通孔在一第一(較上層)中，具有一長度足夠直接電氣連結第一層至一在第一層下方電鍍通孔的一邊緣。舉例，參考附圖3，延伸通孔60b的長度是足夠的，以便直接耦合層55至PTH 52之一邊緣。因此，按照本發明之各種具體實務例，該延長的通孔具有足夠的長度，以便電氣和直接地連結一第一導電層至導電元件例如一通孔之一邊緣或電鍍通孔，在一相鄰層中之一導電痕跡上的一點等。

使用本發明之延長通孔，從一IC線路70(例如一處理器)



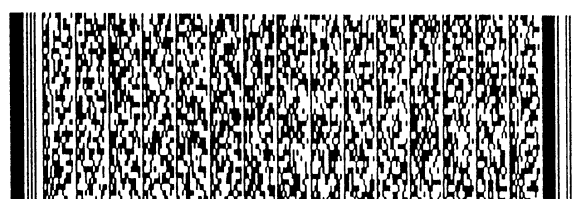
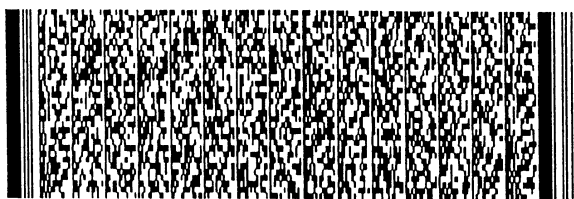
## 五、發明說明 (6)

經由PCB2至電容器端子65可以製作出一更直接之電氣耦合。在裝設通孔60b以連結層55和層54，因為製造上之允差無法知道PTH 52在PCB上之精確位置。利用延長如以上所述之通孔，在該通孔60b和該PTH 52的內壁之間的電氣耦合可以事實上的確定。實際上，通孔60b和PTH 52自我對準"，縱使PTH 52之位置只是大略的知道。同樣的，層57通孔62b之延長確保和層55中之通孔60b接觸。延長通孔62b和層55中之通孔60b自我對準"以提供一從層55至連結至層57元件之較直接的電流流動。於是，從PTH 52至電容器端子65之電流流動是實質上的直接通至PCB 2充分的因降低電流流動所產生之寄生電感。

參考附圖4，顯示PCB 2之一平面視圖的一部份。電容器端子65連結至層57，該層可能從本元件向下延伸。通孔62b不和導電層57脫離，但向下延伸以電氣連結層55和層57。如附圖4所示，通孔62b直接連結至一層55中通孔60b之一邊緣。因此，在本實務例中，從層55中通孔60b之電流流動向上至層57通孔62b之任何內壁。

參考附圖5，顯示另一PCB 80平面視圖的一部份，具有一電源柵81。電源柵81包括一或若干相當大的襯墊81a，81b選配使連結至一電源供應、接地等。一延長通孔83電氣連結襯墊81a和一低於電源柵81之層。如附圖5所示，延長通孔83可以移至所指的方向而不會和襯墊81a脫離接觸，使連結襯墊81a至一低於電源柵81之層更為容易。

雖然有許多具體實務例在本文是特別的圖示和說明，它



## 五、發明說明 (7)

將被領會即本發明之修改和變化是包含在以上之教導和所附加的申請專利範圍條款之中，而不會違反本發明之精神和意指範圍。

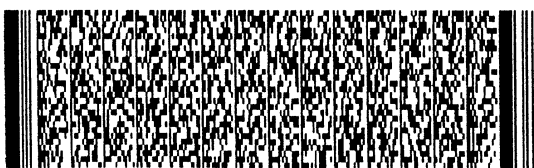


## 圖式簡單說明

元件符號說明

91年1月21日	修正 補充
----------	----------

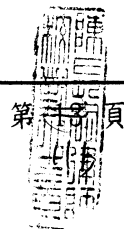
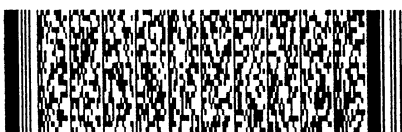
2	積層PCB
10	基板
11	PCB表面層
12	第一導電層
13	第二導電層
14	絕緣層
15	中間絕緣層
21	第一通孔
22	第二通孔
23	通孔
25	退耦電容
30	IC線路
31	電鍍通孔(PTH)
40a、40b、40c	大的導電襯墊
41a、41b、41c	通孔
42	PTH
50	PCB基板
52	PTH
54	層
55	第一層
56	絕緣層
57	層
60a、60b、60c	延伸通孔



圖式簡單說明

- 62b 延伸通孔
- 65 電容器端子
- 70 IC 線路
- 81a、81b 襯墊
- 83 通孔

91 年 1 月 21 日  
修正  
補充



四、中文發明摘要 (發明之名稱：用以將一導電層與一導電元件作電氣耦合之裝置及其方法，以及以電氣耦合一電路板導電層之裝置及其方法)

本發明提出一種改良方法用以耦合積層電路板之導電元件。該改良方法不是使用通孔或微通孔耦合一導電層至一由一絕緣層隔開之導電元件，而是使用一延長的通孔。在一具體實施例中，該延長通孔具有一長度，足夠直接耦合一第一層至一下層中之一通孔的邊緣。因此，可以說該延長通孔與該下層中之通孔"自我對準"。故而，從一電路板之一側至一與該電路板另一側耦合之元件的電氣連接更能直接在寄生電感中形成一降低的情形。

英文發明摘要 (發明之名稱：APPARATUS TO ELECTRICALLY COUPLE A CONDUCTIVE LAYER TO A CONDUCTIVE ELEMENT AND METHOD THEREFOR, AND APPARATUS TO ELECTRICALLY COUPLE CONDUCTIVE LAYERS OF A CIRCUIT BOARD AND METHOD THEREFOR )

An improvement is presented for connecting conductive components of a built-up circuit board. Rather than using vias or micro vias to connect a conductive layer to a conductive component separated by an insulating layer, an elongated via is used. In one embodiment, the elongated via has a length that is sufficient to directly coupled a first layer to the edge of a via in a lower layer. Thus, it can be said that the elongated via "self-aligns" with the via in the lower layer. In



四、中文發明摘要 (發明之名稱：用以將一導電層與一導電元件作電氣耦合之裝置及其方法，以及以電氣耦合一電路板導電層之裝置及其方法)

91年 1月 21日 修正  
補充

英文發明摘要 (發明之名稱：APPARATUS TO ELECTRICALLY COUPLE A CONDUCTIVE LAYER TO A CONDUCTIVE ELEMENT AND METHOD THEREFOR, AND APPARATUS TO ELECTRICALLY COUPLE CONDUCTIVE LAYERS OF A CIRCUIT BOARD AND METHOD THEREFOR )

doing so, electrical connections from one side of a circuit board to a component coupled to the other side of the circuit board are more direct leading to a reduction in parasitic induction.



## 六、申請專利範圍

1. 一種用以將一導電層與一導電元件作電氣耦合之裝置，包含：

- 一第一上導電層；
- 一配置於該第一導電層下方之第一絕緣層；
- 一配置於該絕緣層下方之導電元件；及
- 一位於該第一導電層與該第一絕緣層內之延長通孔，該延長通孔具有一長度，足夠使該第一導電層與該導電元件作直接的電氣耦合。

2. 如申請專利範圍第1項之裝置，尚包括：

- 一配置於該第一絕緣層下方之第二下導電層；
- 一配置於該第二導電層下方之第二絕緣層，其中該導電元件是一位於該第二導電層與該第二絕緣層內之通孔，且該延長通孔具有一長度，足夠使該第一導電層與該通孔之一緣作直接之電氣耦合。

3. 如申請專利範圍第2項之裝置，尚包括：

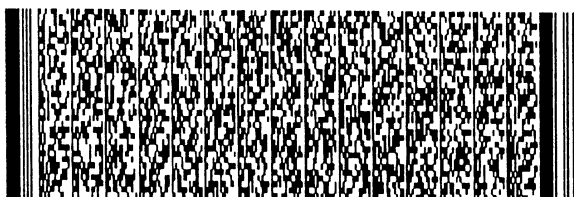
- 一包含一配置於該第二絕緣層下方電鍍通孔之基板，該位於該第二導電層與該第二絕緣層內之通孔是一延長通孔，其具有一長度，足夠使該第二導電層與該電鍍通孔之一緣作直接之電氣耦合。

4. 如申請專利範圍第3項之裝置，尚包括：

- 一與該第一導電層作電氣耦合之元件。

5. 如申請專利範圍第4項之裝置，其中該元件是一電容器。

6. 如申請專利範圍第4項之裝置，尚包括：



## 六、申請專利範圍

一耦合至該基板電鍍通孔之處理器。

7. 如申請專利範圍第5項之裝置，尚包括：

一耦合至該基板電鍍通孔之處理器。

8. 一種以電氣耦合一電路板導電層之裝置，包括：

一第一上導電層；

一包含一配置於該第一導電層下方電鍍通孔之基板；

一配置於該第一導電層與該基板之間的第一絕緣層；

及

一位於該第一導電層與該第一絕緣層內之延長通孔，該通孔具有一足夠之長度，足夠將該第一導電層直接耦合於該電鍍通孔之一緣。

9. 如申請專利範圍第8項之裝置，尚包括：

一與該第一導電層作電氣耦合之元件。

10. 如申請專利範圍第9項之裝置，其中該元件是一電容器。

11. 如申請專利範圍第8項之裝置，尚包括：

一耦合於該基板電鍍通孔之處理器。

12. 一種將一導電層與一導電元件作電氣耦合之裝置，包括：

一第一上導電層；

一配置於該第一導電層下方之第一絕緣層；

一配置於該第一絕緣層下方之第二下導電層；

一配置於該第二導電層下方之第二絕緣層；

一位於該第二導電層與該第二絕緣層內之通孔；



## 六、申請專利範圍

一位於該第一導電層與該第一絕緣層內之延長通孔，該通孔具有一長度，以便將該第二導電層與該第二絕緣層內之通孔重疊。

13. 一種用以將一第一導電層與一導電元件作電氣耦合之方法，包括：

提供一導電元件；

於該導電元件上配置一第一絕緣層；

於該導電元件上之該第一絕緣層內蝕刻一延長的面積；及

於該第一絕緣層與該蝕刻面積上配置導電材料以形成一第一導電層及一將該第一導電層直接作電氣耦合至該導電元件之延長通孔。

14. 如申請專利範圍第13項之方法，其中該導電元件是一位於一第二導電層與一第二絕緣層內一通孔之一邊緣，該提供一導電元件之步驟包括

提供該第二絕緣層以及該第二絕緣層上之第二導電層；及

於該第二絕緣層與該第二導電層內裝設一通孔。

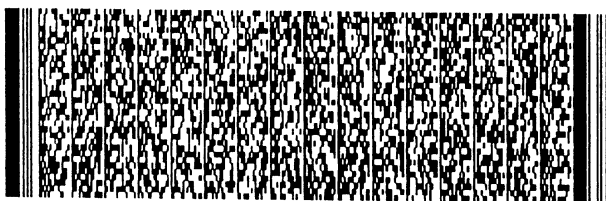
15. 如申請專利範圍第14項之方法，尚包括：

將一元件耦合至該第一導電層。

16. 一種用以將一第一導電層與一電路板內之一電鍍通孔作電氣耦合之方法，包括：

在一基板上裝設一電鍍通孔；

於該基板上配置一第二絕緣層；



## 六、申請專利範圍

於該電鍍通孔上之第二絕緣層內蝕刻一第一延長面積；及

於該第二絕緣層與該第一延長面積上配置導電材料以形成一第二導電層及一將該第二導電層與該電鍍通孔之一邊緣作電氣耦合之第一延長通孔。

17. 如申請專利範圍第16項之方法，尚包括：

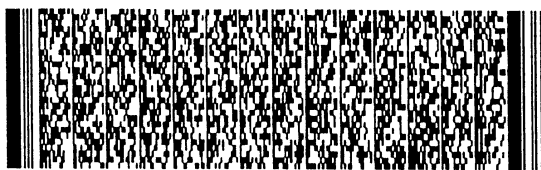
於該第二導電層上配置一第一絕緣層；

於該第一導電層內該通孔上之第一絕緣層中蝕刻一第二延長面積；及

於該第一絕緣層與該第二延長面積上配置導電材料以形成一第一導電層及一將該第一導電層及該第二導電層與該第二絕緣層中第一延長通孔之一邊緣作直接電氣耦合之第二延長通孔。

18. 如申請專利範圍第17項之方法，尚包括：

將一元件耦合至該第一導電層。



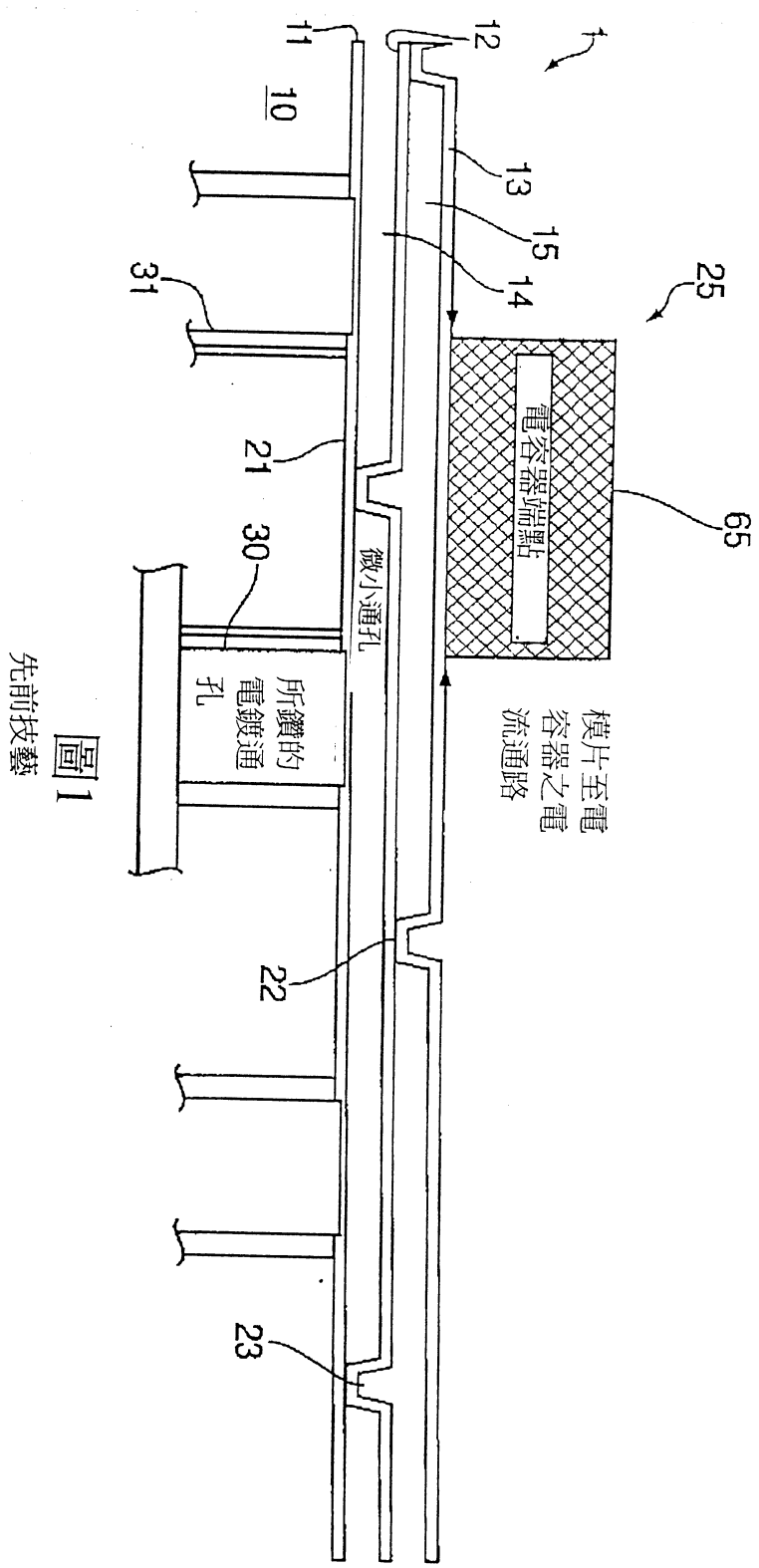


圖1  
先前技藝

圖式

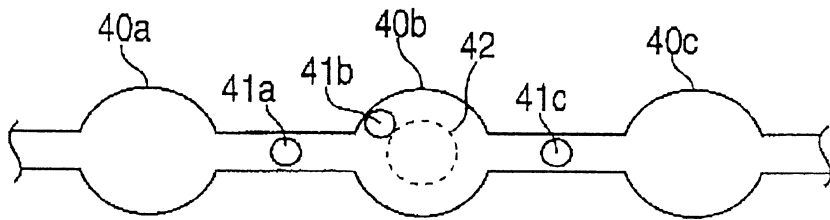


圖2

先前技藝

圖式

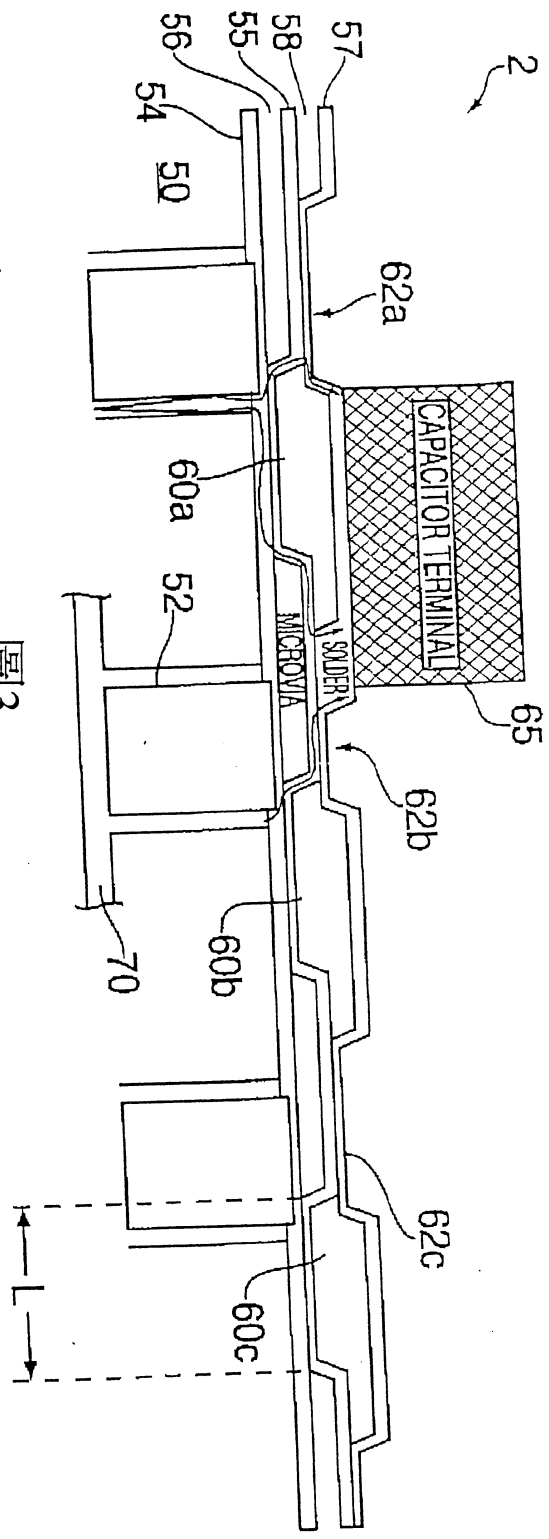


圖3

圖式

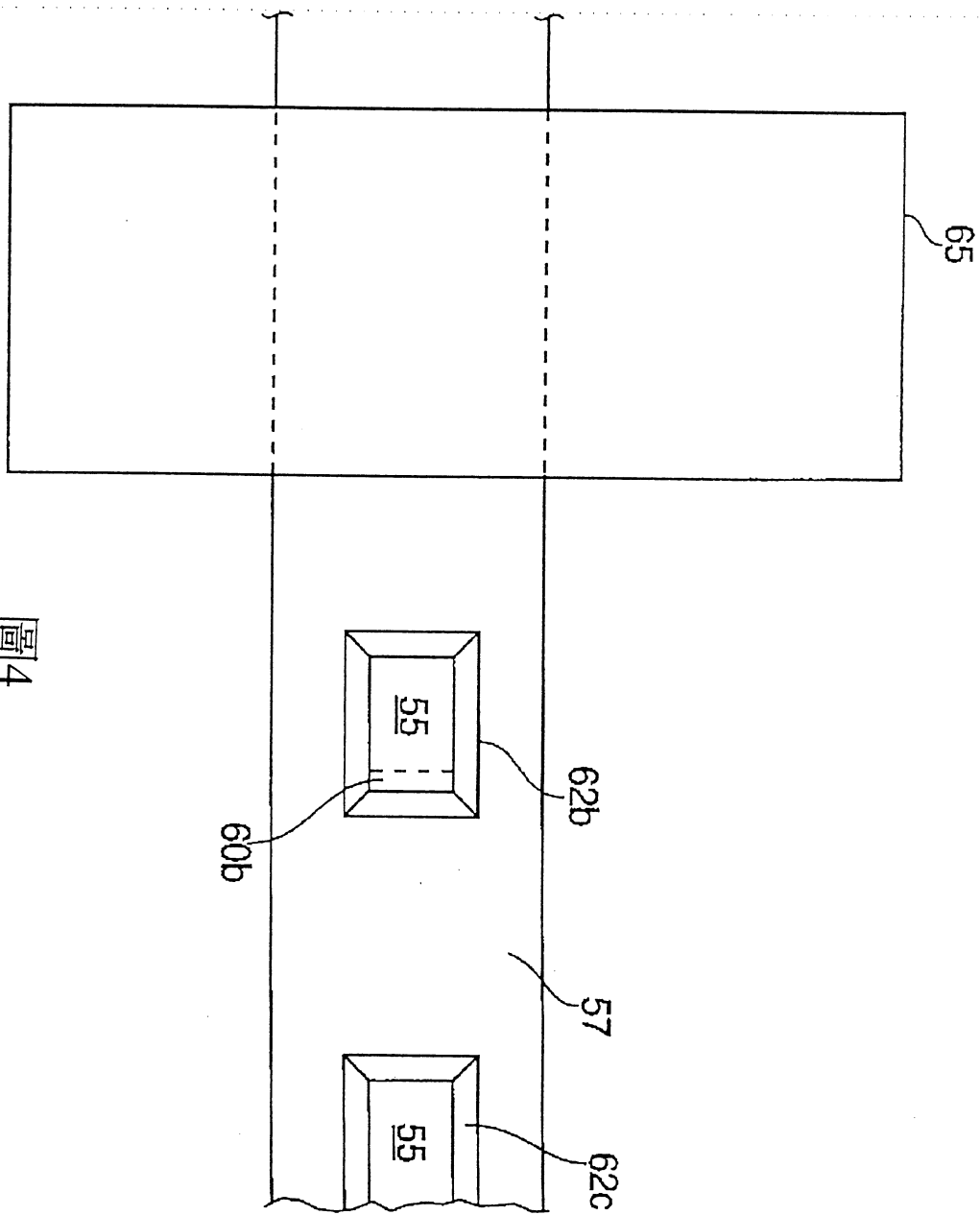
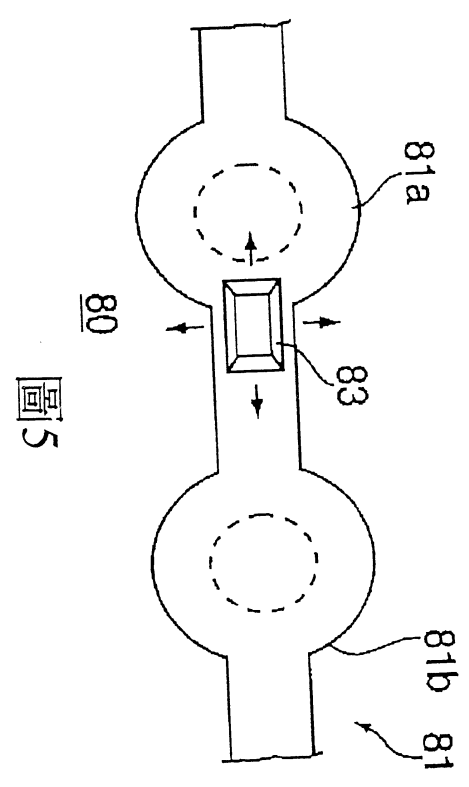


圖4

第 5 頁

圖式



第 一 種 類