

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6036457号  
(P6036457)

(45) 発行日 平成28年11月30日 (2016.11.30)

(24) 登録日 平成28年11月11日 (2016.11.11)

(51) Int.Cl.

F I

G O 6 F 12/08 (2016.01)

G O 6 F 12/0802 (2016.01)

G O 6 F 12/08 5 1 3

G O 6 F 12/08 5 1 5 Z

G O 6 F 12/08 5 0 1 Z

G O 6 F 12/08 5 5 1 C

G O 6 F 12/08 5 7 9

請求項の数 5 (全 29 頁)

(21) 出願番号 特願2013-62811 (P2013-62811)  
 (22) 出願日 平成25年3月25日 (2013.3.25)  
 (65) 公開番号 特開2014-186675 (P2014-186675A)  
 (43) 公開日 平成26年10月2日 (2014.10.2)  
 審査請求日 平成27年11月6日 (2015.11.6)

(73) 特許権者 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号  
 (74) 代理人 100113608  
 弁理士 平川 明  
 (74) 代理人 100105407  
 弁理士 高田 大輔  
 (72) 発明者 青柳 隆宏  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 (72) 発明者 池田 吉朗  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 演算処理装置、情報処理装置及び情報処理装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

他の演算処理装置に接続される演算処理装置において、

自装置が管理する第1のデータと前記他の演算処理装置が管理する前記他の演算処理装置から取得した第2のデータとを用いて演算処理を行う演算処理部と、

前記第1のデータと第3のデータとを記憶するメインメモリと、

前記演算処理部を動作状態又は非動作状態に設定する設定部と、前記第1のデータと前記第2のデータと前記第3のデータとを保持するキャッシュメモリとを有し、前記設定部が前記演算処理部を動作状態に設定した場合、前記他の演算処理装置から前記第3のデータが要求された結果、前記キャッシュメモリにキャッシュミスが発生したとき、要求された前記第3のデータをメインメモリから読み出し、読み出した前記第3のデータを前記キャッシュメモリに保持することなく前記他の演算処理装置に送信し、前記設定部が前記演算処理部を非動作状態に設定した場合、前記他の演算処理装置から前記第3のデータが要求された結果、前記キャッシュメモリにキャッシュミスが発生したとき、要求された前記第3のデータを前記メインメモリから読み出して前記キャッシュメモリに保持するとともに、読み出した前記第3のデータを前記他の演算処理装置に送信する制御部と、  
 を有することを特徴とする演算処理装置。

【請求項 2】

前記制御部は、

前記設定部が前記演算処理部を非動作状態に設定し、かつ、前記他の演算処理装置から

10

20

、前記第3のデータを更新したデータである更新データとライトバック通知とを受信した場合、前記更新データを前記キャッシュメモリに記憶することを特徴とする請求項1に記載の演算処理装置。

【請求項3】

前記制御部は、

前記設定部が前記演算処理部を非動作状態に設定し、かつ、前記他の演算処理装置から、前記第3のデータを更新したデータである更新データとライトバック通知とを受信した場合、前記更新データを前記キャッシュメモリに記憶するが、前記更新データを前記メインメモリに登録させないことを特徴とする請求項2に記載の演算処理装置。

10

【請求項4】

他の演算処理装置と、前記他の演算処理装置に接続される演算処理装置とを有する情報処理装置において、

前記演算処理装置は、

自装置が管理する第4のデータと前記他の演算処理装置が管理する前記他の演算処理装置から取得した第5のデータとを用いて演算処理を行う演算処理部と、

前記第4のデータと第6のデータとを記憶するメインメモリと、

前記演算処理部を動作状態又は非動作状態に設定する設定部と、前記第4のデータと前記第5のデータと前記第6のデータとを保持するキャッシュメモリとを有し、前記設定部が前記演算処理部を動作状態に設定した場合、前記他の演算処理装置から前記第6のデータが要求された結果、前記キャッシュメモリにキャッシュミスが発生したとき、要求された前記第6のデータをメインメモリから読み出し、読み出した前記第6のデータを前記キャッシュメモリに保持することなく前記他の演算処理装置に送信し、前記設定部が前記演算処理部を非動作状態に設定した場合、前記他の演算処理装置から前記第6のデータが要求された結果、前記キャッシュメモリにキャッシュミスが発生したとき、要求された前記第6のデータを前記メインメモリから読み出して前記キャッシュメモリに保持するとともに、読み出した前記第6のデータを前記他の演算処理装置に送信する制御部と、を有する

20

ことを特徴とする情報処理装置。

【請求項5】

30

他の演算処理装置と、前記他の演算処理装置に接続されるとともに、自装置が管理する第7のデータと前記他の演算処理装置が管理する前記他の演算処理装置から取得した第8のデータとを用いて演算処理を行う演算処理部と、前記第7のデータと第9のデータとを記憶するメインメモリと、前記第7のデータと前記第8のデータと前記第9のデータとを保持するキャッシュメモリとを含む演算処理装置とを有する情報処理装置の制御方法において、

前記演算処理装置が有する設定部が、前記演算処理部を動作状態に設定した場合に、

前記設定部が前記演算処理部を動作状態に設定した後、前記他の演算処理装置が、前記第9のデータを要求し、

前記第9のデータが要求された結果、前記キャッシュメモリ部にキャッシュミスが発生した場合、前記演算処理装置が有する制御部が、要求された前記第9のデータを前記メインメモリから読み出し、

40

前記制御部が、読み出した前記第9のデータを前記キャッシュメモリに保持することなく前記他の演算処理装置に送信し、

前記演算処理装置が有する設定部が、前記演算処理部を非動作状態に設定した場合に、

前記設定部が前記演算処理部を非動作状態に設定した後、前記他の演算処理装置が、前記第9のデータを要求し、

前記第9のデータが要求された結果、前記キャッシュメモリ部にキャッシュミスが発生した場合、前記演算処理装置が有する制御部が、要求された前記第9のデータを前記メインメモリから読み出して前記キャッシュメモリに保持し、

50

前記制御部が、読み出した前記第9のデータを前記他の演算処理装置に送信することを特徴とする情報処理装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、演算処理装置、情報処理装置及び情報処理装置の制御方法に関する。

【背景技術】

【0002】

情報処理装置においては、複数の演算コア間でメモリのデータを共有する演算処理装置が実用に供されている。当該演算処理装置においては、演算コアとL1キャッシュの組が複数組集約された演算コア群が形成される。演算コア群に対しては、L2キャッシュ、L2キャッシュ制御部、メモリが接続されている。これら演算コア群、L2キャッシュ、L2キャッシュ制御部、メモリのセットをクラスタと呼ぶ。

10

【0003】

キャッシュとは、大容量のメモリに記憶されたデータのうち、頻繁に使用するデータを格納する小容量の記憶部である。メモリ内のデータをキャッシュに一時的に格納することにより、時間のかかるメモリへのアクセス頻度を低減する。キャッシュは階層構造を採り、高位層ほど高速であり、低位層ほど大容量である。

【0004】

ディレクトリベースのキャッシュコヒーレンス制御方式では、上記のL2キャッシュには、当該L2キャッシュが属するクラスタの演算コア群が要求したデータが格納される。各演算コア群は、演算コア群に近いL2キャッシュをより頻繁に使用してデータを取得するように構成されている。また、データの整合性を保つため、1つのメモリに格納されているデータは当該メモリが属するクラスタによって管理される。また、この方式では、クラスタが、管理対象のメモリ内のデータが現在どのような状態でどのキャッシュに格納されているかを管理する。また、クラスタは、当該メモリに対するデータの要求を受けた場合に、データの状態に基づいてデータ取得要求に対して適切な処理を行う。そして、クラスタは、データ取得要求の処理後、当該データの状態に関する情報を更新する。

20

【0005】

ここで、特許文献1に示されるように、上記のクラスタ構成及び処理体系を有する演算処理装置において、メモリに対するアクセスで生じるレイテンシを改善することが提案されている。特許文献1では、キャッシュにおいてキャッシュミスが発生したときに当該キャッシュに空きがない場合、当該キャッシュが属するクラスタ内のメモリに存在するデータを優先的にキャッシュから掃き出して空きを作成する。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2000-66955号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0007】

上記の技術では、キャッシュに空きがない場合にはメモリへのアクセスを行ってデータを書き戻す処理が発生する。メモリは大容量であり、演算コア群やキャッシュとは別のチップに搭載されることもある。このため、レイテンシの改善にあっては、依然としてメモリへのアクセスがボトルネックとなる可能性がある。

【0008】

本件開示の技術は、上記の事情に鑑みてなされたものであり、その目的とするところは、メモリへのアクセス頻度を低減することが可能な演算処理装置、情報処理装置及び情報処理装置の制御方法を提供することである。

【課題を解決するための手段】

50

## 【 0 0 0 9 】

一実施形態による演算処理装置は、他の演算処理装置に接続される演算処理装置において、自身が管理する第1のデータと他の演算処理装置から取得した第2のデータとを用いて演算処理を行う演算処理部と、第1のデータと前記第2のデータとに加え、第3のデータとを記憶するメモリ部と、演算処理部を動作状態又は非動作状態に設定する設定部と、第1のデータと第2のデータとを保持するキャッシュメモリ部とを有し、設定部が演算処理部を非動作状態に設定した場合、他の演算処理装置から第3のデータが要求された結果、キャッシュメモリ部にキャッシュミスが発生したとき、要求された第3のデータをメモリ部から読み出してキャッシュメモリ部に保持するとともに、読み出した第3のデータを他の演算処理装置に送信する制御部とを有する。

10

## 【 発 明 の 効 果 】

## 【 0 0 1 0 】

一実施形態によれば、メモリへのアクセス頻度を低減することが可能な演算処理装置、情報処理装置及び情報処理装置の制御方法を実現できる。

## 【 図 面 の 簡 単 な 説 明 】

## 【 0 0 1 1 】

【 図 1 】 図 1 は、比較例に係る情報処理装置における一部のクラスタ構成を示す図である。

。

【 図 2 】 図 2 は、比較例に係る L 2 キャッシュ制御部の概略の構成を示す図である。

【 図 3 】 図 3 は、比較例に係るクラスタにおいてデータ取得要求が発生した場合の動作を示す図である。

20

【 図 4 】 図 4 は、図 3 に示す動作例における L 2 キャッシュ制御部の動作を示す図である。

。

【 図 5 】 図 5 は、比較例に係るクラスタにおいてデータ取得要求が発生した場合の動作を示す図である。

【 図 6 】 図 6 は、図 5 に示す動作例における L 2 キャッシュ制御部の動作を示す図である。

。

【 図 7 】 図 7 は、比較例においてデータのフラッシュバック処理とライトバック処理を行う際のクラスタの動作を示す図である。

【 図 8 】 図 8 は、図 7 に示す動作例における L 2 キャッシュ制御部の動作の一例を示す図である。

30

【 図 9 】 図 9 は、比較例に係る情報処理装置内において、データを排他的に取得する動作を示す図である。

【 図 1 0 】 図 1 0 は、図 9 に示す動作例における L 2 キャッシュ制御部の動作を示す図である。

【 図 1 1 】 図 1 1 は、比較例において L 2 キャッシュから追い出したデータを退避する場合の動作を示す図である。

【 図 1 2 】 図 1 2 は、本実施形態に係る情報処理装置における一部のクラスタ構成の概略を示す図である。

【 図 1 3 】 図 1 3 は、本実施形態に係るクラスタ内の L 2 キャッシュ制御部を示す図である。

40

【 図 1 4 】 図 1 4 は、本実施形態に係る情報処理装置内において、モードオン時のクラスタの演算コア群の動作状況を示す図である。

【 図 1 5 】 図 1 5 は、本実施形態において、ローカルのクラスタがホームのクラスタのメモリに格納されているデータを取得する動作を示す図である。

【 図 1 6 】 図 1 6 は、図 1 5 に示す動作例における L 2 キャッシュ制御部の動作を示す図である。

【 図 1 7 】 図 1 7 は、本実施形態に係るコントローラを構成する回路を示す図である。

【 図 1 8 】 図 1 8 は、図 1 5 ~ 1 7 に示す動作例における L 2 キャッシュ制御部のタイミングチャートである。

50

【図 19】図 19 は、本実施形態において、ローカルのクラスタに属する L2 キャッシュからデータを追い出す場合の動作を示す図である。

【図 20】図 20 は、図 19 に示す動作例における L2 キャッシュ制御部の動作を示す図である。

【図 21】図 21 は、図 19 に示す動作例におけるコントローラを構成する回路を示す図である。

【図 22】図 22 は、図 19 ~ 21 に示す動作例における L2 キャッシュ制御部のタイミングチャートである。

【図 23】図 23 は、本実施形態において情報処理装置内のクラスタが複数のグループを構成する場合の一例を示す図である。

10

【図 24】図 24 は、本実施形態に係る L2 キャッシュ制御部の構成の一例を示す図である。

【発明を実施するための形態】

【0012】

最初に、一実施形態に係る情報処理装置の比較例について、図面を参照しながら説明する。

【0013】

(比較例)

図 1 は、比較例に係る情報処理装置 1 における一部のクラスタ構成を示す。図 1 に示すように、クラスタ 10 は、演算コアと L1 キャッシュの組を  $n$  組 ( $n$  は自然数) 有する演算コア群 100、L2 キャッシュ制御部 101、メモリ 102 を有する。L2 キャッシュ制御部 101 は L2 キャッシュ 103 を有する。クラスタ 20、30 も、クラスタ 10 と同様、演算コア群 200、300、L2 キャッシュ制御部 201、301、メモリ 202、302、L2 キャッシュ 203、303 をそれぞれ有する。

20

【0014】

以降の説明において、メモリに格納されるデータを要求している演算コアが属するクラスタをローカル (Local) と呼ぶ。また、要求されたデータが格納されているメモリが属するクラスタをホーム (Home) と呼ぶ。さらに、ローカルでもホームでもないクラスタをリモート (Remote) と呼ぶ。各クラスタは、データの要求元及び要求先に応じて、ローカルにもホームにもリモートにもなる。また、あるデータ取得要求の処理において、ローカル

30

のクラスタは、ホームのクラスタを兼ねる場合がある。また、リモートのクラスタが、ホームのクラスタを兼ねる場合もある。さらに、ホームのクラスタが管理するホームのメモリに格納されているデータの状態情報をディレクトリ情報と呼ぶ。これらの詳細については後述する。

【0015】

図 1 に示すように、各クラスタは L2 キャッシュ制御部が互いにバスあるいはインターコネクトによって接続されている。情報処理装置 1 内では、メモリ空間はいわゆるフラットであり、物理アドレスによってどのクラスタに属するメモリにどのデータが格納されているかが一意に決まる。

【0016】

40

例えば、クラスタ 10 が、クラスタ 10 内のメモリ 102 以外のメモリ 202 に格納されているデータを取得する場合、そのデータを保持するメモリ 202 が属するクラスタ 20 に対してデータの要求を行う。クラスタ 20 は、該当データの状態をチェックする。ここで、データの状態とは、データがどのクラスタにあるか、データが排他的に使用されているか否か、情報処理装置内におけるデータの同期状況等のデータの使用状況を意味する。また、取得対象のデータが、クラスタ 20 に属する L2 キャッシュ 203 に格納されており、かつ、当該データの同期が情報処理装置 1 内で取れている場合、そのデータを要求元のクラスタ 10 に送信する。そして、クラスタ 20 は、当該データの状態情報に、要求元のクラスタ 10 に情報処理装置 1 内で同期されたデータが渡されたことを記録する。

【0017】

50

図2は、L2キャッシュ制御部101の概略の構成を示す。L2キャッシュ制御部101は、コントローラ101aとL2キャッシュ103とディレクトリRAM104を備える。また、L2キャッシュ103は、タグRAM103aとデータRAM103bを備える。タグRAM103aは、データRAM103bが保持しているブロックのタグ情報を保持する。タグ情報とは、コヒーレンスプロトコル制御における各データの使用状況に関する情報やメモリ内のアドレス等を意味する。ここで、複数のプロセッサを使用するマルチプロセッサ環境においては、プロセッサ間で同一のデータを共有してアクセスする可能性が高い。そこで、マルチプロセッサ環境では、各キャッシュ内に存在するデータの一貫性を維持している。プロセッサ間の一貫性を維持するプロトコルをコヒーレンスプロトコルと呼ぶ。このようなプロトコルの一例として、MESIプロトコルが挙げられる。以下の説明では、データの使用状況をModified、Exclusive、Shared、Invalidの4状態で管理するMESIプロトコルを使用する。ただし、使用可能なプロトコルはこれに限られない。

10

#### 【0018】

コントローラ101aは、タグRAM103aを使用して、メモリのブロックがデータRAM103bにどのような状態で存在しているかやデータの有無をチェックする。データRAM103bは、例えばメモリ102内のデータのコピーを保持するRAMである。ディレクトリRAM104は、ホームのクラスタに属するメモリのディレクトリ情報を扱うRAMである。ディレクトリ情報は巨大になるため、メモリに格納され、そのキャッシュがRAMに置かれることが多い。しかし、ここでは、ディレクトリRAM104にホームのクラスタに属するメモリのディレクトリ情報が格納されている。

20

#### 【0019】

コントローラ101aは、演算コア、もしくは、別のクラスタのL2キャッシュ制御部のコントローラからの要求を受け付ける。コントローラ101aは、受け付けた要求内容に応じて、タグRAM103a、データRAM103b、ディレクトリRAM104、メモリ102、他のクラスタに対してそれぞれ動作要求を行う。そして、コントローラ101aは、要求された動作が完了すると、要求元にその結果を返す。

#### 【0020】

図3は、クラスタ10においてデータ取得要求が発生した場合の動作の一例を示す図である。図3では、クラスタ10がローカル及びホームのクラスタである。図3では、クラスタ10に属するメモリ102に対してデータ取得要求を行い、L2キャッシュ103においてキャッシュミスが発生したときの動作を説明する。なお、ここでは、L2キャッシュ制御部にデータ取得要求が届いた時点でL1キャッシュにおいてキャッシュミスが発生していることを前提として説明する。

30

#### 【0021】

ローカルであるクラスタ10の演算コアから、データの要求がL2キャッシュ制御部101に届く。ホームでもあるクラスタ10のL2キャッシュ制御部101は、L2キャッシュ103が該当データを保持していない(miss)ことを確認すると、ディレクトリRAM104内のディレクトリ情報を参照する。そして、L2キャッシュ制御部101は、ディレクトリ情報に基づいて当該データをリモートのクラスタのL2キャッシュが持ち出していないかをチェックする。L2キャッシュ制御部101は、リモートのクラスタのL2キャッシュが当該データを保持していない(miss)ことを確認すると、ローカルであるクラスタ10のメモリ102にデータ取得要求を行う。メモリ102からデータが返ってくると、L2キャッシュ制御部101は、L2キャッシュ103のデータRAM103bにデータを格納する。さらに、L2キャッシュ制御部101は、演算コア群100内の要求元の演算コアにデータを送る。そして、L2キャッシュ103のタグRAM103aには、情報処理装置1内で同期された状態でデータを取得したという情報が記憶される。また、ディレクトリRAM104には、当該データがローカルであるクラスタ10が持っていることを示す情報が記憶される。

40

#### 【0022】

50

このとき、Ｌ２キャッシュ制御部１０１は、Ｌ２キャッシュ１０３のデータＲＡＭ１０３ｂにデータの空きがない場合、ランダムアルゴリズムやＬＲＵ（Least Recently Used）アルゴリズム等の所定のアルゴリズムに従って、Ｌ２キャッシュ１０３内のデータを追い出す。Ｌ２キャッシュ制御部１０１は、タグＲＡＭ１０３ａを参照し、追い出すデータがメモリ１０２内のデータと同じ状態を保っている場合は当該データを破棄する。一方、Ｌ２キャッシュ制御部１０１は、タグＲＡＭ１０３ａを参照し、追い出すデータが更新されていた場合はメモリ１０２にデータを書き戻す。

#### 【００２３】

これにより、演算コア群１００の演算コアにより要求されたデータが、Ｌ２キャッシュ１０３のデータＲＡＭ１０３ｂの空き領域に格納される。そして、再度演算コア群１００の演算コアから当該データに対するデータ取得要求が発生した場合は、Ｌ２キャッシュ制御部１０１は、データＲＡＭ１０３ｂに格納されたデータを取り出して演算コアに送る（hit）。したがって、当該データがデータＲＡＭ１０３ｂから追い出されない限り、Ｌ２キャッシュ制御部１０１は、メモリ１０２に対してアクセスを行わない。

#### 【００２４】

図４は、図３に示す動作例におけるＬ２キャッシュ制御部１０１の動作を示す図である。コントローラ１０１ａは、演算コア群１００の演算コアからデータ取得要求を受け付ける。当該データ取得要求には、演算コアからの要求であることを示す情報と要求の種類とメモリのアドレスが含まれる。コントローラ１０１ａは要求内容に適切な処理を開始する。

#### 【００２５】

まず、コントローラ１０１ａは、タグＲＡＭ１０３ａに対して、データ取得要求の対象となるデータを含むメモリのブロックのコピーがデータＲＡＭ１０３ｂにあるか否かをチェックする。タグＲＡＭ１０３ａから当該コピーが「ない（miss）」という結果を受け取ると、ディレクトリＲＡＭ１０４に対して、データ取得要求の対象となるデータをリモートのクラスタが持ち出しているか否かをチェックする。コントローラ１０１ａは、ディレクトリＲＡＭ１０４から「どのクラスタも持ち出していない（miss）」という結果を受け取ると、メモリ１０２に対して当該データのデータ取得要求を行う。コントローラ１０１ａは、メモリ１０２から当該データが返ってくると、ディレクトリＲＡＭ１０４に、当該データについて「ホームが持っている」ことを示す情報を登録する。また、コントローラ１０１ａは、データの使用状況（Sharedなど）を示す情報をタグＲＡＭ１０３ａに格納する。さらに、コントローラ１０１ａは、当該データをデータＲＡＭ１０３ｂに格納する。また、コントローラ１０１ａは、演算コア群１００内の要求元の演算コアに当該データを送る。

#### 【００２６】

次に、図５は、クラスタ１０においてデータ取得要求が発生した場合の動作例を示す図である。図５に示す例では、クラスタ１０がローカルのクラスタであり、クラスタ２０がホームのクラスタである。ローカルであるクラスタ１０の演算コア群１００の演算コアからクラスタ１０のＬ２キャッシュ１０３に対してデータ取得要求が行われる。そして、Ｌ２キャッシュ１０３には当該データがないためキャッシュミスが発生する（miss）。そこで、クラスタ１０は、ホームのクラスタであるクラスタ２０に対して当該データのデータ取得要求を行う。クラスタ２０のＬ２キャッシュ制御部２０１が、Ｌ２キャッシュ２０３のディレクトリ情報をチェックする。Ｌ２キャッシュ制御部２０１のコントローラ２０１ａは、Ｌ２キャッシュ２０３にも、リモートのクラスタ内のＬ２キャッシュにもデータがないことを確認すると（miss）、メモリ２０２に対して当該データのデータ取得要求を行う。

#### 【００２７】

メモリ２０２から当該データが返ってくると、Ｌ２キャッシュ制御部２０１は、ディレクトリＲＡＭ２０４のディレクトリ情報を更新する。そして、Ｌ２キャッシュ制御部２０１は、データを要求元のローカルのクラスタ１０に送る。クラスタ１０のＬ２キャッシュ

10

20

30

40

50

制御部 101 は、クラスタ 20 の L2 キャッシュ制御部 201 から受け取ったデータを L2 キャッシュ 103 に格納する。そして、L2 キャッシュ制御部 101 は、当該データを演算コア群 100 の要求元の演算コアに送る。

【0028】

このとき、ホームのクラスタ 20 の L2 キャッシュ 203 には当該データは格納されない。理由は次の通りである。まず、データを要求しているのはローカルのクラスタ 10 の演算コアであり、ホームのクラスタ 20 の演算コアではないからである。そして、ホームのクラスタ 20 の L2 キャッシュ 203 にデータを格納すると、ホームのクラスタ 20 の演算コア群 200 にとっては不要なデータが L2 キャッシュ 203 に格納されることになるからである。また、このような不要なデータが L2 キャッシュ 203 に格納されると、演算コア群 200 が使用するデータまで L2 キャッシュ 203 から追い出される可能性があるからである。

10

【0029】

図 6 は、図 5 に示す動作例における L2 キャッシュ制御部 101、201 の動作を示す図である。ローカルのクラスタ 10 内の L2 キャッシュ制御部 101 のコントローラ 101a は、演算コア群 100 の演算コアからデータ取得要求を受け付ける。当該データ取得要求には、演算コアからの要求であることを示す情報とデータ取得要求の種類とメモリのアドレスが含まれる。コントローラ 101a は、要求内容に適切な処理を開始する。

【0030】

コントローラ 101a は、タグ RAM 103a に対して、データ取得要求の対象となるデータを含むメモリのブロックのコピーがデータ RAM 103b にあるか否かをチェックする。コントローラ 101a は、タグ RAM 103a から当該コピーが「ない (miss)」という結果を受け取ると、ホームのクラスタ 20 に属する L2 キャッシュ制御部 201 のコントローラ 201a に対して、当該データのデータ取得要求を行う。

20

【0031】

コントローラ 201a は、当該データ取得要求を受け付けると、ディレクトリ RAM 204 に対して、データ取得要求の対象となるデータがいずれかのクラスタの L2 キャッシュに格納されているか否かをチェックする。コントローラ 201a は、ディレクトリ RAM 204 から「どのクラスタも持っていない (miss)」という結果を受け取ると、メモリ 202 に対して当該データのデータ取得要求を行う。コントローラ 201a は、メモリ 202 から当該データが返ってくると、ディレクトリ RAM 204 に、当該データの使用状況について「要求元のクラスタ 10 が持っている」ことを示す情報を登録する。そして、コントローラ 201a は、当該データを要求元のクラスタ 10 のコントローラ 101a に送る。データを受け取ったクラスタ 10 のコントローラ 101a は、当該データの使用状況 (Shared など) をタグ RAM 103a に格納する。また、コントローラ 101a は、当該データをデータ RAM 103b に格納する。そして、コントローラ 101a は、演算コア群 100 内の要求元の演算コアに当該データを送る。

30

【0032】

図 7 は、比較例においてリモートのクラスタへのデータのフラッシュバック (Flush Back) 処理とライトバック (Write Back) 処理を行う際のクラスタの動作を示す図である。ここで、リモートのクラスタへのフラッシュバック処理とは、あるクラスタが、他のクラスタから取得したデータをキャッシュから追い出す際の処理である。このフラッシュバック処理は、追い出されたデータが更新されておらず情報処理装置 1 内で同期が取れている (clean である) 場合に、ホームのクラスタにローカル (ホームから見るとリモート) のクラスタからデータが追い出されたことを通知する処理である。この処理は、ホームのクラスタにディレクトリ情報を更新させるための処理である。

40

【0033】

また、リモートのクラスタへのライトバック処理とは、あるクラスタが、他のクラスタから取得したデータをキャッシュから追い出す際の処理である。このライトバック処理は、追い出されたデータが更新されており情報処理装置 1 内で同期が取れていない (dirty

50



である)場合に当該他のクラスタに、データがdirtyであることを通知する処理である。  
以下に説明するように、比較例においては、クラスタは、リモートのクラスタへのフラッシュバック処理を行う場合は、データの取得元であるクラスタに対して、フラッシュバック通知を行い、データは送らない。一方、クラスタは、リモートのクラスタへのライトバック処理を行う場合は、データの取得元であるクラスタに対してライトバック通知を行うとともに、メモリへの格納のためにデータも送る。

#### 【0034】

上述した通り、L2キャッシュに新たなデータを格納するときに、L2キャッシュが満杯で空き領域がない場合、所定のアルゴリズムに従ってデータを追い出す。図7では、クラスタ10がローカルのクラスタであり、クラスタ20がホームのクラスタである。なお、この場合、クラスタ20はリモートのクラスタでもある。さらに、情報処理装置1内の図示しないクラスタがリモートとなる。また、図7では、クラスタ10は、ローカルのクラスタ10に属するL2キャッシュ103のデータRAM103bに空きがなく、データRAM103bに格納されているデータのうち、リモートのクラスタ20のメモリ202に格納されるデータを追い出す。

#### 【0035】

この場合、図7に示すように、クラスタ10のL2キャッシュ制御部101は、クラスタ20のL2キャッシュ制御部201に対して、L2キャッシュ103から当該データを追い出す通知を行う。ここで、この通知は、フラッシュバック要求とライトバック要求のいずれかである。なお、フラッシュバック要求とライトバック要求が、所定の要求の一例である。そして、追い出し対象のデータがcleanなデータである場合、フラッシュバック要求がホームのクラスタ20のL2キャッシュ制御部201に送られる。L2キャッシュ制御部201は、データの要求元であるクラスタ10から該当データが追い出された、ということをL2キャッシュ制御部201内のディレクトリ情報に記録する。

#### 【0036】

一方、該当データがdirtyなデータである場合、ライトバック要求とともに該当データがホームのクラスタ20のL2キャッシュ制御部201に送られる。ここで、データがdirtyになる場合の一例としては、ローカルのクラスタ10の演算コア群100によって更新される場合等が挙げられる。そして、L2キャッシュ制御部201は、データの要求元であるクラスタ10から該当データが追い出されたことを、L2キャッシュ203のディレクトリRAM204に格納されているディレクトリ情報に記録する。さらに、L2キャッシュ制御部201は、該当データをホームのクラスタ20に属するメモリ202へ書き戻す。なお、該当データは、ホームのクラスタ20に対してリモートとなるクラスタの演算コアが要求しているデータである。すなわち、当該データはホームのクラスタ20内の演算コア群200が要求しているデータではない。仮にホームのクラスタ20内のL2キャッシュ203に当該データを格納する場合、演算コア群200が要求している他のデータが追い出される可能性がある。このため、ホームのクラスタ20内のL2キャッシュ203には当該データは格納されない。

#### 【0037】

図8は、図7に示す動作例におけるL2キャッシュ制御部101、201の動作を示す図である。なお、ここでは、データがL2キャッシュ制御部101のL2キャッシュ103から追い出されるデータが決定した後の処理について説明する。L2キャッシュ制御部101のコントローラ101aは、タグRAM103aに対して、当該データを有するブロックの無効化を要求する。ここで、コントローラ101aは、当該データがdirtyであり、ホームのクラスタ20側のコントローラ201aに対してライトバック要求の通知を行う場合は、データRAM103bから該当ブロックのデータを読み出す。そして、コントローラ101aは、コントローラ201aに対して、フラッシュバック要求の通知を行うか、あるいはライトバック要求の通知を行うとともに該当データを送る。要求を受け取ったホームのクラスタ20側のコントローラ201aは、ディレクトリRAM204に対して「データの要求元であるクラスタ10がデータを持っている」ことを示す情報を無効

10

20

30

40

50

化する。そして、コントローラ 201a は、ライトバック要求の場合は、該当データをメモリ 202 へ書き戻す。

【0038】

次に、図 9 は、情報処理装置 1 内において、ローカルのクラスタ 10 がホームのクラスタ 20 のメモリ 202 に格納されているデータを排他的に取得する動作を示す。例えば、演算コアによってデータが更新される場合に、排他的データ取得要求が使用される。排他的データ取得要求とは、ある時点において、ある 1 つのクラスタ ( のキャッシュ ) が当該要求に係るデータを保持し、他のクラスタは当該データを保持しないことを保障するための要求である。データ更新時に他のクラスタ内の L2 キャッシュも当該データを保持していると、情報処理装置 1 内で当該データの同期が取れなくなってしまう。排他的データ取得要求は、これを防止するための要求である。

10

【0039】

まず、ローカルのクラスタ 10 の演算コア群 100 内の演算コアが、データを要求する。L2 キャッシュ制御部 101 は、当該データ取得要求を受けると、L2 キャッシュ 103 に当該データが格納されているか否かをチェックする。L2 キャッシュ 103 に当該データが格納されていない場合 ( miss )、L2 キャッシュ制御部 101 は、ホームのクラスタ 20 の L2 キャッシュ制御部 201 に対して当該データの排他的データ取得要求を送る。L2 キャッシュ制御部 201 は、排他的データ取得要求を受けると、L2 キャッシュ制御部 201 内のディレクトリ情報を参照する。当該ディレクトリ情報により、ホームを含むクラスタのうちどのクラスタが当該データを保持しているかがわかる。そして、L2 キャッシュ制御部 201 は、ディレクトリ情報が示す該当データを持っているクラスタに対して、当該データの破棄要求を送る。

20

【0040】

図 9 に示す例では、L2 キャッシュ 203 に当該データが格納されている。そこで、L2 キャッシュ制御部 201 は、L2 キャッシュ 203 から当該データを破棄する。L2 キャッシュ制御部 201 は、破棄したデータを L2 キャッシュ制御部 101 に送る。また、L2 キャッシュ制御部 201 は、ディレクトリ情報に、当該データの要求元であるクラスタ 10 が当該データを保持している唯一のクラスタであること示す情報を記録する。これにより、当該データの要求元であるクラスタ 10 が当該データを L2 キャッシュ 103 に格納する。

30

【0041】

図 10 は、図 9 に示す動作例における L2 キャッシュ制御部 101、201 の動作を示す図である。ローカルのクラスタ 10 内の L2 キャッシュ制御部 101 のコントローラ 101a は、演算コア群 100 の演算コアから排他的データ取得要求を受け付ける。当該データ取得要求には、演算コアからの要求であることを示す情報と排他的データ取得要求であることを示す情報とメモリのアドレスが含まれる。コントローラ 101a は、要求内容に適切な処理を開始する。

【0042】

コントローラ 101a は、タグ RAM 103a に対して、データ取得要求の対象となるデータを含むメモリのブロックのコピーがデータ RAM 103b にあるか否かをチェックする。コントローラ 101a は、タグ RAM 103a から当該コピーが「ない ( miss ) 」という結果を受け取ると、ホームのクラスタ 20 に属する L2 キャッシュ制御部 201 のコントローラ 201a に対して、当該データのデータ取得要求を行う。

40

【0043】

コントローラ 201a は、当該データ取得要求を受け付けると、ディレクトリ RAM 204 に対して、要求しているデータがいずれかのクラスタの L2 キャッシュに格納されているか否かをチェックする。コントローラ 201a は、ディレクトリ RAM 204 から「ホームのクラスタ 20 が持っている ( hit ) 」という結果を受け取ると、タグ RAM 203a に対して当該データの無効化要求を行う。また、コントローラ 201a は、データ RAM 203b から当該データを読み出す。そして、コントローラ 201a は、ディレクトリ

50

R A M 2 0 4 に対して、「ホームのクラスタが持っている」ことを示す情報を無効化する。さらに、コントローラ 2 0 1 a は、ディレクトリ R A M 2 0 4 に対して、「当該データの要求元であるクラスタ 1 0 がデータを持っている」ことを示す情報を追加する。そして、コントローラ 2 0 1 a は、当該データを要求元のクラスタ 1 0 のコントローラ 1 0 1 a に送る。当該データを受け取ったクラスタ 1 0 のコントローラ 1 0 1 a は、データの使用状況をタグ R A M 1 0 3 a に登録する。また、コントローラ 1 0 1 a は、当該データをデータ R A M 1 0 3 b に格納する。そして、コントローラ 1 0 1 a は、演算コア群 1 0 0 内の要求元の演算コアに当該データを送る。

#### 【 0 0 4 4 】

次に、図 1 1 は、情報処理装置 1 内において、ローカルのクラスタ 1 0 が、L 2 キャッシュ 1 0 3 からホームのクラスタ 2 0 のメモリ 2 0 2 に格納されるデータを追い出す場合の動作を示す。図 1 1 に示すように、クラスタ 1 0 は、L 2 キャッシュ 1 0 3 からクラスタ 2 0 のメモリ 2 0 2 に格納されるデータを追い出す場合、追い出したデータを L 2 キャッシュ制御部 2 0 1 に送る。L 2 キャッシュ制御部 2 0 1 は、受信したデータを L 2 キャッシュ 2 0 3 に格納する。このように、比較例では、ローカルのクラスタから追い出されたデータを、データの使用状況によらずにホームのクラスタの L 2 キャッシュに退避させる。

#### 【 0 0 4 5 】

ただし、上記の比較例の情報処理装置 1 では、ホームのクラスタ 2 0 の演算コア群 2 0 0 が動作している。このため、図 1 1 に示す例では、クラスタ 1 0 の演算コア群 1 0 0 とクラスタ 2 0 の演算コア群 2 0 0 が、クラスタ 2 0 の L 2 キャッシュ 2 0 3 を共用する。したがって、演算コア群 2 0 0 にとっては、使用可能な L 2 キャッシュ 2 0 3 の容量が減少することになる。また、L 2 キャッシュ 2 0 3 においては、いずれの演算コア群が必要とするデータを優先的に L 2 キャッシュ 2 0 3 に格納するか等の複雑な制御が伴う。

#### 【 0 0 4 6 】

さらに、図 1 1 に示す例では、ローカルのクラスタ 1 0 から追い出されたデータは、データの使用状況にかかわらず、ホームのクラスタ 2 0 に送られる。すなわち、ローカルのクラスタ 1 0 でデータが更新されてデータが dirty となった場合以外でも、クラスタ 1 0 から追い出されたデータはクラスタ 2 0 に送られる。すなわち、追い出されたデータが情報処理装置 1 内で同期が取れている（データが clean である）場合であっても、データはクラスタ 2 0 に送られる。したがって、クラスタ間のトランザクションが増加する可能性がある。

#### 【 0 0 4 7 】

そこで、以上の比較例に関する説明を踏まえ、一実施形態に係る情報処理装置の例について、図面を参照しながら以下に説明する。以下の例においては、各クラスタの演算コア群の動作状態及び非動作状態が制御されている。これにより、後述するように、クラスタ間の通信量を増加させることなく、L 2 キャッシュにおけるデータのキャッシュヒットの確率を高めることができる。また、本実施形態では、L 2 キャッシュに格納する各データについて複雑な管理や制御が伴わない。

#### 【 実施例 】

#### 【 0 0 4 8 】

図 1 2 は、本実施例としての情報処理装置 2 における一部のクラスタ構成の概略を示す。図 1 2 に示すように、情報処理装置 2 は、比較例と同様、クラスタ 5 0、6 0、7 0 を有する。なお、クラスタ 5 0、6 0、7 0 が演算処理装置の一例に相当する。また、ローカル、ホーム、リモートの違いも比較例において説明した通りであり、ここでは説明を省略する。クラスタ 5 0 は、演算コア群 5 0 0、L 2 キャッシュ制御部 5 0 1、メモリ 5 0 2 を有する。L 2 キャッシュ制御部 5 0 1 は L 2 キャッシュ 5 0 3 を有する。クラスタ 6 0、7 0 も、クラスタ 5 0 と同様、演算コア群 6 0 0、7 0 0、L 2 キャッシュ制御部 6 0 1、7 0 1、メモリ 6 0 2、7 0 2、L 2 キャッシュ 6 0 3、7 0 3 をそれぞれ有する。なお、演算コア群 5 0 0、6 0 0、7 0 0 が演算処理部の一例に相当する。また、メモ

10

20

30

40

50

リ502、602、702がメモリ部の一例に相当する。さらに、L2キャッシュ503、603、703がキャッシュメモリ部の一例に相当する。また、L2キャッシュ制御部501、601、701が制御部の一例に相当する。そして、本実施形態においては、クラスタ50、60、70が1つのグループを構成する。ここで、グループは、1つのアプリケーションの実行処理を担当するクラスタの集まりである。ただし、グループを形成する基準はこれに限られず、適宜クラスタをグループ分けすることができる。

#### 【0049】

図12に示すように、各クラスタはL2キャッシュ制御部が互いにバスあるいはインターコネクトによって接続されている。情報処理装置2内では、メモリ空間はいわゆるフラットであり、各クラスタはセグメントによることなくアドレスを利用できる。そして、情報処理装置2内では、物理アドレスによってどのクラスタに属するメモリにどのデータが格納されているかが一意に決まる。

10

#### 【0050】

図13は、クラスタ50内のL2キャッシュ制御部501を示す図である。L2キャッシュ制御部501は、コントローラ501aとレジスタ501bとL2キャッシュ503とディレトリRAM504を備える。また、L2キャッシュ503は、タグRAM503aとデータRAM503bを備える。また、レジスタ501bが設定部の一例に相当する。なお、タグRAM503a、データRAM503b、ディレトリRAM504は、それぞれ比較例と同様の機能を有するため、ここでは詳細な説明を省略する。

#### 【0051】

20

レジスタ501bは、本実施例に係る情報処理装置2内でのクラスタ50の動作モードを制御する。本実施例では、一例として、動作モードは「モードオフ」、「モードオン及び演算コア動作」、「モードオン及び演算コア非動作」の3つのモードを有する。ここで「モードオフ」とは、各クラスタが上記の比較例に示した動作を行う動作モードである。「モードオン及び演算コア動作」は、クラスタが演算コア群を動作状態とした上で本実施例の動作を行う(モードオン)動作モードである。また、「モードオン及び演算コア非動作」は、クラスタが演算コア群を非動作状態とした上で本実施例の動作を行う動作モードである。なお、これらの動作モードにおける処理の詳細については後述する。

#### 【0052】

コントローラ501aがレジスタ501bの設定値を読み込み、設定値に従って動作モードを切り換える。また、本実施例では、情報処理装置2においてアプリケーションの実行前に動作モードの切り換えを行う。さらに、本実施例では、情報処理装置2のOS(Operating System)が各クラスタのレジスタの動作モードの切り換えを制御する。なお、動作モードの切り換えは、情報処理装置2のユーザが明示的にOSに指示をして行ってもよいし、実行するアプリケーションのメモリ使用量等の情報に基づいてOSが自律的に行ってもよい。

30

#### 【0053】

図14は、情報処理装置2内において、モードオン時のクラスタ50、60、70の演算コア群の動作状況を示す図である。一例として、モードオン時、1グループ内のクラスタ50、60、70は、グループ内で1つのクラスタに属する演算コア群が動作するように制御される。図14では、クラスタ50の動作モードが「モードオン及び演算コア動作」であり、クラスタ60、70の動作モードが「モードオン及び演算コア非動作」である。したがって、クラスタ50の演算コア群500が動作状態となり、クラスタ60、70の演算コア群600、700はそれぞれ非動作状態となる。なお、一例として、情報処理装置2では、クラスタ50、60、70を有するグループが複数構成されている。そして、各グループが、情報処理装置2において実行される1つのプロセスの処理にそれぞれ対応している。

40

#### 【0054】

図15は、本実施形態において、ローカルのクラスタ50がホームのクラスタ60のメモリ602に格納されるデータを取得する動作を示す図である。比較例と同様、L2キャ

50

ッシュ制御部501は、演算コア群500から要求されたデータがL2キャッシュ503にない(キャッシュミスが発生)場合に、クラスタ60のL2キャッシュ制御部601に対して当該データを要求する。本実施形態においては、L2キャッシュ603に当該データが格納されていない場合について説明する。L2キャッシュ制御部601はメモリ602から当該データを取得し、取得したデータをL2キャッシュ603に格納する。また、L2キャッシュ制御部601は、取得したデータをL2キャッシュ制御部501に送る。そして、L2キャッシュ制御部501は、L2キャッシュ制御部601から受信したデータを演算コア群500に送る。

#### 【0055】

図16は、図15に示す動作例におけるL2キャッシュ制御部501、601の動作を示す図である。上記の通り、L2キャッシュ制御部501、601は、コントローラ501a、601aとレジスタ501b、601bとL2キャッシュ503、603とディレクトリRAM504、604をそれぞれ備える。また、L2キャッシュ503、603は、タグRAM503a、603aとデータRAM503b、603bをそれぞれ備える。

#### 【0056】

図17は、コントローラ601aが有する回路を示す図である。図17に示すコントローラ601a内の回路は、クラスタ60の動作モードが「モードオン及び演算コア非動作」である場合の制御回路である。図17に示すコントローラ601aにより、コントローラ501aから要求されているデータがメモリ602から取得された場合に、当該データがデータRAM603bに格納される。また、当該データの使用状況に関する情報がタグRAM603aとディレクトリRAM604にそれぞれ記憶される。図17において、TAGSave(タグRAMにデータを格納する)、DataSave(データRAMにデータを格納する)、DirectoryUpdate(SaveLocal)(ディレクトリRAMのディレクトリ情報を更新する)が動作を指示する信号である。また、図17において、その他はフラグ信号である。

#### 【0057】

図17に示すように、ANDゲート601dは、クラスタ60の動作モードが「モードオン及び演算コア非動作」である場合に「1」を出力する。それ以外の場合、ANDゲート601dは「0」を出力する。ANDゲート601eは、ANDゲート601dの出力が「1」であり、かつメモリ602からデータを取得した場合に、「1」を出力する。それ以外の場合、ANDゲート601eは「0」を出力する。

#### 【0058】

ORゲート601fは、ANDゲート601eの出力が「1」あるいは比較例の動作に従ってタグRAM603aにデータの使用状況に関するデータを登録する場合に、タグRAM603aに当該データを登録する指示信号(TagSave2)を出力する。ORゲート601gは、ANDゲート601eの出力が「1」あるいは比較例の動作に従ってデータRAM603bにデータを格納する場合に、データRAM603bにデータを格納する指示信号(DataSave2)を出力する。ORゲート601hは、ANDゲート501eの出力が「1」あるいは比較例の動作に従ってディレクトリRAM604のディレクトリ情報を更新する場合に、ディレクトリRAM604のディレクトリ情報を更新する指示信号(DirectoryUpdate(SaveLocal)2)を出力する。なお、ORゲート601f~601hの後段の回路は従来と同様の回路であるため、ここでは図示及び説明を省略する。

#### 【0059】

図17に示す制御回路により、コントローラ601aは、要求されたデータをメモリ602から取得した場合に、データRAM603bに当該データを格納する。また、コントローラ601aは、取得したデータをコントローラ501aに送る。

#### 【0060】

図18は、図15~図17に示す動作例におけるL2キャッシュ制御部501、601のタイミングチャートである。まず、S101において、L2キャッシュ制御部501のコントローラ501aは、演算コア群500の演算コアからデータ取得要求を受け付ける。当該データ取得要求には、当該データがどのクラスタのメモリに格納されているかを示

10

20

30

40

50

すアドレスに関する情報が含まれる。S 1 0 2において、コントローラ5 0 1 aは、タグRAM 5 0 3 aに対して、当該アドレスに対応付けられているデータがデータRAM 5 0 3 bに格納されているか否かを確認する。本実施形態では、S 1 0 3において、タグRAM 5 0 3 aは、当該データがデータRAM 5 0 3 bにない（キャッシュミスが発生）ことを示す情報をコントローラ5 0 1 aに返す。

【0 0 6 1】

S 1 0 4において、コントローラ5 0 1 aは、演算コア群5 0 0からのデータ取得要求に含まれるデータのアドレスを用いて、当該データはメモリ6 0 2に格納されるデータであることを特定する。そこで、コントローラ5 0 1 aは、コントローラ6 0 1 aに対して当該データの取得要求を行う。

10

【0 0 6 2】

S 1 0 5では、コントローラ6 0 1 aは、ディレクトリRAM 6 0 4に対して、ディレクトリ情報を確認し、クラスタ6 0が属するグループ内におけるデータの使用状況を確認する。データの使用状況には、当該データを他のクラスタが持ち出しているか否か等の情報が含まれる。本実施形態では、S 1 0 6において、ディレクトリRAM 6 0 4は、ディレクトリ情報にて当該データがデータRAM 6 0 3 bを含めいずれのクラスタのデータRAMにも格納されていない（キャッシュミスが発生）ことを確認する。そして、ディレクトリRAM 6 0 4は、そのことを示す情報をコントローラ6 0 1 aに送る。

【0 0 6 3】

S 1 0 7において、コントローラ6 0 1 aは、メモリ6 0 2に対して、コントローラ5 0 1 aから要求されているデータの読み取りを要求する。S 1 0 8において、メモリ6 0 2は、要求されたデータをコントローラ6 0 1 aに送る。コントローラ6 0 1 aでは、メモリ6 0 2からデータを取得すると、図1 7に示す制御回路によって、取得したデータをデータRAM 6 0 3 bに格納する指示が出力される。また、図1 7に示す制御回路によって、取得したデータの使用状況がSharedであることをタグRAM 6 0 3 aに記憶する指示も出力される。さらに、図1 7に示す制御回路によって、ホームのクラスタ2 0とローカルのクラスタ1 0が取得したデータを保持していることを示す情報をディレクトリRAM 6 0 4に記憶する指示も出力される。

20

【0 0 6 4】

したがって、まずS 1 0 9において、コントローラ6 0 1 aは、タグRAM 6 0 3 aに対して、取得したデータがデータRAM 6 0 3 bにSharedの状態で格納されたことを示すよう情報の更新を要求する。S 1 1 0において、タグRAM 6 0 3 aは、当該データがデータRAM 6 0 3 bにSharedの状態で格納されたことを示す情報を記憶する。そして、タグRAM 6 0 3 aは、その記憶処理が完了したことをコントローラ6 0 1 aに通知する。S 1 1 1において、コントローラ6 0 1 aは、データRAM 6 0 3 bに対して、当該データの格納要求を行う。S 1 1 2において、データRAM 6 0 3 bは、当該データを格納した後、その格納処理が完了したことをコントローラ6 0 1 aに通知する。

30

【0 0 6 5】

コントローラ6 0 1 aは、S 1 1 3において、ディレクトリRAM 6 0 4に対して、当該データはリモートでもあるクラスタ5 0とホームのクラスタ6 0が持っていることを示すようディレクトリ情報の更新を要求する。S 1 1 4において、ディレクトリRAM 6 0 4は、当該要求に従ってディレクトリ情報を更新し、更新処理が完了したことをコントローラ6 0 1 aに通知する。S 1 1 5において、コントローラ6 0 1 aは、当該データをコントローラ5 0 1 aに送る。

40

【0 0 6 6】

S 1 1 6では、コントローラ5 0 1 aは、タグRAM 5 0 3 aに対して、コントローラ6 0 1 aから取得したデータがデータRAM 5 0 3 bに格納されていることを示すよう情報の更新を要求する。また、コントローラ5 0 1 aは、タグRAM 5 0 3 aに対して、当該データの使用状況としてSharedを記憶することも要求する。S 1 1 7において、タグRAM 5 0 3 aは、要求された処理を行った後、処理が完了したことをコントローラ5 0 1

50

aに通知する。S 1 1 8において、コントローラ5 0 1 aは、データRAM 5 0 3 bに対して、当該データを格納するよう要求する。S 1 1 9において、データRAM 5 0 3 bは当該データを格納した後、格納処理が完了したことをコントローラ5 0 1 aに通知する。S 1 2 0において、コントローラ5 0 1 aは、当該データの要求元である演算コア群5 0 0の演算コアに当該データを送る。

#### 【0 0 6 7】

本実施例においては、メモリ6 0 3から取得したデータが、ホームのクラスタ6 0のL 2キャッシュ6 0 3に格納される。また、ホームのクラスタ6 0の演算コア群6 0 0は、レジスタ6 0 1 bによって非動作状態にされている。このため、演算コア群6 0 0によるL 2キャッシュ6 0 3へのデータ格納が発生しない。したがって、比較例の場合に比べ、演算コア群5 0 0にとっては、L 2キャッシュ6 0 3のメモリ容量を他のクラスタの演算コア群と共用する、いわゆるメモリ容量の食い合いは発生しない。

10

#### 【0 0 6 8】

次に、図1 9は、本実施例において、クラスタ5 0に属するL 2キャッシュ5 0 3からクラスタ6 0に属するメモリ6 0 2に格納されるデータを追い出す場合の動作を示す図である。比較例と同様、L 2キャッシュ制御部5 0 1は、L 2キャッシュ5 0 3に新たなデータを格納するときに、L 2キャッシュ5 0 3に空き領域がない場合、所定のアルゴリズムに従ってデータを追い出す。L 2キャッシュ制御部5 0 1は、タグRAM 5 0 3 aを参照して、追い出すデータがcleanかdirtyかを判定する。L 2キャッシュ制御部5 0 1は、データがdirtyの場合はL 2キャッシュ制御部6 0 1にライトバック要求を通知するとともにデータを送る。なお、L 2キャッシュ制御部5 0 1は、データがcleanの場合はL 2キャッシュ制御部6 0 1にフラッシュバック要求を通知する。

20

#### 【0 0 6 9】

図2 0は、図1 9に示す動作例におけるL 2キャッシュ制御部5 0 1、6 0 1の動作を示す図である。上記の通り、L 2キャッシュ制御部5 0 1、6 0 1は、コントローラ5 0 1 a、6 0 1 aとレジスタ5 0 1 b、6 0 1 bとL 2キャッシュ5 0 3、6 0 3とディレクトリRAM 5 0 4、6 0 4をそれぞれ備える。また、L 2キャッシュ5 0 3、6 0 3は、タグRAM 5 0 3 a、6 0 3 aとデータRAM 5 0 3 b、6 0 3 bをそれぞれ備える。

#### 【0 0 7 0】

また、図2 1は、図2 0に示す動作例におけるコントローラ6 0 1 aが有する回路の一部を示す図である。図2 1に示すコントローラ6 0 1 a内の回路は、クラスタ6 0がホームとなり、動作モードが「モードオン及び演算コア非動作」である場合の制御回路である。図2 1に示すコントローラ6 0 1 a内の回路により、ホームのクラスタ6 0がローカルのクラスタ5 0からライトバック要求の通知とともにデータを受信したときに、当該データがL 2キャッシュ6 0 3に格納される。また、図2 1に示すコントローラ6 0 1 a内の回路により、当該データはメモリ6 0 2には格納されない。図2 1において、TAGSave(タグRAMにデータを格納する)、DataSave(データRAMにデータを格納する)、DirectoryUpdate(SaveLocal)(ディレクトリRAMのディレクトリ情報を更新する)、Memory Save(メモリにデータを格納する)が動作を指示する信号である。また、図2 1において、その他はフラグ信号である。

30

40

#### 【0 0 7 1】

ANDゲート6 0 1 iは、クラスタ6 0の動作モードが「モードオン及び演算コア非動作」である場合に「1」を出力する。それ以外の場合、ANDゲート6 0 1 iは「0」を出力する。ANDゲート6 0 1 jは、ANDゲート6 0 1 iの出力が「1」であり、かつクラスタ5 0(ローカル)からライトバック要求を受けた場合に「1」を出力する。

#### 【0 0 7 2】

ORゲート6 0 1 kは、ANDゲート6 0 1 jの出力が「1」あるいは比較例の動作に従ってタグRAM 6 0 3 aにデータの使用状況に関するデータを記憶する場合に、タグRAM 6 0 3 aに当該データを記憶する指示信号(TagSave2)を出力する。ORゲート6 0 1 lは、ANDゲート6 0 1 jの出力が「1」あるいは比較例の動作に従ってデータRA

50

M 6 0 3 b にデータを格納する場合に、データ R A M 6 0 3 b にデータを格納する指示信号 (DataSave2) を出力する。O R ゲート 6 0 1 m は、A N D ゲート 6 0 1 j の出力が「1」あるいは比較例の動作に従ってディレクトリ R A M 6 0 4 のディレクトリ情報を更新する場合に、ディレクトリ R A M 6 0 4 のディレクトリ情報を更新する指示信号 (DirectoryUpdate(SaveLocal)2) を出力する。

【 0 0 7 3 】

インバータ 6 0 1 n は、クラスタ 6 0 の動作モードが「モードオン及び演算コア非動作」であり、かつクラスタ 5 0 からのライトバック要求の信号がアサートされると、メモリ 6 0 2 へのデータ格納を禁止する。一方、クラスタ 6 0 の動作モードが「モードオフ」か「演算コア動作」である場合に、比較例の動作に従ってデータをメモリ 6 0 2 に格納するときに、データのメモリ 6 0 2 への格納を行う指示信号 (MemorySave2) を出力する。または、クラスタ 5 0 からライトバック要求が通知されていない場合に、比較例の動作に従ってデータをメモリ 6 0 2 に格納するときに、当該指示信号 (MemorySave2) を出力する。なお、O R ゲート 6 0 1 k ~ 6 0 1 m、A N D ゲート 6 0 1 o の後段の回路は従来と同様の回路であるため、ここでは図示及び説明を省略する。

【 0 0 7 4 】

したがって、例えばクラスタ 6 0 の演算コア群 6 0 0 が動作状態にある場合は、A N D ゲート 6 0 1 j の出力は「0」となる。このため、例えばローカルのクラスタ 5 0 からのライトバック要求 (RequestIsWriteBack) によっては、TAGSave2、DataSave2、DirectoryUpdate(SaveLocal)2、MemorySave2はアサートされない。その代わり、比較例の動作により、TAGSave、DataSave、DirectoryUpdate(SaveLocal)、MemorySaveの指示信号に従った処理が実行される。

【 0 0 7 5 】

一方、クラスタ 6 0 の動作モードが「モードオン及び演算コア非動作」である場合、コントローラ 6 0 1 a は、ライトバック要求の通知を受け付けると、A N D ゲート 6 0 1 j の出力が「1」となる。この場合、O R ゲート 6 0 1 l の出力が「1」となるため、追い出されたデータは L 2 キャッシュ 6 0 3 のデータ R A M 6 0 3 b に格納される。さらに、インバータ 6 0 1 n の出力は「0」となるため、A N D ゲート 6 0 1 o の出力も「0」となり、メモリ 6 0 2 にはデータは格納されない。なお、インバータ 6 0 1 n 及び A N D ゲート 6 0 1 o が、遮断部の一例である。

【 0 0 7 6 】

ここで、図 2 0 に示すように、コントローラ 5 0 1 a は、タグ R A M 5 0 3 a に対して、追い出し対象のデータがデータ R A M 5 0 3 b から追い出されたこと (Invalid) を登録するよう要求する。次に、コントローラ 5 0 1 a は、データ R A M 5 0 3 b から追い出すデータを取り出す。コントローラ 5 0 1 a は、追い出されたデータが情報処理装置 2 内で同期が取れていない (データがdirtyである) 場合、コントローラ 6 0 1 a に、ライトバック要求を通知するとともに追い出されたデータを送る。

【 0 0 7 7 】

ホームのクラスタ 6 0 のコントローラ 6 0 1 a は、ローカルのクラスタ 5 0 のコントローラ 5 0 1 a から上記のライトバック要求を受け取る。そして、コントローラ 6 0 1 a は、データ R A M 6 0 3 b に当該要求とともに受け取ったデータ、すなわちデータ R A M 5 0 3 b から追い出されたデータを格納する。このため、コントローラ 6 0 1 a は、タグ R A M 6 0 3 a に対して、データ R A M 6 0 3 b に当該データが格納されていることを示すように情報を更新する。次に、コントローラ 6 0 1 a は、データ R A M 6 0 3 b に当該データを格納する。そして、コントローラ 6 0 1 a は、ディレクトリ R A M 6 0 4 に対して、当該データがホームのクラスタ 6 0 に追加されたことを示すようディレクトリ情報の更新を要求する。さらに、コントローラ 6 0 1 a は、ディレクトリ R A M 6 0 4 に対して、ローカルのクラスタ 5 0 から破棄されたことを示すようディレクトリ情報の更新を要求する。

【 0 0 7 8 】



図22は、図19～21に示す動作例におけるL2キャッシュ制御部501、601のタイミングチャートである。以下の説明において、チャート内のステップをSと略記する。図22は、データRAM503bから追い出すデータがdirtyであり、コントローラ501aがコントローラ601aに対してライトバック要求を送る場合を示す。S201において、コントローラ501aは、タグRAM503aに対して、追い出し対象のデータがデータRAM503bから追い出されたこと(Invalid)を登録するよう要求する。なお、どのデータが追い出しの対象となるかは、別途LRUアルゴリズム等によりあらかじめ決められている。S202において、タグRAM503aは、当該データの状態がInvalidであることを登録する。さらに、タグRAM503aは、当該要求に対する応答において、データの使用状況を示す情報(Modified; Value=M)をコントローラ501aに送る。S203では、コントローラ501aは、タグRAM503aから取得したアドレスを用いてデータRAM503bからデータの読み出しを行う。S204において、データRAM503bは、コントローラ501aからの要求に含まれるアドレスに一致するアドレスを有するデータを読み出し、コントローラ501aに送る。

【0079】

コントローラ501aは、データRAM503bから追い出されたデータを取得すると、S205において、コントローラ601aにライトバック要求を送るとともに当該データを送る。コントローラ501aは、S202においてタグRAM503aから取得したデータがdirtyであるため、ライトバック要求をコントローラ601aに送る。また、コントローラ501aは、当該データがどのクラスタのメモリに格納されているかを示すアドレスもコントローラ601aに送る。

【0080】

S206において、コントローラ601aは、タグRAM603aに対して、コントローラ501aが送ったデータがデータRAM603bに格納されることを示す情報を記憶するよう要求する。さらに、コントローラ601aは、タグRAM603aに対して、当該データがどのクラスタのメモリに格納されているかを示すアドレスを記憶するよう要求する。S207において、タグRAM603aは、コントローラ601aの当該要求に従って記憶処理を行った後、記憶処理が完了したことをコントローラ601aに通知する。S208において、コントローラ601aは、当該データをデータRAM603bに格納する。S209において、データRAM603bは当該データを格納した後、格納処理が完了したことをコントローラ601aに通知する。

【0081】

S210において、コントローラ601aは、ディレクトリRAM604に対して、当該データがホームのクラスタ60が持っていることを示すようディレクトリ情報の更新を要求する。さらに、コントローラ601aは、ディレクトリRAM604に対して、当該データがリモートでもあるクラスタ50から破棄されたことを示すようディレクトリ情報の更新を要求する。S211では、ディレクトリRAM604は当該ディレクトリ情報を更新した後、更新処理が完了したことをコントローラ601aに通知する。S212では、コントローラ601aは以上の処理が完了したことをコントローラ501aに通知する。

【0082】

ところで、本実施形態においてディレクトリRAMは、ディレクトリ情報において、データRAM内に格納されている各データがどのクラスタに持ち出されているかを、各クラスタに対応するビットによって管理する。例えば、データを持ち出しているクラスタに対応するビットを「1」とし、データを持ち出していないクラスタに対応するビットを「0」とする。したがって、例えば上記のS210において、ディレクトリRAM604は、クラスタ60に対応するビットを「1」とし、クラスタ50に対応するビットを「0」とする。以下の説明においても、ディレクトリRAMは、ディレクトリ情報における当該ビットを変更することによって、各データの使用状況を記憶する。ただし、ディレクトリRAMにおけるクラスタのデータの持ち出し状況を管理する構成は、上記に限られない。な

10

20

30

40

50

お、コントローラ 501a がコントローラ 601a に対してフラッシュバック要求を送る場合の処理は、上記の比較例の場合と同様であるため、ここではその説明を省略する。

#### 【0083】

ここで、本実施例のように各クラスタのモード動作を制御した場合の効果の一例を、図 23 を参照しながら説明する。図 23 には、情報処理装置 3 内のクラスタが複数のグループを構成する場合の一例を示す。ここでは、各クラスタの動作モードは、L2 キャッシュ制御部のレジスタの設定値によって設定される。具体的には、動作モードは、設定値が 0 の場合は「モードオフ」、設定値が 1 の場合は「モードオン及び演算コア動作」、設定値が 2 の場合は「モードオン及び演算コア非動作」に設定される。図 23 では、クラスタ 800a ~ クラスタ 800d が 1 つのグループ 800 を構成する。また、グループ 900 は 1 つのクラスタ 900a で構成される。グループ 900 は、使用するメモリ空間がクラスタ 900a 内のメモリのメモリ容量以下であるアプリケーションの実行を担当する。なお、クラスタ 800a ~ 800d、900a は、上記のクラスタ 50、60 と同様の構成を有するため、各構成要素の図示や説明は省略する。

#### 【0084】

例えば、グループ 800 外のクラスタ 900a がグループ 800 内のクラスタ 800c にアクセスすることを許可した場合を考える。そして、クラスタ 900a がクラスタ 800c の L2 キャッシュに格納されているデータについて排他的データ取得要求を行ったとする。このとき、当該データは、クラスタ 900a に移動するとともに、クラスタ 800c の L2 キャッシュからは破棄される。また、クラスタ 800c では、ディレクトリ情報により、当該データがグループ外のクラスタ 900a に持ち出されたことを管理する。そこで、図 23 に示す例では、グループ外のクラスタからのアクセスを、グループ内の動作モードが「モードオン及び演算コア動作」であるクラスタに制限する。これにより、「モードオン及び演算コア非動作」のクラスタの L2 キャッシュに格納されたデータがグループ外のクラスタによって持ち出されることがない。このため、「モードオン及び演算コア動作」であるクラスタが「モードオン及び演算コア非動作」のクラスタのデータを取得する際に、当該データをグループ外のクラスタが持ち出しているために、グループ外のクラスタからデータを取得するといった処理が発生する懸念がない。よって、グループ内において各クラスタがデータを効率よく取得することができる。

#### 【0085】

上記の比較例では、ローカルの他にリモートやホームのクラスタの演算コア群も動作状態にある。このため、ローカルのクラスタの L2 キャッシュは、他の複数のクラスタともデータのやり取りを行う。したがって、ローカルのクラスタの演算コア群が使用する L2 キャッシュの容量が実質的に削減される。さらに、L2 キャッシュ内のデータの管理においては、どのクラスタが要求するデータを優先的に取得してかつ L2 キャッシュに残すか等、判断基準や制御が複雑になる。このため、比較例の構成は、本実施形態の構成に比べてコスト面や情報処理の性能面でオーバーヘッドが大きくなる可能性がある。また、比較例の構成では、各データに対し、どのクラスタから追い出されたか等の追加情報も記憶してデータ管理を行う。一方、本実施形態の構成ではそのような追加情報の管理は発生しない。

#### 【0086】

さらに、キャッシュコヒーレンス制御のプロトコルについて、演算コア群の動作モードのオン時とオフ時とで共通の規約を使用することも可能である。例えば、上記と同様に Modified、Exclusive、Shared、Invalid の 4 状態を使用する MESI プロトコルを、演算コア群の動作モードのオン時に使用するとする。このとき、演算コア群の動作モードのオフ時にも、新しい状態を追加で規定することなく、オン時と同じ MESI プロトコルを使用することができる。そして、動作モードのオン時とオフ時とで制御内容を適宜調整すればよい。このため、比較例の構成に本実施形態の構成を適用する際に発生するオーバーヘッドを抑えることができる。

#### 【0087】

以上が本実施形態に関する説明であるが、上記の情報処理装置の構成や処理は、上記の実施形態に限定されるものではなく、本発明の技術的思想と同一性を失わない範囲内において種々の変更が可能である。例えば、上記の実施例では、ローカルのクラスタ50がホームのクラスタ60に対して排他的データ取得要求を行う場合、比較例に従って処理が実行される。すなわち、クラスタ60は、L2キャッシュ603からデータを取得してクラスタ50にデータを送るとともに、当該データをL2キャッシュ603から破棄する。排他的データ取得要求は、主に要求元のクラスタがデータを更新する際に用いるデータ取得要求である。したがって、当該データがクラスタ50から追い出されるときは、当該データがdirtyであるため、当該データがライトバック要求の通知とともにホームのクラスタ60に送信される。

10

#### 【0088】

ただし、情報処理装置内で実行するアプリケーションによっては、排他的データ取得要求により取得されたデータが更新されずに、ローカルのクラスタから追い出される可能性もある。すなわち、この場合は、データがcleanの状態でもローカルのクラスタから追い出される。そこで、ローカルのクラスタからホームのクラスタに対して排他的データ取得要求が行われたときに、ホームのクラスタのL2キャッシュから要求されたデータを破棄しない構成としてもよい。ただし、排他的データ取得要求が行われた場合は、ホームのクラスタのタグRAMには、取得対象のデータの使用状況をExclusiveではなくSharedとして登録する。このようにプロトコルを変更してデータを管理する場合でも、比較例の場合に比べてクラスタ間のトランザクションやクラスタとメモリ間のトランザクションは増加しない。したがって、情報処理装置の設計者は、情報処理装置の仕様や情報処理装置内で実行するアプリケーションの種類等を考慮して上記のいずれの構成を採用するかを適宜決定することができる。

20

#### 【0089】

また、上記の実施形態において、動作モードの「モードオン」と「モードオフ」の切り換えにあたって、メモリのメモリ容量を超える大量のメモリ空間を使用するアプリケーションを実行する場合にオンする構成としてもよい。使用するメモリ空間がメモリのメモリ容量を超えないアプリケーションを実行する場合はオフとする。これにより、各アプリケーションにとって適切なメモリ及びL2キャッシュの構成を柔軟に採用することができる。また、アプリケーションごとに別個のメモリ及びL2キャッシュの構成を構築する手間も省くことができる。

30

#### 【0090】

また、各クラスタの演算コア群に対する電源供給を個別に制御することで、モードオン時に非動作とする演算コア群に対して電源を切ることが可能になる。これにより、情報処理装置において不要な電力消費を抑えることができる。なお、いわゆるパワーゲーティングと呼ばれる手法を用いて各演算コア群に対する電源供給を制御する構成としてもよい。

#### 【0091】

また、上記の説明ではレジスタを用いて演算コア群の動作又は非動作を設定する構成としている。上記の実施形態の示すL2キャッシュ制御部の構成の他、図24に示す構成を採用して演算コア群の動作又は非動作の設定を行ってもよい。図24に示すように、L2キャッシュ制御部1001は、コントローラ1001aとレジスタ1001bとセレクトラ1001cとL2キャッシュ1003とディレクトリRAM1004を備える。また、L2キャッシュ1003は、タグRAM1003aとデータRAM1003bを備える。L2キャッシュ制御部1001では、セレクトラ1001cがレジスタ1001bの設定値を参照して、図示しない演算コア群からの要求を遮断するか否かを決定する。例えばレジスタ1001bの設定値がオンの場合に、セレクトラ1001cが図示しない演算コア群からの要求を遮断する。すなわち、演算コア群を実質的に非動作状態にすることができる。また、レジスタ1001bの設定値がオフの場合は、セレクトラ1001cは、演算コア群からの要求をコントローラ1001aに送る。すなわち、演算コア群を実質的に動作状態にすることができる。なお、クラスタによって構成されるグループの外部から実行アプリケ

40

50

ーション等を用いて、各クラスタにおける動作モードを制御するように調整してもよい。

【0092】

《コンピュータが読み取り可能な記録媒体》

コンピュータその他の機械、装置（以下、コンピュータ等）に上記情報処理装置の設定を行うための管理ツール、OSその他を実現させるプログラムをコンピュータ等が読み取り可能な記録媒体に記録することができる。ここで、設定とは、例えばレジスタの設定等を意味する。そして、コンピュータ等に、この記録媒体のプログラムを読み込ませて実行させることにより、その機能を提供させることができる。ここで、コンピュータは、例えば、クラスタやコントローラ等である。

【0093】

ここで、コンピュータ等が読み取り可能な記録媒体とは、データやプログラム等の情報を電氣的、磁氣的、光学的、機械的、または化学的作用によって蓄積し、コンピュータ等から読み取ることができる記録媒体をいう。このような記録媒体のうちコンピュータ等から取り外し可能なものとしては、例えばフレキシブルディスク、光磁気ディスク、CD-ROM、CD-R/W、DVD、ブルーレイディスク、DAT、8mmテープ、フラッシュメモリ等のメモ리카ード等がある。また、コンピュータ等に固定された記録媒体としてハードディスクやROM等がある。

【0094】

以上の実施形態に関し、さらに以下の付記を開示する。

【0095】

（付記1）

他の演算処理装置に接続される演算処理装置において、

自身が管理する第1のデータと他の演算処理装置から取得した第2のデータとを用いて演算処理を行う演算処理部と、

前記第1のデータと前記第2のデータとに加え、第3のデータとを記憶するメモリ部と、

前記演算処理部を動作状態又は非動作状態に設定する設定部と、前記第1のデータと前記第2のデータとを保持するキャッシュメモリ部とを有し、前記設定部が前記演算処理部を非動作状態に設定した場合、前記他の演算処理装置から前記第3のデータが要求された結果、前記キャッシュメモリ部にキャッシュミスが発生したとき、要求された前記第3のデータを前記メモリ部から読み出して前記キャッシュメモリ部に保持するとともに、読み出した前記第3のデータを前記他の演算処理装置に送信する制御部と、

を有する

演算処理装置。

【0096】

（付記2）

前記制御部は、

前記他の演算処理装置から、前記他の演算処理装置のキャッシュメモリ部に保持する第3のデータを更新した結果である第4のデータと、前記第4のデータをライトバックする旨のライトバック通知とを受信した場合、受信した前記第4のデータを前記キャッシュメモリ部に記憶する

ことを特徴とする付記1に記載の演算処理装置。

【0097】

（付記3）

前記制御部は、

前記他の演算処理装置から、前記他の演算処理装置のキャッシュメモリ部に保持する第3のデータを更新した結果である第4のデータと、前記第4のデータをライトバックする旨のライトバック通知とを受信した場合、受信した前記第4のデータを前記キャッシュメモリ部に記憶するが、受信した前記第4のデータを前記メモリ部に登録させない

ことを特徴とする付記2に記載の演算処理装置。

10

20

30

40

50

## 【 0 0 9 8 】

( 付 記 4 )

他の演算処理装置と、前記他の演算処理装置に接続される演算処理装置とを有する情報処理装置において、

前記演算処理装置は、

自身が管理する第 1 のデータと他の演算処理装置から取得した第 2 のデータとを用いて演算処理を行う演算処理部と、

前記第 1 のデータと前記第 2 のデータとに加え、第 3 のデータとを記憶するメモリ部と、

前記演算処理部を動作状態又は非動作状態に設定する設定部と、前記第 1 のデータと前記第 2 のデータとを保持するキャッシュメモリ部とを有し、前記設定部が前記演算処理部を非動作状態に設定した場合、前記他の演算処理装置から前記第 3 のデータが要求された結果、前記キャッシュメモリ部にキャッシュミスが発生したとき、要求された前記第 3 のデータを前記メモリ部から読み出して前記キャッシュメモリ部に保持するとともに、読み出した前記第 3 のデータを前記他の演算処理装置に送信する制御部と、

を有する

ことを特徴とする情報処理装置。

## 【 0 0 9 9 】

( 付 記 5 )

前記制御部は、

前記他の演算処理装置から、前記他の演算処理装置のキャッシュメモリ部に保持する第 3 のデータを更新した結果である第 4 のデータと、前記第 4 のデータをライトバックする旨のライトバック通知とを受信した場合、受信した前記第 4 のデータを前記キャッシュメモリ部に記憶する

ことを特徴とする付記 4 に記載の情報処理装置。

## 【 0 1 0 0 】

( 付 記 6 )

前記制御部は、

前記他の演算処理装置から、前記他の演算処理装置のキャッシュメモリ部に保持する第 3 のデータを更新した結果である第 4 のデータと、前記第 4 のデータをライトバックする旨のライトバック通知とを受信した場合、受信した前記第 4 のデータを前記キャッシュメモリ部に記憶するが、受信した前記第 4 のデータを前記メモリ部に登録させない

ことを特徴とする付記 5 に記載の情報処理装置。

## 【 0 1 0 1 】

( 付 記 7 )

他の演算処理装置と、前記他の演算処理装置に接続されるとともに、自身が管理する第 1 のデータと他の演算処理装置から取得した第 2 のデータとを用いて演算処理を行う演算処理部と、前記第 1 のデータと前記第 2 のデータとに加え、第 3 のデータとを記憶するメモリ部と、前記第 1 のデータと前記第 2 のデータとを保持するキャッシュメモリ部とを含む演算処理装置とを有する情報処理装置の制御方法において、

前記演算処理装置が有する設定部が、前記演算処理部を非動作状態に設定し、

前記設定部が前記演算処理部を非動作状態に設定した後、前記他の演算処理装置が、前記第 3 のデータを要求し、

前記第 3 のデータが要求された結果、前記キャッシュメモリ部にキャッシュミスが発生した場合、前記演算処理装置が有する制御部が、要求された前記第 3 のデータを前記メモリ部から読み出して前記キャッシュメモリ部に保持し、

前記制御部が、読み出した前記第 3 のデータを前記他の演算処理装置に送信することを特徴とする情報処理装置の制御方法。

## 【 0 1 0 2 】

( 付 記 8 )

10

20

30

40

50

前記制御部は、

前記他の演算処理装置から、前記他の演算処理装置のキャッシュメモリ部に保持する第 3 のデータを更新した結果である第 4 のデータと、前記第 4 のデータをライトバックする旨のライトバック通知とを受信した場合、受信した前記第 4 のデータを前記キャッシュメモリ部に記憶する

ことを特徴とする付記 7 に記載の情報処理装置の制御方法。

【 0 1 0 3 】

( 付記 9 )

前記制御部は、

前記他の演算処理装置から、前記他の演算処理装置のキャッシュメモリ部に保持する第 3 のデータを更新した結果である第 4 のデータと、前記第 4 のデータをライトバックする旨のライトバック通知とを受信した場合、受信した前記第 4 のデータを前記キャッシュメモリ部に記憶するが、受信した前記第 4 のデータを前記メモリ部に登録させない

ことを特徴とする付記 8 に記載の情報処理装置の制御方法。

【 符号の説明 】

【 0 1 0 4 】

1、2、3 情報処理装置

1 0、2 0、3 0、5 0、6 0、7 0、8 0 0 a、8 0 0 b、8 0 0 c、8 0 0 d、9 0 0 a クラスタ

1 0 0、2 0 0、3 0 0、5 0 0、6 0 0、7 0 0 演算コア群

1 0 1、2 0 1、3 0 1、5 0 1、6 0 1、7 0 1、1 0 0 1 L 2 キャッシュ制御部

1 0 2、2 0 2、3 0 2、5 0 2、6 0 2、7 0 2 メモリ

1 0 3、2 0 3、3 0 3、5 0 3、6 0 3、7 0 3、1 0 0 3 L 2 キャッシュ

1 0 1 a、2 0 1 a、3 0 1 a、5 0 1 a、6 0 1 a、1 0 0 1 a コントローラ

1 0 3 a、2 0 3 a、3 0 3 a、5 0 3 a、6 0 3 a、1 0 0 3 a タグ R A M

1 0 3 b、2 0 3 b、3 0 3 b、5 0 3 b、6 0 3 b、1 0 0 3 b データ R A M

1 0 4、2 0 4、3 0 4、5 0 4、6 0 4、1 0 0 4 ディレクトリ R A M

5 0 1 b、6 0 1 b、1 0 0 1 b レジスタ

8 0 0、9 0 0 グループ

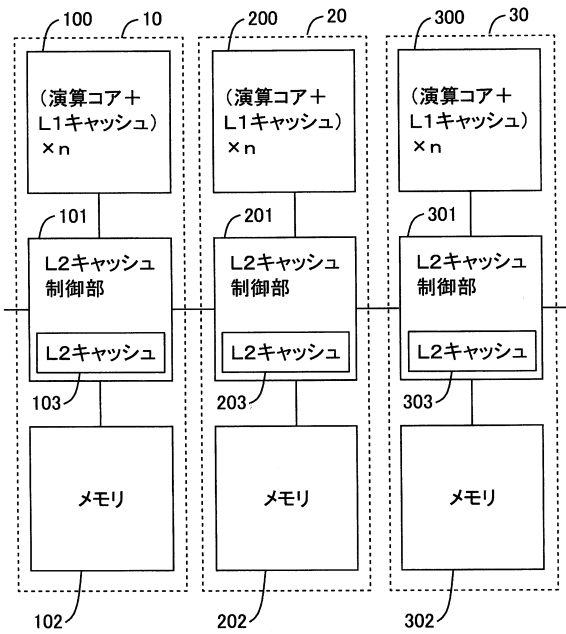
1 0 0 1 c セレクタ

10

20

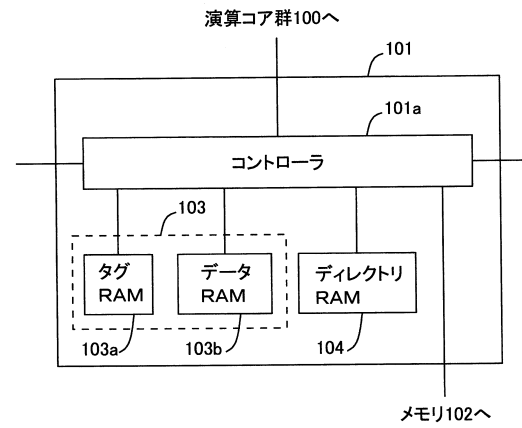
30

【図 1】

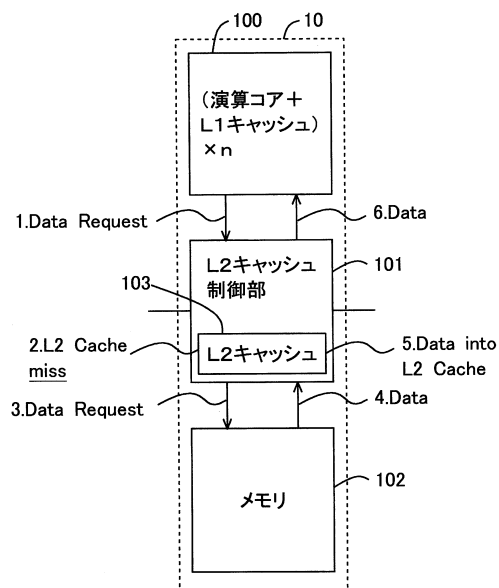


1

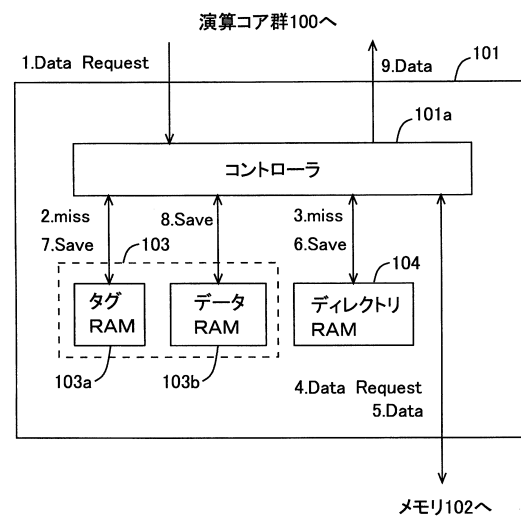
【図 2】



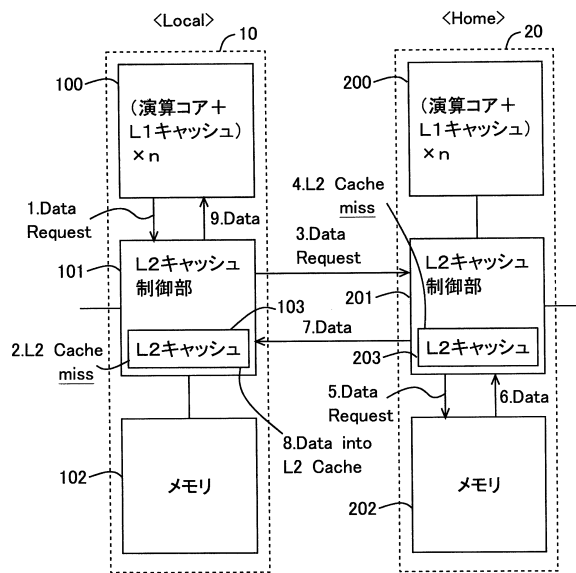
【図 3】



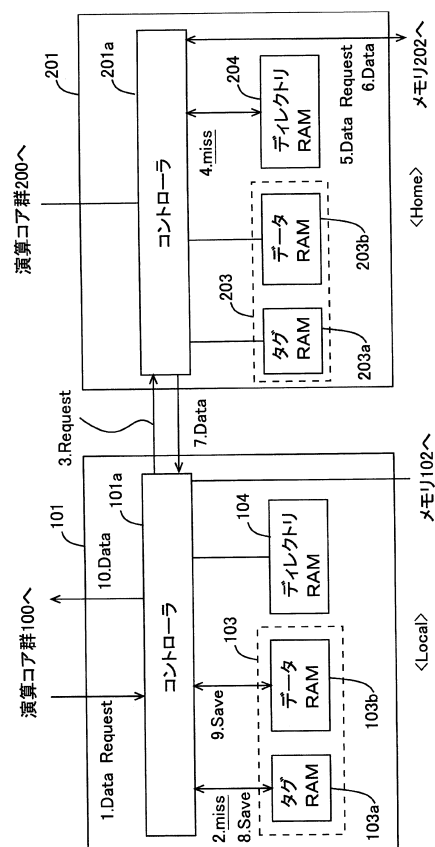
【図 4】



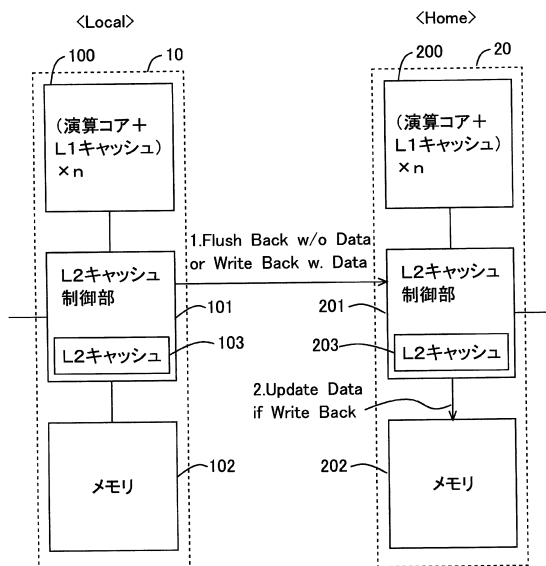
【図5】



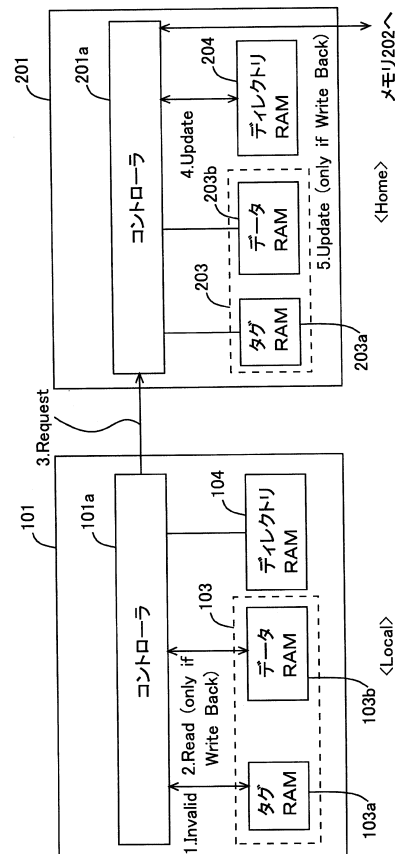
【図6】



【図7】

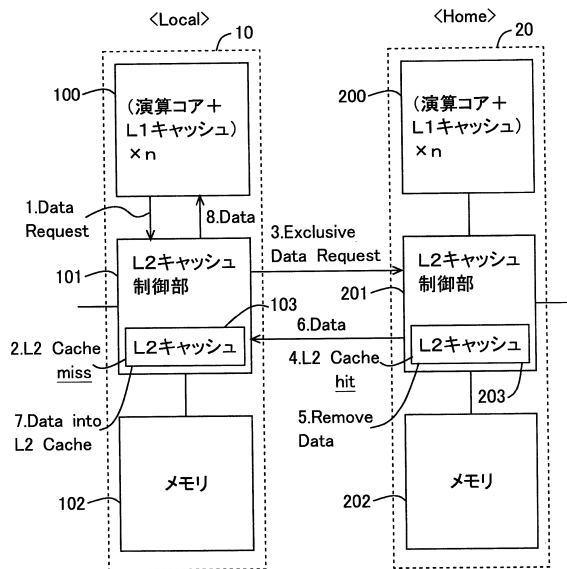


【図8】

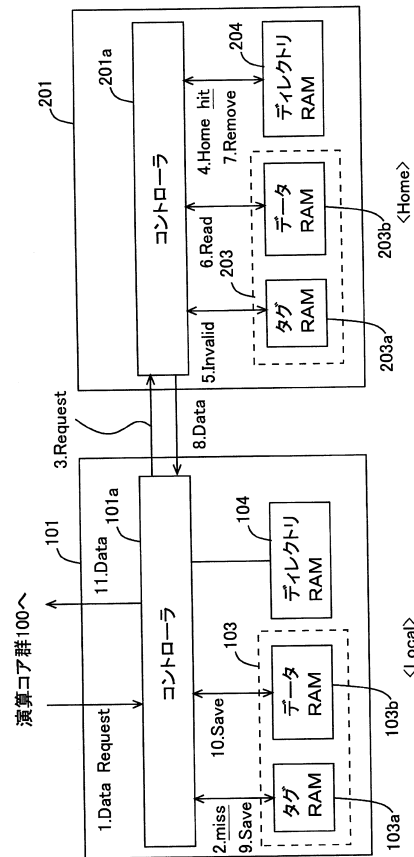




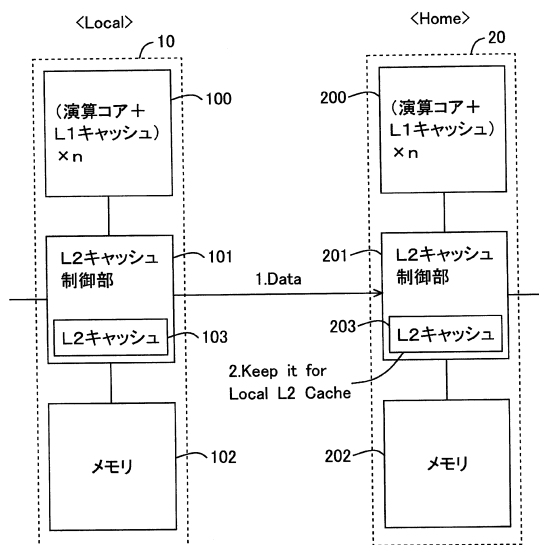
【図 9】



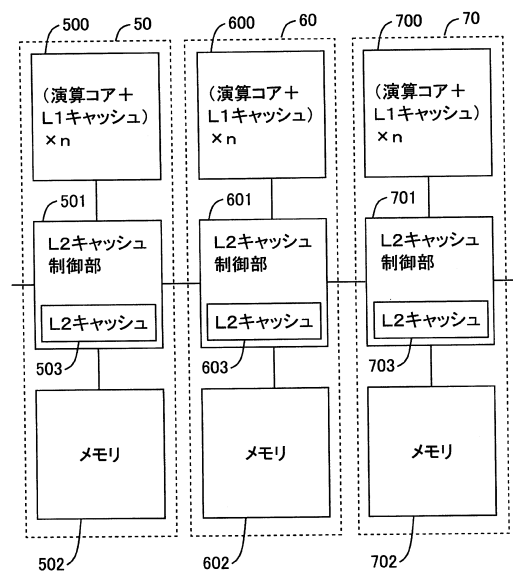
【図 10】



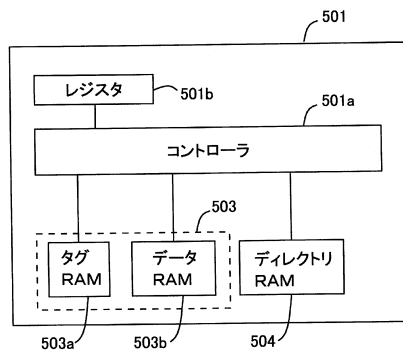
【図 11】



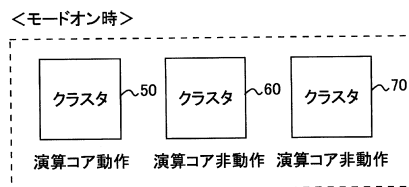
【図 12】



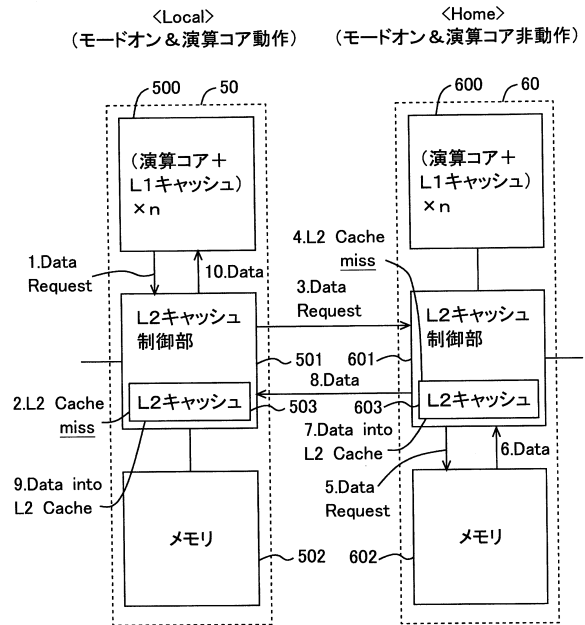
【図 13】



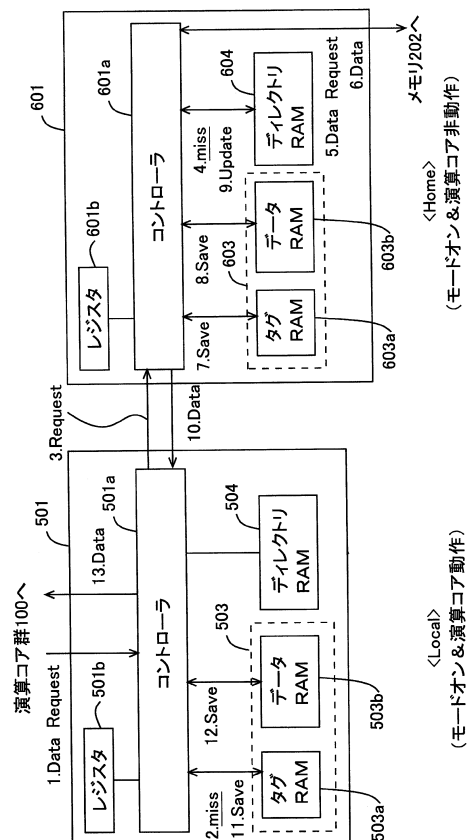
【図 14】



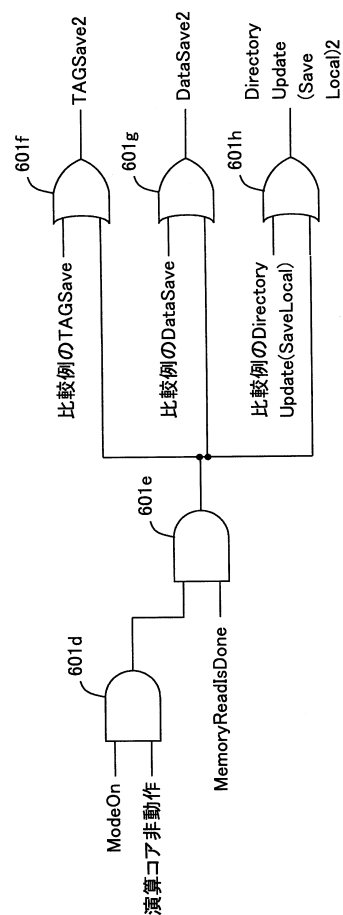
【図 15】



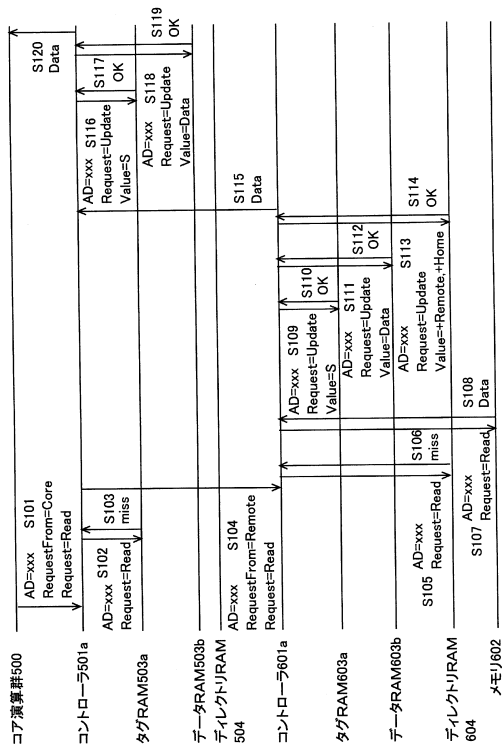
【図 16】



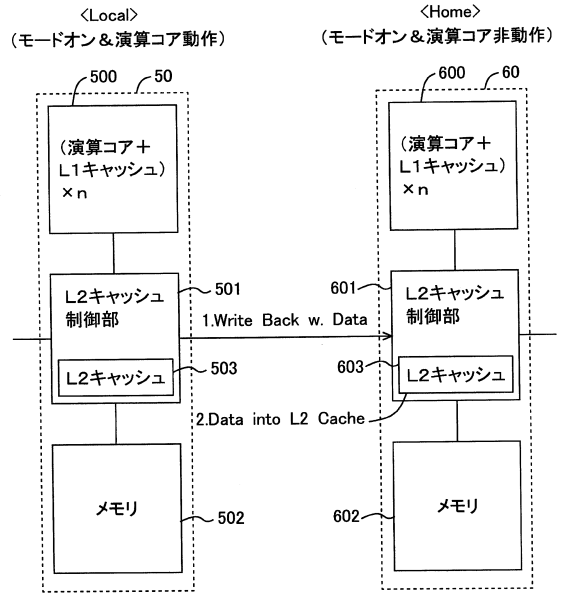
【図 17】



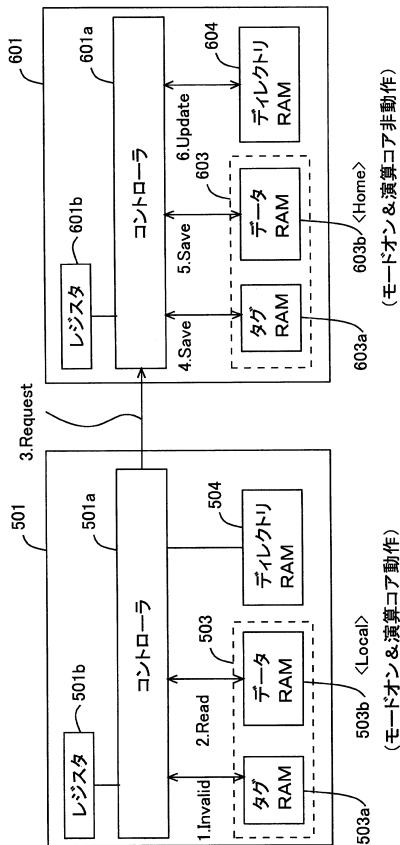
【図18】



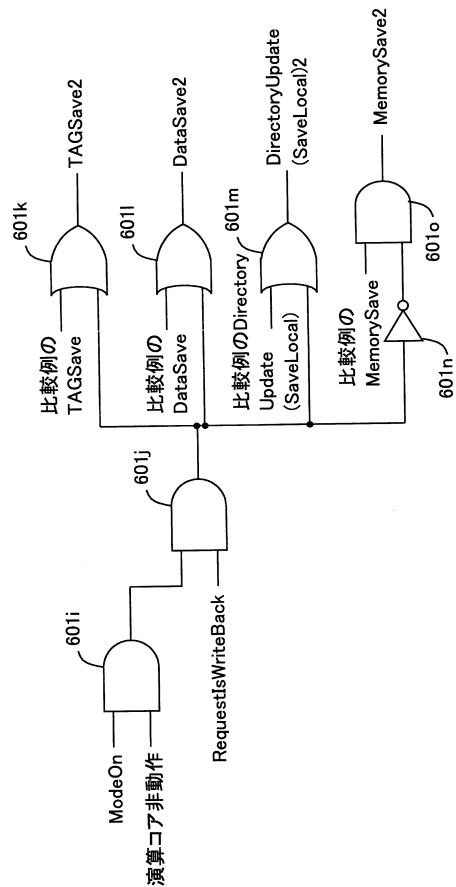
【図19】



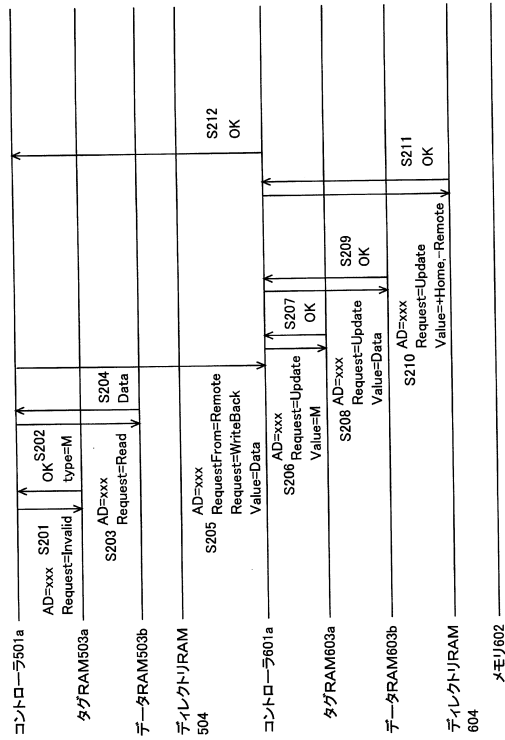
【図20】



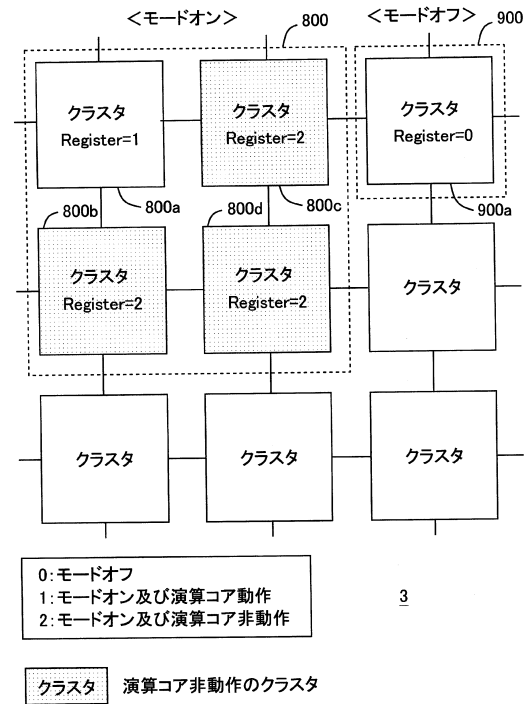
【図21】



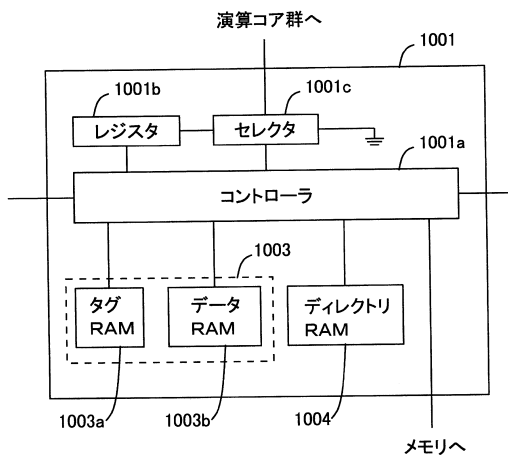
【図 2 2】



【図 2 3】



【図 2 4】



---

フロントページの続き

審査官 酒井 恭信

- (56)参考文献 特開 2 0 0 7 - 0 3 5 0 2 6 ( J P , A )  
米国特許出願公開第 2 0 0 7 / 0 0 2 2 2 5 4 ( U S , A 1 )  
特開 2 0 1 0 - 1 9 8 4 9 0 ( J P , A )  
特開 2 0 1 1 - 1 5 0 6 5 3 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
G 0 6 F 1 2 / 0 8 - 1 2 / 0 8 0 4