

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5188095号
(P5188095)

(45) 発行日 平成25年4月24日 (2013. 4. 24)

(24) 登録日 平成25年2月1日 (2013. 2. 1)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 2 1
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 3 B
HO 1 L 21/76 (2006. 01)	HO 1 L 21/76 Z
HO 1 L 21/8247 (2006. 01)	HO 1 L 27/10 4 3 4
HO 1 L 27/115 (2006. 01)	HO 1 L 29/78 3 7 1
請求項の数 8 (全 67 頁) 最終頁に続く	

(21) 出願番号	特願2007-115522 (P2007-115522)	(73) 特許権者	000153878
(22) 出願日	平成19年4月25日 (2007. 4. 25)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2007-318108 (P2007-318108A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成19年12月6日 (2007. 12. 6)	(72) 発明者	山崎 舜平
審査請求日	平成22年4月23日 (2010. 4. 23)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2006-126984 (P2006-126984)		半導体エネルギー研究所内
(32) 優先日	平成18年4月28日 (2006. 4. 28)	(72) 発明者	荒井 康行
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	川俣 郁子
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		審査官	井上 弘亘
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板を有し、前記絶縁表面上の全面に素子分離領域及び素子領域を含む半導体層を有し、前記素子領域はソース領域、ドレイン領域及びチャネル形成領域を含み、前記素子分離領域及び前記素子領域は接しており、前記素子分離領域は第 1 の不純物元素及び第 2 の不純物元素を含み、前記第 1 の不純物元素は酸素、窒素、及び炭素のうち少なくとも一種以上であり、前記第 2 の不純物元素は前記ソース領域及び前記ドレイン領域と逆の導電型を前記素子分離領域に付与する不純物元素であり、前記素子分離領域は希ガス元素を含み、前記素子分離領域は前記チャネル形成領域より結晶性が低いことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記素子分離領域及び前記素子領域上に絶縁層を有し、

前記絶縁層上に導電層を有し、前記導電層は前記絶縁層を介して前記素子分離領域及び前記素子領域上に亘って設けられることを特徴とする半導体装置。

【請求項 3】

絶縁表面を有する基板を有し、

前記絶縁表面上の全面に素子分離領域、前記素子分離領域を介して隣接する第1の素子領域、及び第2の素子領域を含む半導体層を有し、

前記第1の素子領域は第1のソース領域、第1のドレイン領域及び第1のチャンネル形成領域を含み、

前記第2の素子領域は第2のソース領域、第2のドレイン領域及び第2のチャンネル形成領域を含み、

前記第1のソース領域、前記第1のドレイン領域、前記第2のソース領域、及び前記第2のドレイン領域は同じ導電型であり、

前記素子分離領域は第1の不純物元素及び第2の不純物元素を含み、

前記第1の不純物元素は酸素、窒素、及び炭素のうち少なくとも一種以上であり、

前記第2の不純物元素は前記第1のソース領域、前記第1のドレイン領域、前記第2のソース領域、及び前記第2のドレイン領域と逆の導電型を前記素子分離領域に付与する不純物元素であり、

前記素子分離領域は希ガス元素を含み、

前記素子分離領域は前記第1のチャンネル形成領域及び前記第2のチャンネル形成領域より結晶性が低いことを特徴とする半導体装置。

【請求項4】

請求項3において、

前記素子分離領域、前記第1の素子領域及び前記第2の素子領域上に絶縁層を有し、

前記絶縁層上に導電層を有し、前記導電層は前記絶縁層を介して前記素子分離領域及び前記第1の素子領域、又は前記素子分離領域及び前記第2の素子領域上に亘って設けられることを特徴とする半導体装置。

【請求項5】

請求項1乃至4のいずれか一項において、

前記素子分離領域に含まれる前記第1の不純物元素の濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $4 \times 10^{22} \text{ cm}^{-3}$ 未満であることを特徴とする半導体装置。

【請求項6】

絶縁表面を有する基板を有し、

前記絶縁表面上の全面に第1の素子分離領域、前記第1の素子分離領域を介して隣接する第1の素子領域、第2の素子分離領域、及び前記第2の素子分離領域を介して隣接する第2の素子領域を含む半導体層を有し、

前記第1の素子分離領域は前記第2の素子分離領域と接しており、

前記第1の素子領域は第1のソース領域、第1のドレイン領域及び第1のチャンネル形成領域を含み、

前記第2の素子領域は第2のソース領域、第2のドレイン領域及び第2のチャンネル形成領域を含み、

前記第1のソース領域及び前記第1のドレイン領域はn型の不純物領域であり、

前記第2のソース領域及び前記第2のドレイン領域はp型の不純物領域であり、

前記第1の素子分離領域は酸素、窒素、及び炭素のうち少なくとも一種以上の第1の不純物元素及びp型を前記第1の素子分離領域に付与する不純物元素を含み、

前記第2の素子分離領域は前記第1の不純物元素及びn型を前記第2の素子分離領域に付与する不純物元素を含み、

前記第1の素子分離領域及び前記第2の素子分離領域は希ガス元素を含み、

前記第1の素子分離領域及び前記第2の素子分離領域は前記第1のチャンネル形成領域及び前記第2のチャンネル形成領域より結晶性が低いことを特徴とする半導体装置。

【請求項7】

請求項6において、

前記第1の素子領域、前記第1の素子分離領域、前記第2の素子分離領域、及び前記第2の素子領域上に絶縁層を有し、

前記絶縁層上に導電層を有し、前記導電層は前記絶縁層を介して前記第1の素子領域、

前記第1の素子分離領域、前記第2の素子分離領域、及び前記第2の素子領域上に亘って設けられることを特徴とする半導体装置。

【請求項8】

請求項6又は7において、

前記第1の素子分離領域及び前記第2の素子分離領域に含まれる前記第1の不純物元素の濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $4 \times 10^{22} \text{ cm}^{-3}$ 未満であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体素子を有する半導体装置、及びその作製方法に関する。

【背景技術】

【0002】

絶縁表面上に複数の半導体素子を設ける場合、絶縁表面上に形成した半導体膜をエッチング処理によって、複数の島状の半導体層に加工する方法が用いられている。半導体素子は複数の薄膜の積層構造を有しており、プレーナ型の薄膜トランジスタの場合、島状に分離された半導体層を覆うようにゲート絶縁層が積層される。

【0003】

島状に加工された半導体層は端部に段差を有するため、半導体層端部においてゲート絶縁層の薄膜化や、膜の破壊などの不良が生じる。

【0004】

ゲート絶縁層が薄膜化すると、ゲート電極と半導体層間にリーク電流が流れてしまう、またゲート絶縁層が破壊されるとゲート電極と半導体層とが接触し短絡（ショート）してしまうといった半導体装置への特性不良が生じる。

【0005】

上記のような問題を解決するために、形状の異なるゲート絶縁層を2層積層させて、半導体層端部による段差を緩和し、被覆性を向上させる方法が行われている。（例えば、特許文献1参照。）

【特許文献1】特開平10-242471号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら上記のような段差を緩和する方法では、半導体層及びゲート絶縁層の膜厚などによっては、半導体膜とゲート電極との接触によるショート、及びリーク電流などの不良を十分に防ぐことができなかった。特に、半導体素子を微細化していった場合、（例えばゲート長が $1 \mu\text{m}$ 以下）上記リーク電流が顕著に表れてしまうといった問題があった。

【0007】

本発明は、ゲート絶縁層の被覆不良によるゲート電極と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置、及びそのような半導体装置の作製方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、絶縁表面上に複数の半導体素子を形成するために、半導体層を複数の島状の半導体層に分離せず、連続した一つの半導体層中に半導体素子として機能する素子領域と、抵抗が高くかつ素子領域とPN接合し、素子領域間を電氣的に絶縁分離する機能を有する素子分離領域を形成する。

【0009】

素子分離領域は、連続した一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性向上に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。なお、本発明

10

20

30

40

50

において導電性に寄与しないとは、導電性向上に寄与しないという意味で用いる。

【0010】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により（いわゆるスパッタ効果とも言える）結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

【0011】

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域（例えばn型不純物領域又はp型不純物領域）である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間はさらに絶縁分離することができる。

【0012】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合によって、連続した一つの半導体層を複数の素子領域に分離することを特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

【0013】

なお、本明細書において、素子領域とは素子が形成される前の素子形成領域も含むものとする。よって、素子作製工程途中において、素子として完成されてない場合（他の電極層や絶縁層が形成する前の段階）であっても半導体層中の高抵抗領域である素子分離領域に絶縁分離された素子形成領域を素子領域と呼ぶ。

【0014】

素子分離領域を形成する際の導電性に寄与しない不純物元素の添加（導入）は、イオン注入法、（イオン）ドーピング法などを用いることができる。

【0015】

また、素子分離領域において、第1の不純物元素及び第2の不純物元素の濃度勾配を有していてもよい。例えば、基板上に設けられた半導体層に素子分離領域を形成する場合、素子分離領域において基板側により高い濃度で第2の不純物元素を選択的に添加し、第1の不純物元素を半導体層表面側により高い濃度で選択的に添加してもよい。もちろん素子分離領域中にはほぼ均一な濃度で第1の不純物元素及び第2の不純物元素を添加してもよい。つまり、素子分離領域において第1の不純物元素及び第2の不純物元素の濃度のピークは適宜設定することができる。

【0016】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの第1の不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0017】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化している

ともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

【0018】

素子分離領域に添加する不純物元素としては、アルゴン（Ar）、ネオン（Ne）、クリプトン（Kr）、キセノン（Xe）などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

【0019】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。半導体層端部による段差が生じず、平坦な半導体層上にゲート絶縁層が形成されるため、ゲート絶縁層の被覆性が向上する。従って、ゲート絶縁層の被覆不良によるゲート電極と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置、及びそのような半導体装置の作製方法を提供することができる。

【0020】

なお、本発明において、半導体装置とは、半導体特性を利用することで機能しうる装置を指す。本発明を用いて半導体素子（トランジスタ、メモリ素子やダイオードなど）を含む回路を有する装置や、プロセッサ回路を有するチップなどの半導体装置を作製することができる。

【0021】

本発明の半導体装置の一形態は、絶縁表面上に素子分離領域及び素子領域を含む半導体層を有し、素子領域はソース領域、ドレイン領域及びチャネル形成領域を含み、素子分離領域及び素子領域は接しており、素子分離領域は第1の不純物元素及び第2の不純物元素を含み、第1の不純物元素は酸素、窒素、及び炭素のうち少なくとも一種以上であり、第2の不純物元素はソース領域及びドレイン領域と逆の導電性を素子分離領域に付与する不純物元素であり、素子分離領域はチャネル形成領域より結晶性が低い。

【0022】

本発明の半導体装置の一形態は、絶縁表面上に素子分離領域、素子分離領域を介して隣接する第1の素子領域及び第2の素子領域を含む半導体層を有し、第1の素子領域は第1のソース領域、第1のドレイン領域及び第1のチャネル形成領域を含み、第2の素子領域は第2のソース領域、第2のドレイン領域及び第2のチャネル形成領域を含み、第1のソース領域、第1のドレイン領域、第2のソース領域、及び第2のドレイン領域は同じ導電型であり、素子分離領域は第1の不純物元素及び第2の不純物元素を含み、第1の不純物元素は酸素、窒素、及び炭素のうち少なくとも一種以上であり、第2の不純物元素は第1のソース領域、第1のドレイン領域、第2のソース領域、及び第2のドレイン領域と逆の導電性を素子分離領域に付与する不純物元素であり、素子分離領域は第1のチャネル形成領域及び第2のチャネル形成領域より結晶性が低い。

【0023】

本発明の半導体装置の一形態は、絶縁表面上に第1の素子領域、第1の素子分離領域、第2の素子分離領域、及び第2の素子領域を含む半導体層を有し、第1の素子領域は第1のソース領域、第1のドレイン領域及び第1のチャネル形成領域を含み、第2の素子領域は第2のソース領域、第2のドレイン領域及び第2のチャネル形成領域を含み、第1のソース領域及び第1のドレイン領域はn型の不純物領域、第2のソース領域及び第2のドレイン領域はp型の不純物領域であり、第1の素子分離領域は酸素、窒素、及び炭素のうち少なくとも一種以上の第1の不純物元素及びp型を第1の素子分離領域に付与する不純物元素を含み、第2の素子分離領域は酸素、窒素、及び炭素のうち少なくとも一種以上の第1の不純物元素及びn型を第2の素子分離領域に付与する不純物元素を含み、第1の素子分離領域及び第2の素子分離領域は第1のチャネル形成領域及び第2のチャネル形成領域より結晶性が低い。

【0024】

本発明の半導体装置の作製方法の一形態は、絶縁表面上に半導体層を形成し、半導体層に選択的に酸素、窒素、及び炭素のうち少なくとも一種以上の第1の不純物元素、及び一導電型を付与する第2の不純物元素を添加し、半導体層に素子領域及び第1の不純物元素及び第2の不純物元素を含む素子分離領域を形成し、素子領域及び素子分離領域上に絶縁層を形成し、素子領域及び絶縁層上に導電層を形成し、素子領域にチャンネル形成領域、第2の不純物元素と逆の導電型のソース領域及びドレイン領域を形成する。

【0025】

本発明の半導体装置の作製方法の一形態は、絶縁表面上に半導体層を形成し、半導体層に選択的に酸素、窒素、及び炭素のうち少なくとも一種以上の第1の不純物元素、及び一導電型を付与する第2の不純物元素を添加し、半導体層に素子領域及び第1の不純物元素及び第2の不純物元素を含む素子分離領域を形成し、素子領域及び素子分離領域上に絶縁層を形成し、素子領域及び絶縁層上に導電層を形成し、素子領域に第2の不純物元素と逆の導電型を付与する不純物元素を添加し、チャンネル形成領域、素子分離領域と逆の導電型のソース領域及びドレイン領域を形成する。

10

【0026】

本発明の半導体装置の作製方法の一形態は、絶縁表面上に半導体層を形成し、半導体層上に絶縁層を形成し、半導体層に選択的に酸素、窒素、及び炭素のうち少なくとも一種以上の第1の不純物元素、及び一導電型を付与する第2の不純物元素を、絶縁層を介して添加し、半導体層に素子領域及び第1の不純物元素及び第2の不純物元素を含む素子分離領域を形成し、素子領域及び絶縁層上に導電層を形成し、素子領域にチャンネル形成領域、第2の不純物元素と逆の導電型のソース領域及びドレイン領域を形成する。

20

【0027】

本発明の半導体装置の作製方法の一形態は、絶縁表面上に半導体層を形成し、半導体層上に絶縁層を形成し、半導体層に選択的に酸素、窒素、及び炭素のうち少なくとも一種以上の第1の不純物元素、及び一導電型を付与する第2の不純物元素を、絶縁層を介して添加し、半導体層に素子領域及び第1の不純物元素及び第2の不純物元素を含む素子分離領域を形成し、素子領域及び絶縁層上に導電層を形成し、素子領域に第2の不純物元素と逆の導電型を付与する不純物元素を添加し、チャンネル形成領域、素子分離領域と逆の導電型のソース領域及びドレイン領域を形成する。

30

【発明の効果】

【0028】

本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離でき、複数の半導体素子を作製することができる。従って半導体層端部による段差が生じず、平坦な半導体層上にゲート絶縁層が形成されるため、ゲート絶縁層の被覆性が向上する。

【0029】

従って、ゲート絶縁層の被覆不良によるゲート電極と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置、及びそのような半導体装置の作製方法を提供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。

40

【発明を実施するための最良の形態】

【0030】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々な変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0031】

(実施の形態1)

50

本実施の形態では、ゲート絶縁層の被覆不良によるゲート電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とする半導体装置の一例としてNMOS、CMOS（相補型金属酸化物半導体：Complementary Metal Oxide Semiconductor）に関して図面を用いて説明する。

【0032】

図1は本実施の形態のNMOS構造の半導体装置の一例であり、図1（A）は上面図、図1（B）は図1（A）における線Q-Rの断面図、図1（C）は線S-Tの断面図である。

【0033】

半導体層の下地膜として機能する絶縁層601が形成された基板600上に、nチャネル型薄膜トランジスタであるトランジスタ610a、nチャネル型トランジスタであるトランジスタ610bからなるNMOS構造、絶縁層606が形成されている。トランジスタ610aは、n型不純物領域607a、607b、及びチャネル形成領域609aよりなる素子領域、ゲート電極層605aを含んでおり、トランジスタ610bはn型不純物領域608a、608b、及びチャネル形成領域609bよりなる素子領域、ゲート電極層605bを含んでおり、ゲート絶縁層604、絶縁層606はトランジスタ610a及び610bに連続して形成されている。また、n型不純物領域607aに接続するソース電極層又はドレイン電極層である配線層611a、n型不純物領域607b及びn型不純物領域608aに接続するソース電極層又はドレイン電極層である配線層611b、n型不純物領域608bに接続するソース電極層又はドレイン電極層である配線層611cが設けられており、配線層611bによってトランジスタ610a及びトランジスタ610bは電氣的に接続している（図1（A）乃至（C）参照。）。

【0034】

半導体層において、トランジスタ610aを構成するn型不純物領域607a、607b、及びチャネル形成領域609aよりなる素子領域と、トランジスタ610bを構成するn型不純物領域608a、608b、及びチャネル形成領域609bよりなる素子領域とは素子分離領域602（602a、602b、602c、602d、602e）によって電氣的に分離されている。

【0035】

図4は本実施の形態のCMOS構造の半導体装置の一例であり、図4（A）は上面図、図4（B）は図4（A）における線A-Bの断面図、図4（C）は線C-Dの断面図である。

【0036】

半導体層の下地膜として機能する絶縁層201が形成された基板200上に、nチャネル型薄膜トランジスタであるトランジスタ210a、pチャネル型薄膜トランジスタであるトランジスタ210bからなるCMOS構造、絶縁層206が形成されている。トランジスタ210aは、n型不純物領域207a、207b、及びチャネル形成領域209aよりなる素子領域、ゲート電極層205aを含んでおり、トランジスタ210bはp型不純物領域208a、208b、及びチャネル形成領域209bよりなる素子領域、ゲート電極層205bを含んでおり、ゲート絶縁層204、絶縁層206はトランジスタ210a及び210bに連続して形成されている。また、n型不純物領域207aに接続するソース電極層又はドレイン電極層である配線層211a、n型不純物領域207b及びp型不純物領域208aに接続するソース電極層又はドレイン電極層である配線層211b、p型不純物領域208bに接続するソース電極層又はドレイン電極層である配線層211cが設けられており、配線層211bによってトランジスタ210a及びトランジスタ210bは電氣的に接続している（図4（A）乃至（C）参照。）。

【0037】

半導体層において、トランジスタ210aを構成するn型不純物領域207a、207b、及びチャネル形成領域209aよりなる素子領域と、トランジスタ210bを構成する

10

20

30

40

50

p型不純物領域208a、208b、及びチャネル形成領域209bよりなる素子領域とは素子分離領域202（202a、202b、202c、202d）、素子分離領域212（212a、212b）によって電氣的に分離されている。

【0038】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。

【0039】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により（いわゆるスパッタ効果とも言える）結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

【0040】

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域（例えばn型不純物領域又はp型不純物領域）である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間はさらに絶縁分離することができる。

【0041】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合によって、一つの半導体層を複数の素子領域に分離することを特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

【0042】

図1は複数のnチャネル型薄膜トランジスタを形成する場合であり、素子分離領域602（602a、602b、602c、602d、602e）はn型不純物領域607a、607b、608a、608bに接して設けるため、逆導電型を付与する第2の不純物元素としてp型を付与する不純物元素（例えばボロン（B）やアルミニウム（Al）やガリウム（Ga）等）を添加し、p型の不純物領域とすればよい。

【0043】

本実施の形態ではNMOS構造を例に示したが、PMOS構造であっても同様であり、素子領域のソース領域及びドレイン領域はp型不純物領域であるため接する素子分離領域はn型不純物領域となるようにn型を付与する第2の不純物元素を添加すればよい。よって本発明は、NMOS構造、PMOS構造、CMOS構造のどれであっても用いることができる。

【0044】

図4はCMOS構造を形成する場合であり、素子分離領域202（202a、202b、202c、202d）はn型不純物領域207a、207bに接して設けるため、逆導電型を付与する第2の不純物元素としてp型を付与する不純物元素（例えばボロン（B）やアルミニウム（Al）やガリウム（Ga）等）を添加し、p型の不純物領域とすればよい

10

20

30

40

50

。

【0045】

一方、素子分離領域212(212a、212b)はp型不純物領域208a、208bに接して設けるため、逆導電型を付与する第2の不純物元素としてn型を付与する不純物元素(例えばリン(P)、ヒ素(As)など)を添加し、n型の不純物領域とすればよい。結果、n型不純物領域とp型不純物領域とが交互に隣接して設けられることになり、同一導電型の不純物領域間を絶縁分離することができる。

【0046】

素子分離領域を形成する際の第1の不純物元素及び第2の不純物元素の添加(導入)は、イオン注入法、(イオン)ドーピング法などを用いることができる。

10

【0047】

また、素子分離領域において、第1の不純物元素及び第2の不純物元素の濃度勾配を有していてもよい。例えば、基板上に設けられた半導体層に素子分離領域を形成する場合、素子分離領域において基板側により高い濃度で第2の不純物元素を選択的に添加し、第1の不純物元素を半導体層表面側により高い濃度で選択的に添加してもよい。もちろん素子分離領域中にはほぼ均一な濃度で第1の不純物元素及び第2の不純物元素を添加してもよい。つまり、素子分離領域において第1の不純物元素及び第2の不純物元素の濃度のピークは適宜設定することができる。

【0048】

素子分離領域において第1の不純物元素及び第2の不純物元素の添加例を図3及び図28を用いて説明する。図3はNMOS構造、又はPMOS構造などの素子分離領域によって素子分離される素子が同導電型のソース領域及びドレイン領域を有する場合であり、図28はCMOS構造のように素子分離領域によって素子分離される素子が逆導電型のソース領域及びドレイン領域を有する場合である。

20

【0049】

図3において、絶縁層701が設けられた基板700上に、素子分離領域703a、703b、703c、n型不純物領域704a、704b、n型不純物領域705a、705bを含む半導体層702が形成され、半導体層702上に絶縁層709を介して導電層708a、708bが形成されている。

【0050】

素子分離領域は上述のように第1の不純物元素及び第2の不純物元素が添加されて形成される。図3(A)における素子分離領域703a、703b、703cは酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素である第1の不純物元素と、素子領域のソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素をほぼ均一に含む例である。素子領域のソース領域及びドレイン領域がn型不純物領域であるので、第2の不純物元素としてp型を付与する不純物元素を用いる。従って、素子分離領域703a、703b、703cはp型不純物領域となり、n型不純物領域704a及び704bと、705a及び705bとの間に設けられるのでPN接合となり、n型不純物領域704a、704b及びチャンネル形成領域706aの素子領域と、n型不純物領域705a、705b及びチャンネル形成領域706bの素子領域とに絶縁分離できる。

30

40

【0051】

図3(B)における素子分離領域は第1の素子分離領域713a、713b、713cと、第2の素子分離領域714a、714b、714cとの積層構造になっている。しかし、第1の素子分離領域及び第2の素子分離領域は薄膜の積層ではなく、第1の不純物元素及び第2の不純物元素の添加領域であるのでその境界は明確でない。第1の素子分離領域713a、713b、713cは逆導電型を付与する第2の不純物元素の添加領域であり、第2の素子分離領域714a、714b、714cは導電性に寄与しない第1の不純物元素の添加領域となっている。このように、素子分離領域において、第1の不純物元素及び第2の不純物元素が選択的に添加されていてもよく、素子分離領域内でそれぞれ濃度勾配を有していてもよい。

50

【0052】

図3 (C)における素子分離領域は第1の素子分離領域719a、719b、719cと、第2の素子分離領域718a、718b、718cとの積層構造になっている。第2の素子分離領域718a、718b、718cは逆導電型を付与する第2の不純物元素の添加領域であり、第1の素子分離領域719a、719b、719cは導電性に寄与しない第1の不純物元素の添加領域となっている。

【0053】

図3 (D)における素子分離領域は第1の素子分離領域724a、724b、724cと、第2の素子分離領域723a、723b、723cとの積層構造になっている。第2の素子分離領域723a、723b、723cは逆導電型を付与する第2の不純物元素の添加領域であり、第1の素子分離領域724a、724b、724cは導電性に寄与しない第1の不純物元素の添加領域となっている。このように、第2の不純物元素の添加領域を半導体層中の膜厚方向において中央部分に設ける構造としてもよい。

10

【0054】

図28において、絶縁層701が設けられた基板700上に、素子分離領域733a、733b、素子分離領域739a、739b、n型不純物領域734a、734b、p型不純物領域735a、735bを含む半導体層732が形成され、半導体層732上に絶縁層709を介して導電層738a、738bが形成されている。

【0055】

素子分離領域は上述のように第1の不純物元素及び第2の不純物元素が添加されて形成される。図28 (A)における素子分離領域733a、733b、素子分離領域739a、739bは酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素である第1の不純物元素と、素子領域のソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素をほぼ均一に含む例である。接する素子領域のソース領域及びドレイン領域がn型不純物領域734a、734bであるので、素子分離領域733a、733bは第2の不純物元素としてp型を付与する不純物元素を用いる。従って、素子分離領域733a、733bはp型不純物領域となり、n型不純物領域734a及び734bを間に設けそれぞれPN接合となる。一方、接する素子領域のソース領域及びドレイン領域がp型不純物領域735a、735bであるので、素子分離領域739a、739bは第2の不純物元素としてn型を付与する不純物元素を用いる。従って、素子分離領域739a、739bはn型不純物領域となり、p型不純物領域735a及び735bを間に設けそれぞれPN接合となる。従って、n型不純物領域734a、734b及びチャネル形成領域736aの素子領域と、p型不純物領域735a、735b及びチャネル形成領域736bの素子領域とに絶縁分離できる。

20

30

【0056】

図28 (B)における素子分離領域はn型不純物領域734a及び734bを挟んで第1の素子分離領域741a、741bが設けられ、p型不純物領域735a及び735bを挟んで第2の素子分離領域742a及び742bが設けられている。第1の素子分離領域741a、741bは第2の不純物元素としてp型を付与する不純物元素を添加して形成されており、第2の素子分離領域742a及び742bはn型を付与する不純物元素を添加して形成されている。そして、第1の素子分離領域741a、741b、第2の素子分離領域742a、742b上に第1の不純物元素を含む第3の素子分離領域740a、740b、740cが形成されている。このように、素子分離領域において、第1の不純物元素及び第2の不純物元素が選択的に添加されていてもよく、素子分離領域内でそれぞれ濃度勾配を有していてもよい。

40

【0057】

図28 (C)における素子分離領域は第1の不純物元素が添加された第3の素子分離領域745a、745b、745cの上に、第2の不純物元素としてp型を付与する不純物元素が添加された第1の素子分離領域746a、746b、第2の不純物元素としてn型を付与する不純物元素が添加された第2の素子分離領域747a、747bとの積層構造に

50

なっている。

【0058】

図28(D)における素子分離領域は第1の不純物元素が添加された第3の素子分離領域750a、750b、750c中に、第2の不純物元素としてp型を付与する不純物元素が添加された第1の素子分離領域751a、751b、第2の不純物元素としてn型を付与する不純物元素が添加された第2の素子分離領域752a、752bとの積層構造になっている。このように、添加領域を半導体層中の膜厚方向において中央部分に設ける構造としてもよい。

【0059】

このように、本発明では素子分離領域に第1の不純物元素及び第2の不純物元素を含むが、第1の不純物元素及び第2の不純物元素は選択的に添加されていてもよく、第1の不純物元素及び第2の不純物元素の少なくともいずれか一方が添加されていればよい。もちろん第1の不純物元素又は第2の不純物元素のいずれか一方を素子分離領域全体に添加し、もう片方を選択的に添加することもできる。

10

【0060】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの第1の不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0061】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

20

【0062】

素子分離領域に添加する不純物元素としては、アルゴン(Ar)、ネオン(Ne)、クリプトン(Kr)、キセノン(Xe)などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

【0063】

図1(C)は半導体層においてチャネル形成領域609a及び素子分離領域602d、602eに亘ってゲート絶縁層604を介し、ゲート電極層605が形成されている。本発明では連続的な半導体層中に素子分離領域及び素子領域を設けているので、素子分離領域602d、602e、及びチャネル形成領域609aである素子領域は連続している。よって、その表面は平坦性が高く、急激な段差を有さない。

30

【0064】

同様に、図4(C)は半導体層においてチャネル形成領域209a及び素子分離領域202d、202eに亘ってゲート絶縁層204を介し、ゲート電極層205が形成されている。本発明では連続的な半導体層中に素子分離領域及び素子領域を設けているので、素子分離領域202c、202d、及びチャネル形成領域209aである素子領域は連続している。よって、その表面は平坦性が高く、急激な段差を有さない。

40

【0065】

ゲート絶縁層604、204は平坦性の高い半導体層上に形成されるため、被覆性がよく、形状不良も生じにくい。よって、ゲート絶縁層604、204上に形成されるゲート電極層605、205と素子領域においてリーク電流やショートなどの不良を防止することができる。よって本実施の形態のNMOS構造、CMOS構造を有する半導体装置はゲート絶縁層の被覆不良によるゲート電極と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置とすることができる。

【0066】

また、図1(B)では、不純物領域においてハッチングと白地で示されているが、これは

50

、白地部分に不純物元素が添加されていないことを示すのではなく、この領域の不純物元素の濃度分布がマスクやドーピング条件を反映していることを直感的に理解できるようにしたためである。なお、このことは本明細書の他の図面においても同様である。

【0067】

絶縁表面を有する基板である基板200としては、ガラス基板、石英基板、サファイア基板、セラミック基板、表面に絶縁層が形成された金属基板などを用いることができる。

【0068】

絶縁層201、ゲート絶縁層204、絶縁層206としては酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などを用いることができ、単層でも2層、3層といった積層構造でもよい。なお本明細書中において酸化窒化珪素とは酸素の含有量が窒素の含有量より大きい物質であり、窒素を含む酸化珪素とも言える。同様に、窒化酸化珪素とは、窒素の含有量が酸素の含有量より大きい物質であり、酸素を含む窒化珪素とも言える。

10

【0069】

また、絶縁層201、ゲート絶縁層204、絶縁層206の他の材料として、窒化アルミニウム、酸素含有量が窒素含有量よりも多い酸化窒化アルミニウム、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウムまたは酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素、ポリシラザン、その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。シロキサンを含む材料を用いてもよい。なお、シロキサンとは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、オキサゾール樹脂を用いることもでき、例えば光硬化型ポリベンゾオキサゾールなどを用いることができる。

20

【0070】

絶縁層201、ゲート絶縁層204、絶縁層206は、スパッタリング法、PVD法(Physical Vapor Deposition)、減圧CVD法(LPCVD法)、またはプラズマCVD法等のCVD法(Chemical Vapor Deposition)、また、選択的にパターンを形成できる液滴吐出法や、パターンが転写または描写できる印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)、その他スピコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。

30

【0071】

所望の形状に加工するエッチング加工は、プラズマエッチング(ドライエッチング)又はウェットエッチングのどちらを採用しても良い。大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 などのフッ素系のガス、又は Cl_2 、 BCl_3 などの塩素系のガスを用い、HeやArなどの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0072】

また、半導体層にプラズマ処理を行うことによってゲート絶縁層を形成してもよい。プラズマ処理を窒素雰囲気下、又は酸素雰囲気下で行うことにより、例えば珪素を用いた半導体層表面及びその近傍を窒化処理、又は酸化処理し窒素プラズマ処理層又は酸素プラズマ処理層を形成することができる。また、プラズマ処理を用いゲート絶縁層を酸化処理又は窒化処理(もしくは酸化処理及び窒化処理両方行ってもよい)すると、ゲート絶縁層の表面が改質され、より緻密なゲート絶縁層とすることができる。よって、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

40

【0073】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波(代表的には2.45GHz)で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$

50

³以下、且つ電子温度が0.5 eV以上1.5 eV以下のプラズマを利用することが好ましい。固相酸化処理若しくは固相窒化処理において、500℃以下の温度において、緻密な絶縁層を形成すると共に実用的な反応速度を得るためである。

【0074】

このプラズマ処理により半導体層の表面を酸化する場合には、酸素雰囲気下（例えば、酸素（O₂）又は一酸化二窒素（N₂O）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、若しくは酸素又は一酸化二窒素と水素（H₂）と希ガス雰囲気下）で行う。また、プラズマ処理により窒化をする場合には、窒素雰囲気下（例えば、窒素（N₂）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、若しくはNH₃と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。なお、プラズマ処理とは、半導体層、絶縁層、導電層に対する酸化処理、窒化処理、酸窒化処理、水素化処理、表面改質処理を含んでいる。マイクロ波の導入によりプラズマの励起を行うと、低電子温度（3 eV以下、好ましくは1.5 eV以下）で高電子密度（ $1 \times 10^{11} \text{ cm}^{-3}$ 以上）のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）及び／又は窒素ラジカル（NHラジカルを含む場合もある）によって、半導体層の表面を酸化又は窒化することができる。プラズマ処理用ガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。

【0075】

半導体層の代表例として珪素層の表面をプラズマ処理で酸化することで、界面に歪みのない緻密な酸化層を形成することができる。また、当該酸化層をプラズマ処理で窒化することで、表層部の酸素を窒素に置換して窒化層を形成すると、さらに緻密化することができる。それにより絶縁耐圧が高い絶縁層を形成することができる。

【0076】

ただし、本発明においてプラズマ処理を行う際、トランジスタの電気特性に悪影響を与えない程度の条件で行う。

【0077】

また、基板、絶縁層、層間絶縁層、その他半導体装置を構成する絶縁層、導電層などを形成した後も、プラズマ処理を用いて酸化処理または窒化処理を行うことにより前記基板、絶縁層、層間絶縁層表面を酸化処理または窒化処理してもよい。プラズマ処理を用いて絶縁層を酸化処理または窒化処理すると、絶縁層の表面が改質され、CVD法やスパッタ法により形成した絶縁層と比較してより緻密な絶縁層とすることができる。よって、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。また上記の様なプラズマ処理は、ゲート電極層、ソース配線層、ドレイン配線層などの導電層などにも行うことができ、表面及び表面近傍を窒化処理又は酸化処理することができる。

【0078】

半導体層は、単結晶半導体又は多結晶半導体で形成されたものを用いることが好ましい。例えば、基板上にスパッタリング法、プラズマCVD法若しくは減圧CVD法によって基板の全面に形成された半導体層を結晶化させ、形成することができる。半導体材料としては、シリコンが好ましく、その他にシリコンゲルマニウム半導体を用いることもできる。半導体層の結晶化法としては、レーザ結晶化法、瞬間熱アニール（RTA）又はファーンেসアニール炉を用いた熱処理による結晶化法、結晶化を助長する金属元素を用いる結晶化法又はこれら方法を組み合わせて行う方法を採用することができる。

【0079】

半導体層にはp型不純物が注入されていても良い。p型不純物として、例えばホウ素が用いられ、 $5 \times 10^{15} \text{ atoms/cm}^3 \sim 1 \times 10^{16} \text{ atoms/cm}^3$ 程度の濃度で添加されていても良い。これは、トランジスタのしきい値電圧を制御するためのものであり、チャネル形成領域209a、209bに添加されることで有効に作用する。

【0080】

なおトランジスタが有する配線層、ゲート電極層は、インジウム錫酸化物（ITO）、酸化インジウムに酸化亜鉛（ZnO）を混合したIZO（indium zinc oxide）、酸化インジウムに酸化珪素（SiO₂）を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属又はその合金、若しくはその金属窒化物から選ぶことができる。

10

【0081】

本実施の形態に限定されず、薄膜トランジスタはチャネル形成領域が一つ形成されるシングルゲート構造でも、二つ形成されるダブルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。また、周辺駆動回路領域の薄膜トランジスタも、シングルゲート構造、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0082】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。半導体層端部による段差が生じず、平坦な半導体層上にゲート絶縁層が形成されるため、ゲート絶縁層の被覆性が向上する。従って、ゲート絶縁層の被覆不良によるゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置、及びそのような半導体装置の作製方法を提供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

20

【0083】

（実施の形態2）

本実施の形態では、絶縁層の被覆不良による電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とする半導体装置として不揮発性半導体記憶装置の一例に関して図面を用いて説明する。

【0084】

不揮発性記憶素子は、MOSFET（Metal Oxide Semiconductor Field effect transistor）と類似の構造を有し、電荷を長期間蓄積することのできる領域がチャネル形成領域上に設けられているところに特徴がある。この電荷蓄積領域は絶縁層上に形成され、周囲と絶縁分離されていることから浮遊ゲート電極層とも呼ぶ。また浮遊ゲート電極層は電荷を蓄積する機能を有するので電荷蓄積層ともよぶ。本明細書では主に浮遊ゲート電極層を含むこの電荷蓄積領域を電荷蓄積層とよぶ。浮遊ゲート電極層上には、さらに絶縁層を介して制御ゲート電極層を備えている。

30

【0085】

このような構造を有する所謂浮遊ゲート型の不揮発性半導体記憶装置は、制御ゲート電極層に印加する電圧により、電荷蓄積層に電荷を蓄積させ、また放出させる動作が行われる。すなわち電荷蓄積層に保持させる電荷の出し入れにより、データを記憶する仕組みになっている。具体的に、電荷蓄積層への電荷の注入や引き抜きは、チャネル形成領域が形成される半導体層と、制御ゲート電極層の間に高電圧を印加して行われている。このときチャネル形成領域上の絶縁層には、ファウラーノルドハイム（Fowler-Nordheim）型（F-N型）トンネル電流（NAND型）や、熱電子（NOR型）が流れると言われている。このことより当該絶縁層は、トンネル絶縁層とも呼ばれている。

40

【0086】

図2は本実施の形態の不揮発性半導体記憶装置である半導体装置の一例であり、図2（A）は上面図、図2（B）は図2（A）における線E-Fの断面図、図2（C）は線G-H

50

の断面図である。

【0087】

半導体層の下地膜として機能する絶縁層251が形成された基板250上に、不揮発性メモリ素子であるメモリ素子270、層間絶縁層258が形成されている。メモリ素子270は、高濃度不純物領域261a、261b、低濃度不純物領域262a、262b及びチャンネル形成領域253よりなる素子領域、第1の絶縁層254、電荷蓄積層271、第2の絶縁層256、制御ゲート電極層272、配線層259a、259bを含んでおり、素子領域に接して素子分離領域252a、252bが形成されている。(図2(A)乃至(C)参照。)

【0088】

高濃度不純物領域261a、261b、低濃度不純物領域262a、262bには一導電型を付与する不純物元素としてn型を付与する不純物元素(リン(P)、ヒ素(As)など)を含んでおり、高濃度不純物領域261a、261bはメモリ素子においてソース及びドレインとして機能する領域である。

【0089】

半導体層において、高濃度不純物領域261a、261b、低濃度不純物領域262a、262b、及びチャンネル形成領域253よりなる素子領域はその周囲を囲む素子分離領域252(252a、252b、252c、252d)によって他のメモリ素子より電氣的に分離されている。

【0090】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。

【0091】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により(いわゆるスパッタ効果とも言える)結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

【0092】

また、素子領域はソース領域、ドレイン領域、及びチャンネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域(例えばn型不純物領域又はp型不純物領域)である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間にはさらに絶縁分離することができる。

【0093】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合によって、一つの半導体層を複数の素子領域に分離することを特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

【0094】

図4は複数のメモリ素子を形成する場合であり、素子分離領域252(252a、252b、252c、252d)はn型の高濃度不純物領域261a、261bに接して設けるため、逆導電型を付与する第2の不純物元素としてp型を付与する不純物元素(例えばボロン(B)やアルミニウム(Al)やガリウム(Ga)等)を添加し、p型の不純物領域とすればよい。

【0095】

素子分離領域を形成する際の第1の不純物元素及び第2の不純物元素の添加(導入)は、イオン注入法、(イオン)ドーピング法などを用いることができる。

【0096】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの第1の不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0097】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

【0098】

素子分離領域に添加する不純物元素としては、アルゴン(Ar)、ネオン(Ne)、クリプトン(Kr)、キセノン(Xe)などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

【0099】

図2(C)は半導体層においてチャネル形成領域253及び素子分離領域252c、252dに亘って第1の絶縁層254、電荷蓄積層271、及び第2の絶縁層256を介し、制御ゲート電極層272が形成されている。本発明では連続的な半導体層中に素子分離領域及び素子領域を設けているので、素子分離領域252c、252d、及びチャネル形成領域253である素子領域は連続している。よって、その表面は平坦性が高く、急激な段差を有さない。

【0100】

第1の絶縁層254は平坦性の高い半導体層上に形成されるため、被覆性がよく、形状不良も生じにくい。よって、第1の絶縁層254上に形成される電荷蓄積層271とチャネル形成領域253においてリーク電流やショートなどの不良を防止することができる。よって本実施の形態の不揮発性半導体記憶装置である半導体装置は第1の絶縁層254の被覆不良による電荷蓄積層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置とすることができる。

【0101】

また、図2においては半導体層における素子領域が電荷蓄積層271より線G-H方向において小さく、制御ゲート電極層272より線E-F方向において大きい例を示したが、本発明はこれに限定されない。素子領域、電荷蓄積層、制御ゲート電極層の大きさの他の組み合わせを図26及び図27に示す。なお図26及び図27において電荷蓄積層、制御ゲート電極層の他は図2と同様なので図2の符号と同じとし、説明は省略する。

【0102】

図26のメモリ素子290においては半導体層における素子領域が電荷蓄積層291と線G-H方向においてほぼ同じであり、電荷蓄積層291が制御ゲート電極層292と線E-F方向においてほぼ同じである。よって、図26(B)において、第2の絶縁層256を介して電荷蓄積層291の端部と制御ゲート電極層292の端部とがほぼ一致しており、図26(C)において、第1の絶縁層254を介して素子領域におけるチャネル形成領域253の端部と電荷蓄積層291の端部とほぼ一致している。また、図26における素

10

20

30

40

50

子分離領域は第2の不純物元素が選択的に添加されており、第1の素子分離領域293a、293b及び第2の素子分離領域294a、294bより形成されている。逆導電型を付与する第2の不純物元素は第1の素子分離領域293a、293bに選択的に添加され、第2の素子分離領域294a、294bには第1の不純物元素のみが添加されている例である。このように、本発明では素子分離領域に第1の不純物元素及び第2の不純物元素を含むが、第1の不純物元素及び第2の不純物元素は選択的に添加されていてもよく、第1の不純物元素及び第2の不純物元素の少なくともいずれか一方が添加されていればよい。もちろん第1の不純物元素又は第2の不純物元素のいずれか一方を素子分離領域全体に添加し、もう片方を選択的に添加することもできる。

【0103】

図27のメモリ素子280においては半導体層における素子領域が電荷蓄積層281より線G-H方向において大きく、電荷蓄積層281が制御ゲート電極層282より線E-F方向において小さい。よって、図27(B)において、第2の絶縁層256を介して電荷蓄積層281の端部は、制御ゲート電極層282の端部より内側におり、図27(C)において、第1の絶縁層254を介して素子領域におけるチャネル形成領域253の端部は電荷蓄積層281の端部より外側にある。また、図27における素子分離領域も図26と同様に、第2の不純物元素が選択的に添加されており、第1の素子分離領域284a、284b及び第2の素子分離領域283a、283bより形成されている。図27においては、第2の素子分離領域283a、283bに第2の不純物元素が選択的に添加されており、第1の不純物元素は第1の素子分離領域284a、284b、第2の素子分離領域283a、283bに添加されている。このように逆導電型を付与する第2の不純物元素の添加領域は半導体層表面近傍であっても基板近傍であってもよい。

【0104】

このように、素子領域、電荷蓄積層、制御ゲート電極層の大きさの組み合わせによって、電荷蓄積層及び制御ゲート電極層の間の第2の絶縁層に形成される容量と、電荷蓄積層及び半導体層の間の第1の絶縁層254に形成される容量を制御することができるため、印加する電圧値も制御することができる。

【0105】

層間絶縁層258としては酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などを用いることができ、単層でも2層、3層といった積層構造でもよい。なお本明細書中において酸化窒化珪素とは酸素の含有量が窒素の含有量より大きい物質であり、窒素を含む酸化珪素とも言える。同様に、窒化酸化珪素とは、窒素の含有量が酸素の含有量より大きい物質であり、酸素を含む窒化珪素とも言える。

【0106】

また、層間絶縁層258の他の材料として、窒化アルミニウム、酸素含有量が窒素含有量よりも多い酸化窒化アルミニウム、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウムまたは酸化アルミニウム、ダイアモンドライクカーボン(DLC)、窒素含有炭素、ポリシラザン、その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。シロキサンを含む材料を用いてもよい。なお、シロキサンとは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、オキサゾール樹脂を用いることもでき、例えば光硬化型ポリベンゾオキサゾールなどを用いることができる。

【0107】

層間絶縁層258は、スパッタリング法、PVD法(Physical Vapor Deposition)、減圧CVD法(LPCVD法)、またはプラズマCVD法等のCVD法(Chemical Vapor Deposition)、また、選択的にパターンを形成できる液滴吐出法や、パターンが転写または描写できる印刷法(スクリーン印

10

20

30

40

50

刷やオフセット印刷などパターンが形成される方法)、その他スピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。

【0108】

所望の形状に加工するエッチング加工は、プラズマエッチング(ドライエッチング)又はウェットエッチングのどちらを採用しても良い。大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 などのフッ素系のガス、又は Cl_2 、 BCl_3 などの塩素系のガスを用い、 He や Ar などの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0109】

半導体層は、単結晶半導体又は多結晶半導体で形成されたものを用いることが好ましい。例えば、基板上にスパッタリング法、プラズマCVD法若しくは減圧CVD法によって基板の全面に形成された半導体層を結晶化させ、形成することができる。半導体材料としては、シリコンが好ましく、その他にシリコンゲルマニウム半導体を用いることもできる。半導体層の結晶化法としては、レーザ結晶化法、瞬間熱アニール(RTA)又はファーンেসアニール炉を用いた熱処理による結晶化法、結晶化を助長する金属元素を用いる結晶化法又はこれら方法を組み合わせて行う方法を採用することができる。

【0110】

半導体層にはp型不純物が注入されていても良い。p型不純物として、例えばホウ素が用いられ、 $5 \times 10^{15} \text{ atoms/cm}^3 \sim 1 \times 10^{16} \text{ atoms/cm}^3$ 程度の濃度で添加されていても良い。これは、半導体素子のしきい値電圧を制御するためのものであり、チャンネル形成領域253に添加されることで有効に作用する。

【0111】

第1の絶縁層254は酸化シリコン若しくは酸化シリコンと窒化シリコンの積層構造で形成すればよい。第1の絶縁層254は、プラズマCVD法や減圧CVD法により絶縁層を堆積することで形成しても良いが、好ましくはプラズマ処理による固相酸化若しくは固相窒化で形成すると良い。半導体層(代表的にはシリコン層)を、プラズマ処理により酸化又は窒化することにより形成した絶縁層は、緻密で絶縁耐圧が高く信頼性に優れているためである。第1の絶縁層254は、電荷蓄積層271、281、291に電荷を注入するためのトンネル絶縁層として用いるので、このように丈夫であるものが好ましい。この第1の絶縁層254は1nm~20nm、好ましくは3nm~6nmの厚さに形成することが好ましい。例えば、ゲート長を600nmとする場合、第1の絶縁層254は3nm~6nmの厚さに形成することができる。

【0112】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波(代表的には2.45GHz)で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、且つ電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。固相酸化処理若しくは固相窒化処理において、500℃以下の温度において、緻密な絶縁層を形成すると共に実用的な反応速度を得るためである。

【0113】

このプラズマ処理により半導体層の表面を酸化する場合には、酸素雰囲気下(例えば、酸素(O_2)又は一酸化二窒素(N_2O)と希ガス(He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む)雰囲気下、若しくは酸素又は一酸化二窒素と水素(H_2)と希ガス雰囲気下)で行う。また、プラズマ処理により窒化をする場合には、窒素雰囲気下(例えば、窒素(N_2)と希ガス(He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む)雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えば Ar を用いることができる。また、 Ar と Kr を混合したガスを用いてもよい。なお、プラズマ処理とは、半導体層、絶縁層、導電層に対する酸化処理、窒化処理、酸窒化処理、水素化処理、表面改質処理を含んでいる。マイクロ波の導入によりプラズマの励起を行うと、低電子温度(3eV以下、好ましくは1.5eV以

10

20

30

40

50

下)で高電子密度 ($1 \times 10^{11} \text{ cm}^{-3}$ 以上) のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル (OHラジカルを含む場合もある) 及び/又は窒素ラジカル (NHラジカルを含む場合もある) によって、半導体層の表面を酸化又は窒化することができる。プラズマ処理用ガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。

【0114】

図2において、プラズマ処理により形成される好適な第1の絶縁層254の一例は、酸素雰囲気下のプラズマ処理により半導体層上に3nm~6nmの厚さで酸化珪素層を形成し、その後窒素雰囲気下でその酸化珪素層の表面を窒化プラズマで処理した窒素プラズマ処理層を形成する。具体的には、まず、酸素雰囲気下でのプラズマ処理により半導体層上に3nm~6nmの厚さで酸化珪素層を形成する。その後、続けて窒素雰囲気下でプラズマ処理を行うことにより酸化珪素層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層を設ける。なお、表面近傍とは、酸化珪素層の表面から概略0.5nm~1.5nmの深さをいう。例えば、窒素雰囲気下でプラズマ処理を行うことによって、酸化珪素層の表面から概略1nmの深さに窒素を20~50原子%の割合で含有した構造となる。

10

【0115】

半導体層の代表例としての珪素層の表面をプラズマ処理で酸化することで、界面に歪みのない緻密な酸化層を形成することができる。また、当該酸化層をプラズマ処理で窒化することで、表層部の酸素を窒素に置換して窒化層を形成すると、さらに緻密化することができる。それにより絶縁耐圧が高い絶縁層を形成することができる。

20

【0116】

いずれにしても、上記のようなプラズマ処理による固相酸化処理若しくは固相窒化処理を用いることで、耐熱温度が700℃以下のガラス基板を用いても、950℃~1050℃で形成される熱酸化膜と同等な絶縁層を得ることができる。すなわち、不揮発性メモリ素子のトンネル絶縁層として信頼性の高いトンネル絶縁層を形成することができる。

【0117】

電荷蓄積層271、281、291は第1の絶縁層254上に形成される。この電荷蓄積層271、281、291は、単層でもよいし、複数の層を積層して設けてもよい。

【0118】

電荷蓄積層271、281、291を形成する半導体材料として、代表的にはシリコン、シリコン化合物、ゲルマニウム、又はゲルマニウム化合物で電荷蓄積層271、281、291を形成することができる。シリコン化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを10原子%以上の濃度で含むシリコンゲルマニウム、金属窒化物、金属酸化物などを適用することができる。ゲルマニウム化合物の代表例としては、シリコンゲルマニウムであり、この場合シリコンに対してゲルマニウムが10原子%以上含まれていることが好ましい。

30

【0119】

浮遊ゲートとして機能する電荷蓄積層は電荷を蓄積する目的で、本発明に係る不揮発性半導体記憶装置に適用されるが、同様の機能を備えるものであれば他の材料を適用することもできる。例えば、ゲルマニウムを含む三元系の半導体であっても良い。また、当該半導体材料が水素化されていても良い。また、不揮発性メモリ素子の電荷蓄積層としての機能を持つものとして、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物の層で置き換えることもできる。

40

【0120】

また、電荷蓄積層271、281、291を形成するものとして、金属窒化物又は金属酸化物を用いることができる。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンなどを用いることができる。金属酸化物としては、酸化タンタル、酸化チタン、酸化スズなどを用いることができる。

【0121】

また上記あげた材料の積層構造によって電荷蓄積層271、281、291を形成しても

50

良い。上記したシリコン若しくはシリコン化合物、金属窒化物又は金属酸化物の層は、ゲルマニウム若しくはゲルマニウム化合物で形成される層の上層側に設けると、製造工程においては、耐水性や耐薬品性を目的としたバリア層として用いることができる。それにより、フォトリソ工程、エッチング工程、洗浄工程における基板の扱いが容易となり、生産性を向上させることができる。すなわち、電荷蓄積層の加工を容易なものとすることができる。

【0122】

第2の絶縁層256は、酸化シリコン、酸化窒化シリコン (SiO_xN_y) ($x > y > 0$)、窒化シリコン (SiN_x) 又は窒化酸化シリコン (SiN_xO_y) ($x > y > 0$) などの一層若しくは複数層を、減圧CVD法やプラズマCVD法などで形成する。また第2の絶縁層256は、酸化アルミニウム (AlO_x)、酸化ハフニウム (HfO_x)、酸化タンタル (TaO_x) を用いて形成してもよい。第2の絶縁層256の厚さは1nm~20nm、好ましくは5~10nmで形成する。例えば、窒化シリコン層を3nmの厚さに堆積し、酸化シリコン層の厚さを5nmの厚さに堆積したものをを用いることができる。また、電荷蓄積層271、281、291の表面にプラズマ処理を行い、その表面を窒化処理した窒化膜 (例えば、電荷蓄積層271、281、291としてシリコンを用いた場合には窒化シリコン) を形成してもよい。いずれにしても、第1の絶縁層254と第2の絶縁層256が、電荷蓄積層271、281、291と接する側の一方又は双方を窒化膜若しくは窒化処理された層とすることで、電荷蓄積層271、281、291の酸化を防ぐことができる。

【0123】

制御ゲート電極層272、282、292はタンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、クロム (Cr)、ニオブ (Nb) 等から選択された金属、又はこれらの金属を主成分とする合金材料若しくは化合物材料で形成することが好ましい。また、リン等の不純物元素を添加した多結晶シリコンを用いることができる。また、一層又は複数層の金属窒化物層と上記の金属層の積層構造で制御ゲート電極層272、282、292を形成しても良い。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物層を設けることにより、金属層の密着性を向上させることができ、剥離を防止することができる。また、窒化タンタルなどの金属窒化物は仕事関数が高いので、第2の絶縁層256との相乗効果により、第1の絶縁層254の厚さを厚くすることができる。

【0124】

配線層259a、259bは、インジウム錫酸化物 (ITO)、酸化インジウムに酸化亜鉛 (ZnO) を混合したIZO (indium zinc oxide)、酸化インジウムに酸化珪素 (SiO_2) を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、タングステン (W)、モリブデン (Mo)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、チタン (Ti)、白金 (Pt)、アルミニウム (Al)、銅 (Cu)、銀 (Ag) 等の金属又はその合金、若しくはその金属窒化物から選ぶことができる。

【0125】

電荷蓄積層に電子を注入するには、熱電子を利用する方法と、F-N型トンネル電流を利用する方法がある。熱電子を利用する場合には、正の電圧を制御ゲート電極層に印加して、ドレインに高電圧を印加して熱電子を発生させる。それにより、熱電子を電荷蓄積層に注入することができる。F-N型トンネル電流を利用する場合には、正の電圧を制御ゲート電極層に印加して半導体層からF-N型トンネル電流により電子を電荷蓄積層に注入する。

【0126】

本発明を用いた半導体装置の一例として、不揮発性メモリ素子を有する様々な態様の不揮

10

20

30

40

50

発性半導体記憶装置を得ることができる。図12に不揮発性メモリセルアレイの等価回路の一例を示す。1ビットの情報を記憶するメモリセルMS01は、選択トランジスタS01と不揮発性メモリ素子M01で構成されている。選択トランジスタS01は、ビット線BL0と不揮発性メモリ素子M01の間に直列に挿入され、ゲートがワード線WL1に接続されている。不揮発性メモリ素子M01のゲートはワード線WL11に接続されている。不揮発性メモリ素子M01にデータの書き込むときは、ワード線WL1とビット線BL0をHレベル、ビット線BL1をLレベルとして、ワード線WL11に高電圧を印加すると、前述のように電荷蓄積層に電荷が蓄積される。データを消去する場合には、ワード線WL1とビット線BL0をHレベルとし、ワード線WL11に負の高電圧を印加すれば良い。

10

【0127】

このメモリセルMS01において、選択トランジスタS01と不揮発性メモリ素子M01をそれぞれ、絶縁表面に連続的に形成された半導体層中において不純物元素が添加された素子分離領域により分離して形成された素子領域30、32で形成することにより、他の選択トランジスタ若しくは不揮発性メモリ素子との干渉を防ぐことができる。また、メモリセルMS01内の選択トランジスタS01と不揮発性メモリ素子M01は共にnチャネル型なので、この両者を一つの素子領域で形成することにより、この二つの素子を接続する配線を省略することができる。

【0128】

図13は、ビット線に不揮発性メモリ素子を接続したNOR型メモリセルアレイの等価回路を示している。このメモリセルアレイは、ワード線WLとビット線BLが互いに交差して配設し、各交差部に不揮発性メモリ素子を配置している。NOR型メモリセルアレイは、個々の不揮発性メモリ素子のドレインをビット線BLに接続する。ソース線SLには不揮発性メモリ素子のソースが共通接続される。

20

【0129】

この場合もこのメモリセルMS01において、不揮発性メモリ素子M01を絶縁表面に連続的に形成された半導体層中において不純物元素が添加された素子分離領域により分離して形成された素子領域32で形成することにより、半導体層を複数の島状の半導体層に分離しなくても、他の不揮発性メモリ素子との干渉を防ぐことができる。また、複数の不揮発性メモリ素子（例えば、図13に示すM01～M23）を一つのブロックとして扱い、これらの不揮発性メモリ素子を絶縁表面に連続的に形成された半導体層中において不純物元素が添加された素子分離領域により分離して形成された素子領域で形成することにより、ブロック単位で消去動作を行うことができる。

30

【0130】

NOR型メモリセルアレイの動作は、例えば、次の通りである。データ書き込みは、ソース線SLを0Vとし、データを書込むために選択されたワード線WLに高電圧を与え、ビット線BLにはデータ"0"と"1"に応じた電位を与える。例えば、"0"と"1"に対してそれぞれHレベル、Lレベルの電位をビット線BLに付与する。"0"データを書き込むべく、Hレベルが与えられた不揮発性メモリ素子ではドレイン近傍でホットエレクトロンが発生し、これが電荷蓄積層に注入される。"1"データの場合この様な電子注入は生じない。

40

【0131】

"0"データが与えられたメモリセルでは、ドレインとソースとの間の強い横方向電界により、ドレインの近傍でホットエレクトロンが生成され、これが電荷蓄積層に注入される。これにより、電荷蓄積層に電子が注入されてしきい値電圧が高くなった状態が"0"である。"1"データの場合はホットエレクトロンが生成されず、電荷蓄積層に電子が注入されずしきい値電圧の低い状態、すなわち消去状態が保持される。

【0132】

データを消去するときは、ソース線SLに10V程度の正の電圧を印加し、ビット線BLは浮遊状態としておく。そしてワード線WLに負の高電圧を印加して（制御ゲートに負の

50

高電圧を印加して)、電荷蓄積層から電子を引き抜く。これにより、データ " 1 " の消去状態になる。

【 0 1 3 3 】

データ読み出しは、ソース線 S_L を 0 V にすると共にビット線 B_L を 0.8 V 程度とし、選択されたワード線 W_L に、データ " 0 " と " 1 " のしきい値の中間値に設定された読み出し電圧を与え、不揮発性メモリ素子の電流引き込みの有無を、ビット線 B_L に接続されるセンスアンプで判定することにより行う。

【 0 1 3 4 】

図 1 4 は、NAND 型メモリセルアレイの等価回路を示す。ビット線 B_L には、複数の不揮発性メモリ素子を直列に接続した NAND 型セル NS_1 が接続されている。複数の NAND 型セルが集まってブロック BLK を構成している。図 1 4 で示すブロック BLK_1 のワード線は 32 本である (ワード線 $W_L0 \sim W_L31$)。ブロック BLK_1 の同一行に位置する不揮発性メモリ素子には、この行に対応するワード線が共通接続されている。

【 0 1 3 5 】

この場合、選択トランジスタ S_1 、 S_2 と不揮発性メモリ素子 $M_0 \sim M_{31}$ が直列に接続されているので、これらを一つのまとまりとして一つの半導体層 34 で形成しても良い。それにより不揮発性メモリ素子を繋ぐ配線を省略することが出来るので、集積化を図ることができる。また、隣接する NAND 型セルとの分離を容易に行うことができる。また、選択トランジスタ S_1 、 S_2 の半導体層 36 と NAND 型セルの半導体層 38 を分離して形成しても良い。不揮発性メモリ素子 $M_0 \sim M_{31}$ の電荷蓄積層から電荷を引き抜く消去動作を行うときに、その NAND 型セルの単位で消去動作を行うことができる。また、一つのワード線に共通接続する不揮発性メモリ素子 (例えば M_{30} の行) を一つの半導体層 40 で形成しても良い。

【 0 1 3 6 】

書込み動作では、NAND 型セル NS_1 が消去状態、つまり NAND 型セル NS_1 の各不揮発性メモリ素子のしきい値を負電圧の状態にしてから実行される。書込みは、ソース線 S_L 側のメモリ素子 M_0 から順に行う。メモリ素子 M_0 への書込みを例として説明すると概略以下ようになる。

【 0 1 3 7 】

図 2 4 (A) は、" 0 " 書込みをする場合、選択ゲート線 SG_2 に例えば V_{cc} (電源電圧) を印加して選択トランジスタ S_2 をオンにすると共にビット線 B_L を 0 V (接地電圧) にする。選択ゲート線 SG_1 は 0 V として、選択トランジスタ S_1 はオフとする。次に、不揮発性メモリ素子 M_0 に繋がるワード線 W_L0 を高電圧 V_{pgm} (20 V 程度) とし、これ以外のワード線を中間電圧 V_{pass} (10 V 程度) にする。ビット線 B_L の電圧は 0 V なので、選択された不揮発性メモリ素子 M_0 のチャネル形成領域の電位は 0 V となる。ワード線 W_L0 と不揮発性メモリ素子 M_0 のチャネル形成領域との間の電位差が大きいため、メモリセル M_0 の電荷蓄積層には前述のように F-N トンネル電流により電子が注入される。これにより、不揮発性メモリ素子 M_0 のしきい値電圧が正の状態 (" 0 " が書込まれた状態) となる。

【 0 1 3 8 】

一方 " 1 " 書込みをする場合は、図 2 4 (B) に示すように、ビット線 B_L を例えば V_{cc} (電源電圧) にする。選択ゲート線 SG_2 の電圧が V_{cc} であるため、選択トランジスタ S_2 のゲート電圧が $V_{th} > V_{cc}$ になると、選択トランジスタ S_2 がカットオフする。従って、不揮発性メモリ素子 M_0 のチャネル形成領域はフローティング状態となる。次に、ワード線 W_L0 に高電圧 V_{pgm} (20 V)、それ以外のワード線に中間電圧 V_{pass} (10 V) の電圧を印加すると、各ワード線とチャネル形成領域との容量カップリングにより、不揮発性メモリ素子 M_0 のチャネル形成領域の電圧が $V_{cc} - V_{th}$ から上昇し例えば 8 V 程度となる。チャネル形成領域の電圧は昇圧されるが、" 0 " の書込みの場合と異なり、ワード線 W_L0 と不揮発性メモリ素子 M_0 のチャネル形成領域の間の電位差が小さい。したがって、不揮発性メモリ素子 M_0 の電荷蓄積層には、F-N トンネル電流

による電子注入が起こらない。よって、不揮発性メモリ素子M0のしきい値は、負の状態（"1"が書込まれた状態）に保たれる。

【0139】

消去動作をする場合は、図25（A）に示すように、選択されたワード線（WL0）に負の高電圧（V_{ers}）を印加し、非選択の不揮発性メモリ素子のワード線WL、選択ゲート線SG1、及び選択ゲート線SG2に電圧V_{on}（例えば3V）印加し、ビット線BL及びソース線SLに導通電圧V_{open}（0V）の電圧を印加する。そして上記実施の形態で説明したように、選択した不揮発性メモリ素子の電荷蓄積層中の電子を放出することができる。この結果、選択した不揮発性メモリ素子のしきい値電圧が負方向にシフトする。

10

【0140】

図25（B）に示す読み出し動作では、読出しの選択がされた不揮発性メモリ素子M0に繋がるワード線WL0を電圧V_r（例えば0V）とし、非選択のメモリセルのワード線WL1～WL31及び選択ゲート線SG1、SG2を電源電圧より少し高い読出し用中間電圧V_{read}とする。すなわち、図13に示すように、選択メモリ素子以外のメモリ素子はトランスファートランジスタとして働く。これにより、読出しの選択がされた不揮発性メモリ素子M0に電流が流れるか否かを検出する。つまり、不揮発性メモリ素子M0に記憶されたデータが"0"の場合、不揮発性メモリ素子M0はオフなので、ビット線BLは放電しない。一方、"1"の場合、不揮発性メモリ素子M0はオンするので、ビット線BLが放電する。

20

【0141】

図19は、不揮発性半導体記憶装置の回路ブロック図の一例を示している。不揮発性半導体記憶装置は、メモリセルアレイ52と周辺回路54が同一の基板上に形成されている。メモリセルアレイ52は、図12、図13、図14で示すような構成を有している。周辺回路54の構成は以下の通りである。

【0142】

ワード線選択のためにロウデコーダ62と、ビット線選択のためにカラムデコーダ64が、メモリセルアレイ52の周囲に設けられている。アドレスは、アドレスバッファ56を介してコントロール回路58に送られ、内部ロウアドレス信号及び内部カラムアドレス信号がそれぞれロウデコーダ62及びカラムデコーダ64に転送される。

30

【0143】

データ書き込み及び消去には、電源電位を昇圧した電位が用いられる。このため、コントロール回路58により動作モードに応じて制御される昇圧回路60が設けられている。昇圧回路60の出力はロウデコーダ62やカラムデコーダ64を介して、ワード線Wやビット線BLに供給される。センスアンプ66はカラムデコーダ64から出力されたデータが入力される。センスアンプ66により読み出されたデータは、データバッファ68に保持され、コントロール回路58からの制御により、データがランダムアクセスされ、データ入出力バッファ70を介して出力されるようになっている。書き込みデータは、データ入出力バッファ70を介してデータバッファ68に一旦保持され、コントロール回路58の制御によりカラムデコーダ64に転送される。

40

【0144】

このように、不揮発性半導体記憶装置では、メモリセルアレイ52において、電源電位とは異なる電位を用いる必要がある。そのため、少なくともメモリセルアレイ52と周辺回路54の間は、電氣的に絶縁分離されていることが望ましい。

【0145】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。半導体層端部による段差が生じず、平坦な半導体層上に絶縁層が形成されるため、絶縁層の被覆性が向上する。従って、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い不揮発性半導体記憶装置である半導体装置、及びそのような半導体装置の作製方法

50

を提供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

【0146】

(実施の形態3)

本実施の形態では、半導体素子において絶縁層の被覆不良によるゲート電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とするメモリ素子(記憶素子ともいう)を有する半導体装置の一例に関して図面を用いて説明する。本実施の形態の半導体装置の上面図を図15に、図15における線I-Lの断面図を図16(A)に、K-Lの断面図を図16(B)に示す。

10

【0147】

図15は、ビット線BL(BL0、BL1、BL2)に不揮発性メモリ素子M(M01、M02、M03)を接続したNOR型メモリセルアレイの等価回路を示している。このメモリセルアレイは、ワード線WL(WL1、WL2、WL3)とビット線BL(BL0、BL1、BL2)が互いに交差して配設し、各交差部に不揮発性メモリ素子(M01、M02、M03)を配置している。NOR型メモリセルアレイは、個々の不揮発性メモリ素子(M01、M02、M03)のドレインをビット線BL(BL0、BL1、BL2)に接続する。ソース線SL(SL0、SL1、SL2)には不揮発性メモリ素子のソースが共通接続される。

20

【0148】

図15および図16において、メモリ素子M01、M02、M03はドレインがビット線BL305(305a、305b)に接続しており、ソースがソース線SL306にそれぞれ接続している。メモリ素子M01は素子領域302a、電荷蓄積層303a、制御ゲート電極層304aを含み、メモリ素子M02は、素子領域302b、電荷蓄積層303b、制御ゲート電極層304bを含み、第1の絶縁層312、第2の絶縁層313、層間絶縁層314がメモリ素子M01及びM02に連続して形成されている。なお素子領域302a及び素子領域302bはチャネル形成領域、ソース及びドレインとして機能する高濃度n型不純物領域、低濃度不純物領域それぞれ有している。

【0149】

半導体層において、メモリ素子M01を構成する素子領域302aと、メモリ素子M02を構成する素子領域302bとは素子分離領域301(301a、301b、301c、301d、301e)によって電氣的に分離されている。

30

【0150】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。

【0151】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により(いわゆるスパッタ効果とも言える)結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

40

【0152】

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域(例えばn型不純物領域又はp型不純物領域)である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソ

50

ース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間はさらに絶縁分離することができる。

【0153】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合によって、一つの半導体層を複数の素子領域に分離することを特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

10

【0154】

図15及び図16は複数のメモリ素子を形成する場合であり、素子分離領域301(301a、301b、301c、301d、301e)はn型不純物領域を有する素子領域302a、302bに接して設けるため、逆導電型を付与する第2の不純物元素としてp型を付与する不純物元素(例えばボロン(B)やアルミニウム(Al)やガリウム(Ga)等)を添加し、p型の不純物領域とすればよい。結果、n型不純物領域とp型不純物領域とが交互に隣接して設けられることになり、同一導電型不純物領域間を絶縁分離することができる。

20

【0155】

素子分離領域を形成する際の第1の不純物元素及び第2の不純物元素の添加(導入)は、イオン注入法、(イオン)ドーピング法などを用いることができる。

【0156】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの第1の不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0157】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

30

【0158】

素子分離領域に添加する不純物元素としては、アルゴン(Ar)、ネオン(Ne)、クリプトン(Kr)、キセノン(Xe)などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

【0159】

図16(B)は半導体層において素子領域302b及び素子分離領域301d、301eに亘って第1の絶縁層312を介し、電荷蓄積層303bが形成されている。本発明では連続的な半導体層中に素子分離領域及び素子領域を設けているので、素子分離領域301d、301e、及び素子領域302bは連続している。よって、その表面は平坦性が高く、急激な段差を有さない。

40

【0160】

第1の絶縁層312は平坦性の高い半導体層上に形成されるため、被覆性がよく、形状不良も生じにくい。よって、第1の絶縁層312上に形成される電荷蓄積層303a、303bと素子領域302a、302bにおいてリーク電流やショートなどの不良を防止することができる。よって本実施の形態の不揮発性半導体記憶装置である半導体装置は第1の

50

絶縁層の被覆不良による電荷蓄積層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置とすることができる。

【0161】

本実施の形態は、本明細書で示した他の実施の形態と組み合わせて行うことができる。

【0162】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。半導体層端部による段差が生じず、平坦な半導体層上に絶縁層が形成されるため、絶縁層の被覆性が向上する。従って、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層、ゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い不揮発性半導体記憶装置である半導体装置、及びそのような半導体装置の作製方法を提供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

10

【0163】

(実施の形態4)

本実施の形態では、半導体素子において絶縁層の被覆不良によるゲート電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とする、メモリ素子(記憶素子ともいう)を有する半導体装置の一例に関して図面を用いて説明する。本実施の形態の半導体装置の上面図を図17に、図17における線M-Nの断面図を図18(A)に、O-Pの断面図を図18(B)に示す。

20

【0164】

本実施の形態では、上記実施の形態2で示した構造において、一つの素子領域に複数の不揮発性メモリ素子を設けた場合に関して図面を参照して説明する。なお、上記実施の形態と同じものを指す場合には説明を省略する。

【0165】

本実施の形態で示す半導体装置は、ビット線BL0、BL1にそれぞれ電氣的に接続された半導体層中の素子領域322a、322bが設けられており、素子領域322a、322bの各々に複数の不揮発性メモリ素子が設けられている(図17、18参照)。具体的には、素子領域322aにおいて、選択トランジスタS1、S2の間に複数の不揮発性メモリ素子M0~M30、M31を有するNAND型セル350aが設けられている。また、素子領域322bにおいても、選択トランジスタの間に複数の不揮発性メモリ素子を有するNAND型セル350bが設けられている。また、素子領域322a、322b間に素子分離領域321を設けることによって、隣接するNAND型セル350aとNAND型セル350bを絶縁分離することが可能となる。

30

【0166】

また、一つの素子領域に複数の不揮発性メモリ素子を設けることによって、より不揮発性メモリ素子の集積化が可能となり、大容量の不揮発性半導体記憶装置を形成することができる。

【0167】

図17及び図18において、絶縁層331が設けられた基板330上に、選択トランジスタS1、S2、メモリ素子M0、M30、M31が設けられており、ゲート電極層(SG2、SG1)327a、327b、電荷蓄積層323a、323b、323c、制御ゲート電極層(WL31、WL30、WL0)324a、324b、324c、第1の絶縁層332、第2の絶縁層333、層間絶縁層334が設けられている。選択トランジスタS1はビット線BL0に接続し、選択トランジスタS2はソース線(SL0)326に接続している。

40

【0168】

半導体層において、NAND型セル350aを構成する素子領域322aと、NAND型セル350bを構成する素子領域322bとは素子分離領域321(321a、321b

50

、3 2 1 c、3 2 1 d)によって電氣的に分離されている。

【0169】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。

【0170】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により（いわゆるスパッタ効果とも言える）結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

10

【0171】

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域（例えばn型不純物領域又はp型不純物領域）である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間はさらに絶縁分離することができる。

20

【0172】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合によって、一つの半導体層を複数の素子領域に分離することを特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

30

【0173】

図17及び図18は複数のメモリ素子を形成する場合であり、素子分離領域321（321a、321b、321c、321d）はn型不純物領域を有する素子領域322a、322bに接して設けるため、逆導電型を付与する第2の不純物元素としてp型を付与する不純物元素（例えばボロン（B）やアルミニウム（Al）やガリウム（Ga）等）を添加し、p型の不純物領域とすればよい。結果、n型不純物領域とp型不純物領域とが交互に隣接して設けられることになり、同一導電型不純物領域間を絶縁分離することができる。

【0174】

素子分離領域を形成する際の第1の不純物元素及び第2の不純物元素の添加（導入）は、イオン注入法、（イオン）ドーピング法などを用いることができる。

40

【0175】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0176】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

50

【0177】

素子分離領域に添加する不純物元素としては、アルゴン（Ar）、ネオン（Ne）、クリプトン（Kr）、キセノン（Xe）などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

【0178】

図18（B）は半導体層において素子領域322a及び素子分離領域321c、321dに亘って第1の絶縁層332を介し、電荷蓄積層323cが形成されている。本発明では連続的な半導体層中に素子分離領域及び素子領域を設けているので、素子分離領域321c、321d、及び素子領域322aは連続している。よって、その表面は平坦性が高く、急激な段差を有さない。

10

【0179】

第1の絶縁層332は平坦性の高い半導体層上に形成されるため、被覆性がよく、形状不良も生じにくい。よって、第1の絶縁層332上に形成される電荷蓄積層323a、323b、323cと素子領域322aにおいてリーク電流やショートなどの不良を防止することができる。よって本実施の形態の不揮発性半導体記憶装置である半導体装置は第1の絶縁層の被覆不良による電荷蓄積層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置とすることができる。

20

【0180】

本実施の形態は、本明細書で示した他の実施の形態と組み合わせて行うことができる。

【0181】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。半導体層端部による段差が生じず、平坦な半導体層上に絶縁層が形成されるため、絶縁層の被覆性が向上する。従って、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層、ゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い不揮発性半導体記憶装置である半導体装置、及びそのような半導体装置の作製方法を提供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

30

【0182】

（実施の形態5）

本実施の形態は、本発明を適用した半導体装置として、不揮発性半導体記憶装置の一例を説明する。本発明では、半導体層を島状に分割せずに一つの半導体層中に複数の半導体素子を作製する。この本発明は、半導体装置に設けられる半導体素子全てに適用してもよいし、部分的に適用してもよい。半導体素子に要求される機能に応じて適宜本発明を適用すればよい。このような本発明を適用した半導体装置の例を、図20を用いて説明する。

【0183】

図20（A）乃至（D）は本発明の半導体装置の上面図であり、基板と、基板上に設けられた周辺回路部及びメモリ素子部で簡略に表現している。図20に示す本実施の形態の半導体装置は同一基板上にメモリ素子部と周辺回路部が同一の基板上に形成されている。図20（A）において、基板470上に周辺回路部472及びメモリ素子部471が設けられており、基板470上全面にわたって半導体層が形成されている例である。基板470上において、周辺回路部472及びメモリ素子部471の半導体層は、本発明を適用した導電性に寄与しない第1の不純物元素及び素子領域と逆導電型を付与する第2の不純物元素の添加によって形成された素子分離領域及び素子領域に分離されており、複数の半導体素子を形成している。基板470上に設けられた周辺回路部472及びメモリ素子部471以外の領域の半導体層は、周辺回路部472及びメモリ素子部471における素子分離領域と同様に、第1の不純物元素及び素子領域と逆導電型を付与する第2の不純物元素の

40

50

添加によって高抵抗領域とすればよい。

【0184】

図20(B)は、基板475上全面には半導体層を有さず、基板475上に設けられた周辺回路部477及びメモリ素子部476以外の領域の半導体層をエッチング等で除去した例である。図20(B)における周辺回路部477及びメモリ素子部476も図20(A)の周辺回路部472及びメモリ素子部471と同様に第1の不純物元素及び素子領域と逆導電型を付与する第2の不純物元素を添加された高抵抗領域である素子分離領域により、一つの半導体層中に複数の半導体素子を形成した構成となっている。図20(B)のように半導体素子を形成しない基板上の領域における半導体層は、高抵抗領域としてもよいし、除去してもよい。複数の半導体素子が隣接し、微細な半導体層の分離処理が必要な領域は本発明の素子分離方法を適用し、比較的素子間が広い、又は素子を形成しない領域は半導体層を除去する構造としてもよい。

10

【0185】

図20(C)は、基板480上に設けられた半導体素子において、要求される機能及びサイズに応じて異なる素子分離方法を適用する例である。図20(C)において、基板480上に設けられた周辺回路部482は島状に形状加工された半導体素子によって構成されており、各半導体素子間はエッチングにより半導体層の除去により分離されている。一方メモリ素子部481は一つの半導体層に第1の不純物元素及び素子領域と逆導電型を付与する第2の不純物元素を添加した素子分離領域を形成し、各半導体素子間は高抵抗化された素子分離領域によって分離されている。周辺回路部とメモリ素子部は要求される半導体素子の特性が異なる場合、例えば、メモリ素子部における半導体素子に印加される電圧（例えば、（書き込み）電圧が10～20V程度）の方が周辺回路部における半導体素子に印加する電圧（例えば電圧が3～5V程度）より高い場合、よりゲート絶縁層の被覆不良の悪影響が大きく生じやすい。そのため図20(C)のメモリ素子部481には一つの半導体層中の素子領域を、周辺回路部482は島状の半導体層に分離された素子領域をそれぞれ用いた半導体素子を用いるとよい。10V～20V程度の電圧で書き込みや消去を行う必要のあるメモリ素子部と、3V～7V程度の電圧で動作してデータの入出力や命令の制御を主として行う周辺回路部を同一基板上に形成した場合でも、各素子に印加する電圧の違いによる相互の干渉を防ぐことができる。

20

【0186】

図20(D)も図20(C)と同様に、基板485上に設けられた半導体素子において、要求される機能及びサイズに応じて異なる素子分離方法を適用する例である。図20(D)において、基板485上に設けられた周辺回路部487bは島状に形状加工された半導体素子によって構成されており、各半導体素子間はエッチングにより半導体層の除去により分離されている。一方周辺回路部487a及びメモリ素子部486は一つの半導体層に第1の不純物元素及び素子領域と逆導電型を付与する第2の不純物元素を添加した素子分離領域を形成し、各半導体素子間は素子分離領域によって分離されている。このように周辺回路部487bにおいての選択的に島状の半導体層による素子分離する構成と、周辺回路部487a及びメモリ素子部486において一つの半導体層中に素子分離領域を設けて素子分離する構成とを、基板上に設ける回路構成に応じて適宜組み合わせ用いてもよい。

30

40

【0187】

基板上に設けられる半導体素子はそれぞれ機能によって要求される特性が異なり、その要求される特性に伴って形状も変化する（例えば、ゲート絶縁層の膜厚など）。半導体素子間が近接した微細な構成の領域においては一つの半導体層中に素子分離領域を設けて複数の半導体素子を形成する構成とし、一方素子間隔が比較的広い、又は構造上ゲート絶縁層に対する薄膜化をそれほど要求されない領域においては半導体層の除去を行い、島状の半導体層として複数の半導体素子を作製することができる。このように基板上で要求される特性に合わせて適宜素子分離方法を選択することによって、高速な応答の可能な高性能であり、かつ高信頼性を有する半導体装置を作製することができる。

50

【0188】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。

【0189】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により（いわゆるスパッタ効果とも言える）結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

10

【0190】

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域（例えばn型不純物領域又はp型不純物領域）である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間にはさらに絶縁分離することができる。

20

【0191】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合の連続（繰り返し）によって、一つの半導体層を複数の素子領域に分離することを特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

30

【0192】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0193】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

40

【0194】

素子分離領域に添加する不純物元素としては、アルゴン（Ar）、ネオン（Ne）、クリプトン（Kr）、キセノン（Xe）などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

【0195】

従って、本実施の形態によれば、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層、ゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高いメモリ素子を有する半導体装置、及びそのような半導体装置の作製方法を提供するこ

50

とができる。よって、メモリ素子を有する半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

【0196】

(実施の形態6)

本実施の形態では、半導体素子において絶縁層の被覆不良によるゲート電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とするメモリ素子(記憶素子ともいう)を有する半導体装置の一例に関して図面を用いて説明する。本実施の形態の半導体装置の上面図を図11(A)に、図11(A)における線X-Yの断面図を図11(B)に示す。

10

【0197】

図11(A)に示すように、基板400上にメモリ素子を有する半導体装置であるメモリ素子部404、回路部421、アンテナ431が形成されている。図11(A)及び(B)は、作製工程途中であり、作製条件に耐えうる基板400上にメモリ素子部、回路部、及びアンテナを形成した状態である。材料及び作製工程は実施の形態3と同様に選択し、作製すればよい。

【0198】

基板400上に剥離層452、絶縁層453を介してメモリ素子部404にはメモリ素子441、回路部421にはトランジスタ442が設けられている。メモリ素子441及びトランジスタ442上に絶縁層455が形成されている。

20

【0199】

図11(B)における半導体装置では絶縁層455上にアンテナ431a、アンテナ431b、アンテナ431c、及びアンテナ431dがそれぞれ形成されている。アンテナ431cは絶縁層455に形成された配線層456bに達する開口において、配線層456bと接して形成されており、アンテナとメモリ素子部404及び回路部421とを電気的に接続している。

【0200】

なお、本実施の形態は、上記実施の形態と自由に組み合わせることができる。また本実施の形態で作製した半導体装置は、基板より剥離工程により剥離し、フレキシブルな基板上に接着することで、フレキシブルな基体上に設けることができ、可撓性を有する半導体装置とすることができる。

30

【0201】

フレキシブルな基板上に半導体装置を貼り合わせ可撓性を有する半導体装置とした場合を、ICフィルムともいう。ICフィルムとは厚さ100 μ m以下、好ましくは50 μ m以下、より好ましくは20 μ m以下の可撓性を有する半導体装置であり、含まれる半導体層の膜厚は100 μ m以下、好ましくは70 μ m以下のものをいう。

【0202】

フレキシブルな基体とは、PET(ポリエチレンテレフタレート)、PEN(ポリエチレンナフタレート)、PES(ポリエーテルスルホン)、ポリプロピレン、ポリプロピレンサルファイド、ポリカーボネート、ポリエーテルイミド、ポリフェニレンサルファイド、ポリフェニレンオキサイド、ポリサルフォン、ポリフタルアミド等からなる基板、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなるフィルム、繊維質な材料からなる紙、基材フィルム(ポリエステル、ポリアミド、無機蒸着フィルム、紙類等)と、接着性合成樹脂フィルム(アクリル系合成樹脂、エポキシ系合成樹脂等)との積層フィルムなどに相当する。フィルムは、被処理体と加熱処理と加圧処理が行われるものであり、加熱処理と加圧処理を行う際には、フィルムの最表面に設けられた接着層か、又は最外層に設けられた層(接着層ではない)を加熱処理によって溶かし、加圧により接着する。また、基体に接着層が設けられていてもよいし、接着層が設けられていなくてもよい。接着層は、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添

40

50

加剤等の接着剤を含む層に相当する。

【0203】

本発明の半導体装置において、工程条件（温度など）に耐えられる第1の基板上にメモリ素子を形成した後、第2の基板に転置し、メモリ素子を有する半導体装置を作製してもよい。また本明細書において、転置とは第1の基板に形成されたメモリ素子を、第1の基板より剥離し、第2の基板に移しかえることをいう。つまりメモリ素子を設ける場所を他の基板へ移動するとも言える。

【0204】

なお、他の基板への転置工程は、基板と素子形成層の間に剥離層及び絶縁層を形成し、剥離層及び絶縁層の間に金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化して、当該素子形成層を剥離する方法、耐熱性の高い基板と素子形成層の間に水素を含む非晶質珪素膜を設け、レーザ光の照射またはエッチングにより当該非晶質珪素膜を除去することで、当該素子形成層を剥離する方法、基板と素子形成層の間に剥離層及び絶縁層を形成し、剥離層及び絶縁層の間に金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化し、剥離層の一部を溶液や NF_3 、 BrF_3 、 ClF_3 等のフッ化ハロゲンガスによりエッチングで除去した後、脆弱化された金属酸化膜において剥離する方法、素子形成層が形成された基板を機械的に削除又は溶液や NF_3 、 BrF_3 、 ClF_3 等のフッ化ハロゲンガスによるエッチングで除去する方法等を適宜用いることができる。また、剥離層として窒素、酸素や水素等を含む膜（例えば、水素を含む非晶質珪素膜、水素含有合金膜、酸素含有合金膜など）を用い、剥離層にレーザ光を照射して剥離層内に含有する窒素、酸素や水素をガスとして放出させ素子形成層と基板との剥離を促進する方法を用いてもよい。

【0205】

上記剥離方法を組み合わせることにより容易に転置工程を行うことができる。つまり、レーザ光の照射、ガスや溶液などによる剥離層へのエッチング、鋭いナイフやメスなどによる機械的な削除を行い、剥離層と素子形成層とを剥離しやすい状態にしてから、物理的な力（機械等による）によって剥離を行うこともできる。

【0206】

また、アンテナは、メモリ素子部に対して、重なって設けてもよいし、重ならずに周囲に設ける構造でもよい。また重なる場合も全面が重なってもよいし、一部が重なっている構造でもよい。アンテナ部とメモリ素子部が重なる構造であると、アンテナが交信する際に信号に載っているノイズ等や、電磁誘導により発生する起電力の変動等の影響による、半導体装置の動作不良を減らすことが可能であり、信頼性が向上する。また、半導体装置を小型化することもできる。

【0207】

また、上述した非接触データの入出力が可能である半導体装置における信号の伝送方式は、電磁結合方式、電磁誘導方式またはマイクロ波方式等を用いることができる。伝送方式は、実施者が使用用途を考慮して適宜選択すればよく、伝送方式に伴って最適なアンテナを設ければよい。

【0208】

例えば、半導体装置における信号の伝送方式として、電磁結合方式または電磁誘導方式（例えば13.56MHz帯）を適用する場合には、磁界密度の変化による電磁誘導を利用するため、アンテナとして機能する導電層を輪状（例えば、ループアンテナ）、らせん状（例えば、スパイラルアンテナ）に形成する。

【0209】

また、半導体装置における信号の伝送方式として、マイクロ波方式（例えば、UHF帯（860～960MHz帯）、2.45GHz帯等）を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電層の長さ等の形状を適宜設定すればよく、例えば、アンテナとして機能する導電層を線状（例えば、ダイポールアンテナ）、平坦な形状（例えば、パッチアンテナ）またはリボン型の形状等に形成することができる。また、アンテナとして機能する導電層の形状は線状に限られず、電磁波の波長を考

慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

【0210】

アンテナとして機能する導電層は、CVD法、スパッタ法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）、金（Au）、白金（Pt）、ニッケル（Ni）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0211】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電層を形成する場合には、
10
粒径が数nmから数十μmの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀（Ag）、金（Au）、銅（Cu）、ニッケル（Ni）、白金（Pt）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）およびチタン（Ti）等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコン樹脂等の有機樹脂が挙げられる。また、導電層の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子（例えば粒径1nm以上100nm以下）
20
を用いる場合、150～300℃の温度範囲で焼成することにより硬化させて導電層を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20μm以下の微粒子を用いることが好ましい。はんだや鉛フリーのはんだは、低コストであるといった利点を有している。また、上述した材料以外にも、セラミックやフェライト等をアンテナに適用してもよい。

【0212】

また、電磁結合方式または電磁誘導方式を適用する場合であって、アンテナを備えた半導体装置を金属に接して設ける場合には、当該半導体装置と金属との間に透磁率を備えた磁性材料を設けることが好ましい。アンテナを備えた半導体装置を金属に接して設ける場合には、磁界の変化に伴い金属に渦電流が流れ、当該渦電流により発生する反磁界によって
30
、磁界の変化が弱められて通信距離が低下する。そのため、半導体装置と金属との間に透磁率を備えた材料を設けることにより金属の渦電流を抑制し通信距離の低下を抑制することができる。なお、磁性材料としては、高い透磁率を有し高周波損失の少ないフェライトや金属薄膜を用いることができる。

【0213】

また、アンテナを設ける場合には、1枚の基板上にトランジスタ等の半導体素子とアンテナとして機能する導電層を直接作り込んで設けてもよいし、半導体素子とアンテナとして機能する導電層を別々の基板上に設けた後に、電氣的に接続するように貼り合わせることで
40
によって設けてもよい。

【0214】

メモリ素子441及びトランジスタ442は本発明を用いており、そのチャネル形成領域は、一つの半導体層中に設けられた素子領域に形成されている。またメモリ素子、トランジスタ間は第1の不純物元素及び第2の不純物元素の添加によって形成された素子分離領域によって分離されている。このように本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離でき、複数の半導体素子を作製することができる。従って半導体層端部による段差が生じず、平坦な半導体層上に絶縁層が形成されるため、絶縁層の被覆性が向上する。

【0215】

従って、本実施の形態によれば、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層、ゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の
50

高いメモリ素子を有する半導体装置、及びそのような半導体装置の作製方法を提供することができる。よって、メモリ素子を有する半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

【0216】

(実施の形態7)

本実施の形態では、半導体素子において絶縁層の被覆不良によるゲート電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とするCMOS回路及びメモリ素子を有する半導体装置の一例に関して図面を用いて説明する。本実施の形態における半導体装置の作製方法を、図5、図6を用いて詳細に説明する。

10

【0217】

なお、メモリ部に設けられる制御用トランジスタは、ロジック部に設けられるトランジスタと比較して駆動電圧が高いため、メモリ部に設けるトランジスタとロジック部に設けるトランジスタのゲート絶縁層等を異なる厚さで形成することが好ましい。例えば、駆動電圧が小さくしきい値電圧のばらつきを小さくしたい場合にはゲート絶縁層が薄い薄膜トランジスタを設けることが好ましく、駆動電圧が大きくゲート絶縁層の耐圧性が求められる場合にはゲート絶縁層が厚い薄膜トランジスタを設けることが好ましい。

20

【0218】

従って、本実施の形態では、駆動電圧が小さくしきい値電圧のばらつきを小さくしたいロジック部のトランジスタに対しては膜厚が小さい絶縁層を形成し、駆動電圧が大きくゲート絶縁層の耐圧性が求められるメモリ部のトランジスタに対しては膜厚が大きい絶縁層を形成する。

【0219】

絶縁表面を有する基板100の上に下地膜として、スパッタリング法、PVD法(Physical Vapor Deposition)、減圧CVD法(LPCVD法)、またはプラズマCVD法等のCVD法(Chemical Vapor Deposition)などにより窒化酸化珪素膜を用いて下地膜として機能する絶縁層112aを10~200nm(好ましくは50~150nm)形成し、酸化窒化珪素膜を用いて絶縁層112bを50~200nm(好ましくは100~150nm)積層する。又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、エポキシ樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いてもよい。また、ベンゾシクロブテン、パリレン、フッ化アリーレンエーテル、ポリイミドなどの有機材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いてもよい。また、オキサゾール樹脂を用いることもでき、例えば光硬化型ポリベンゾオキサゾールなどを用いることができる。

30

40

【0220】

また、液滴吐出法や、印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)、スピコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。本実施の形態では、プラズマCVD法を用いて絶縁層112a、絶縁層112bを形成する。基板100としてはガラス基板、石英基板や金属基板、またはステンレス基板の表面に絶縁層を形成したものを好む。また、本実施の形態の処理温度に

50

耐えうる耐熱性を有するプラスチック基板を用いてもよいし、フィルムのような可撓性基板を用いても良い。プラスチック基板としてはP E T（ポリエチレンテレフタレート）、P E N（ポリエチレンナフタレート）、P E S（ポリエーテルサルフォン）からなる基板、可撓性基板としてはアクリル等の合成樹脂を用いることができる。

【0221】

下地膜として機能する絶縁層としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などを用いることができ、単層でも2層、3層といった積層構造でもよい。

【0222】

次いで、下地膜上に半導体層を形成する。半導体層は25～200nm（好ましくは30～150nm）の厚さで各種手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜すればよい。本実施の形態では、非晶質半導体層を、レーザ結晶化し、結晶性半導体層とするものを用いるのが好ましい。

【0223】

結晶性半導体層の作製方法は、種々の方法（レーザ結晶化法、熱結晶化法、またはニッケルなどの結晶化を助長する元素を用いた熱結晶化法等）を用いれば良い。また微結晶半導体をレーザ照射して結晶化し、結晶性を高めることもできる。結晶化を助長する元素を導入しない場合は、非晶質半導体層にレーザ光を照射する前に、窒素雰囲気下500℃で1時間加熱することによって非晶質半導体層の含有水素濃度を $1 \times 10^{20} \text{ atoms/cm}^3$ 以下にまで放出させる。これは水素を多く含んだ非晶質半導体層にレーザ光を照射すると非晶質半導体層が破壊されてしまうからである。結晶化のための加熱処理は、加熱炉、レーザ照射、若しくはランプから発する光の照射（ランプアニールともいう）などを用いることができる。加熱方法としてGRTA（Gas Rapid Thermal Anneal）法、LRTA（Lamp Rapid Thermal Anneal）法等のRTA法がある。GRTAとは高温のガスを用いて加熱処理を行う方法であり、LRTAとはランプ光により加熱処理を行う方法である。

【0224】

また、非晶質半導体層を結晶化し、結晶性半導体層を形成する結晶化工程で、非晶質半導体層に結晶化を促進する元素（触媒元素、金属元素とも示す）を添加し、熱処理（550℃～750℃で3分～24時間）により結晶化を行ってもよい。結晶化を助長する元素としては、鉄（Fe）、ニッケル（Ni）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）及び金（Au）から選ばれた一種又は複数種類を用いることができる。

【0225】

非晶質半導体層への金属元素の導入の仕方としては、当該金属元素を非晶質半導体層の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法（プラズマCVD法も含む）、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき非晶質半導体層の表面のぬれ性を改善し、非晶質半導体層の表面全体に水溶液を行き渡らせるため、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。

【0226】

結晶化を促進する元素を結晶性半導体層から除去、又は軽減するため、結晶性半導体層に接して、不純物元素を含む半導体層を形成し、ゲッタリングシンクとして機能させる。不純物元素としては、n型を付与する不純物元素、p型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン（P）、窒素（N）、ヒ素（As）、アンチモン（Sb）、ビスマス（Bi）、ボロン（B）、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、Kr（クリプトン）、Xe（キセノン）から選ばれた一種または複数種を用いることができる。結晶化を促進する元素を含む結晶性半導体層に、希ガス元素を含む半

導体層を形成し、熱処理（ $550^{\circ}\text{C}\sim 750^{\circ}\text{C}$ で3分～24時間）を行う。結晶性半導体層中に含まれる結晶化を促進する元素は、希ガス元素を含む半導体層中に移動し、結晶性半導体層中の結晶化を促進する元素は除去、又は軽減される。その後、ゲッタリングシクとなった希ガス元素を含む半導体層を除去する。

【0227】

レーザと、半導体層とを相対的に走査することにより、レーザ照射を行うことができる。またレーザ照射において、ビームを精度よく重ね合わせたり、レーザ照射開始位置やレーザ照射終了位置を制御するため、マーカーを形成することもできる。マーカーは非晶質半導体層と同時に、基板上へ形成すればよい。

【0228】

レーザ照射を用いる場合、連続発振型のレーザビーム（CW（CW：continuous-wave）レーザビーム）やパルス発振型のレーザビーム（パルスレーザビーム）を用いることができる。ここで用いることができるレーザビームは、Arレーザ、Krレーザ、エキシマレーザなどの気体レーザ、単結晶のYAG、 YVO_4 、フォルステライト（ Mg_2SiO_4 ）、 YAlO_3 、 GdVO_4 、若しくは多結晶（セラミック）のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd： YVO_4 レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。このレーザは、CWで射出することも、パルス発振で射出することも可能である。CWで射出する場合は、レーザのパワー密度を0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、走査速度を10～2000cm/sec程度として照射する。

【0229】

なお、単結晶のYAG、 YVO_4 、フォルステライト（ Mg_2SiO_4 ）、 YAlO_3 、 GdVO_4 、若しくは多結晶（セラミック）のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、Arイオンレーザ、またはTi：サファイアレーザは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザビームを発振させると、半導体層がレーザによって溶融してから固化するまでの間に、次のパルスが半導体層に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体層中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0230】

媒質としてセラミック（多結晶）を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。単結晶を用いる場合、通常、直径数mm、長さ数十mmの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ることが可能である。

【0231】

発光に直接寄与する媒質中のNd、Ybなどのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上ができる。

【0232】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成するこ

10

20

30

40

50

とが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザビームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザビームを、光学系を用いて整形することによって、短辺の長さ1 mm以下、長辺の長さ数mm～数mの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。またさらにレーザは、半導体層に対して入射角 θ ($0 < \theta < 90^\circ$)を持たせて照射させるとよい。レーザの干渉を防止することができるからである。

10

【0233】

この線状ビームを半導体層に照射することによって、半導体層の全面をより均一にアニールすることが可能になる。線状ビームの両端まで均一なアニールが必要な場合は、スリットを用いてエネルギーの減衰部を遮光するなどの工夫が必要となる。

【0234】

また、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を半導体層に照射するようにしても良い。これにより、レーザ光の照射により半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じるトランジスタのしきい値電圧のばらつきを抑えることができる。

【0235】

非晶質半導体層の結晶化は、熱処理とレーザ光照射による結晶化を組み合わせてもよく、熱処理やレーザ光照射を単独で、複数回行っても良い。

20

【0236】

このようにして得られた半導体層に対して、薄膜トランジスタのしきい値電圧を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。この不純物元素のドーピングは、結晶化工程の前の非晶質半導体層に行ってもよい。非晶質半導体層の状態の不純物元素をドーピングすると、その後の結晶化のための加熱処理によって、不純物の活性化も行うことができる。また、ドーピングの際に生じる欠陥等も改善することができる。

【0237】

結晶性半導体層である半導体層に不純物元素を選択的に添加し、素子分離領域を形成する。素子分離領域によって半導体層は複数の素子領域に分離される。半導体層上に、マスク層103a、103b、103c、103dを形成し、導電性に寄与しない不純物元素104を添加する。導電性に寄与しない不純物元素104の添加によって、半導体層中に、素子分離領域651a、651b、651c、651d、651e、651f、651g、651h、当該素子分離領域によって絶縁分離された素子領域102a、102b、102c、102dが形成される（図5（A）参照。）。

30

【0238】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電性を付与する第2の不純物元素を添加して形成する。

40

【0239】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により（いわゆるスパッタ効果とも言える）結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

【0240】

50

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域（例えばn型不純物領域又はp型不純物領域）である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間はさらに絶縁分離することができる。

10

【0241】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合によって、一つの半導体層を複数の素子領域に分離することを特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

【0242】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

20

【0243】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

【0244】

素子分離領域に添加する不純物元素としては、アルゴン（Ar）、ネオン（Ne）、クリプトン（Kr）、キセノン（Xe）などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

30

【0245】

次に、半導体層上に、素子領域102a、102b、102c、102d、及び素子分離領域651c、651dを覆うマスク層652a、652b、652c、652dを形成し、p型を付与する不純物元素653を添加する。p型を付与する不純物元素653の添加によって、半導体層中に、p型不純物領域である素子分離領域101a、101b、101c、101d、101e、101fが形成される（図5（B）参照。）。

【0246】

次に、半導体層上に、素子領域102a、102b、102c、102d、及び素子分離領域101a、101b、101c、101d、101e、101fを覆うマスク層654a、654b、654c、654dを形成し、n型を付与する不純物元素655を添加する。n型を付与する不純物元素655の添加によって、半導体層中に、n型不純物領域である素子分離領域656a、656bが形成される（図5（C）参照。）。

40

【0247】

本実施の形態では連続的な半導体層中に素子分離領域及び素子領域を設けているので、半導体層中に、素子分離領域101a、101b、101c、101d、101e、101f、656a、656b、当該素子分離領域によって絶縁分離された素子領域102a、102b、102c、102dは連続している。よって、その表面は平坦性が高く、急激な段差を有さない。

50

【0248】

マスクを除去し、半導体層上に第1の絶縁層105、第1の絶縁層105上に電荷蓄積層106を形成する。

【0249】

第1の絶縁層105は平坦性の高い半導体層上に形成されるため、被覆性がよく、形状不良も生じにくい。よって、第1の絶縁層105上に形成される電荷蓄積層106と素子領域102cにおいてリーク電流やショートなどの不良を防止することができる。よって本実施の形態の不揮発性半導体記憶装置である半導体装置は第1の絶縁層の被覆不良による電荷蓄積層である電荷蓄積層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置とすることができる。

10

【0250】

第1の絶縁層105は、半導体層に熱処理又はプラズマ処理等を行うことによって形成することができる。例えば、高密度プラズマ処理により当該半導体層に酸化処理、窒化処理又は酸窒化処理を行うことによって、当該半導体層上にそれぞれ酸化膜、窒化膜又は酸窒化膜となる第1の絶縁層105を形成する。なお、プラズマCVD法やスパッタ法により形成してもよい。

【0251】

例えば、半導体層としてSiを主成分とする半導体層を用いて高密度プラズマ処理により酸化処理又は窒化処理を行った場合、第1の絶縁層105として酸化珪素層又は窒化珪素層が形成される。また、高密度プラズマ処理により半導体層に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、半導体層に接して酸化珪素層が形成され、当該酸化珪素層の表面又は表面近傍に窒素プラズマ処理層が形成される。

20

【0252】

ここでは、第1の絶縁層105を1~10nm、好ましくは1~5nmで形成する。例えば、高密度プラズマ処理により半導体層に酸化処理を行い当該半導体層の表面に概略3nmの酸化珪素層を形成した後、高密度プラズマ処理により窒化処理を行い酸化珪素層の表面又は表面の近傍に窒素プラズマ処理層を形成する。具体的には、まず、酸素雰囲気下のプラズマ処理により半導体層上に3nm~6nmの厚さで酸化珪素層を形成する。その後、続けて窒素雰囲気下でプラズマ処理を行うことにより酸化珪素層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層を設ける。ここでは、窒素雰囲気下でプラズマ処理を行うことによって、酸化珪素層の表面から概略1nmの深さに窒素を20~50原子%の割合で含有させた構造とする。窒素プラズマ処理層には、酸素と窒素を含有した珪素（酸窒化珪素）が形成されている。また、このとき、高密度プラズマ処理による酸化処理と窒化処理は大気にも一度も曝されることなく連続して行うことが好ましい。高密度プラズマ処理を連続して行うことによって、汚染物の混入の防止や生産効率の向上を実現することができる。

30

【0253】

なお、高密度プラズマ処理により半導体層を酸化する場合には、酸素を含む雰囲気下（例えば、酸素（O₂）又は一酸化二窒素（N₂O）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、若しくは酸素又は一酸化二窒素と水素（H₂）と希ガス雰囲気下）で行う。一方、高密度プラズマ処理により半導体層を窒化する場合には、窒素を含む雰囲気下（例えば、窒素（N₂）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、若しくはNH₃と希ガス雰囲気下）でプラズマ処理を行う。

40

【0254】

希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。高密度プラズマ処理を希ガス雰囲気中で行った場合、第1の絶縁層105は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる場合があり、Arを用いた場合には第1の絶縁層105にArが含まれ

50

ている場合がある。

【0255】

また、高密度プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が 1.5 eV 以下で行う。より詳しくは、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下で行う。プラズマの電子密度が高密度であり、基板100上に形成された被処理物（ここでは、半導体層）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被処理物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が 1.5 eV 以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。例えば、ガラス基板の歪点よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。プラズマを形成するための周波数としては、マイクロ波（例えば、 2.45 GHz ）等の高周波を用いることができる。

10

【0256】

本実施の形態では、高密度プラズマ処理により被処理物の酸化処理を行う場合、酸素（ O_2 ）、水素（ H_2 ）とアルゴン（ Ar ）との混合ガスを導入する。ここで用いる混合ガスは、酸素を $0.1 \sim 100 \text{ sccm}$ 、水素を $0.1 \sim 100 \text{ sccm}$ 、アルゴンを $100 \sim 5000 \text{ sccm}$ として導入すればよい。なお、酸素：水素：アルゴン＝1：1：100の比率で混合ガスを導入することが好ましい。例えば、酸素を 5 sccm 、水素を 5 sccm 、アルゴンを 500 sccm として導入すればよい。

20

【0257】

また、高密度プラズマ処理により窒化処理を行う場合、窒素（ N_2 ）とアルゴン（ Ar ）との混合ガスを導入する。ここで用いる混合ガスは、窒素を $20 \sim 2000 \text{ sccm}$ 、アルゴンを $100 \sim 10000 \text{ sccm}$ として導入すればよい。例えば、窒素を 200 sccm 、アルゴンを 1000 sccm として導入すればよい。

【0258】

本実施の形態において、メモリ部に設けられた半導体層上に形成される第1の絶縁層105は、後に完成する不揮発性メモリ素子において、トンネル絶縁層として機能する。従って、第1の絶縁層105の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高速動作が可能となる。また、第1の絶縁層105の膜厚が薄いほど、後に形成される電荷蓄積層に低電圧で電荷を蓄積させることが可能となるため、半導体装置の消費電力を低減することができる。そのため、第1の絶縁層105は、膜厚を薄く形成することが好ましい。

30

【0259】

一般的に、半導体層上に絶縁層を薄く形成する方法として熱酸化法があるが、基板100としてガラス基板等の融点が十分に高くない基板を用いる場合には、熱酸化法により第1の絶縁層105を形成することは非常に困難である。また、CVD法やスパッタ法により形成した絶縁層は、膜の内部に欠陥を含んでいるため膜質が十分でなく、膜厚を薄く形成した場合にはピンホール等の欠陥が生じる問題がある。また、CVD法やスパッタ法により絶縁層を形成した場合には、半導体層の端部の被覆が十分でなく、後に第1の絶縁層105上に形成される導電膜等と半導体層とがショートする場合がある。従って、本実施の形態で示すように、高密度プラズマ処理により第1の絶縁層105を形成することによって、CVD法やスパッタ法等により形成した絶縁層より緻密な絶縁層を形成することができ、その結果、メモリとして高速動作や電荷保持特性を向上させることができる。なお、CVD法やスパッタ法により第1の絶縁層105を形成した場合には、絶縁層を形成した後高密度プラズマ処理を行い当該絶縁層の表面に酸化処理、窒化処理又は酸窒化処理を行うことが好ましい。

40

50

【0260】

浮遊ゲートとして機能する電荷蓄積層106にはシリコン、シリコン化合物、ゲルマニウム、又はゲルマニウム化合物を用いて形成することができる。シリコン化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを10原子%以上の濃度で含むシリコンゲルマニウム、金属窒化物、金属酸化物などを適用することができる。ゲルマニウム化合物の代表例としては、シリコンゲルマニウムであり、この場合シリコンに対してゲルマニウムが10原子%以上含まれていることが好ましい。ゲルマニウムの濃度が10原子%以下であると、構成元素としての効果が薄れ、バンドギャップが有効に小さくならないためである。

【0261】

10

電荷蓄積層106は電荷を蓄積する目的で、本発明に係る半導体装置に適用されるが、同様の機能を備えるものであれば他の材料を適用することもできる。例えば、ゲルマニウムを含む三元系の半導体であっても良い。また、当該半導体材料が水素化されていても良い。また、不揮発性メモリ素子の電荷蓄積層としての機能を持つものとして、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物の層で置き換えることもできる。

【0262】

また、電荷蓄積層106を形成するものとして、金属窒化物又は金属酸化物を用いることができる。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンなどを用いることができる。金属酸化物としては、酸化タンタル、酸化チタン、酸化スズなどを用いることができる。

20

【0263】

また上記あげた材料の積層構造によって電荷蓄積層106を形成しても良い。上記したシリコン若しくはシリコン化合物、金属窒化物又は金属酸化物の層は、ゲルマニウム若しくはゲルマニウム化合物で形成される層の上層側に設けると、製造工程においては、耐水性や耐薬品性を目的としたバリア層として用いることができる。それにより、フォトリソ工程、エッチング工程、洗浄工程における基板の扱いが容易となり、生産性を向上させることができる。すなわち、電荷蓄積層の加工を容易なものとすることができる。

【0264】

第1の絶縁層105及び電荷蓄積層106を所望の形状に加工して、メモリ素子として用いる素子領域102c上に第1の絶縁層107及び電荷蓄積層108を形成する(図5(E)参照。)。さらに電荷蓄積層108上にマスク層120を形成し、マスク層120を用いて電荷蓄積層108を選択的にエッチング処理することにより電荷蓄積層109を形成する(図5(F)参照。)。)

30

【0265】

次に、素子領域102dの特定の領域に不純物領域を形成する。ここでは、マスク層120を除去後、素子領域102a、102b、102cと、素子領域102dの一部を選択的に覆うようにマスク層121a、121b、121c、121d、121e、121fを形成し、当該マスク層121a~121fに覆われていない素子領域102dに不純物元素119を導入することによって、不純物領域122a、122bを形成する(図6(A)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、リン(P)を素子領域102dに導入する。

40

【0266】

次に、素子領域102dと、素子領域102cの上方に形成された第1の絶縁層107と電荷蓄積層109を覆うように第2の絶縁層123を形成する。

【0267】

第2の絶縁層123は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シ

50

リコン、酸化窒化シリコン (SiO_xN_y) ($x > y > 0$)、窒化酸化シリコン (SiN_xO_y) ($x > y > 0$) 等の絶縁材料を用いて単層又は積層して形成する。また第2の絶縁層123は、酸化アルミニウム (AlO_x)、酸化ハフニウム (HfO_x)、酸化タンタル (TaO_x) を用いて形成してもよい。例えば、第2の絶縁層123を単層で設ける場合には、CVD法により酸化窒化シリコン膜又は窒化酸化シリコン膜を5～50nmの膜厚で形成する。また、第2の絶縁層123を3層構造で設ける場合には、第1層目の絶縁層として酸化窒化シリコン膜を形成し、第2の絶縁層として窒化珪素膜を形成し、第3の絶縁層として酸化窒化シリコン膜を形成する。また、他にも第2の絶縁層123として、ゲルマニウムの酸化物又は窒化物を用いてもよい。

【0268】

10

なお、素子領域102cの上方に形成された第2の絶縁層123は、後に完成する不揮発性メモリ素子においてコントロール絶縁層として機能し、素子領域102dの上方に形成された第2の絶縁層123は、後に完成するトランジスタにおいてゲート絶縁層として機能する。

【0269】

次に、素子領域102a、102bを覆うように第3の絶縁層135を形成する。

【0270】

第3の絶縁層135は、上記第1の絶縁層105の形成方法で示したいずれかの方法を用いて形成する。例えば、高密度プラズマ処理により素子領域102a、102b、素子分離領域101a、101b、101c、101dを含む半導体層に酸化処理、窒化処理又は酸窒化処理を行うことによって、当該半導体層上にそれぞれ珪素の酸化膜、窒化膜又は酸窒化膜となる第3の絶縁層135を形成する。

20

【0271】

ここでは、第3の絶縁層135を1～20nm、好ましくは1～10nmで形成する。例えば、高密度プラズマ処理により半導体層に酸化処理を行い当該素子領域102a、102b、素子分離領域101a、101b、101c、101dを含む半導体層の表面に酸化珪素膜を形成した後、高密度プラズマ処理により窒化処理を行い酸化珪素膜の表面に酸窒化珪素膜を形成する。また、この場合、素子領域102c、102dの上方に形成された第2の絶縁層123の表面にも酸化処理又は窒化処理が行われ、酸化膜又は酸窒化膜が形成される。素子領域102a、102bの上方に形成された第3の絶縁層135は、後に完成するトランジスタにおいてゲート絶縁層として機能する。

30

【0272】

次に、半導体層において素子領域102a、102bの上方に形成された第3の絶縁層135、素子領域102c、102dの上方に形成された第2の絶縁層123を覆うように導電膜を形成する。ここでは、導電膜として、第1の導電膜と第2の導電膜を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0273】

第1の導電膜及び第2の導電膜としては、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

40

【0274】

ここでは、第1の導電膜として窒化タンタルを用いて形成し、その上に第2の導電膜としてタングステンをを用いて積層構造で設ける。また、他にも、第1の導電膜として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、第2の導電膜として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

50

【0275】

次に、積層して設けられた第1の導電膜及び第2の導電膜を選択的にエッチングして除去することによって、半導体層中の素子領域102a、102b、102c、102dの上方の一部に第1の導電膜及び第2の導電膜を残存させ、それぞれゲート電極層として機能する第1の導電層124a、124b、124c、124d、第2の導電層125a、125b、125c、125dを形成する（図6（B）参照）。なお、メモリ部に設けられた素子領域102cの上方に形成される第1の導電層124c及び第2の導電層125cは、後に完成する不揮発性メモリ素子において制御ゲート電極層として機能する。また、第1の導電層124a、124b、124d、第2の導電層125a、125b、125dは、後に完成するトランジスタにおいてゲート電極層として機能する。

10

【0276】

次に、素子領域102a、102c、102dを覆うようにマスク層126a、126b、126c、126d、126eを選択的に形成し、当該マスク層126a～126e、第1の導電層124b及び第2の導電層125bをマスクとして素子領域102bに不純物元素127を導入することによって不純物領域を形成する（図6（C）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、図6（A）で素子領域102dに導入した不純物元素と異なる導電型を有する不純物元素（例えば、ボロン（B））を導入する。その結果、素子領域102bにソース領域又はドレイン領域を形成する高濃度不純物領域132a、132bとチャネル形成領域134が形成される。

20

【0277】

次に、素子領域102bを覆うようにマスク層128a、128b、128c、128d、128e、128f、128gを選択的に形成し、当該マスク層128a～128g、第1の導電層124a、124c、124d、及び第2の導電層125a、125c、125dをマスクとして素子領域102a、102c、102dに不純物元素129を導入することによって不純物領域を形成する（図6（D）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素として、リン（P）を用いる。

30

【0278】

図6（D）においては、不純物元素129を導入することによって、素子領域102aにソース領域又はドレイン領域を形成する高濃度不純物領域130a、130bとチャネル形成領域135aが形成される。また、素子領域102cには、ソース領域又はドレイン領域を形成する高濃度不純物領域130c、130dとLDD領域を形成する低濃度不純物領域131a、131bとチャネル形成領域135bが形成される。また、素子領域102dには、ソース領域又はドレイン領域を形成する高濃度不純物領域130e、130fとLDD領域を形成する低濃度不純物領域131c、131dとチャネル形成領域135cが形成される。

40

【0279】

また、素子領域102cに形成される低濃度不純物領域131a、131bは、図6（D）において導入された不純物元素が浮遊ゲートとして機能する電荷蓄積層109を突き抜けることによって形成される。従って、素子領域102cにおいて、第2の導電層125c及び電荷蓄積層109の双方と重なる領域にチャネル形成領域135bが形成され、電荷蓄積層109と重なり第2の導電層125cと重ならない領域に低濃度不純物領域131a、131bが形成され、電荷蓄積層109及び第2の導電層125cの双方と重ならない領域に高濃度不純物領域130c、130dが形成される。

【0280】

50

次に、第2の絶縁層123、第3の絶縁層135、第1の導電層124a~124d及び第2の導電層125a~125dを覆うように絶縁層133を形成し、当該絶縁層133上に素子領域102a、102b、102c、102dにそれぞれ形成された高濃度不純物領域130a~130f、132a、132bと電氣的に接続する配線層136a、136b、136c、136d、136e、136f、136g、136hを形成する（図6（E）参照）。

【0281】

絶縁層133は、CVD法やスパッタ法等により、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x>y>0$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x>y>0$ ）等の酸素または窒素を有する絶縁層やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

10

【0282】

配線層136a~136hは、CVD法やスパッタリング法等により、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジウム（Nd）、炭素（C）、シリコン（Si）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線層136a~136hは、例えば、バリア膜とアルミニウムシリコン（Al-Si）膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン（Al-Si）膜と窒化チタン（TiN）膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線層136a~136hを形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

20

30

【0283】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。半導体層端部による段差が生じず、平坦な半導体層上に絶縁層が形成されるため、絶縁層の被覆性が向上する。従って、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層、ゲート電極層と半導体層のショート及びリーク電流などの不良が防止された信頼性の高い不揮発性半導体記憶装置である半導体装置、及びそのような半導体装置の作製方法を提供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

40

【0284】

本実施の形態は、本明細書で示した他の実施の形態と組み合わせて行うことができる。

【0285】

（実施の形態8）

本実施の形態では、半導体素子において絶縁層の被覆不良によるゲート電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とするCMOS回路及びメモリ素子を有する他の半導体装置の一例に関して図面を用いて説明する。本実施の形態における半導体装置の作製方法を、図7、図8を用いて詳細に説明する。本実施の形態は、実施の形態7の半導体装置において、ゲート電極層及び制御ゲート

50

ト電極層の形状が異なるものであり、なお、上記実施の形態と同じものを指す場合には同じ符号とし、説明を省略する。

【0286】

絶縁表面を有する基板100の上に下地膜として、下地膜として機能する絶縁層112a及び絶縁層112bを積層して形成する。

【0287】

次いで、下地膜上に半導体層150を形成する。半導体層150は25～200nm（好ましくは30～150nm）の厚さで各種手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜すればよい。本実施の形態では、非晶質半導体層を、レーザ結晶化し、結晶性半導体層とするものを用いるのが好ましい。

10

【0288】

このようにして得られた半導体層に対して、薄膜トランジスタのしきい値電圧を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。この不純物元素のドーピングは、結晶化工程の前の非晶質半導体層に行ってもよい。非晶質半導体層の状態で不純物元素をドーピングすると、その後の結晶化のための加熱処理によって、不純物の活性化も行うことができる。また、ドーピングの際に生じる欠陥等も改善することができる。

【0289】

マスクを除去し、半導体層150上に第1の絶縁層105を形成する。

【0290】

20

第1の絶縁層105は、半導体層に熱処理又はプラズマ処理等を行うことによって形成することができる。例えば、高密度プラズマ処理により当該半導体層に酸化処理、窒化処理又は酸窒化処理を行うことによって、当該半導体層上にそれぞれ酸化膜、窒化膜又は酸窒化膜となる第1の絶縁層105を形成する。なお、プラズマCVD法やスパッタ法により形成してもよい。

【0291】

例えば、半導体層としてSiを主成分とする半導体層を用いて高密度プラズマ処理により酸化処理又は窒化処理を行った場合、第1の絶縁層105として酸化珪素層又は窒化珪素層が形成される。また、高密度プラズマ処理により半導体層に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、半導体層に接して酸化珪素層が形成され、当該酸化珪素層の表面又は表面近傍に窒素プラズマ処理層が形成される。

30

【0292】

ここでは、第1の絶縁層105を1～10nm、好ましくは1～5nmで形成する。例えば、高密度プラズマ処理により半導体層に酸化処理を行い当該半導体層の表面に概略3nmの酸化珪素層を形成した後、高密度プラズマ処理により窒化処理を行い酸化珪素層の表面又は表面の近傍に窒素プラズマ処理層を形成する。具体的には、まず、酸素雰囲気下のプラズマ処理により半導体層上に3nm～6nmの厚さで酸化珪素層を形成する。その後、続けて窒素雰囲気下でプラズマ処理を行うことにより酸化珪素層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層を設ける。ここでは、窒素雰囲気下でプラズマ処理を行うことによって、酸化珪素層の表面から概略1nmの深さに窒素を20～50原子%の割合で含有させた構造とする。窒素プラズマ処理層には、酸素と窒素を含有した珪素（酸窒化珪素）が形成されている。また、このとき、高密度プラズマ処理による酸化処理と窒化処理は大気に一度も曝されることなく連続して行うことが好ましい。高密度プラズマ処理を連続して行うことによって、汚染物の混入の防止や生産効率の向上を実現することができる。

40

【0293】

本実施の形態において、メモリ部に設けられた半導体層上に形成される第1の絶縁層105は、後に完成する不揮発性メモリ素子において、トンネル絶縁層として機能する。従って、第1の絶縁層105の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高

50

速動作が可能となる。また、第1の絶縁層105の膜厚が薄いほど、後に形成される電荷蓄積層に低電圧で電荷を蓄積させることが可能となるため、半導体装置の消費電力を低減することができる。そのため、第1の絶縁層105は、膜厚を薄く形成することが好ましい。

【0294】

結晶性半導体層である半導体層に第1の絶縁層105を介して不純物元素を選択的に添加し、素子分離領域を形成する。素子分離領域によって半導体層は複数の素子領域に分離される。半導体層上に、マスク層103a、103b、103c、103dを形成し、導電性に寄与しない不純物元素104を添加する。導電性に寄与しない不純物元素104の添加によって、半導体層中に、素子分離領域101a、101b、101c、101d、101e、101f、101g、101h、当該素子分離領域によって絶縁分離された素子領域102a、102b、102c、102dが形成される（図7（B）参照。）。

10

【0295】

次に、半導体層上に、素子領域102a、102b、102c、102d、及び素子分離領域651c、651dを覆うマスク層652a、652b、652c、652dを形成し、第1の絶縁層105を介してp型を付与する不純物元素653を添加する。p型を付与する不純物元素653の添加によって、半導体層中に、p型不純物領域である素子分離領域101a、101b、101c、101d、101e、101fが形成される（図7（C）参照。）。

【0296】

次に、半導体層上に、素子領域102a、102b、102c、102d、及び素子分離領域101a、101b、101c、101e、101fを覆うマスク層654a、654b、654c、654dを形成し、第1の絶縁層105を介してn型を付与する不純物元素655を添加する。n型を付与する不純物元素655の添加によって、半導体層中に、n型不純物領域である素子分離領域656a、656bが形成される（図7（D）参照。）。

20

【0297】

本実施の形態では連続的な半導体層中に素子分離領域及び素子領域を設けているので、半導体層中に、素子分離領域101a、101b、101c、101d、101e、101f、656a、656b、当該素子分離領域によって絶縁分離された素子領域102a、102b、102c、102dは連続している。よって、その表面は平坦性が高く、急激な段差を有さない。

30

【0298】

半導体層150に、第1の絶縁層105を介して不純物元素をドーピング法などにより添加するので、不純物元素の添加の際の物理的なエネルギーを調節することができる。よって、半導体層が破壊などの損傷を受けない程度に添加エネルギーを緩和し、選択的に半導体層の結晶性を低下し素子分離領域を形成することができる。第1の絶縁層105は、不純物元素を導入し、素子分離領域及び素子領域を形成後、一度除去し、再び形成しなくてもよい。また再形成した絶縁層にプラズマ処理を行い、表面の緻密化を行ってもよい。

【0299】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。

40

【0300】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により（いわゆるスパッタ効果とも言える）結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能

50

しうる電界効果移動度を保っているため、素子領域として用いることができる。

【0301】

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域（例えばn型不純物領域又はp型不純物領域）である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間はさらに絶縁分離することができる。

10

【0302】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合によって、一つの半導体層を複数の素子領域に分離することを特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

20

【0303】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0304】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

【0305】

素子分離領域に添加する不純物元素としては、アルゴン (Ar)、ネオン (Ne)、クリプトン (Kr)、キセノン (Xe) などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

30

【0306】

第1の絶縁層105は平坦性の高い半導体層上に形成されるため、被覆性がよく、形状不良も生じにくい。よって、第1の絶縁層105上に形成される電荷蓄積層106と素子領域102cにおいてリーク電流やショートなどの不良を防止することができる。よって本実施の形態の不揮発性半導体記憶装置である半導体装置は第1の絶縁層の被覆不良による電荷蓄積層、後で形成する制御ゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い半導体装置とすることができる。

40

【0307】

第1の絶縁層105上に電荷蓄積層106を形成する（図7（E）参照。）。

【0308】

電荷蓄積層106にはシリコン、シリコン化合物、ゲルマニウム、又はゲルマニウム化合物を用いて形成することができる。シリコン化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを10原子%以上の濃度で含むシリコンゲルマニウム、金属窒化物、金属酸化物などを適用することができる。ゲルマニウム化合物の代表例としては、シリコンゲルマニウムであり、この場合シリコンに対してゲルマニウムが10原子%以上含まれていることが好ましい。ゲルマニウムの濃度が10原子%以下であると

50

、構成元素としての効果が薄れ、バンドギャップが有効に小さくならないためである。

【0309】

電荷蓄積層106は電荷を蓄積する目的で、本発明に係る半導体装置に適用されるが、同様の機能を備えるものであれば他の材料を適用することもできる。例えば、ゲルマニウムを含む三元系の半導体であっても良い。また、当該半導体材料が水素化されていても良い。また、不揮発性メモリ素子の電荷蓄積層としての機能を持つものとして、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物の層で置き換えることもできる。

【0310】

また、電荷蓄積層106を形成するものとして、金属窒化物又は金属酸化物を用いることができる。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンなどを用いることができる。金属酸化物としては、酸化タンタル、酸化チタン、酸化スズなどを用いることができる。

10

【0311】

また上記あげた材料の積層構造によって電荷蓄積層106を形成しても良い。上記したシリコン若しくはシリコン化合物、金属窒化物又は金属酸化物の層は、ゲルマニウム若しくはゲルマニウム化合物で形成される層の上層側に設けると、製造工程においては、耐水性や耐薬品性を目的としたバリア層として用いることができる。それにより、フォトリソ工程、エッチング工程、洗浄工程における基板の扱いが容易となり、生産性を向上させることができる。すなわち、電荷蓄積層の加工を容易なものとすることができる。

20

【0312】

第1の絶縁層105及び電荷蓄積層106を所望の形状に加工して、メモリ素子として用いる素子領域102c上に第1の絶縁層107及び電荷蓄積層108を形成する(図7(F)参照。)。さらに電荷蓄積層108上にマスク層120を形成し、マスク層120を用いて電荷蓄積層108を選択的にエッチング処理することにより電荷蓄積層109を形成する(図8(A)参照)。

【0313】

次に、素子領域102dと、素子領域102cの上方に形成された第1の絶縁層107と電荷蓄積層109を覆うように第2の絶縁層123を形成する。

【0314】

なお、素子領域102cの上方に形成された第2の絶縁層123は、後に完成する不揮発性メモリ素子においてコントロール絶縁層として機能し、素子領域102dの上方に形成された第2の絶縁層123は、後に完成するトランジスタにおいてゲート絶縁層として機能する。

30

【0315】

次に、素子領域102a、102bを覆うように第3の絶縁層135を形成する。

【0316】

次に、半導体層において素子領域102a、102bの上方に形成された第3の絶縁層135、素子領域102c、102dの上方に形成された第2の絶縁層123を覆うように導電膜を形成する。ここでは、導電膜として、第1の導電膜と第2の導電膜を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

40

【0317】

次に、積層して設けられた第1の導電膜及び第2の導電膜を選択的にエッチングして除去することによって、半導体層中の素子領域102a、102b、102c、102dの上方の一部に第1の導電膜及び第2の導電膜を残存させ、それぞれゲート電極層として機能する第1の導電層154a、154b、154c、154d、第2の導電層155a、155b、155c、155dを形成する(図8(B)参照)。なお、メモリ部に設けられた素子領域102cの上方に形成される第1の導電層154c及び第2の導電層155cは、後に完成する不揮発性メモリ素子において制御ゲート電極層として機能する。また、

50

第1の導電層154a、154b、154d、第2の導電層155a、155b、155dは、後に完成するトランジスタにおいてゲート電極層として機能する。

【0318】

次に、素子領域102a、102c、102dを覆うようにマスク層156a、156b、156c、156d、156eを選択的に形成し、当該マスク層156a～156e、第1の導電層154b及び第2の導電層155bをマスクとして素子領域102bに不純物元素157を導入することによって不純物領域を形成する（図8（C）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素（例えば、ボロン（B））を導入する。その結果、素子領域102bにソース領域又はドレイン領域を形成する高濃度不純物領域162a、162b、LDD領域を形成する低濃度不純物領域164a、164bとチャネル形成領域165が形成される。

10

【0319】

次に、素子領域102bを覆うようにマスク層158a、158b、158c、158d、158e、158f、158gを選択的に形成し、当該マスク層158a～158g、第1の導電層154a、154c、154d、及び第2の導電層155a、155c、155dをマスクとして素子領域102a、102c、102dに不純物元素159を導入することによって不純物領域を形成する（図8（D）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素として、リン（P）を用いる。

20

【0320】

図8（D）においては、不純物元素を導入することによって、素子領域102aにソース領域又はドレイン領域を形成する高濃度不純物領域160a、160b、LDD領域を形成する低濃度不純物領域161e、161fとチャネル形成領域167aが形成される。また、素子領域102cには、ソース領域又はドレイン領域を形成する高濃度不純物領域160c、160dとLDD領域を形成する低濃度不純物領域161a、161bとチャネル形成領域167bが形成される。また、素子領域102dには、ソース領域又はドレイン領域を形成する高濃度不純物領域160e、160fとLDD領域を形成する低濃度不純物領域161c、161dとチャネル形成領域167cが形成される。

30

【0321】

次に、第2の絶縁層123、第3の絶縁層135、第1の導電層154a～154d及び第2の導電層155a～155dを覆うように絶縁層163を形成し、当該絶縁層163上に素子領域102a、102b、102c、102dにそれぞれ形成された高濃度不純物領域160a～160f、162a、162bと電氣的に接続する配線層166a、166b、166c、166d、166e、166f、166g、166hを形成する（図8（E）参照）。

40

【0322】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。半導体層端部による段差が生じず、平坦な半導体層上に絶縁層が形成されるため、絶縁層の被覆性が向上する。従って、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層、又はゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い不揮発性半導体記憶装置である半導体装置、及びそのような半導体装置の作製方法を提供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

50

【0323】

本実施の形態は、本明細書で示した他の実施の形態と組み合わせて行うことができる。

【0324】

(実施の形態9)

本実施の形態では、半導体素子において絶縁層の被覆不良によるゲート電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とするCMOS回路及びメモリ素子を有する他の半導体装置の一例に関して図面を用いて説明する。本実施の形態における半導体装置の作製方法を、図9、図10を用いて詳細に説明する。本実施の形態は、実施の形態7の半導体装置において、第1の絶縁層及び第2の絶縁層の形状が異なるものであり、なお、上記実施の形態と同じものを指す場合には同じ符号とし、説明を省略する。

10

【0325】

実施の形態9において図6(B)の状態まで本実施の形態におけるCMOS回路及びメモリ素子を有する半導体装置を作製する。

【0326】

図9(A)に示すように、素子領域102a、102c、102dを覆うようにマスク層170a、170b、170c、170d、170eを選択的に形成し、当該マスク層170a~170e、第1の導電層154b及び第2の導電層155bをマスクとして素子領域102bに不純物元素171を導入することによって不純物領域を形成する(図9(A)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素(例えば、ボロン(B))を導入する。その結果、素子領域102bに不純物領域172a、172bが形成される。

20

【0327】

次に、素子領域102bを覆うようにマスク層173a、173b、173c、173d、173e、173f、173gを選択的に形成し、当該マスク層173a~173g、第1の導電層154a、154c、154d、及び第2の導電層155a、155c、155dをマスクとして素子領域102a、102c、102dに不純物元素174を導入することによって不純物領域を形成する(図9(B)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、リン(P)を用いる。

30

【0328】

図9(B)においては、不純物元素174を導入することによって、素子領域102aに不純物領域175a、175bが形成される。また、素子領域102cには、不純物領域175c、175dが形成される。また、素子領域102dには、不純物領域175e、175fが形成される。

40

【0329】

次に、第1の導電層154a~154d、第2の導電層155a~155dをマスクとして第1の絶縁層107、第2の絶縁層123、第3の絶縁層135を選択的にエッチングし、絶縁層188a、188b、絶縁層189a、189b、189cを形成する。第1の導電層154a~154d、第2の導電層155a~155d、電荷蓄積層109、絶縁層188a、188b、及び絶縁層189a~189cの側面に接する絶縁層(サイドウォールとも呼ばれる)176a、176b、176c、176d、176e、176f、176g、176hを形成する。

【0330】

図10(A)に示すように、素子領域102a、102c、102dを覆うようにマス

50

ク層178a、178b、178c、178d、178eを選択的に形成し、当該マスク層178a～178e、第1の導電層154b、第2の導電層155b、及び絶縁層176c、176d、189aをマスクとして素子領域102bに不純物元素179を導入することによって不純物領域を形成する（図10（A）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素（例えば、ボロン（B））を導入する。その結果、素子領域102bにソース領域又はドレイン領域を形成する高濃度不純物領域180a、180b、LDD領域を形成する低濃度不純物領域187a、187bとチャネル形成領域169が形成される。

10

【0331】

次に、素子領域102bを覆うようにマスク層181a、181b、181c、181d、181e、181f、181gを選択的に形成し、当該マスク層181a～181g、第1の導電層154a、154c、154d、第2の導電層155a、155c、155d、絶縁層176a、176b、176e、176f、176g、176hをマスクとして素子領域102a、102c、102dに不純物元素182を導入することによって不純物領域を形成する（図10（B）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素として、リン（P）を用いる。

20

【0332】

図10（B）においては、不純物元素を導入することによって、素子領域102aにソース領域又はドレイン領域を形成する高濃度不純物領域183a、183b、LDD領域を形成する低濃度不純物領域184a、184bとチャネル形成領域198aが形成される。また、素子領域102cには、ソース領域又はドレイン領域を形成する高濃度不純物領域183c、183dとLDD領域を形成する低濃度不純物領域184c、184dとチャネル形成領域198bが形成される。また、素子領域102dには、ソース領域又はドレイン領域を形成する高濃度不純物領域183e、183fとLDD領域を形成する低濃度不純物領域184e、184fとチャネル形成領域198cが形成される。

30

【0333】

次に、第1の導電層154a～154d及び第2の導電層155a～155d、絶縁層176a～176hを覆うように絶縁層199、186を形成し、当該絶縁層199、186上に素子領域102a、102b、102c、102dにそれぞれ形成された高濃度不純物領域183a～183f、180a、180bと電氣的に接続する配線層185a、185b、185c、185d、185e、185f、185g、185hを形成する（図10（C）参照）。

【0334】

本実施の形態の半導体素子においても、半導体層中に第1及び第2の不純物元素を含む素子分離領域を形成し、素子分離された素子領域を用いている。

40

【0335】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。

【0336】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により（いわゆるスパッタ効果とも言える）結晶性が低下するため高

50

抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

【0337】

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域（例えばn型不純物領域又はp型不純物領域）である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間はさらに絶縁分離することができる。

10

【0338】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合によって、一つの半導体層を複数の素子領域に分離することを特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

20

【0339】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0340】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

30

【0341】

素子分離領域に添加する不純物元素としては、アルゴン（Ar）、ネオン（Ne）、クリプトン（Kr）、キセノン（Xe）などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

【0342】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。半導体層端部による段差が生じず、平坦な半導体層上に絶縁層が形成されるため、絶縁層の被覆性が向上する。従って、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層、又はゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い不揮発性半導体記憶装置である半導体装置、及びそのような半導体装置の作製方法を提供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

40

【0343】

本実施の形態は、本明細書で示した他の実施の形態と組み合わせて行うことができる。

【0344】

（実施の形態10）

50

本実施の形態では、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とする半導体装置として他の不揮発性半導体記憶装置の一例に関して図面を用いて説明する。

【0345】

実施の形態2乃至9で示したメモリ素子は電荷蓄積層として金属、又は半導体材料を用いる例を示した。本実施の形態では、電荷蓄積層として絶縁層、又は導電性粒子又はシリコン、ゲルマニウム等の半導体粒子を含む絶縁層を用いる。

【0346】

電荷蓄積層は電荷を蓄積する目的で、本発明に係る不揮発性半導体記憶装置に適用されるが、同様の機能を備えるものであれば他の材料を適用することもできる。膜中に電荷をトラップする欠陥を有している絶縁層、又は導電性粒子又はシリコン（珪素ともいう）、ゲルマニウム等の半導体粒子を含む絶縁層で形成することができる。このような材料の代表例として、代表的にはシリコン化合物、ゲルマニウム化合物がある。シリコン化合物としては酸素が添加された窒化シリコン、窒素が添加された酸化シリコン、酸素及び水素が添加された窒化シリコン、窒素及び水素が添加された酸化シリコン、ゲルマニウム化合物としては、窒化ゲルマニウム、酸化ゲルマニウム、酸素が添加された窒化ゲルマニウム、窒素が添加された酸化ゲルマニウム、酸素及び水素が添加された窒化ゲルマニウム、窒素及び水素が添加された酸化ゲルマニウム等がある。また、電荷蓄積層にゲルマニウム粒子やシリコンゲルマニウム粒子が含まれていてもよい。

【0347】

本実施の形態のメモリ素子においても、半導体層中に第1及び第2の不純物元素を含む素子分離領域を形成し、絶縁分離された素子領域を用いている。

【0348】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。

【0349】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により（いわゆるスパッタ効果とも言える）結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

【0350】

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域（例えばn型不純物領域又はp型不純物領域）である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間はさらに絶縁分離することができる。

【0351】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合の連続（繰り返し）によって、一つの半導体層を複数の素子領域に分離することを特徴と

する。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

【0352】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0353】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

10

【0354】

素子分離領域に添加する不純物元素としては、アルゴン (Ar)、ネオン (Ne)、クリプトン (Kr)、キセノン (Xe) などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

【0355】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。半導体層端部による段差が生じず、平坦な半導体層上に絶縁層が形成されるため、絶縁層の被覆性が向上する。従って、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層と半導体層とのショート及びリーク電流などの不良が防止された信頼性の高い不揮発性半導体記憶装置である半導体装置、及びそのような半導体装置の作製方法を提供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

20

【0356】

本実施の形態は、本明細書で示した他の実施の形態と組み合わせて行うことができる。

30

【0357】

(実施の形態11)

本実施の形態では、半導体素子において絶縁層の被覆不良によるゲート電極層と半導体層とのショート及びリーク電流などの不良を防止し、より高信頼性を付与することを目的とする半導体装置の一例に関して図面を用いて説明する。

【0358】

実施の形態1乃至10では絶縁表面を有する基板上に半導体層を設ける例を示したが、本実施の形態では、これらの薄膜プロセスの代わりとしてSi等の半導体基板、又はSOI基板を用いる例を示す。

【0359】

絶縁表面に単結晶半導体層を形成したSOI (Silicon on Insulator) 基板はウェハの貼り合わせによる方法や酸素イオンをSi基板内に打ち込むことにより内部に絶縁層を形成するSIMOXと呼ばれる方法を用いて形成することができる。

40

【0360】

本実施の形態のメモリ素子においても、半導体層中に第1及び第2の不純物元素を含む素子分離領域を形成し、素子分離された素子領域を用いている。

【0361】

素子分離領域は、一つの半導体層において、素子間を電氣的に分離するために、選択的に導電性に寄与しない第1の不純物元素及び素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素を添加して形成する。

50

【0362】

導電性に寄与しない第1の不純物元素としては、酸素、窒素、及び炭素のうち少なくとも一種以上の不純物元素を用いることができる。第1の不純物元素を添加した素子分離領域は、導電性に寄与しない第1の不純物元素の混入により導電性が低下し、また添加時の半導体層へ物理的衝撃により（いわゆるスパッタ効果とも言える）結晶性が低下するため高抵抗化する。高抵抗化した素子分離領域においては、電界効果移動度も低下するため素子間を電氣的に分離することができ、一方、不純物元素を添加しない領域は素子として機能しうる電界効果移動度を保っているため、素子領域として用いることができる。

【0363】

また、素子領域はソース領域、ドレイン領域、及びチャネル形成領域を有する。ソース領域及びドレイン領域は一導電型を有する不純物領域（例えばn型不純物領域又はp型不純物領域）である。素子領域におけるソース領域及びドレイン領域の導電型と逆導電型を付与する不純物元素を素子分離領域に添加し、素子分離領域を隣接する素子領域におけるソース領域及びドレイン領域と逆導電型の不純物領域とする。つまり、素子領域におけるソース領域及びドレイン領域がn型不純物領域である場合、隣接する素子分離領域をp型不純物領域とし、同様に素子領域におけるソース領域及びドレイン領域がp型不純物領域である場合、隣接する素子分離領域をn型不純物領域とすればよい。隣り合う素子領域及び素子分離領域はPN接合を形成する。従って、素子領域間に設けられた素子分離領域によって、素子領域間はさらに絶縁分離することができる。

【0364】

本発明は、素子領域間を絶縁分離する素子分離領域を導電性に寄与しない第1の不純物元素添加による高抵抗化、さらに素子領域におけるソース領域及びドレイン領域と逆導電型を付与する第2の不純物元素添加による素子領域及び素子分離領域接点におけるPN接合の連続（繰り返し）によって、一つの半導体層を複数の素子領域に分離することの特徴とする。本発明は第1の不純物元素及び第2の不純物元素のそれぞれがもたらす効果によって、素子領域間を素子分離することができるため、より高い素子の絶縁分離効果を得ることができる。

【0365】

素子分離領域の抵抗率は、 $1 \times 10^{10} \Omega \cdot \text{cm}$ 以上が好ましく、酸素、窒素、炭素などの不純物元素の濃度は、 $1 \times 10^{20} \text{cm}^{-3}$ 以上 $4 \times 10^{22} \text{cm}^{-3}$ 未満が好ましい。

【0366】

素子分離領域は、不純物元素の添加により結晶性が低下しているため、非晶質化しているともいえる。一方、素子領域は結晶性半導体層なので、素子領域に半導体素子を形成する場合、そのチャネル形成領域の結晶性は、素子分離領域より高く半導体素子として高い電界効果移動度を得ることができる。

【0367】

素子分離領域に添加する不純物元素としては、アルゴン（Ar）、ネオン（Ne）、クリプトン（Kr）、キセノン（Xe）などの希ガス元素も用いてもよい。酸素、窒素、及び炭素の他に、比較的質量の大きな元素であるこれらの希ガス元素を更に添加すると、半導体層への物理的衝撃を大きくすることができるため、より効果的に素子分離領域の結晶性を低下させることができる。

【0368】

よって、本発明を用いると、半導体層を島状に分割することなく、複数の素子領域に分離することができる。また、高温の加熱処理を行わないため素子分離領域の体積膨張も生じず、半導体層（又は半導体基板）表面の平坦性が良好に保たれる。半導体層端部による段差が生じず、平坦な半導体層上に絶縁層が形成されるため、絶縁層の被覆性が向上する。従って、絶縁層の被覆不良による電荷蓄積層、制御ゲート電極層、ゲート電極層と半導体層のショート及びリーク電流などの不良が防止された信頼性の高い不揮発性半導体記憶装置である半導体装置、及びそのような半導体装置の作製方法を、複雑な工程を行わずに提

10

20

30

40

50

供することができる。よって、半導体装置において、さらなる微細化、高集積化を行うことが可能となり、半導体装置の高性能化を達成することができる。また、そのような膜の形状不良による不良が軽減されるので、作製工程においても歩留まりよく生産することができる。

【0369】

本実施の形態は、本明細書で示した他の実施の形態と組み合わせて行うことができる。

【0370】

(実施の形態12)

本実施の形態では、上述した本発明を用いて形成された不揮発性半導体記憶装置などを備えた非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFIDタグ、IDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグまたは無線チップともよばれる。

【0371】

半導体装置800は、非接触でデータを交信する機能を有し、高周波回路810、電源回路820、リセット回路830、クロック発生回路840、データ復調回路850、データ変調回路860、他の回路の制御を行う制御回路870、記憶回路880およびアンテナ890を有している(図22(A))。高周波回路810はアンテナ890より信号を受信して、データ変調回路860より受信した信号をアンテナ890から出力する回路であり、電源回路820は受信信号から電源電位を生成する回路であり、リセット回路830はリセット信号を生成する回路であり、クロック発生回路840はアンテナ890から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路850は受信信号を復調して制御回路870に出力する回路であり、データ変調回路860は制御回路870から受信した信号を変調する回路である。また、制御回路870としては、例えばコード抽出回路910、コード判定回路920、CRC判定回路930および出力ユニット回路940が設けられている。なお、コード抽出回路910は制御回路870に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路920は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC判定回路930は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

【0372】

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ890により無線信号が受信される。無線信号は高周波回路810を介して電源回路820に送られ、高電源電位(以下、VDDと記す)が生成される。VDDは半導体装置800が有する各回路に供給される。また、高周波回路810を介してデータ復調回路850に送られた信号は復調される(以下、復調信号)。さらに、高周波回路810を介してリセット回路830およびクロック発生回路840を通った信号及び復調信号は制御回路870に送られる。制御回路870に送られた信号は、コード抽出回路910、コード判定回路920およびCRC判定回路930等によって解析される。そして、解析された信号にしたがって、記憶回路880内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路940を通して符号化される。さらに、符号化された半導体装置800の情報はデータ変調回路860を通して、アンテナ890により無線信号に載せて送信される。なお、半導体装置800を構成する複数の回路においては、低電源電位(以下、VSS)は共通であり、VSSはGNDとすることができる。また、本発明を用いて形成された不揮発性半導体記憶装置などを記憶回路880に適用することができる。

【0373】

このように、リーダ/ライタから半導体装置800に信号を送り、当該半導体装置800から送られてきた信号をリーダ/ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

【0374】

また、半導体装置800は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【0375】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部3210を含む携帯端末の側面には、リーダ／ライタ3200が設けられ、品物3220の側面には半導体装置3230が設けられる（図22（B））。品物3220に設けられた半導体装置3230にリーダ／ライタ3200をかざすと、表示部3210に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品3260をベルトコンベアにより搬送する際に、リーダ／ライタ3240と、商品3260に設けられた半導体装置3250を用いて、該商品3260の検品を行うことができる（図22（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

10

【0376】

また、本発明を用いて形成された半導体装置である不揮発性半導体記憶装置などは、メモリを具備したあらゆる分野の電子機器に用いることが可能である。例えば、本発明の不揮発性半導体記憶装置を適用した電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD（digital versatile disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図23に示す。

20

【0377】

図23（A）、（B）は、デジタルカメラを示している。図23（B）は、図23（A）の裏側を示す図である。このデジタルカメラは、筐体2111、表示部2112、レンズ2113、操作キー2114、シャッター2115などを有する。また、取り出し可能な不揮発性のメモリ2116を備えており、当該デジタルカメラで撮影したデータをメモリ2116に記憶させておく構成となっている。本発明を用いて形成された半導体装置である不揮発性半導体記憶装置などは当該メモリ1225に適用することができる。

30

【0378】

また、図23（C）は、携帯電話を示しており、携帯端末の1つの代表例である。この携帯電話は筐体2121、表示部2122、操作キー2123などを含む。また、携帯電話は、取り出し可能な不揮発性のメモリ2125を備えており、当該携帯電話の電話番号等のデータ、映像、音楽データ等をメモリ2125に記憶させ再生することができる。本発明を用いて形成された半導体装置である不揮発性半導体記憶装置などは当該メモリ2125に適用することができる。

【0379】

また、図23（D）は、デジタルプレーヤーを示しており、オーディオ装置の1つの代表例である。図23（D）に示すデジタルプレーヤーは、本体2130、表示部2131、メモリ部2132、操作部2133、イヤホン2134等を含んでいる。なお、イヤホン2134の代わりにヘッドホンや無線式イヤホンを用いることができる。メモリ部2132は、本発明を用いて形成された半導体装置である不揮発性半導体記憶装置などを用いることができる。例えば、記録容量が20～200ギガバイト（GB）のNAND型不揮発性メモリを用い、操作部2133を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、表示部2131は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型のオーディオ装置において特に有効である。なお、メモリ部2132に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成として

40

50

もよい。

【0380】

また、図23(E)は、電子ブック(電子ペーパーともいう)を示している。この電子ブックは、本体2141、表示部2142、操作キー2143、メモリ部2144を含んでいる。またモデムが本体2141に内蔵されていてもよいし、無線で情報を送受信できる構成としてもよい。メモリ部2144は、本発明を用いて形成された半導体装置である不揮発性半導体記憶装置などを用いることができる。例えば、記録容量が20~200ギバイト(GB)のNAND型不揮発性メモリを用い、操作キー2143を操作することにより、映像や音声(音楽)を記録、再生することができる。なお、メモリ部2144に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

10

【0381】

以上の様に、本発明の半導体装置(特に本発明を用いて形成された半導体装置である不揮発性半導体記憶装置など)の適用範囲は極めて広く、メモリを有するものなど広い分野の電子機器に用いることが可能である。

【0382】

(実施の形態13)

本発明によりプロセッサ回路を有するチップ(以下、プロセッサチップ、無線チップ、無線プロセッサ、無線メモリ、無線タグともよぶ)として機能する半導体装置を形成することができる。本発明の半導体装置の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、証券類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。

20

【0383】

本発明を用いたメモリ素子を有する半導体装置は、自由に様々な基板に転置することができるため、安価な材料を基板として選択することもでき、用途に合わせて広い機能を持たせることができるだけでなく、低コストで半導体装置を作製することができる。よって、本発明によりプロセッサ回路を有するチップも安価、小型、薄型、軽量という特徴を有しているので、多く流通する貨幣、硬貨などや、持ち運ぶことの多い書籍、身の回り品、衣類などに好適である。

【0384】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの(金券)、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指し、プロセッサ回路を有するチップ190を設けることができる(図21(A)参照)。証券類とは、運転免許証、住民票等を指し、プロセッサ回路を有するチップ191を設けることができる(図21(B)参照)。身の回り品とは、靴、眼鏡等を指し、プロセッサ回路を有するチップ197を設けることができる(図21(C)参照)。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指し、プロセッサ回路を有するチップ193を設けることができる(図21(D)参照)。書籍類とは、書物、本等を指し、プロセッサ回路を有するチップ194を設けることができる(図21(E)参照)。記録媒体とは、DVDソフト、ビデオテープ等を指し、プロセッサ回路を有するチップ195を設けることができる(図21(F)参照)。乗物類とは、自転車等の車両、船舶等を指し、プロセッサ回路を有するチップ196を設けることができる(図21(G)参照)。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(テレビ受像機、薄型テレビ受像機)、携帯電話等を指す。

30

40

【0385】

本発明の半導体装置は、プリント基板に実装する、表面に貼る、埋め込むなどによって、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら

50

当該有機樹脂に埋め込んだりして、各物品に固定される。本発明の半導体装置は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明の半導体装置を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【図面の簡単な説明】

【0386】

【図1】本発明の半導体装置の上面図及び断面図を説明する図。

10

【図2】本発明の半導体装置の上面図及び断面図を説明する図。

【図3】本発明の半導体装置の断面図を説明する図。

【図4】本発明の半導体装置の上面図及び断面図を説明する図。

【図5】本発明の半導体装置の作製方法を説明する図。

【図6】本発明の半導体装置の作製方法を説明する図。

【図7】本発明の半導体装置の作製方法を説明する図。

【図8】本発明の半導体装置の作製方法を説明する図。

【図9】本発明の半導体装置の作製方法を説明する図。

【図10】本発明の半導体装置の作製方法を説明する図。

【図11】本発明の半導体装置の上面図及び断面図を説明する図。

20

【図12】半導体装置の等価回路の一例を示す図。

【図13】半導体装置の等価回路の一例を示す図。

【図14】半導体装置の等価回路の一例を示す図。

【図15】本発明の半導体装置の上面図を説明する図。

【図16】本発明の半導体装置の断面図を説明する図。

【図17】本発明の半導体装置の上面図を説明する図。

【図18】本発明の半導体装置の断面図を説明する図。

【図19】半導体装置の回路ブロック図の一例を示す図。

【図20】本発明の半導体装置の上面図を説明する図。

【図21】本発明の半導体装置の適用例を説明する図。

30

【図22】本発明の半導体装置の適用例を説明する図。

【図23】本発明の半導体装置の適用例を説明する図。

【図24】半導体装置の書き込み動作を説明する図。

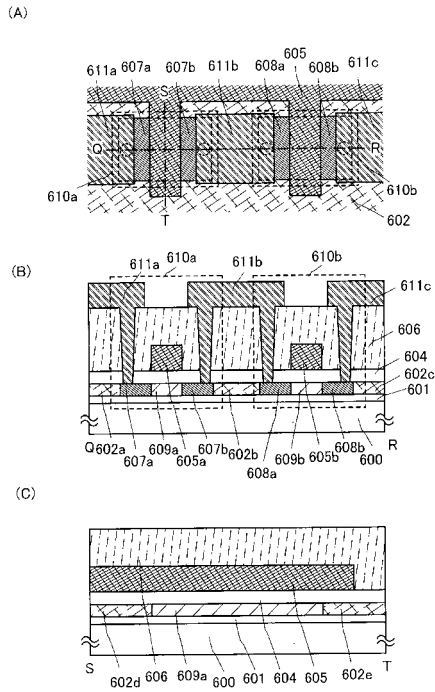
【図25】半導体装置の消去及び読み出し動作を説明する図。

【図26】本発明の半導体装置の上面図及び断面図を説明する図。

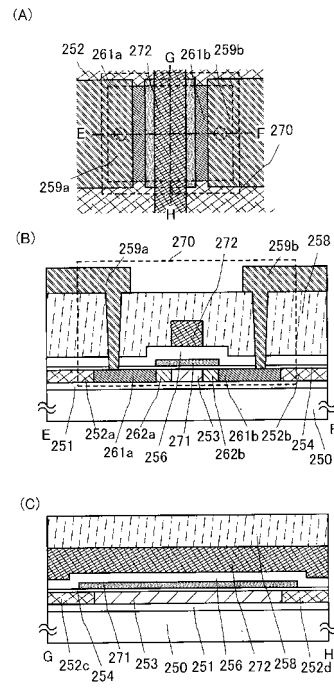
【図27】本発明の半導体装置の上面図及び断面図を説明する図。

【図28】本発明の半導体装置の断面図を説明する図。

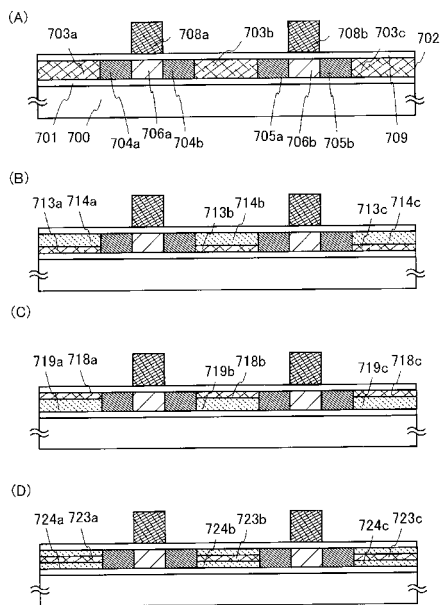
【図 1】



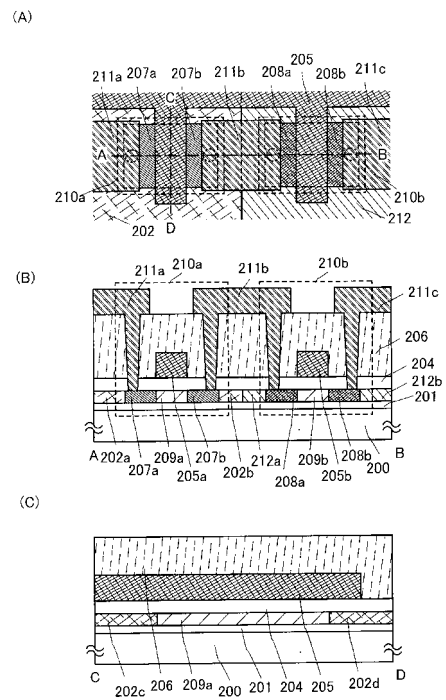
【図 2】



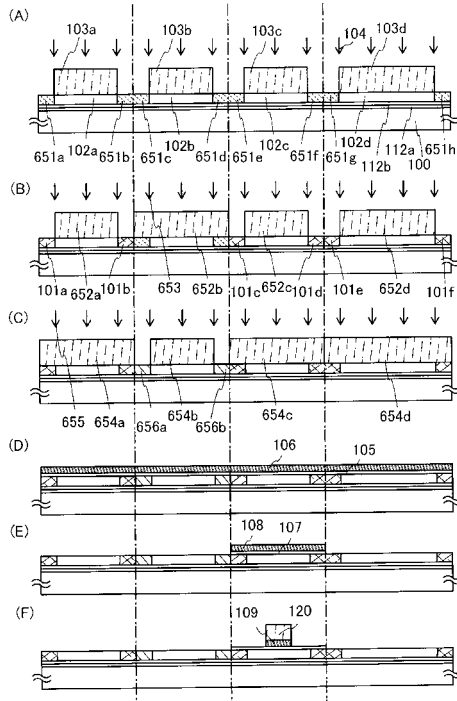
【図 3】



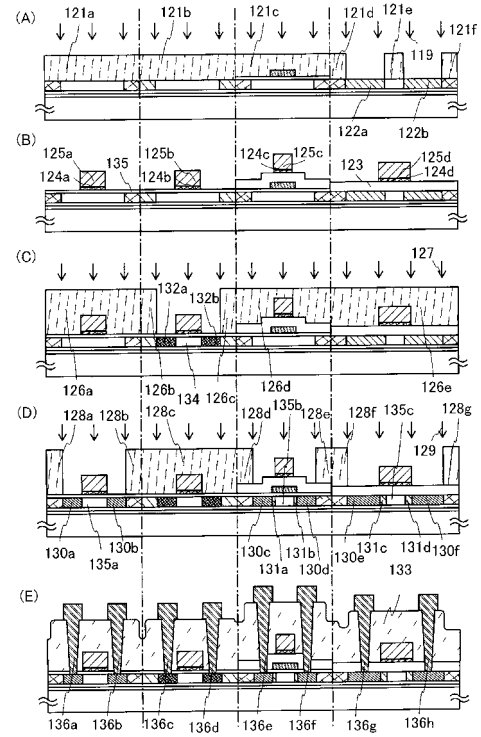
【図 4】



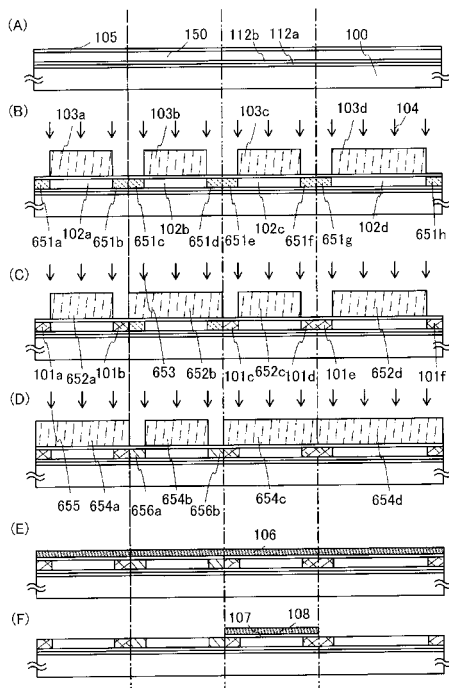
【図 5】



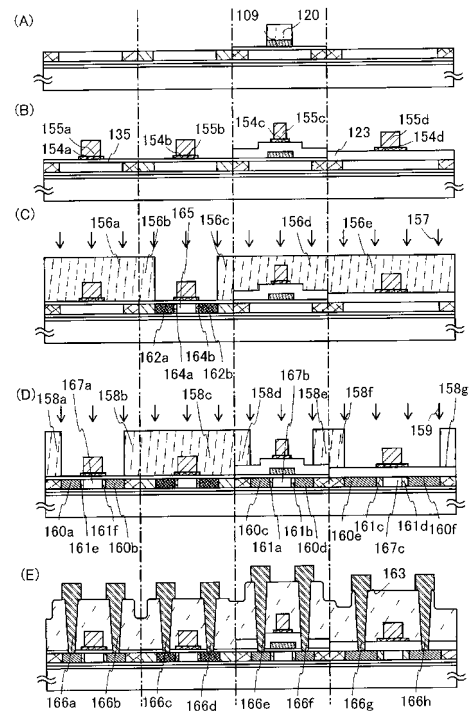
【図 6】



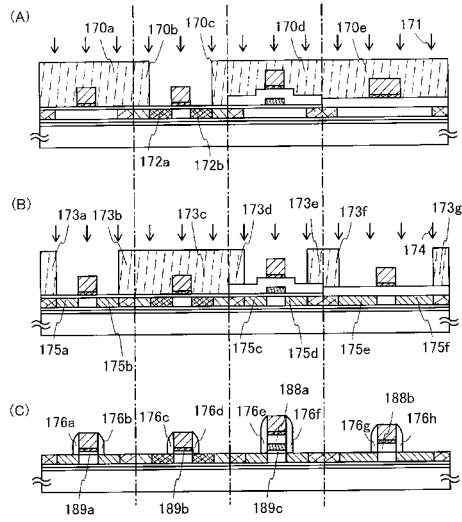
【図 7】



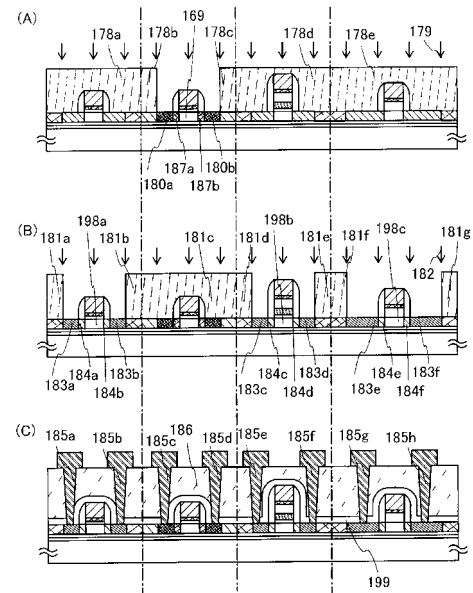
【図 8】



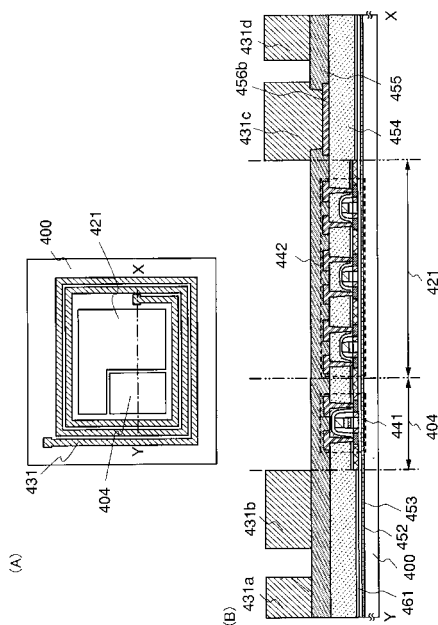
【図 9】



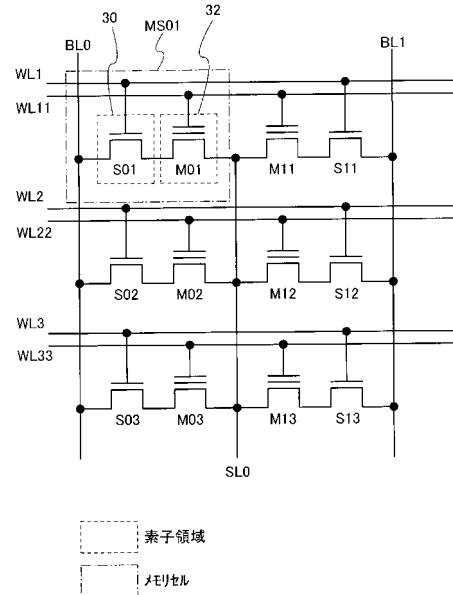
【図 10】



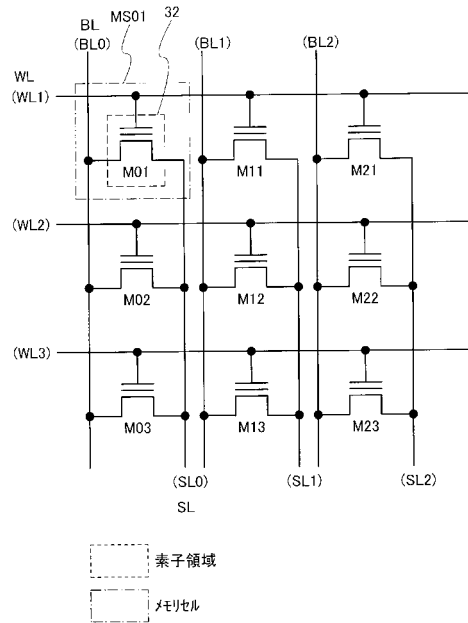
【図 11】



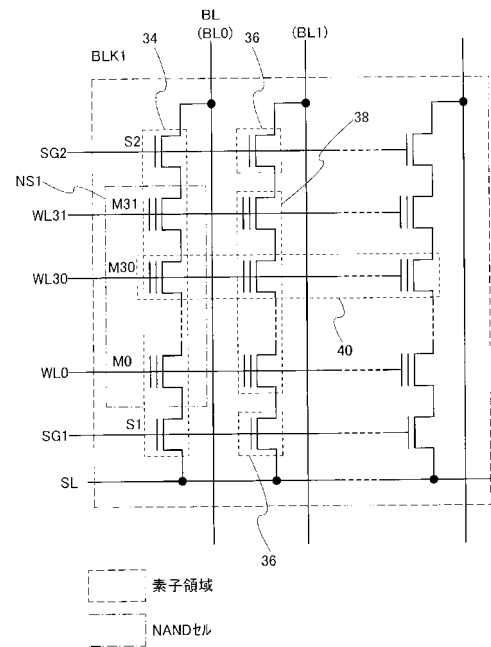
【図 12】



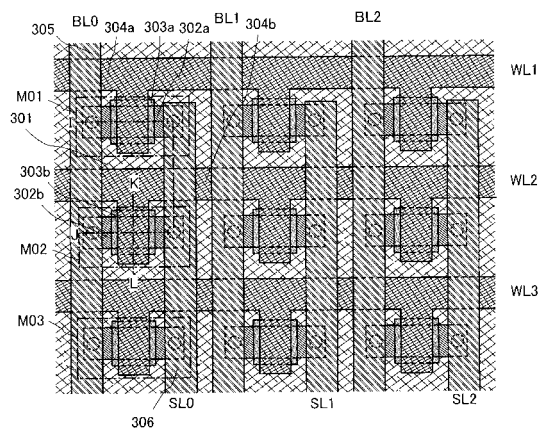
【図 13】



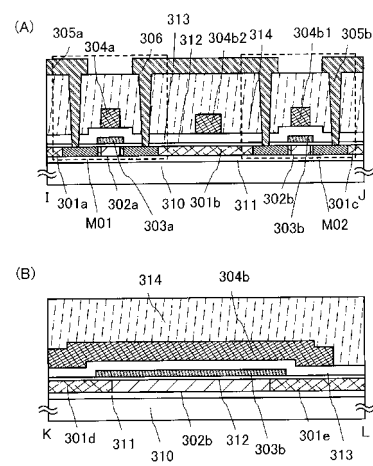
【図 14】



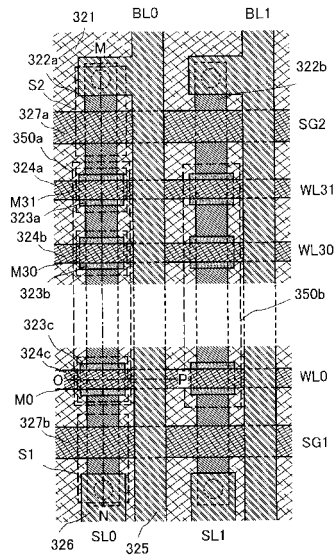
【図 15】



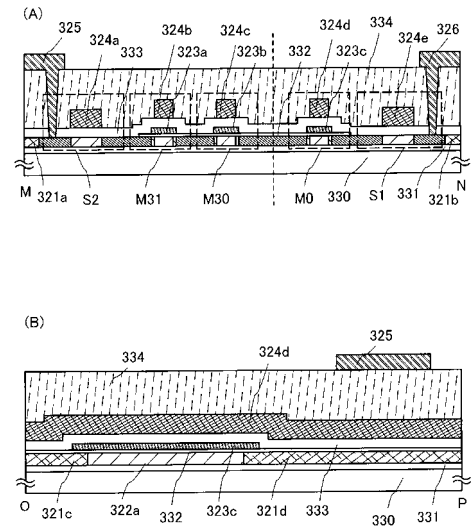
【図 16】



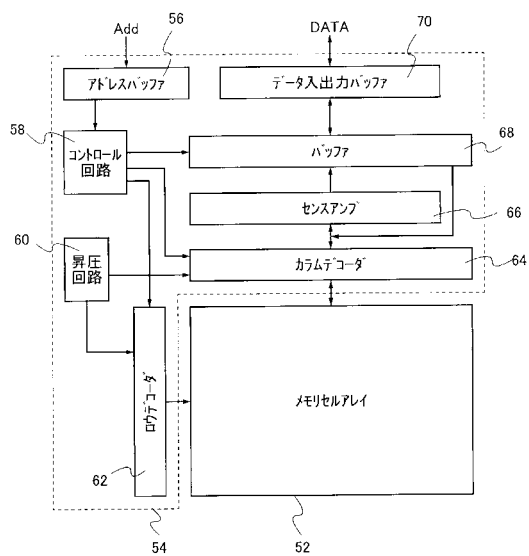
【図 17】



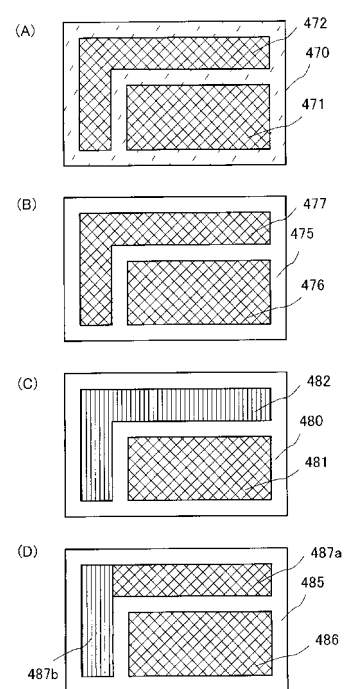
【図 18】



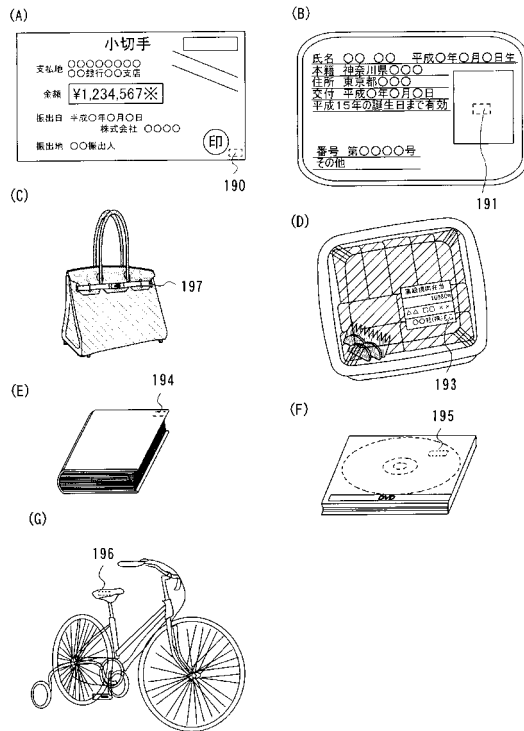
【図 19】



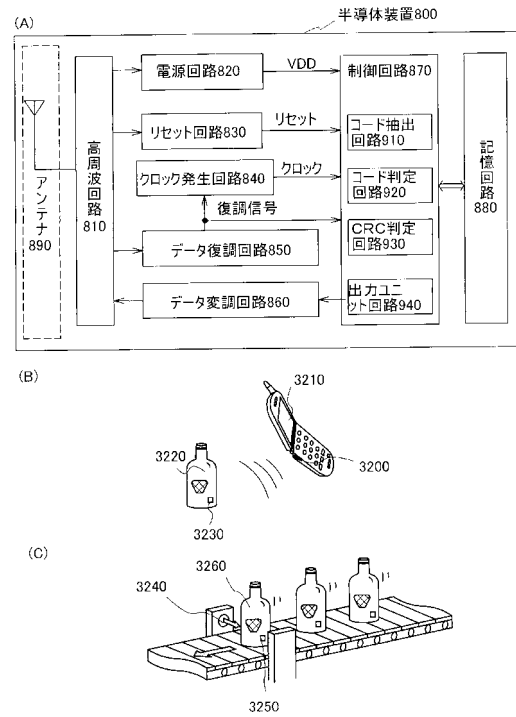
【図 20】



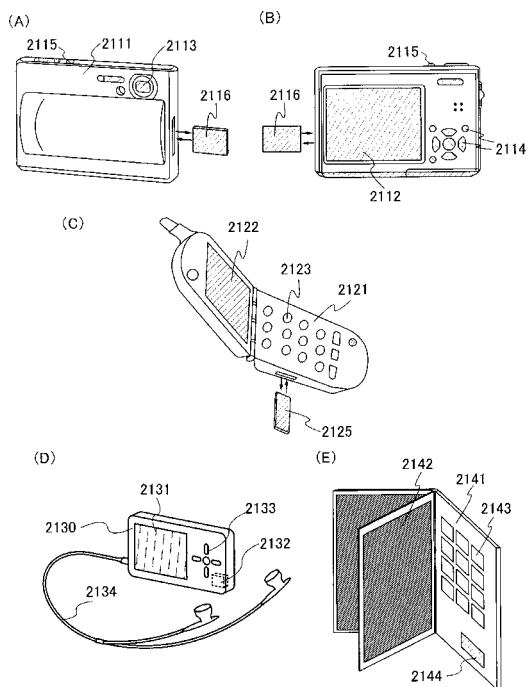
【図 2 1】



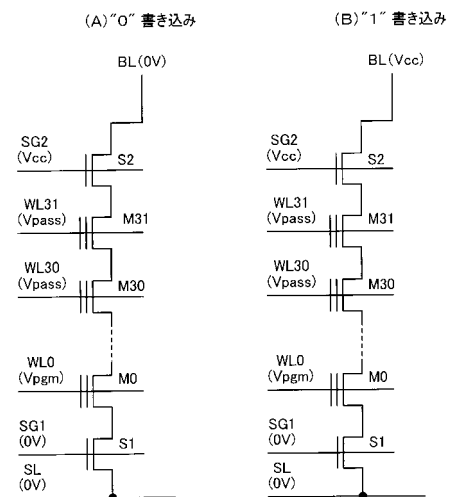
【図 2 2】



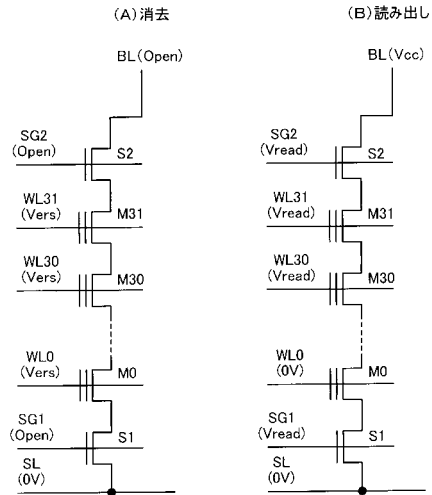
【図 2 3】



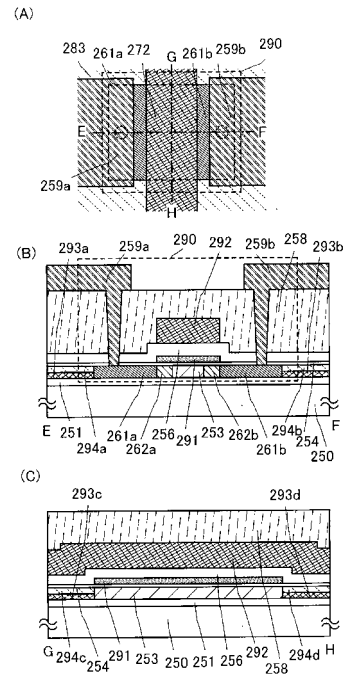
【図 2 4】



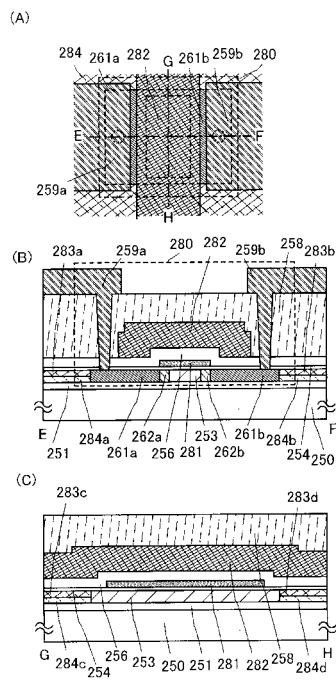
【図 25】



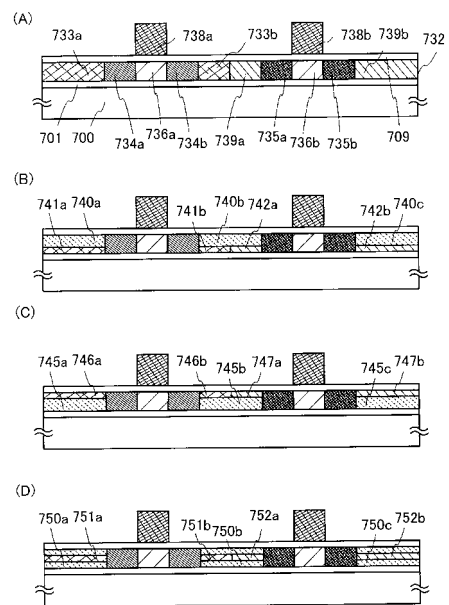
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl. F I

H01L 29/788 (2006.01)

H01L 29/792 (2006.01)

(56)参考文献 特開平06-268056 (JP, A)
特開平08-032072 (JP, A)
特開2005-129635 (JP, A)
特開平09-008123 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 21/76

H01L 21/8247

H01L 27/115

H01L 29/786

H01L 29/788

H01L 29/792