(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/68

(11) 공개번호 특1997-0077457
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0017227
(22) 출원일자 1996년05월21일

(71) 출원인 현대전자산업 주식회사 김주용
경기도 이천시 부발읍 아미리 산 136-1 (우 : 467-860)
(72) 발명자 김도우
대전광역시 중구 유천 2동 271-24
우창희
서울특별시 용산구 보광동 3-357 (18/5)
(74) 대리인 박해천, 원석희, 염주석

심사청구 : 있음

(54) 반도체소자 제조방법

요약

본 발명은 단차가 높은 곳에서의 콘택을 형성할때 원치 않는 절연막 측벽의 발생으로 인한 접속 불량을 해결하기 위한 것으로, 반도체기판상에 형성된 콘택홀을 구비한 절연막 상부에 상기 콘택홀을 통해 기판 소정부분과 접속되도록 하부도전층을 형성하는 단계와, 상기 하부도전층상에 절연막을 형성하는 단계, 상기 절연막 상부 소정영역에 포토레지스트 패턴을 형성하는 단계, 상기 포토레지스트패턴을 마스크로 이용하여 상기 절연막을 선택적으로 식각하여 상기 하부도전층의 소정부분을 노출시키는 단계, 상기 포토레지스트패턴을 플로우시키는 단계, 습식식각을 행하는 단계, 및 상기 노출된 하부도전층 부분에 접속되도록 상부도전층을 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

대표도

도2a

명세서

[발명의 명칭]

반도체소자 제조방법

[도면의 간단한 설명]

제2도는 본 발명에 의한 반도체소자의 층간 콘택 형성방법을 도시한 공정순서도이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판상에 형성된 콘택홀을 구비한 절연막 상부에 상기 콘택홀을 통해 기판 소정부분과 접속되도록 하부도전층을 형성하는 단계, 상기 하부도전층상에 절연막을 형성하는 단계, 상기 절연막 상부 소정영역에 포토레지스트패턴을 형성하는 단계, 상기 포토레지스트패턴을 마스크로 이용하여 상기 절연막을 선택적으로 식각하여 상기 하부도전층의 소정부분을 노출시키는 단계, 상기 포토레지스트패턴을 플로우시키는 단계, 습식식각을 행하는 단계, 및 상기 노출된 하부도전층 부분에 접속되도록 상부도전층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자 제조방법.

청구항 2

제1항에 있어서, 상기 절연막의 식각시 상기 콘택홀내의 상기 하부도전층 측벽에 상기 절연막이 스페이서 형태로 남도록 하는 것을 특징으로 하는 반도체소자 제조방법.

청구항 3

제1항에 있어서, 상기 포토레지스트패턴을 플로우시키는 단계는 120-180℃에서 30분 내지 1시간동안 하드 베이크하는 공정에 의해 이루어지는 것을 특징으로 하는 반도체소자 제조방법.

청구항 4

제1항에 있어서, 상기 포토레지스트패턴을 플로우시키는 단계에서 상기 절연막의 식각단계에서 식각되지 않고 남아 있는 절연막 패턴의 측면 부위를 상기 플로우된 포토레지스트패턴이 감싸게 되는 것을 특징으로 하는 반도체소자 제조방법.

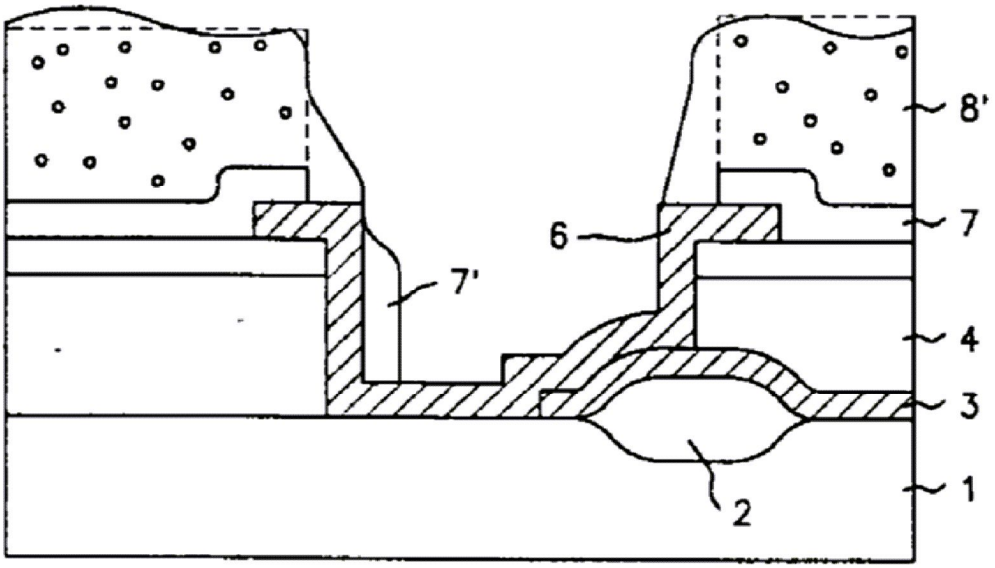
청구항 5

제1항에 있어서, 상기 습식식각에 의해 상기 절연막의 식각시 상기 콘택홀내의 상기 하부도전층 측벽에 남게 되는 원치 않는 상기 절연막의 잔유물이 제거되는 것을 특징으로 하는 반도체소자 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면2a



도면2b

