

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
7. Dezember 2006 (07.12.2006)

PCT

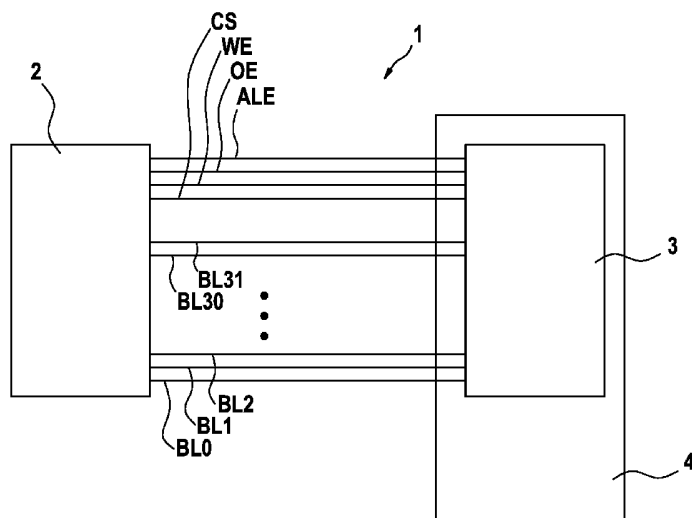
(10) Internationale Veröffentlichungsnummer
WO 2006/128810 A2

- (51) Internationale Patentklassifikation:
G06F 13/42 (2006.01)
- (21) Internationales Aktenzeichen: PCT/EP2006/062540
- (22) Internationales Anmeldedatum:
23. Mai 2006 (23.05.2006)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
10 2005 024 988.4 1. Juni 2005 (01.06.2005) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): ROBERT BOSCH GMBH [DE/DE]; Postfach 30 02 20, 70442 Stuttgart (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): KNEER, Andreas [DE/DE]; Karlstr. 8, 73240 Wendlingen (DE). AUE, Axel [DE/DE]; Thomas-mann-str. 28, 70825 Korn-tal-muenchingen (DE).
- (74) Gemeinsamer Vertreter: ROBERT BOSCH GMBH; Postfach 30 02 20, 70442 Stuttgart (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR COMMUNICATION BETWEEN AT LEAST TWO SUBSCRIBERS OF A COMMUNICATION SYSTEM

(54) Bezeichnung: VERFAHREN ZUR KOMMUNIKATION ZWISCHEN MINDESTENS ZWEI TEILNEHMERN EINES KOMMUNIKATIONSSYSTEMS



(57) Abstract: The invention relates to a method for communication between at least two subscribers (2, 3) of a communication system via a plurality of data lines (D0 - D31) of a data bus, some of these data lines being used as address lines (A0 - A23) of an address bus and data and addresses being transmitted in multiplex transmission. In order to facilitate a simple and inexpensive protection of the transmission path between the subscribers (2, 3), redundant data are transmitted via at least one of the data lines (D24 - D31) that is not used as the address line (A0 - A23) at the same time the address is transmitted via the address line (A0 - A23). Checksums (so-called check bits) are preferably transmitted as the redundant data. The inventive method is preferably used for communication between a microprocessor (3) and an external memory module (2).

[Fortsetzung auf der nächsten Seite]

WO 2006/128810 A2



NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Kommunikation zwischen mindestens zwei Teilnehmern (2, 3) eines Kommunikationssystems über mehrere Datenleitungen (D0 - D31) eines Datenbusses, von denen einige als Adressleitungen (A0 - A23) eines Adressbusses genutzt werden, wobei Daten und Adressen im Multiplex übertragen werden. Um eine einfache und kostengünstige Absicherung des Übertragungsweges zwischen den Teilnehmern (2, 3) zu ermöglichen, wird vorgeschlagen, dass gleichzeitig mit der Übertragung der Adresse über die Adressleitung (A0 - A23) über mindestens eine der nicht als Adressleitung (A0 - A23) genutzten Datenleitungen (D24 - D31) redundante Daten übertragen werden. Als redundante Daten werden vorzugsweise Prüfsummen (sogenannte Checkbits) übertragen. Das Verfahren wird vorzugsweise zur Kommunikation zwischen einem Mikroprozessor (3) und einem externen Speicherbaustein (2) ausgeführt.

5

10 Verfahren zur Kommunikation zwischen mindestens zwei
Teilnehmern eines Kommunikationssystems

Die vorliegende Erfindung betrifft ein Verfahren zur
15 Kommunikation zwischen mindestens zwei Teilnehmern eines
Kommunikationssystems über mehrere Datenleitungen eines
Datenbusses, von denen einige als Adressleitungen eines
Adressbusses genutzt werden, wobei Daten und Adressen im
Multiplex übertragen werden.

20

Die Erfindung betrifft außerdem ein Bussystem zur
Kommunikation zwischen mindestens zwei Teilnehmern eines
Kommunikationssystems, wobei das Bussystem mehrere
Datenleitungen eines Datenbusses umfasst, von denen einige
25 als Adressleitungen eines Adressbusses nutzbar sind, wobei
die Übertragung von Daten über die Datenleitungen und
Adressen über die Adressleitungen im Multiplex erfolgt.

Schließlich betrifft die vorliegende Erfindung auch einen
30 einem Mikroprozessor zugeordneten Speicherbaustein, der
über mehrere Datenleitungen eines Datenbusses mit dem
Mikroprozessor in Verbindung steht, von denen einige als
Adressleitungen eines Adressbusses nutzbar sind, wobei
Daten und Adressen im Multiplex übertragen werden.

35 Stand der Technik

Bei bekannten Bussystemen, über die Mikroprozessoren mit zugeordneten externen Speichern kommunizieren, ist keinerlei Absicherung des Übertragungsweges vorgesehen.

5 Tritt bei der Übertragung eine Störung beziehungsweise ein Fehler auf, wird dies nicht erkannt. Zum einen kann eine von dem Mikroprozessor an den Speicher übertragene Adresse falsch verstanden werden. Zum anderen können von dem Speicher an den Mikroprozessor Daten falsch übertragen
10 werden. In beiden Fällen ist die Folge, dass in dem Mikroprozessor falsche oder fehlerhafte Daten vorliegen und dort bei der Abarbeitung zu Fehlern führen können. Falls nach dem Stand der Technik Störungen erkannt werden sollen, müssen die zwischen Speicher und Mikroprozessor
15 übertragenen Daten zumindest teilweise redundant übertragen werden. Dazu sind dann jedoch weitere Busleitungen notwendig, was erhebliche zusätzliche Kosten und Probleme bei der Implementierung und Integration in bestehende Systeme verursacht.

20

Am Beispiel eines 32-bit-Bussystems wird eine bekannte Kommunikation zwischen einem Mikroprozessor und einem externen Speicher erläutert. Bei einem solchen Bussystem werden 32 bit Daten und beispielsweise 24 bit Adressen im
25 Multiplex auf den gleichen Busleitungen übertragen. Dabei ist es unerheblich, ob die Daten zwischen Speicher und Mikroprozessor im Burst oder asynchron übertragen werden. Ein Speicherzugriff nach dem bekannten Verfahren läuft folgendermaßen ab:

30

Der Prozessor legt eine 24-bit-Adresse einer gewünschten Speicherzelle an das Bussystem und aktiviert ein Chip Select (CS)-Signal und ein Address Latch Enable (ALE)-Signal. Kurz darauf deaktiviert der Prozessor das ALE-
35 Signal wieder, und der Speicherbaustein merkt sich die

übermittelte Adresse und holt die Daten aus der entsprechenden Speicherzelle. Bei einer Datenübertragung im Burst werden Daten aus der entsprechenden Speicherzelle und aus nachfolgenden Speicherzellen geholt. Dann schaltet der
5 Prozessor über ein Output Enable (OE)-Signal die Ausgangstreiber des Speicherbausteins ein und liest die anliegenden Daten ein.

Ausgehend von diesem Stand der Technik liegt der
10 vorliegenden Erfindung die Aufgabe zugrunde, eine Möglichkeit zu schaffen, redundante Daten zu übertragen, ohne zusätzliche Busleitungen zwischen den Teilnehmern des Kommunikationssystems vorsehen zu müssen.

15 Zur Lösung dieser Aufgabe wird ausgehend von dem Kommunikationsverfahren der eingangs genannten Art vorgeschlagen, dass gleichzeitig mit der Übertragung der Adresse über die Adressleitungen über mindestens eine der nicht als Adressleitung genutzten Datenleitungen redundante
20 Daten übertragen werden.

Vorteile der Erfindung

Da der Datenbus bei modernen Prozessoren mehr Leitungen
25 beansprucht (beispielsweise 32 Leitungen) als für die Übermittlung der Adressen notwendig sind (beispielsweise 24 Leitungen), sind während der Adressierungsphase einige Busleitungen ungenutzt. Diese ungenutzten Busleitungen werden erfindungsgemäß während der Adressierungsphase zur
30 Übertragung der redundanten Daten, vorzugsweise in Form von Datenbits, genutzt. Die redundanten Informationen können zur Absicherung des Übertragungsweges zwischen den Teilnehmern des Kommunikationssystems genutzt werden. Auf diese Weise ist es möglich, mit minimalem Aufwand,
35 insbesondere ohne zusätzliche Busleitungen vorsehen zu

müssen, den Übertragungsweg zwischen Mikroprozessor und Speicher abzusichern. Dadurch können Übertragungsfehler erkannt und entsprechende Maßnahmen ergriffen werden. Diese Maßnahmen können beispielsweise darin bestehen, die
5 übertragenen Daten als fehlerhaft zu markieren und einen entsprechenden Hinweis an den Benutzer auszugeben. Auch eine Wiederholung der Datenübertragung ist denkbar.

In den Unteransprüchen sind vorteilhafte Ausgestaltungen
10 der Erfindung beschrieben. Gemäß dem Ausführungsbeispiel nach Anspruch 3 werden als redundante Daten Prüfsummen (sogenannte Checkbits) übertragen. Vorzugsweise wird über die zu übertragenden Daten eine Quersumme gebildet und je nachdem, ob die Quersumme eine gerade oder eine ungerade
15 Zahl darstellt, als Checkbit eine "1" oder eine "0" übertragen.

Als eine weitere Lösung der Aufgabe der vorliegenden Erfindung wird ausgehend von dem Bussystem der eingangs
20 genannten Art vorgeschlagen, dass das Bussystem Mittel zur Übertragung redundanter Daten gleichzeitig mit der Übertragung der Adresse über die Adressleitungen aufweist, wobei die Mittel zur Übertragung der redundanten Daten mindestens eine der nicht als Adressleitung genutzten
25 Datenleitungen nutzen.

Als noch eine weitere Lösung der Aufgabe der vorliegenden Erfindung wird ausgehend von dem Speicherbaustein der eingangs genannten Art vorgeschlagen, dass der
30 Speicherbaustein Mittel zur Übertragung redundanter Daten gleichzeitig mit der Übertragung der Adressen vom Mikroprozessor zum Speicherbaustein über die Adressleitungen aufweist, wobei die Mittel zur Übertragung der redundanten Daten mindestens eine der nicht als
35 Adressleitung genutzten Datenleitungen nutzen.

Zeichnungen

In den Figuren sind bevorzugte Ausführungsbeispiele der vorliegenden Erfindung dargestellt und in der nachfolgenden Figurenbeschreibung näher erläutert. Es zeigen:

- Figur 1 ein erfindungsgemäßes Bussystem zwischen einem Mikroprozessor und einem Speicherbaustein zur Realisierung des erfindungsgemäßen Verfahrens gemäß einer bevorzugten Ausführungsform;
- Figur 2 eine Verschaltung bestimmter Signale im Speicherbaustein zur Realisierung des erfindungsgemäßen Verfahrens;
- Figur 3 ein Zeitdiagramm mehrerer Signale bei der Realisierung der vorliegenden Erfindung; und
- Figur 4 ein Zeitdiagramm mehrerer Signale bei der Realisierung einer herkömmlichen, aus dem Stand der Technik bekannten Kommunikation zwischen Speicherbaustein und Mikroprozessor.

Beschreibung der Ausführungsbeispiele

Grundlage der vorliegenden Erfindung ist ein Bussystem, wie es beispielsweise in Figur 1 dargestellt und in seiner Gesamtheit mit dem Bezugszeichen 1 bezeichnet ist. Das Bussystem 1 ist zwischen einem Speicherbaustein 2 und einem Prozessor 3 (Central Processing Unit (CPU)) eines Mikroprozessorbausteins 4 angeordnet. Der Speicherbaustein 2 umfasst beispielsweise einen Flash-Speicher. Das Bussystem 1 umfasst in dem dargestellten Ausführungsbeispiel 32 Busleitungen BL0 - BL31, die zur

Übertragung von Daten aus dem Speicherbaustein 2 an den Mikroprozessor 3 alle als Datenleitungen D0 - D31 eines Datenbusses genutzt werden. Zur Adressierung einer oder mehrerer gewünschter Speicherzellen des Speicherbausteins 2 durch den Mikroprozessor 3 werden einige der Busleitungen BL0 - BL31 als Adressleitungen A0 - A23 eines Adressbusses genutzt. Bei dem Bussystem 1 werden die 32 bit Daten und die 24 bit Adressen im Multiplex auf den gleichen Busleitungen BL0 - BL31 übertragen. Zusätzlich verfügt das Bussystem 1 über Steuerleitungen, von denen in Figur 1 Leitungen für das Address Latch Enable (ALE)-, das Output Enable (OE)-, das Write Enable (WE)- und das Chip Select (CS)-Signal dargestellt sind.

Ein gemultiplexter Speicherzugriff nach einem bekannten Verfahren läuft folgendermaßen ab:

Der Mikroprozessor 3 legt die Adresse (A0 - A23) der gewünschten Speicherzelle an den Bus 1 und aktiviert das CS- und das ALE-Signal (vergleiche Figur 4; $\overline{\text{ALE}} = \text{LOW}$). Danach deaktiviert der Mikroprozessor 3 das ALE-Signal ($\overline{\text{ALE}} = \text{HIGH}$). Der Speicherbaustein 2 merkt sich die Adresse und holt die Daten aus der oder den entsprechenden Speicherzellen. Der Mikroprozessor 3 schaltet über das OE-Signal Ausgangstreiber des Speicherbausteins 2 ein ($\overline{\text{OE}} = \text{LOW}$) und liest die Daten aus. Der entsprechende zeitliche Ablauf der Signale ist in Figur 4 dargestellt.

Da nur 24 bit-Adressen übertragen werden, aber 32 Datenleitungen an dem Bus 1 zur Verfügung stehen, können gemäss der vorliegenden Erfindung die verbleibenden 8 Datenleitungen C0 - C7 in der Adressierungsphase für die Übertragung redundanter Daten, beispielsweise in Form einer Prüfsumme (eines sogenannten Checkbits), genutzt werden.

Wie beim Standardzugriff (vergleiche Figur 3) legt der Prozessor 3 die 24 bit-Adresse (A0 - A23) an und aktiviert das ALE-Signal und das CS-Signal. Zusätzlich wird auch das OE-Signal aktiviert (vergleiche Figur 4, $\overline{OE} = \text{LOW}$). Anhand der Tatsache, dass das ALE-Signal LOW (aktiviert) ist, erkennt der erfindungsgemäße Speicherbaustein 2, dass zum einen eine Adresse A0 - A23 anliegt und zum anderen Ausgangstreiber (Driver) des Speicherbausteins 2 für die redundanten Daten aktiviert werden dürfen. Der Speicherbaustein 2 legt dann während der Adressierungsphase die redundanten Daten auf die Busleitungen BL24 - BL31 beziehungsweise auf die entsprechenden ungenutzten Datenleitungen D24 - D31. Mit dem Deaktivieren des ALE-Signals ($\overline{ALE} = \text{HIGH}$) übernimmt der Mikroprozessor 3 die redundanten Daten (Checkbits), der Speicherbaustein 2 übernimmt die Adresse und schaltet auf Datenausgang um. Der entsprechende zeitliche Ablauf der Signale ist in Figur 3 dargestellt.

Da die Adressen vom Mikroprozessor 3 in Richtung Speicherbaustein 2 und die Daten vom Speicherbaustein 2 in Richtung Mikroprozessor 3 übermittelt werden, muss im Speicherbaustein 2 die Leitung für das OE-Signal der einzelnen Treiber (Driver) des Speicherbausteins 2 mit der Leitung für das ALE-Signal logisch verknüpft werden. Die erforderliche Verschaltung im Speicherbaustein 2 ist in Figur 2 dargestellt. Mit "Latch" ist in Figur 2 ein Adressregister bezeichnet, wo die vom Mikroprozessor 3 angelegte Adresse zwischengespeichert wird.

Da die Adressenphase zeitlich vor der Datenübertragung liegt, stehen die redundanten Daten in der Adressierungsphase eigentlich noch nicht zur Verfügung. Der Speicherbaustein 2 weiß noch nicht, welche Daten er an den

Mikroprozessor 3 liefern soll. Daher werden in der Adressierungsphase immer die redundanten Daten des vorangegangenen Datenübertragungszyklus (Buszyklus) übermittelt. Das heißt, die Übertragung der redundanten Daten hinkt um einen Buszyklus hinter der eigentlichen Datenübertragung her. Dies ist jedoch in den meisten Systemen problemlos tolerierbar.

Es ist denkbar, in dem Speicherbaustein 2 einen Zwischenspeicher, einen sogenannten Cache-Speicher, vorzusehen, in dem die an den Mikroprozessor 3 zu übertragenden Daten zunächst für einen Buszyklus zwischengespeichert werden, bevor sie übermittelt werden. Die redundanten Daten können jedoch bereits vor der Datenübertragung aus dem Zwischenspeicher und dem Mikroprozessor 3 in der Adressierungsphase von dem Speicherbaustein 2 an den Mikroprozessor 3 übermittelt werden. Das bedeutet also, dass in der Adressierungsphase eines bestimmten Buszyklus die Adresse der gewünschten Speicherzelle für den nachfolgenden Buszyklus von dem Mikroprozessor 3 an den Speicherbaustein 2 übermittelt wird. Zeitgleich dazu erfolgt die Übermittlung der redundanten Daten zu den im Zwischenspeicher abgespeicherten Daten des vorangegangenen Buszyklus an den Mikroprozessor 3. Erst in dem anschließenden Buszyklus werden dann die in dem Zwischenspeicher abgelegten Daten an den Mikroprozessor 3 übermittelt. Gemäß dieser Ausgestaltung der Erfindung liegen zum Zeitpunkt des Empfangs der Daten aus dem Speicherbaustein 2 beim Mikroprozessor 3 bereits die redundanten Daten vor, so dass deren fehlerfreie Übertragung sofort überprüft werden kann.

Die Generierung der redundanten Daten, insbesondere der Prüfsumme (der sogenannten Checkbits) im Speicherbaustein 2 und die Auswertung im Mikroprozessor 3 kann nach an sich

bekanntem Verfahren durchgeführt werden. Bei einer asynchronen Datenübertragung zwischen dem Speicherbaustein 2 und dem Mikroprozessor 3 ist es ausreichend, wenn als redundante Daten lediglich ein Checkbit übertragen wird, das Informationen darüber enthält, ob die Quersumme über die zu übertragenden Daten eine gerade oder eine ungerade Zahl ist. Das bedeutet, dass bei einer asynchronen Datenübertragung bereits eine einzige nicht als Adressleitung genutzte Datenleitung ausreicht, um das erfindungsgemäße Verfahren realisieren zu können. Selbstverständlich ist es auch möglich, zusätzliche redundante Daten zu übertragen, wobei die redundanten Daten dann mehr als 1 bit umfassen können und somit auch mehr als eine Datenleitung für die Übertragung der redundanten Daten benötigen.

Bei einer Datenübertragung im Burst-Modus wird von dem Prozessor 3 die Adresse einer ersten Speicherzelle an den Speicherbaustein 2 übertragen. Ausgehend von dieser ersten Speicherzelle werden Daten dieser Speicherzelle und mehrerer nachfolgender Speicherzellen an den Mikroprozessor 3 übertragen. Das heißt, dass zwischen den aufeinander folgenden Datenübertragungsphasen keine Adressphasen vorgesehen sind, beziehungsweise nur eine Adressphase für mehrere Datenübertragungsphasen vorgesehen ist. Dennoch kann selbst bei einer Datenübertragung im Burst-Modus die vorliegende Erfindung eingesetzt werden, indem beispielsweise Checkbits für die in den einzelnen Datenübertragungsphasen zu übertragenden Daten ermittelt werden und die Checkbits dann in der anschließenden Adressierungsphase über die ungenutzten Datenleitungen an den Mikroprozessor 3 übertragen werden.

Wenn beispielsweise bei dem oben beschriebenen Ausführungsbeispiel 8 ungenutzte Datenleitungen C0 - C7

während der Adressierungsphase zur Verfügung stehen, kann über jede dieser 8 Datenleitungen C0 - C7 jeweils ein Checkbit für die während einer Datenübertragungsphase übermittelten Daten übermittelt werden. In einer einzigen Adressphase können also Checkbits für bis zu acht Datenpakete von acht aufeinander folgenden Datenübertragungsphasen übermittelt werden.

5

10 Ansprüche

1. Verfahren zur Kommunikation zwischen mindestens zwei Teilnehmern (2, 3) eines Kommunikationssystems über mehrere Datenleitungen (D0 - D31) eines Datenbusses, von denen
15 einige als Adressleitungen (A0 - A23) eines Adressbusses genutzt werden, wobei Daten und Adressen im Multiplex übertragen werden, **dadurch gekennzeichnet**, dass gleichzeitig mit der Übertragung der Adresse über die Adressleitungen (A0 - A23) über mindestens eine der nicht
20 als Adressleitung genutzten Datenleitungen (D24 - D31) redundante Daten übertragen werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die redundanten Daten den in einem vorangegangenen Buszyklus zuvor über die Datenleitungen (D0 - D31)
25 übertragenen Daten zugeordnet sind.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass als redundante Daten Prüfsummen übertragen werden.
4. Verfahren nach einem der Ansprüche 1 - 4, dadurch
30 gekennzeichnet, dass das Verfahren zur Kommunikation zwischen einem Mikroprozessor (3) und einem externen Speicher (2) ausgeführt wird.

5. Bussystem (1) zur Kommunikation zwischen mindestens zwei Teilnehmern (2, 3) eines Kommunikationssystems, wobei das Bussystem (1) mehrere Datenleitungen (D0 - D31) eines Datenbusses umfasst, von denen einige als Adressleitungen (A0 - A23) eines Adressbusses nutzbar sind, wobei die Übertragung von Daten über die Datenleitungen (D0 - D31) und Adressen über die Adressleitungen (A0 - A23) im Multiplex erfolgt, **dadurch gekennzeichnet**, dass das Bussystem (1) Mittel zur Übertragung redundanter Daten gleichzeitig mit der Übertragung der Adresse über die Adressleitungen (A0 - A23) aufweist, wobei die Mittel zur Übertragung der redundanten Daten mindestens eine der nicht als Adressleitung genutzten Datenleitungen (D24 - D31) nutzen.
6. Bussystem (1) nach Anspruch 5, dadurch gekennzeichnet, dass das Bussystem (1) Mittel zur Ausführung des Verfahrens nach einem der Ansprüche 2 - 4 aufweist.
7. Einem Mikroprozessor (3) zugeordneter Speicherbaustein (2), der über mehrere Datenleitungen (D0 - D31) eines Datenbusses mit dem Mikroprozessor (3) in Verbindung steht, von denen einige als Adressleitungen (A0 - A23) eines Adressbusses nutzbar sind, wobei Daten und Adressen im Multiplex übertragen werden, **dadurch gekennzeichnet**, dass der Speicherbaustein (2) Mittel zur Übertragung redundanter Daten gleichzeitig mit der Übertragung der Adresse vom Mikroprozessor (3) zum Speicherbaustein (2) über die Adressleitungen (A0 - A23) aufweist, wobei die Mittel zur Übertragung der redundanten Daten mindestens eine der nicht als Adressleitung genutzten Datenleitungen (D24 - D31) nutzen.
8. Speicherbaustein (2) nach Anspruch 7, dadurch gekennzeichnet, dass die Mittel als Umschalter zum Umschalten der mindestens einen nicht als Adressleitungen

(A0 - A23) genutzten Datenleitung (D24 - D31) zwischen Datenübertragung und der Übertragung der redundanten Daten ausgebildet sind.

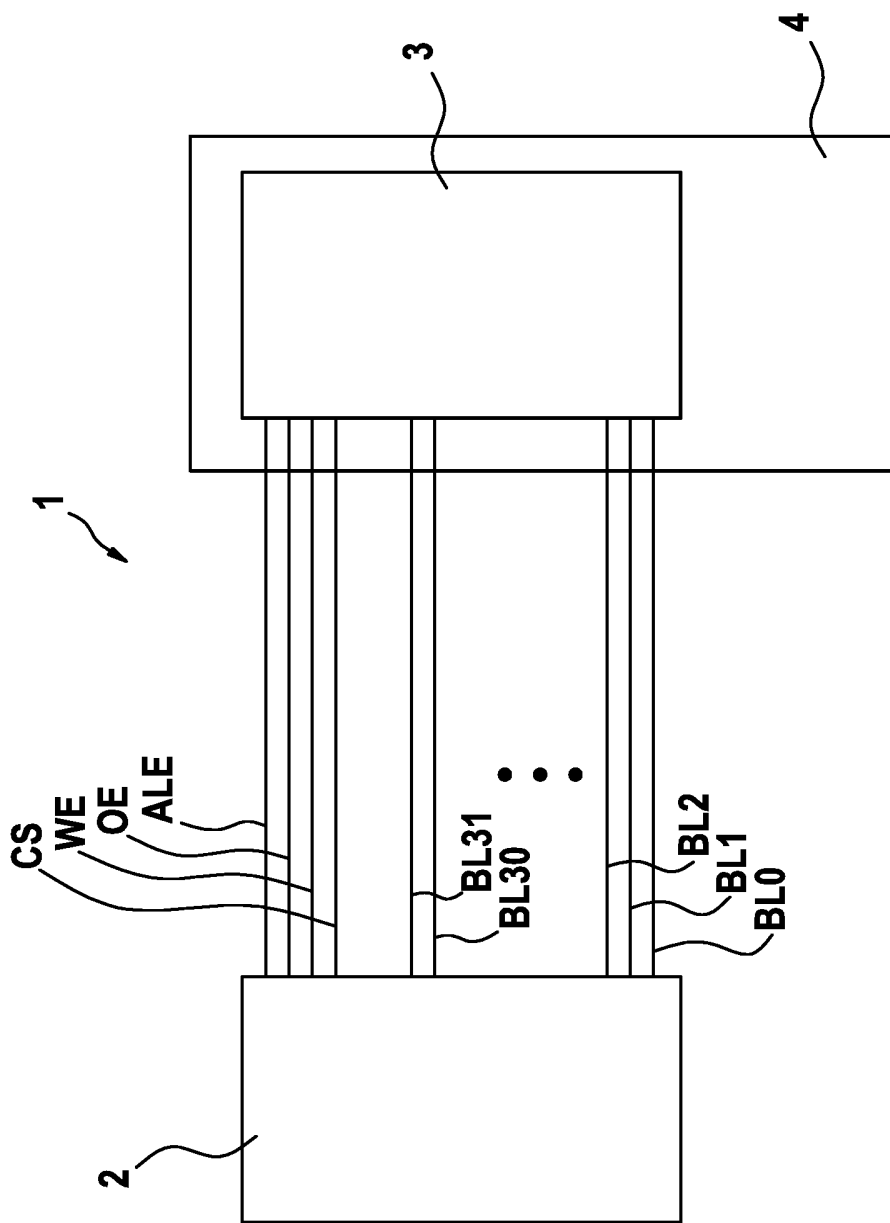


Fig. 1

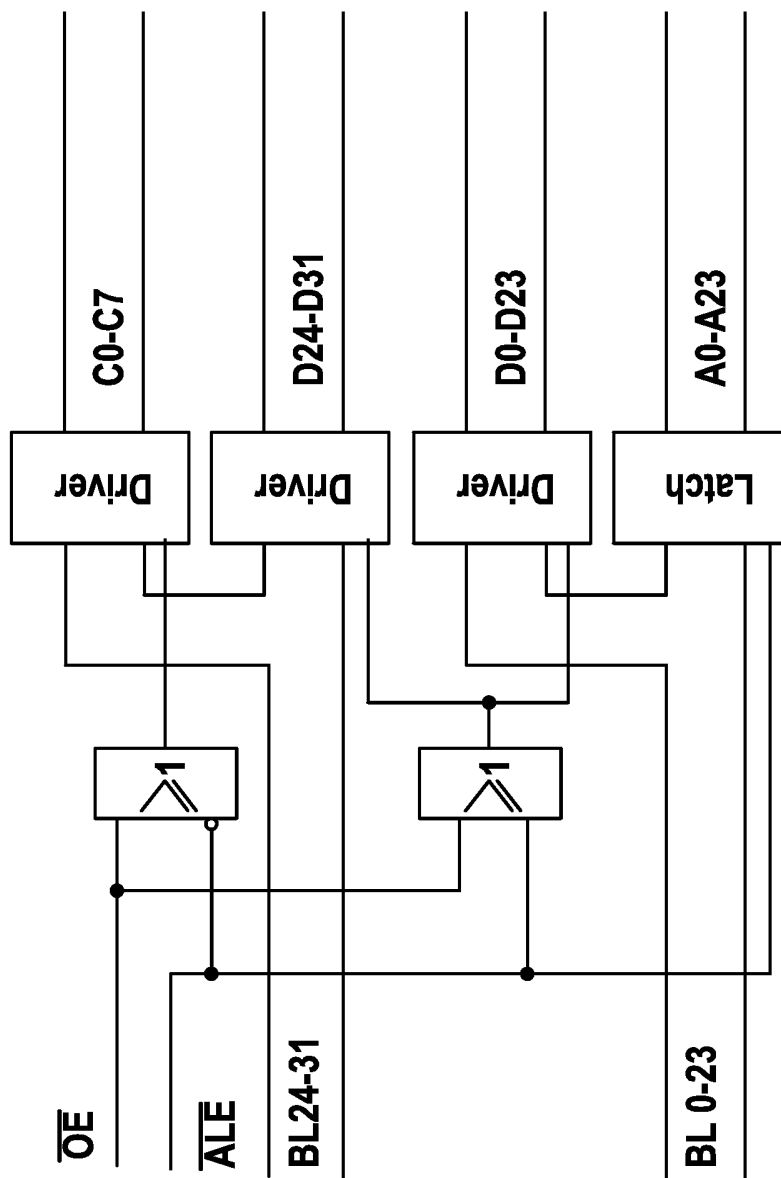


Fig. 2

Fig. 3

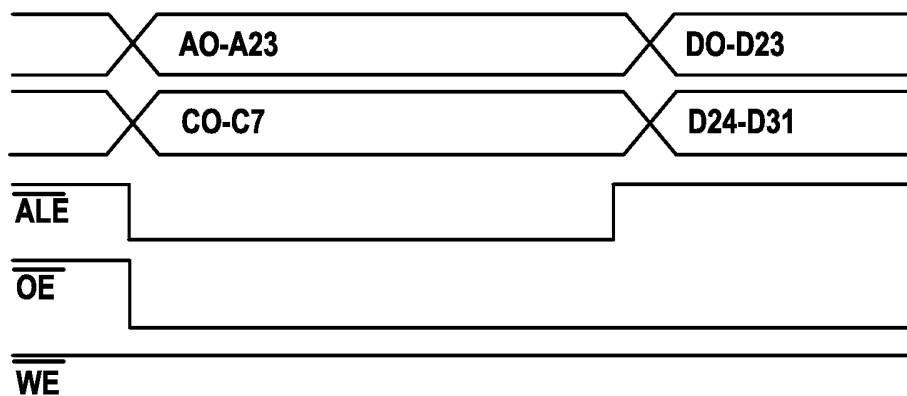


Fig. 4

