

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成27年5月7日(2015.5.7)

【公開番号】特開2013-207339(P2013-207339A)
 【公開日】平成25年10月7日(2013.10.7)
 【年通号数】公開・登録公報2013-055
 【出願番号】特願2012-70902(P2012-70902)
 【国際特許分類】

H 0 3 K 19/0185 (2006.01)

H 0 3 K 3/354 (2006.01)

【F I】

H 0 3 K 19/00 1 0 1 D

H 0 3 K 3/354 Z

【手続補正書】

【提出日】平成27年3月19日(2015.3.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ソースに第1の電源電圧が供給される第1導電型の第1のトランジスターと、
 ソースに第2の電源電圧が供給され、ドレインに前記第1のトランジスターのドレイン
 が接続される第2導電型の第2のトランジスターと、

第1のバイアス電圧を生成して前記第1のトランジスターのゲートに出力する第1の電
 圧生成回路と、

第2のバイアス電圧を生成して前記第2のトランジスターのゲートに出力する第2の電
 圧生成回路と、

入力信号が入力される入力ノードと前記第1のトランジスターのゲートとを容量結合す
 る第1の容量と、

前記入力ノードと前記第2のトランジスターのゲートとを容量結合する第2の容量とを
 含むことを特徴とするレベルシフト回路。

【請求項2】

請求項1において、

前記第1の**バイアス電圧**は、

前記第1のトランジスターのゲート・ソース間電圧であることを特徴とするレベルシフ
 ト回路。

【請求項3】

請求項1又は2において、

前記第2の**バイアス電圧**は、

前記第2のトランジスターのゲート・ソース間電圧であることを特徴とするレベルシフ
 ト回路。

【請求項4】

請求項1乃至3のいずれかにおいて、

前記第1の電圧生成回路は、

第1の電極及び第2の電極を有し、該第1の電極に前記第1の電源電圧が供給される第
 1の電圧源と、

一端に前記第 1 の電圧源の前記第 2 の電極が接続され、他端に前記第 1 のトランジスタのゲートが接続される第 1 の抵抗回路と、 を含むことを特徴とするレベルシフト回路。

【請求項 5】

請求項 4 において、

前記第 2 の電圧生成回路は、

第 1 の電極及び第 2 の電極を有し、該第 2 の電極に前記第 2 の電源電圧が供給される第 2 の電圧源と、

一端に前記第 2 の電圧源の前記第 1 の電極が接続され、他端に前記第 2 のトランジスタのゲートが接続される第 2 の抵抗回路と、 を含むことを特徴とするレベルシフト回路。

【請求項 6】

請求項 1 乃至 3 のいずれかにおいて、

電流源と、

ソースに前記第 2 の電源電圧が供給される第 2 導電型の第 3 のトランジスタと、を含み、

前記第 1 の電圧生成回路は、

ソースに前記第 1 の電源電圧が供給され、ゲート及びドレインに前記第 3 のトランジスタのドレインが接続される第 1 導電型の第 4 のトランジスタと、

一端に前記第 4 のトランジスタのゲート及びドレインが接続され、他端に前記第 1 のトランジスタのゲートが接続される第 1 の抵抗回路と、 を含み、

前記第 2 の電圧生成回路は、

ソースに前記第 2 の電源電圧が供給され、ゲート及びドレインに前記第 3 のトランジスタのゲートが接続される第 2 導電型の第 5 のトランジスタと、

一端に前記第 3 のトランジスタのゲートが接続され、他端に前記第 2 のトランジスタのゲートが接続される第 2 の抵抗回路と、 を含むことを特徴とするレベルシフト回路。

【請求項 7】

請求項 5 又は 6 において、

前記第 1 の抵抗回路の抵抗値及び前記第 2 の抵抗回路の抵抗値が、同一となるように形成されることを特徴とするレベルシフト回路。

【請求項 8】

請求項 1 乃至 3 のいずれかにおいて、

前記第 1 の電圧生成回路は、

基準電圧に基づいて前記第 1 のバイアス電圧を生成する第 1 の電圧レギュレーター回路と、

一端に前記第 1 の電圧レギュレーター回路の出力が接続され、他端に前記第 1 のトランジスタのゲートが接続される第 3 の抵抗回路と、 を含み、

前記第 2 の電圧生成回路は、

前記基準電圧に基づいて前記第 2 のバイアス電圧を生成する第 2 の電圧レギュレーター回路と、

一端に前記第 2 の電圧レギュレーター回路の出力が接続され、他端に前記第 2 のトランジスタのゲートが接続される第 4 の抵抗回路と、 を含むことを特徴とするレベルシフト回路。

【請求項 9】

請求項 8 において、

前記第 3 の抵抗回路の抵抗値及び前記第 4 の抵抗回路の抵抗値が、同一となるように形成されることを特徴とするレベルシフト回路。

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記第 1 の容量の容量値及び前記第 2 の容量の容量値が、同一となるように形成されることを特徴とするレベルシフト回路。

【請求項 11】

共振子を駆動して発振信号を出力する共振子駆動回路と、前記発振信号が前記入力信号として入力される請求項 1 乃至 10 のいずれか記載のレベルシフト回路とを含むことを特徴とする発振回路。

【請求項 12】

請求項 1 乃至 10 のいずれか記載のレベルシフト回路を含むことを特徴とする電子機器。

【請求項 13】

請求項 11 記載の発振回路を含むことを特徴とする電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

(1) 本発明の第 1 の態様は、レベルシフト回路が、ソースに第 1 の電源電圧が供給される第 1 導電型の第 1 のトランジスタと、ソースに第 2 の電源電圧が供給され、ドレインに前記第 1 のトランジスタのドレインが接続される第 2 導電型の第 2 のトランジスタと、第 1 のバイアス電圧を生成して前記第 1 のトランジスタのゲートに出力する第 1 の電圧生成回路と、第 2 のバイアス電圧を生成して前記第 2 のトランジスタのゲートに出力する第 2 の電圧生成回路と、入力信号が入力される入力ノードと前記第 1 のトランジスタのゲートとを容量結合する第 1 の容量と、前記入力ノードと前記第 2 のトランジスタのゲートとを容量結合する第 2 の容量とを含む。

本態様によれば、入力信号が入力される入力ノードと、第 1 のトランジスタ及び第 2 のトランジスタの各々のゲートとを容量結合するようにしたので、各トランジスタのゲートに、個別のバイアス電圧を印加することができるようになる。これにより、第 1 の電源電圧と第 2 の電源電圧との間の電圧にかかわらず一定の消費電流で、第 1 の容量及び第 2 の容量を介して入力される入力信号の振幅レベルを変換することができるようになる。また、入力ノードと容量結合することにより、デューティ比が 50 パーセントの出力信号を生成しやすくなる。従って、本態様によれば、電源電圧を変更しても、低消費電流を実現するとともに、波形のパルス整形を安定化させ、位相雑音の悪化を抑えることができるようになる。これにより、低消費電力化と低い位相雑音とを両立しながら、広い電圧範囲で動作可能なレベルシフト回路を提供することができる。

(2) 本発明の第 2 の態様に係るレベルシフト回路では、第 1 の態様において、前記第 1 のバイアス電圧は、前記第 1 のトランジスタのゲート・ソース間電圧であってもよい。

本態様によれば、第 1 のトランジスタに適正なバイアスを印加して入力信号の振幅レベルを変換し、電源電圧を変更しても、低消費電流を実現するとともに、波形のパルス整形を安定化させ、位相雑音の悪化を抑えることができるようになる。

(3) 本発明の第 3 の態様に係るレベルシフト回路では、第 1 の態様又は第 2 の態様において、前記第 2 のバイアス電圧は、前記第 2 のトランジスタのゲート・ソース間電圧であってもよい。

本態様によれば、第 2 のトランジスタに適正なバイアスを印加して入力信号の振幅レベルを変換し、電源電圧を変更しても、低消費電流を実現するとともに、波形のパルス整形を安定化させ、位相雑音の悪化を抑えることができるようになる。

(1) 本発明の第 1 の態様は、レベルシフト回路が、ソースに第 1 の電源電圧が供給される第 1 導電型の第 1 のトランジスタと、ソースに第 2 の電源電圧が供給され、ドレインに前記第 1 のトランジスタのドレインが接続される第 2 導電型の第 2 のトランジスタと、前記第 1 のトランジスタの第 1 のバイアス電圧を生成する第 1 の電圧生成回路と、前記第 2 のトランジスタの第 2 のバイアス電圧を生成する第 2 の電圧生成回路と、入力信号が入力される入力ノードと前記第 1 のトランジスタのゲートとを容量結合する第

1の容量と、前記入力ノードと前記第2のトランジスタのゲートとを容量結合する第2の容量とを含む。