(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月14日(14.05.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/095522 A1

(51) 国際特許分類:
G11C 7/14 (2006.01) *G11C 11/16* (2006.01)

(21) 国際出願番号： PCT/JP2019/034349

(22) 国際出願日： 2019年9月2日(02.09.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-209319 2018年11月7日(07.11.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

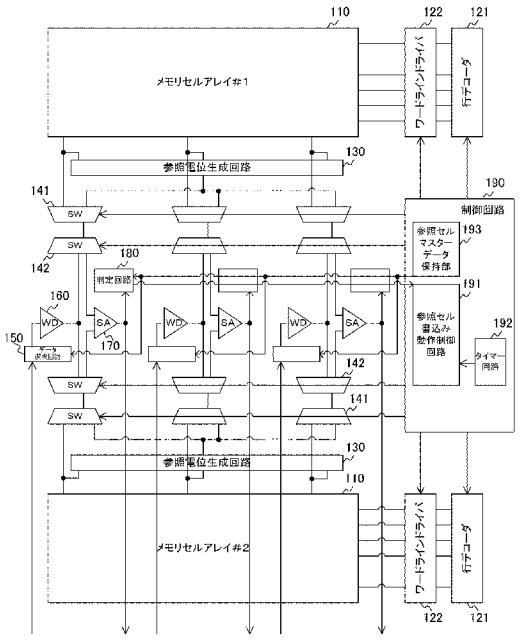
(72) 発明者: 萬行 厚雄(**MANGYO, Atsuo**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一(**MARUSHIMA, Toshikazu**); 〒1600022 東京都新宿区新宿３－３－２ 京王新宿三丁目第二ビル ５Ｆ クラフト国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** STORAGE CONTROL DEVICE, STORAGE DEVICE, AND INFORMATION PROCESSING SYSTEM

(54) 発明の名称： 記憶制御装置、記憶装置、および、情報処理システム



110 Memory cell array
121 Line decoder
122 Word line driver
130 Reference potential generation circuit
150 Data selection circuit
180 Determination circuit
190 Control circuit
191 Reference cell read operation control circuit
192 Timer circuit
193 Reference cell master data holding unit

(57) **Abstract:** The state of reference cells in a storage device is correctly managed. A first memory cell array includes a first reference cell that generates the reference potential of a sense amplifier. A second memory cell array includes a second reference cell that generates the reference potential of the sense amplifier. A state storage unit stores a state indicating the probability of a held value for each of the first and second reference cells. When a read is instructed on either the first or second reference cell, a read control unit controls the indicated read on the basis of the states relating to the first and

WO 2020/095522 A1

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

second reference cells stored in the state storage unit.

(57) 要約:記憶装置における参照セルの状態を適正に管理する。第1のメモリセルアレイはセンスアンプの参照電位を生成する第1の参照セルを含む。第2のメモリセルアレイはセンスアンプの参照電位を生成する第2の参照セルを含む。状態記憶部は、第1および第2の参照セルのそれぞれについて、保持される値の確からしさを示す状態を記憶する。書込み制御部は、第1および第2の参照セルの何れか一方に対する書込みが指示された際に、状態記憶部に記憶される第1および第2の参照セルに関する状態に基づいて、指示された書込みの制御を行う。

明　細　書

発明の名称 ：

記憶制御装置、記憶装置、および、情報処理システム

技術分野

[0001] 本技術は、記憶装置に関する。詳しくは、参照セルを備える記憶装置、その記憶制御装置、および、情報処理システムに関する。

背景技術

[0002] 記憶装置におけるメモリセルからの読出しを行う際、基準となる閾値を保持する参照セルを用いてメモリセルの記憶状態を判断するものが知られている。例えば、磁気トンネル接合（ＭＴＪ：Magnetic Tunnel Junction）素子を用いた記憶装置においては、複数の参照セルの値を参照電位生成回路によって論理レベル「０」および「１」に応じた生成電位の中間電位を生成して、センスアンプの一方の入力に供給している。ここで、このＭＴＪ素子は、周囲温度による熱揺らぎによって確率的に閾値を超える特性があり、リテンション（Retention）として知られている。また、ＭＴＪ素子を構成する絶縁層は膜厚が薄く、絶縁破壊の故障モードが存在し、エンデュランス（Endurance）として知られている。これらリテンションやエンデュランスの影響により参照セルのデータ値が期待値通りでない場合、センスアンプから誤った値が出力されてしまうおそれがある。そのため、例えば、参照セルにアクセスした回数をカウントして、規定回数に到達した際に、参照セルの状態が所定の分布範囲に収まっているか否かをチェックする半導体装置が提案されている（例えば、特許文献１参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開２００４－１８５７４５号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、参照セルへのアクセス回数が規定回数に到達した際に、参照セルの状態が所定の分布範囲に収まっていなければその値を補正している。しかしながら、この場合、アクセス回数のみを基準としているため、リテンションのような時間依存のあるデータ保持特性については対応することができない。したがって、参照セルの状態を適正に管理できなくなるおそれがある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、記憶装置における参照セルの状態を適正に管理することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、第１のメモリセルアレイに含まれてセンスアンプの参照電位を生成する第１の参照セルおよび第２のメモリセルアレイに含まれて上記センスアンプの参照電位を生成する第２の参照セルのそれぞれについて保持される値の確からしさを示す状態を記憶する状態記憶部と、上記第１および第２の参照セルの何れか一方に対する書込みが指示された際に上記状態記憶部に記憶される上記第１および第２の参照セルに関する上記状態に基づいて上記指示された書込みの制御を行う書込み制御部とを具備する記憶制御装置、記憶装置および情報処理システムである。これにより、第１および第２の参照セルに保持される値の確からしさを示す状態に基づいて、第１および第２の参照セルに対する書込みの制御を行うという作用をもたらす。

[0007] また、この第１の側面において、上記書込み制御部は、上記第１および第２の参照セルをそれぞれ含む第１および第２の参照セル群を単位として書込みを行い、上記状態記憶部は、上記第１および第２の参照セル群ごとに上記状態を記憶するようにしてもよい。これにより、第１および第２の参照セル群ごとに書込みの制御を行うという作用をもたらす。

[0008] また、この第１の側面において、上記状態記憶部は、上記第１および第２の参照セルの何れか一方に対する書込みが行われるとその書込みが行われた参照セルに関する上記状態を更新するようにしてもよい。これにより、第１

および第２の参照セルへの書込みに応じて状態を更新するという作用をもたらす。

[0009] また、この第１の側面において、上記状態記憶部は、上記第１および第２の参照セルの何れか一方に対する書込みが行われるとその書込みからの経過時間に応じてその参照セルに関する上記状態を更新するようにしてもよい。これにより、第１および第２の参照セルに対する書込みからの経過時間に応じて状態を更新するという作用をもたらす。

[0010] また、この第１の側面において、上記書込みからの経過時間を管理するタイマー回路をさらに具備するようにしてもよい。これにより、タイマー回路からの通知を契機として状態を更新するという作用をもたらす。

[0011] また、この第１の側面において、上記書込み制御部は、上記第１の参照セルに対する書込みが指示された際に上記状態記憶部に記憶される上記第１の参照セルに関する上記状態が所定の条件を満たしている場合には、上記第１の参照セルに書込みを行わないよう制御するようにしてもよい。これにより、不要な書込みを行わないように制御するという作用をもたらす。

[0012] また、この第１の側面において、上記書込み制御部は、上記第１の参照セルに対する書込みが指示された際に上記状態記憶部に記憶される上記第１の参照セルに関する上記状態が上記所定の条件を満たしていない場合には、上記状態記憶部に記憶される上記第２の参照セルに関する上記状態に応じて上記第１の参照セルへの書込みの制御を行うようにしてもよい。これにより、第２の参照セルの状態に応じて、第１の参照セルへの書込み制御を行うという作用をもたらす。

[0013] また、この第１の側面において、上記書込み制御部は、上記第１の参照セルに関する上記状態が上記所定の条件を満たしていない場合において、上記第２の参照セルに関する上記状態が他の所定の条件を満たしている場合には上記第２の参照セルから生成された参照電位を基準として読み出した上記第１の参照セルの値と所定の読出し期待値とが一致しないときのみ上記第１の参照セルに書込みを行うよう制御するようにしてもよい。これにより、第１

の参照セルの値が読出し期待値と一致しない場合にのみ第１の参照セルに書込みを行うという作用をもたらす。

[0014] また、この第１の側面において、上記第２の参照セルから生成された上記センスアンプの参照電位を基準として読み出した上記第１の参照セルの値と上記所定の読出し期待値との一致判定を行う判定回路をさらに具備してもよい。これにより、第１の参照セルの値と読出し期待値との一致判定を行うという作用をもたらす。

[0015] また、この第１の側面において、上記書込み制御部は、上記第１の参照セルに関する上記状態が上記所定の条件を満たしていない場合において、上記第２の参照セルに関する上記状態が他の所定の条件を満たしていない場合には上記第１の参照セルに書込みを行うよう制御するようにしてもよい。これにより、第２の参照セルの状態に応じて、第１の参照セルへの書込み制御を行うという作用をもたらす。

[0016] また、この第１の側面において、第１および第２の参照セルとしては、例えば抵抗変化型のメモリ素子が想定され、特に、磁気抵抗変化型のメモリ素子が想定される。

図面の簡単な説明

[0017] [図1]本技術の実施の形態における記憶装置の回路構成例を示す図である。

[図2]本技術の実施の形態におけるメモリセルアレイ１１０の構成例を示す図である。

[図3]本技術の実施の形態におけるメモリセル１１１の構成例を示す図である。

[図4]本技術の実施の形態におけるＭＴＪ素子１０の構造例を示す図である。

[図5]本技術の実施の形態におけるリード動作におけるデータの流れの一例を示す図である。

[図6]本技術の実施の形態におけるライト動作におけるデータの流れの一例を示す図である。

[図7]本技術の実施の形態におけるリードモディファイライト動作におけるデ

ータの流れの一例を示す図である。

[図8]本技術の実施の形態における参照セル書込み動作制御回路１９１の回路構成例を示す図である。

[図9]本技術の実施の形態における参照セル書込み動作制御回路１９１の処理手順例を示す図である。

[図10]本技術の実施の形態における参照セル書込み動作制御回路１９１の動作例の真理値表を示す図である。

[図11]本技術の実施の形態における参照セル書込み動作制御回路１９１の状態遷移の例を示す図である。

[図12]本技術の実施の形態における記憶装置が適用される電子デバイス６００の構成例を示す図である。

発明を実施するための形態

[0018] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．回路構成

２．書込み制御

３．適用例

[0019] ＜１．回路構成＞

［記憶装置］

図１は、本技術の実施の形態における記憶装置の回路構成例を示す図である。

[0020] この記憶装置は、２つのメモリセルアレイ（＃１および＃２）１１０を有しており、それぞれについて、行デコーダ１２１と、ワードラインドライバ１２２と、参照電位生成回路１３０と、スイッチ１４１および１４２とを備える。また、この記憶装置は、列毎に対応して、データ選択回路１５０と、ライトドライバ１６０と、センスアンプ１７０と、判定回路１８０とを備える。また、この記憶装置は、参照セル書込み動作制御回路１９１と、タイマー回路１９２と、参照セルマスターデータ保持部１９３とを含む制御回路１

９０を備える。

[0021] メモリセルアレイ１１０は、メモリセルを２次元の行列状（アレイ状）に配列したものである。

[0022] 行デコーダ１２１は、メモリセルアレイ１１０に対するアドレスをデコードして、メモリセルアレイ１１０における行アドレスを生成するものである。ワードラインドライバ１２２は、行デコーダ１２１によって特定されたワードライン（行）を駆動するドライバである。

[0023] 参照電位生成回路１３０は、メモリセルアレイ１１０から出力された参照ワードラインに接続されている参照セルの値に基づいて参照電位を生成する回路である。

[0024] スイッチ１４１は、対応するメモリセルアレイ１１０とスイッチ１４２との間の接続を切り替えるための双方向スイッチである。このスイッチ１４１は、対応するメモリセルアレイ１１０から出力されたデータ値、および、対応する参照電位生成回路１３０によって生成された参照電位のデータ値のいずれか一方を選択して、対応するスイッチ１４２に出力する。また、このスイッチ１４１は、スイッチ１４２から出力されたデータ値を、対応するメモリセルアレイ１１０に供給する。このスイッチ１４１の切り替え制御は、制御回路１９０からの指示に基づいて行われる。

[0025] スイッチ１４２は、対応するスイッチ１４１と、対応するライトドライバ１６０およびセンスアンプ１７０との間の接続を切り替えるための双方向スイッチである。このスイッチ１４２は、対応するライトドライバ１６０から供給されたデータ値を選択して、対応するスイッチ１４１に供給する。また、このスイッチ１４２は、対応するスイッチ１４１から出力されたデータ値を選択して、対応するセンスアンプ１７０の一方の入力に供給する。このスイッチ１４２の切り替え制御は、制御回路１９０からの指示に基づいて行われる。

[0026] データ選択回路１５０は、外部から供給されたデータ値、および、参照セルマスターデータ保持部１９３のデータ値のいずれか一方を選択して、対応

するライトドライバ１６０に供給するものである。

[0027] ライトドライバ（ＷＤ：Write Driver）１６０は、データ選択回路１５０から供給されたデータ値をメモリセルアレイ１１０に書き込むために駆動するドライバである。

[0028] センスアンプ（ＳＡ：Sense Amplifier）１７０は、メモリセルアレイ１１０から出力されたデータ値を増幅して出力するセンスアンプである。このセンスアンプ１７０は、２つの入力端子を備え、一方にメモリセルアレイ１１０から出力されたセンス対象の電位を入力し、他方に参照電位生成回路１３０によって生成された参照電位を入力する。これにより、このセンスアンプ１７０は、参照電位を基準として、センス対象の電位を増幅してリードデータを出力する。このセンスアンプ１７０から出力されたリードデータは、外部に供給されるとともに、判定回路１８０に入力される。

[0029] 判定回路１８０は、メモリセルアレイ１１０の参照セルのデータ値を検定するために、センスアンプ１７０の出力と、参照セルマスターデータ保持部１９３のデータ値とを比較して、両者が一致するか否かを判定するものである。この判定回路１８０による判定結果は、参照セル書込み動作制御回路１９１に供給される。

[0030] 参照セル書込み動作制御回路１９１は、メモリセルアレイ１１０の参照セルに対する書込み動作を制御する回路である。この参照セル書込み動作制御回路１９１は、後述するように、メモリセルアレイ１１０の参照セルについて、保持される値の確からしさを示す状態を記憶して、その状態に基づいて参照セルに対する書込み動作を制御する。

[0031] タイマー回路１９２は、メモリセルアレイ１１０の参照セルへの書込みからの経過時間を管理するタイマーである。このタイマー回路１９２により所定の経過時間が検知されると、その旨が参照セル書込み動作制御回路１９１に通知される。

[0032] 参照セルマスターデータ保持部１９３は、メモリセルアレイ１１０の参照セルのマスターとなる値を保持するものである。すなわち、この参照セルマ

スターデータ保持部１９３に保持される参照セルマスターデータは、判定回路１８０においてメモリセルアレイ１１０の参照セルのデータ値を検定するための読出し期待値である。また、参照セルマスターデータは、メモリセルアレイ１１０の参照セルが適正でない場合に書き直しを行う際のデータ値となる。この参照セルマスターデータ保持部１９３は、ハイレベルおよびローレベルの固定値を保持すればよく、フリップフロップや固定抵抗などにより構成することができる。

[0033] ［メモリセルアレイ］

図２は、本技術の実施の形態におけるメモリセルアレイ１１０の構成例を示す図である。

[0034] メモリセルアレイ１１０は、メモリセル１１１を２次元の行列状に配列して構成される。メモリセルアレイ１１０におけるメモリセル１１１は、行方向のワードラインを単位として、ワードラインドライバ１２２によって駆動される。また、列方向にはソースラインおよびビットラインが形成されており、メモリセル１１１の各々について直列に接続される。

[0035] メモリセルアレイ１１０のワードラインは、通常のデータの記憶領域として使用されるデータワードラインと、参照セルとして使用される参照ワードラインとを含む。参照セルは上述のように、データ読出しの際の基準電位を生成するために用いられる。

[0036] なお、この例では、参照ワードラインをメモリセルアレイ１１０の最上位行に表記しているが、何れの行に配置されていてもよい。例えば、参照ワードラインをメモリセルアレイ１１０の中央行に配置すると、寄生抵抗の観点から望ましい。

[0037] 図３は、本技術の実施の形態におけるメモリセル１１１の構成例を示す図である。

[0038] ここでは、スピン注入型の磁気ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ：Spin Transfer Torque Random Access Memory）を例として説明する。このＳＴＴ－ＭＲＡＭは、抵抗変化型素子の一種であるトンネル磁気抵抗素子

（ＭＴＪ素子）をメモリセルとして使用し、トンネル磁気抵抗効果（ＴＭＲ効果）により抵抗値が変化することを利用して、論理レベル「０」および「１」を記憶するメモリである。

[0039] メモリセル１１１は、ＭＴＪ素子１０とＭＯＳトランジスタ２０とをシリアルに接続した１トランジスタ１抵抗構成となっている。ＭＯＳトランジスタ２０は、ＮＭＯＳ（Negative-channel Metal Oxide Semiconductor）またはＰＭＯＳ（Positive-channel Metal Oxide Semiconductor）のいずれであってもよい。

[0040] 図４は、本技術の実施の形態におけるＭＴＪ素子１０の構造例を示す図である。

[0041] ＭＴＪ素子１０は、絶縁層１２の上下に２つの磁性層が接合された構成をしており、一方をフリー層１１、他方をリファレンス層１３と呼ぶ。フリー層１１およびリファレンス層１３の磁化の向きが同じ向きのとき低抵抗状態となり、例えば記憶データの論理レベル「０」に対応付けられる。また、フリー層１１およびリファレンス層１３の磁化の向きが反対向きのとき高抵抗状態となり、例えば記憶データの論理レベル「１」に対応付けられる。

[0042] ＭＴＪ素子１０の記憶データは、ＭＴＪ素子１０に電流を流すことにより反転する。すなわち、ドレイン端子Ｄからソース端子Ｓの方向に電流Ｉを流すか、ソース端子Ｓからドレイン端子Ｄの方向に電流Ｉを流すかによって、フリー層１１の磁化の向きを決定することにより、論理レベル「０」および「１」のいずれか一方を記憶する。

[0043] ［動作］

図５は、本技術の実施の形態におけるリード動作におけるデータの流れの一例を示す図である。

[0044] この例では、メモリセルアレイ＃１の参照セルを基準として、メモリセルアレイ＃２のデータを読み出す場合について説明する。なお、メモリセルアレイ＃２の参照セルを基準として、メモリセルアレイ＃１のデータを読み出す場合には、両者の関係が逆になるだけで、基本的な動作は同様である。

[0045] メモリセルアレイ＃１の参照ワードラインの参照セルの値は、参照電位生成回路１３０に入力される。参照電位生成回路１３０は、メモリセルアレイ＃１から出力された参照セルの値に基づいて参照電位を生成する。生成された参照電位は、スイッチ１４１および１４２を介して、センスアンプ１７０の一方の入力端子に供給される。

[0046] メモリセルアレイ＃２のデータワードラインのデータ値は、スイッチ１４１および１４２を介して、センスアンプ１７０の他方の入力端子に供給される。

[0047] センスアンプ１７０は、一方の入力端子に供給された参照電位を基準として、他方の入力端子に供給されたデータ値を増幅してリードデータを出力する。

[0048] 図６は、本技術の実施の形態におけるライト動作におけるデータの流れの一例を示す図である。

[0049] この例では、メモリセルアレイ＃２にデータを書き込む場合について説明する。外部から供給されたライトデータは、データ選択回路１５０によって選択されて、ライトドライバ１６０によって駆動される。ライトドライバ１６０の出力は、スイッチ１４２および１４１を介してメモリセルアレイ＃２に供給され、書込みが行われる。

[0050] なお、メモリセルアレイ＃１にデータを書き込む場合には、スイッチ１４２および１４１の切り替えにより、ライトドライバ１６０の出力がメモリセルアレイ＃１に供給される。

[0051] 図７は、本技術の実施の形態におけるリードモディファイライト動作におけるデータの流れの一例を示す図である。

[0052] 後述するように、この実施の形態では、参照セルのデータ値を検定するために読出しを行い、センスアンプ１７０の出力が読出し期待値と一致しない場合には書込みを行う。この動作をリードモディファイライト（ＲＭＷ：Read Modify Write）と称する。この例では、メモリセルアレイ＃１の参照セルのデータは確かであることを前提として、メモリセルアレイ＃２の参照セル

の検定を行う。すなわち、上述の通常のリードと同様に、メモリセルアレイ＃１の参照セルを基準として、メモリセルアレイ＃２の参照セルのデータ値を読み出す。このときのセンスアンプ１７０の出力は、対応する判定回路１８０に供給される。また、判定回路１８０には、参照セルマスターデータ保持部１９３に保持される参照セルマスターデータが供給される。判定回路１８０は、その判定結果を参照セル書込み動作制御回路１９１に報告する。

[0053] 判定回路１８０による判定の結果、センスアンプ１７０の出力が参照セルマスターデータと一致していれば、参照セル書込み動作制御回路１９１は、メモリセルアレイ＃２の参照セルへの書込みを行わないように制御する。

[0054] 一方、センスアンプ１７０の出力が参照セルマスターデータと一致していない場合、参照セル書込み動作制御回路１９１は、データ選択回路１５０を介して参照セルマスターデータをライトドライバ１６０に供給する。そして、参照セル書込み動作制御回路１９１は、スイッチ１４２および１４１を介して、メモリセルアレイ＃２の参照セルに参照セルマスターデータを書き込むように制御する。

[0055] ＜２．書込み制御＞

［参照セル書込み動作制御回路］

図８は、本技術の実施の形態における参照セル書込み動作制御回路１９１の回路構成例を示す図である。

[0056] 参照セル書込み動作制御回路１９１は、メモリセルアレイ＃１の参照セルの状態を管理する書込み動作制御回路＃１（２１０）と、メモリセルアレイ＃２の参照セルの状態を管理する書込み動作制御回路＃２（２２０）とを備える。書込み動作制御回路＃１は状態記憶部２１１および書込み制御部２１２を備え、書込み動作制御回路＃２は状態記憶部２２１および書込み制御部２２２を備える。

[0057] 状態記憶部２１１は、メモリセルアレイ＃１の参照セルに保持される値の確からしさを示す状態を記憶するものである。状態記憶部２２１は、メモリセルアレイ＃２の参照セルに保持される値の確からしさを示す状態を記憶す

るものである。状態記憶部２１１および２２１には、タイマー回路１９２の出力ＴＩＭＥＲが入力される。また、状態記憶部２１１および２２１には、それぞれ書込み制御部２１２および２２２の出力が入力される。状態記憶部２１１および２２１のそれぞれは、ＲＥＧ１およびＲＥＧ２の値を出力する。

[0058] ＲＥＧ１およびＲＥＧ２の値を順に並べた２ビットの値を想定すると、「００」は、対応する参照セルに保持されるデータ値が不確かであることを意味する。また、「１１」は、対応する参照セルへの書込みからリテンション時間以内であることを意味する。「０１」は、その中間の状態を意味する。

[0059] 書込み制御部２１２は、メモリセルアレイ＃１の参照セルに対する書込み動作を制御するものである。書込み制御部２２２は、メモリセルアレイ＃２の参照セルに対する書込み動作を制御するものである。書込み制御部２１２には、状態記憶部２１１のＲＥＧ１と、状態記憶部２２１のＲＥＧ１およびＲＥＧ２とが入力される。書込み制御部２２２には、状態記憶部２２１のＲＥＧ１と、状態記憶部２１１のＲＥＧ１およびＲＥＧ２とが入力される。書込み制御部２１２および２２２のそれぞれは、ＥＷおよびＲＷＭの値を出力する。

[0060] ＥＷは、対応するメモリセルアレイの参照セルに対して強制書込み（Enforce Write）を行うか否かを示す。例えば、ＥＷが「１」であれば強制書込みを行い、ＥＷが「０」であれば強制書込みを行わない。

[0061] ＲＷＭは、対応するメモリセルアレイの参照セルに対してリードモディファイライトを行うか否かを示す。例えば、ＲＷＭが「１」であればリードモディファイライトを行い、ＲＷＭが「０」であればリードモディファイライトを行わない。

[0062] 参照セルへの書込みタイミングは、任意のタイミングで行ってよい。また、システムパフォーマンスへの影響を抑制するために、データセルの書込み動作時に、アクセスされるデータセルとは異なるアレイの参照セルに書込みしてもよい。また、アレイの分割方式によっては、データセルの読出し動作

時に、アクセスされないアレイの参照セルに対して、書込みを行ってもよい。

[0063] ［処理手順］

図９は、本技術の実施の形態における参照セル書込み動作制御回路１９１の処理手順例を示す図である。

[0064] ここでは、メモリセルアレイ１１０の一方の参照セルに書込みコマンドが発行された際に、そのメモリセルアレイを自アレイと呼称し、他方のメモリセルアレイを他アレイと呼称する。なお、参照セルへの書込みコマンドは、ホストコンピュータからの明示的なコマンドでもよく、また、ホストコンピュータからのデータライトコマンドを受けて記憶装置内で生成する内部コマンドであってもよい。すなわち、データセルに対するライトに便乗して参照セルへの書込みを行うようにしてもよい。また、内部タイマーを利用して、ホストコンピュータと関係なく定期的なタイミングでデータ値のメンテナンス（リフレッシュ）を行うようにしてもよい。また、ホストコンピュータから明示的なコマンドを発行する場合、例えば、電源投入時に、イニシャルシーケンスの一部として発行するようにしてもよい。

[0065] 自アレイの参照セルに対する書込みコマンドが発行されると（ステップＳ９１１：Ｙｅｓ）、以下の判断により書込み制御が行われる。自アレイに対応する状態記憶部のＲＥＧ１およびＲＥＧ２が「１１」であれば（ステップＳ９１２：Ｙｅｓ）、参照セルのリテンション時間以内であるため、自アレイの参照セルに書き込みを行わない（ＮＯＰ）（ステップＳ９１４）。

[0066] 自アレイに対応する状態記憶部のＲＥＧ１およびＲＥＧ２が「１１」でなければ（ステップＳ９１２：Ｎｏ）、他に対応する状態記憶部のＲＥＧ１およびＲＥＧ２に応じて書込み制御が行われる。他アレイに対応する状態記憶部のＲＥＧ１およびＲＥＧ２が「００」であれば（ステップＳ９１３：Ｙｅｓ）、他アレイの参照セルのデータ値が不確かであり参照電位を生成する用途に適さないため、検定を行うことなく自アレイの参照セルを強制書込み（ＥＷ）する（ステップＳ９１５）。そして、自アレイに対応する状態記憶部

のＲＥＧ１およびＲＥＧ２を「１１」に設定する（ステップＳ９１８）。

[0067] 一方、他アレイに対応する状態記憶部のＲＥＧ１およびＲＥＧ２が「００」でなければ（ステップＳ９１３：Ｎｏ）、他アレイの参照セルを利用して参照電位を生成して、自アレイの参照セルを読み出してリードモディファイライト（ＲＭＷ）動作を行う（ステップＳ９１６）。すなわち、読み出された値が読出し期待値と一致していれば、自アレイの参照セルに書込みを行わないよう制御する。一方、読出し期待値と一致していなければ、自アレイの参照セルに書込みを行うよう制御する。このとき、自アレイの参照セルに書込みを行った場合には（ステップＳ９１７：Ｙｅｓ）、自アレイに対応する状態記憶部のＲＥＧ１およびＲＥＧ２を「１１」に設定する（ステップＳ９１８）。

[0068] ［真理値表］

図１０は、本技術の実施の形態における参照セル書込み動作制御回路１９１の動作例の真理値表を示す図である。

[0069] この例では、メモリセルアレイ＃１（ＡＲＹ１）に対応する状態記憶部２１１のＲＥＧ１およびＲＥＧ２と、メモリセルアレイ＃２（ＡＲＹ２）に対応する状態記憶部２２１のＲＥＧ１およびＲＥＧ２との組合せに対する参照セル書込み時の動作を示している。

[0070] ケース＃１においては、両者のＲＥＧ１およびＲＥＧ２が「００」であり、メモリセルアレイ＃１および＃２のいずれの参照セルのデータ値も不確かであることを意味する。このとき、メモリセルアレイ＃１の参照セルに書込みコマンドが発行されると、メモリセルアレイ＃２の参照セルのデータの確からしさを確認する必要なく、メモリセルアレイ＃１の参照セルに期待値を強制的に書込む（ＥＷ）動作となる。メモリセルアレイ＃２の参照セルに書込みコマンドが発行された場合も同様であり、メモリセルアレイ＃２の参照セルに期待値を強制的に書込む（ＥＷ）動作となる。

[0071] ケース＃２においては、ケース＃１と比較して、メモリセルアレイ＃２のＲＥＧ１およびＲＥＧ２が「０１」となっている。そのため、メモリセルア

レイ＃１の参照セルに書込みコマンドが発行された場合には、メモリセルアレイ＃２の参照セルを利用して参照電位を生成して、メモリセルアレイ＃１の参照セルを読み出してリードモディファイライト（ＲＭＷ）動作を行う。一方、メモリセルアレイ＃２の参照セルに書込みコマンドが発行された場合には、ケース＃１と同様に、期待値を強制的に書込む（ＥＷ）動作となる。

[0072] ケース＃３においては、ケース＃２と比較して、メモリセルアレイ＃２のＲＥＧ１およびＲＥＧ２が「１１」となっている。そのため、メモリセルアレイ＃２の参照セルに書込みコマンドが発行された場合には、メモリセルアレイ＃２の参照セルに書込みを行わないよう制御する（ＮＯＰ）。一方、メモリセルアレイ＃１の参照セルに書込みコマンドが発行された場合には、ケース＃２と同様に、リードモディファイライト（ＲＭＷ）動作を行う。

[0073] ケース＃４においては、ケース＃１と比較して、メモリセルアレイ＃１のＲＥＧ１およびＲＥＧ２が「０１」となっている。そのため、メモリセルアレイ＃２の参照セルに書込みコマンドが発行された場合には、メモリセルアレイ＃１の参照セルを利用して参照電位を生成して、メモリセルアレイ＃２の参照セルを読み出してリードモディファイライト（ＲＭＷ）動作を行う。一方、メモリセルアレイ＃１の参照セルに書込みコマンドが発行された場合には、ケース＃１と同様に、期待値を強制的に書込む（ＥＷ）動作となる。

[0074] ケース＃５においては、ケース＃４と比較して、メモリセルアレイ＃２のＲＥＧ１およびＲＥＧ２が「０１」となっている。そのため、メモリセルアレイ＃１の参照セルに書込みコマンドが発行された場合には、メモリセルアレイ＃２の参照セルを利用して参照電位を生成して、メモリセルアレイ＃１の参照セルを読み出してリードモディファイライト（ＲＭＷ）動作を行う。一方、メモリセルアレイ＃２の参照セルに書込みコマンドが発行された場合には、ケース＃４と同様に、リードモディファイライト（ＲＭＷ）動作を行う。

[0075] ケース＃６においては、ケース＃５と比較して、メモリセルアレイ＃２のＲＥＧ１およびＲＥＧ２が「１１」となっている。そのため、メモリセルア

レイ＃２の参照セルに書込みコマンドが発行された場合には、メモリセルアレイ＃２の参照セルに書込みを行わないよう制御する（ＮＯＰ）。一方、メモリセルアレイ＃１の参照セルに書込みコマンドが発行された場合には、ケース＃５と同様に、リードモディファイライト（ＲＭＷ）動作を行う。

[0076] ケース＃７においては、ケース＃１と比較して、メモリセルアレイ＃１のＲＥＧ１およびＲＥＧ２が「１１」となっている。そのため、メモリセルアレイ＃１の参照セルに書込みコマンドが発行された場合には、メモリセルアレイ＃１の参照セルに書込みを行わないよう制御する（ＮＯＰ）。一方、メモリセルアレイ＃２の参照セルに書込みコマンドが発行された場合には、メモリセルアレイ＃１の参照セルを利用して参照電位を生成して、メモリセルアレイ＃２の参照セルを読み出してリードモディファイライト（ＲＭＷ）動作を行う。

[0077] ケース＃８においては、ケース＃７と比較して、メモリセルアレイ＃２のＲＥＧ１およびＲＥＧ２が「０１」となっている。そのため、メモリセルアレイ＃２の参照セルに書込みコマンドが発行された場合には、メモリセルアレイ＃１の参照セルを利用して参照電位を生成して、メモリセルアレイ＃２の参照セルを読み出してリードモディファイライト（ＲＭＷ）動作を行う。一方、メモリセルアレイ＃１の参照セルに書込みコマンドが発行された場合には、ケース＃７と同様に、メモリセルアレイ＃１の参照セルに書込みを行わないよう制御する（ＮＯＰ）。

[0078] ケース＃９においては、両者のＲＥＧ１およびＲＥＧ２が「１１」であり、メモリセルアレイ＃１および＃２のいずれの参照セルのデータ値もリテンション時間以内であることを意味する。したがって、メモリセルアレイ＃１および＃２のいずれの参照セルに書込みコマンドが発行された場合であっても、書込みを行わないよう制御する（ＮＯＰ）。

[0079] なお、ここでは、それぞれＲＥＧ１およびＲＥＧ２の２つのレジスタを用いて９通りの状態を想定したが、レジスタの数については限定されるものではなく、適宜必要な数のレジスタを用いることができる。

[0080] ［状態遷移］

図１１は、本技術の実施の形態における参照セル書込み動作制御回路１９１の状態遷移の例を示す図である。

[0081] この例では、上述のケース＃１乃至＃９の各状態間の遷移例を示している。状態間の線については、実線がメモリセルアレイ＃１の参照セルに書込みコマンドが発行された場合を示し、点線がメモリセルアレイ＃２の参照セルに書込みコマンドが発行された場合を示している。また、１点鎖線は時間経過によるタイマー回路１９２からの通知に起因する状態遷移を示している。

[0082] 参照セルに書込みが行われた場合には、対応するＲＥＧ１およびＲＥＧ２は「１１」に設定される。そして、タイマー回路１９２によって一定時間の経過が通知されるたびに、「１１」から「０１」に、そして「０１」から「００」に遷移する。このようにして変化した状態に応じて、参照セルへの書込みが制御される。

[0083] ＜３．適用例＞

図１２は、本技術の実施の形態における記憶装置が適用される電子デバイス６００の構成例を示す図である。

[0084] 電子デバイス６００は、システムインパッケージ６０１、アンテナ６３２、スピーカ６４２、マイク６４３、表示装置６６０、入力装置６７０、センサ６８０、電源６９０を含む。またシステムインパッケージ６０１は、プロセッサ６１０、無線通信インターフェース６３０、オーディオ回路６４０を含む。

[0085] アンテナ６３２は、移動体通信、無線ＬＡＮまたは近距離通信を行うためのアンテナであり、無線通信インターフェース６３０と接続されている。スピーカ６４２は、音を出力するものであり、オーディオ回路６４０と接続されている。マイク６４３は、電子デバイス６００の周囲の音を集音するものであり、オーディオ回路６４０と接続されている。

[0086] 表示装置６６０は、例えば液晶ディスプレイ、有機ＥＬディスプレイ、ＬＥＤ（Light Emitting Diode）インジケータ等で構成され、プロセッサ６１

０と接続されている。入力装置６７０は、例えばキーボード、ボタン、タッチパネルなどで構成され、プロセッサ６１０と接続されている。

[0087] センサ６８０は、光学センサ、位置センサ、加速度センサ、生体センサ、磁気センサ、機械量センサ、熱センサ、電気センサまたは化学センサ等の機能を有する。センサ６８０には、記憶装置６８１として、本技術の実施の形態に係る記憶装置が接続されてもよい。電源６９０は、電子デバイス６００へ電源を供給するものであり、例えばバッテリやＡＣアダプタなどから供給される電源である。

[0088] プロセッサ６１０は、電子デバイス６００の動作を制御するための電子回路であり、システムインパッケージ６０１の中の記憶装置６２０、または、システムインパッケージ６０１の外の記憶装置６５０として、本技術の実施の形態に係る記憶装置が接続されてもよい。その場合、プロセッサ６１０は、記憶装置６２０または６５０に対してリードまたはライトを行うコマンドを発行する。すなわち、プロセッサ６１０は、特許請求の範囲に記載のホストコンピュータの一例である。

[0089] 無線通信インターフェース６３０は、移動体通信、無線ＬＡＮまたは近距離通信の機能を有する。無線通信インターフェース６３０には、記憶装置６３１として、本技術の実施の形態に係る記憶装置が接続されてもよい。オーディオ回路６４０は、スピーカ６４２およびマイク６４３を制御する機能を持ち、オーディオ回路６４０には、記憶装置６４１として、本技術の実施の形態に係る記憶装置が接続されてもよい。

[0090] このように、本技術の実施の形態によれば、参照セルのデータの確からしさの状態を状態記憶部２１１および２２１に記憶して、これに基づいて書込み制御部２１２および２２２において制御を行うことにより、参照セルの状態を適正に管理することができる。また、これにより、参照セルの書込み回数を必要最小限にして、消費電力を低減し、メモリセルのエンデュランス制約を緩和することができる。

[0091] なお、上述の実施の形態は本技術を具現化するための一例を示したもので

あり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0092] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、ＣＤ（Compact Disc）、ＭＤ（MiniDisc）、ＤＶＤ（Digital Versatile Disc）、メモリカード、ブルーレイディスク（Blu-ray（登録商標）Disc）等を用いることができる。

[0093] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0094] なお、本技術は以下のような構成もとることができる。

（１）第１のメモリセルアレイに含まれてセンスアンプの参照電位を生成する第１の参照セルおよび第２のメモリセルアレイに含まれて前記センスアンプの参照電位を生成する第２の参照セルのそれぞれについて保持される値の確からしさを示す状態を記憶する状態記憶部と、

前記第１および第２の参照セルの何れか一方に対する書込みが指示された際に前記状態記憶部に記憶される前記第１および第２の参照セルに関する前記状態に基づいて前記指示された書込みの制御を行う書込み制御部と

を具備する記憶制御装置。

（２）前記書込み制御部は、前記第１および第２の参照セルをそれぞれ含む第１および第２の参照セル群を単位として書込みを行い、

前記状態記憶部は、前記第１および第２の参照セル群ごとに前記状態を記憶する

前記（１）に記載の記憶制御装置。

（３）前記状態記憶部は、前記第１および第２の参照セルの何れか一方に対する書込みが行われるとその書込みが行われた参照セルに関する前記状態を更新する

前記（１）または（２）に記載の記憶制御装置。

（４）前記状態記憶部は、前記第１および第２の参照セルの何れか一方に対する書込みが行われるとその書込みからの経過時間に応じてその参照セルに関する前記状態を更新する

前記（１）から（３）のいずれかに記載の記憶制御装置。

（５）前記書込みからの経過時間を管理するタイマー回路をさらに具備する

前記（４）に記載の記憶制御装置。

（６）前記書込み制御部は、前記第１の参照セルに対する書込みが指示された際に前記状態記憶部に記憶される前記第１の参照セルに関する前記状態が所定の条件を満たしている場合には、前記第１の参照セルに書込みを行わないよう制御する

前記（１）から（５）のいずれかに記載の記憶制御装置。

（７）前記書込み制御部は、前記第１の参照セルに対する書込みが指示された際に前記状態記憶部に記憶される前記第１の参照セルに関する前記状態が前記所定の条件を満たしていない場合には、前記状態記憶部に記憶される前記第２の参照セルに関する前記状態に応じて前記第１の参照セルへの書込みの制御を行う

前記（６）に記載の記憶制御装置。

（８）前記書込み制御部は、前記第１の参照セルに関する前記状態が前記所定の条件を満たしていない場合において、前記第２の参照セルに関する前記状態が他の所定の条件を満たしている場合には前記第２の参照セルから生成された参照電位を基準として読み出した前記第１の参照セルの値と所定の読出し期待値とが一致しないときのみ前記第１の参照セルに書込みを行うよう制御する

前記（７）に記載の記憶制御装置。

（９）前記第２の参照セルから生成された前記センスアンプの参照電位を基準として読み出した前記第１の参照セルの値と前記所定の読出し期待値との一致判定を行う判定回路をさらに具備する前記（８）に記載の記憶制御装置。

（１０）前記書込み制御部は、前記第１の参照セルに関する前記状態が前記所定の条件を満たしていない場合において、前記第２の参照セルに関する前記状態が他の所定の条件を満たしていない場合には前記第１の参照セルに書込みを行うよう制御する

前記（７）から（９）のいずれかに記載の記憶制御装置。

（１１）センスアンプの参照電位を生成する第１の参照セルを含む第１のメモリセルアレイと、

前記センスアンプの参照電位を生成する第２の参照セルを含む第２のメモリセルアレイと、

前記第１および第２の参照セルのそれぞれについて保持される値の確からしさを示す状態を記憶する状態記憶部と、

前記第１および第２の参照セルの何れか一方に対する書込みが指示された際に前記状態記憶部に記憶される前記第１および第２の参照セルに関する前記状態に基づいて前記指示された書込みの制御を行う書込み制御部と

を具備する記憶装置。

（１２）前記第１および第２の参照セルは、抵抗変化型のメモリ素子である

前記（１１）に記載の記憶装置。

（１３）前記第１および第２の参照セルは、磁気抵抗変化型のメモリ素子である

前記（１２）に記載の記憶装置。

（１４）センスアンプの参照電位を生成する第１の参照セルを含む第１のメモリセルアレイと、

前記センスアンプの参照電位を生成する第２の参照セルを含む第２のメモリセルアレイと、

前記第１および第２のメモリセルアレイに対してリードまたはライトを行うコマンドを発行するホストコンピュータと、

前記第１および第２の参照セルのそれぞれについて保持される値の確からしさを示す状態を記憶する状態記憶部と、

前記第１および第２の参照セルの何れか一方に対する書込みが指示された際に前記状態記憶部に記憶される前記第１および第２の参照セルに関する前記状態に基づいて前記指示された書込みの制御を行う書込み制御部と

を具備する情報処理システム。

符号の説明

[0095] １０　ＭＴＪ（Magnetic Tunnel Junction）素子

１１　フリー層

１２　絶縁層

１３　リファレンス層

２０　ＭＯＳトランジスタ

１１０　メモリセルアレイ

１１１　メモリセル

１２１　行デコーダ

１２２　ワードラインドライバ

１３０　参照電位生成回路

１４１、１４２　スイッチ

１５０　データ選択回路

１６０　ライトドライバ

１７０　センスアンプ

１８０　判定回路

１９０　制御回路

１９１　参照セル書込み動作制御回路

１９２　タイマー回路

１９３　参照セルマスターデータ保持部

２１１、２２１　状態記憶部

２１２、２２２　書込み制御部

６１０　プロセッサ

６２０、６５０　記憶装置

請求の範囲

[請求項1] 第１のメモリセルアレイに含まれてセンスアンプの参照電位を生成する第１の参照セルおよび第２のメモリセルアレイに含まれて前記センスアンプの参照電位を生成する第２の参照セルのそれぞれについて保持される値の確からしさを示す状態を記憶する状態記憶部と、

前記第１および第２の参照セルの何れか一方に対する書込みが指示された際に前記状態記憶部に記憶される前記第１および第２の参照セルに関する前記状態に基づいて前記指示された書込みの制御を行う書込み制御部と

を具備する記憶制御装置。

[請求項2] 前記書込み制御部は、前記第１および第２の参照セルをそれぞれ含む第１および第２の参照セル群を単位として書込みを行い、

前記状態記憶部は、前記第１および第２の参照セル群ごとに前記状態を記憶する

請求項１記載の記憶制御装置。

[請求項3] 前記状態記憶部は、前記第１および第２の参照セルの何れか一方に対する書込みが行われるとその書込みが行われた参照セルに関する前記状態を更新する

請求項１記載の記憶制御装置。

[請求項4] 前記状態記憶部は、前記第１および第２の参照セルの何れか一方に対する書込みが行われるとその書込みからの経過時間に応じてその参照セルに関する前記状態を更新する

請求項１記載の記憶制御装置。

[請求項5] 前記書込みからの経過時間を管理するタイマー回路をさらに具備する請求項４記載の記憶制御装置。

[請求項6] 前記書込み制御部は、前記第１の参照セルに対する書込みが指示された際に前記状態記憶部に記憶される前記第１の参照セルに関する前記状態が所定の条件を満たしている場合には、前記第１の参照セルに

書込みを行わないよう制御する

請求項１記載の記憶制御装置。

[請求項7] 前記書込み制御部は、前記第１の参照セルに対する書込みが指示された際に前記状態記憶部に記憶される前記第１の参照セルに関する前記状態が前記所定の条件を満たしていない場合には、前記状態記憶部に記憶される前記第２の参照セルに関する前記状態に応じて前記第１の参照セルへの書込みの制御を行う

請求項６記載の記憶制御装置。

[請求項8] 前記書込み制御部は、前記第１の参照セルに関する前記状態が前記所定の条件を満たしていない場合において、前記第２の参照セルに関する前記状態が他の所定の条件を満たしている場合には前記第２の参照セルから生成された参照電位を基準として読み出した前記第１の参照セルの値と所定の読出し期待値とが一致しないときのみ前記第１の参照セルに書込みを行うよう制御する

請求項７記載の記憶制御装置。

[請求項9] 前記第２の参照セルから生成された前記センスアンプの参照電位を基準として読み出した前記第１の参照セルの値と前記所定の読出し期待値との一致判定を行う判定回路をさらに具備する請求項８記載の記憶制御装置。

[請求項10] 前記書込み制御部は、前記第１の参照セルに関する前記状態が前記所定の条件を満たしていない場合において、前記第２の参照セルに関する前記状態が他の所定の条件を満たしていない場合には前記第１の参照セルに書込みを行うよう制御する

請求項７記載の記憶制御装置。

[請求項11] センスアンプの参照電位を生成する第１の参照セルを含む第１のメモリセルアレイと、

前記センスアンプの参照電位を生成する第２の参照セルを含む第２のメモリセルアレイと、

前記第１および第２の参照セルのそれぞれについて保持される値の確からしさを示す状態を記憶する状態記憶部と、

前記第１および第２の参照セルの何れか一方に対する書込みが指示された際に前記状態記憶部に記憶される前記第１および第２の参照セルに関する前記状態に基づいて前記指示された書込みの制御を行う書込み制御部と

を具備する記憶装置。

[請求項12] 前記第１および第２の参照セルは、抵抗変化型のメモリ素子である請求項１１記載の記憶装置。

[請求項13] 前記第１および第２の参照セルは、磁気抵抗変化型のメモリ素子である

請求項１２記載の記憶装置。

[請求項14] センスアンプの参照電位を生成する第１の参照セルを含む第１のメモリセルアレイと、

前記センスアンプの参照電位を生成する第２の参照セルを含む第２のメモリセルアレイと、

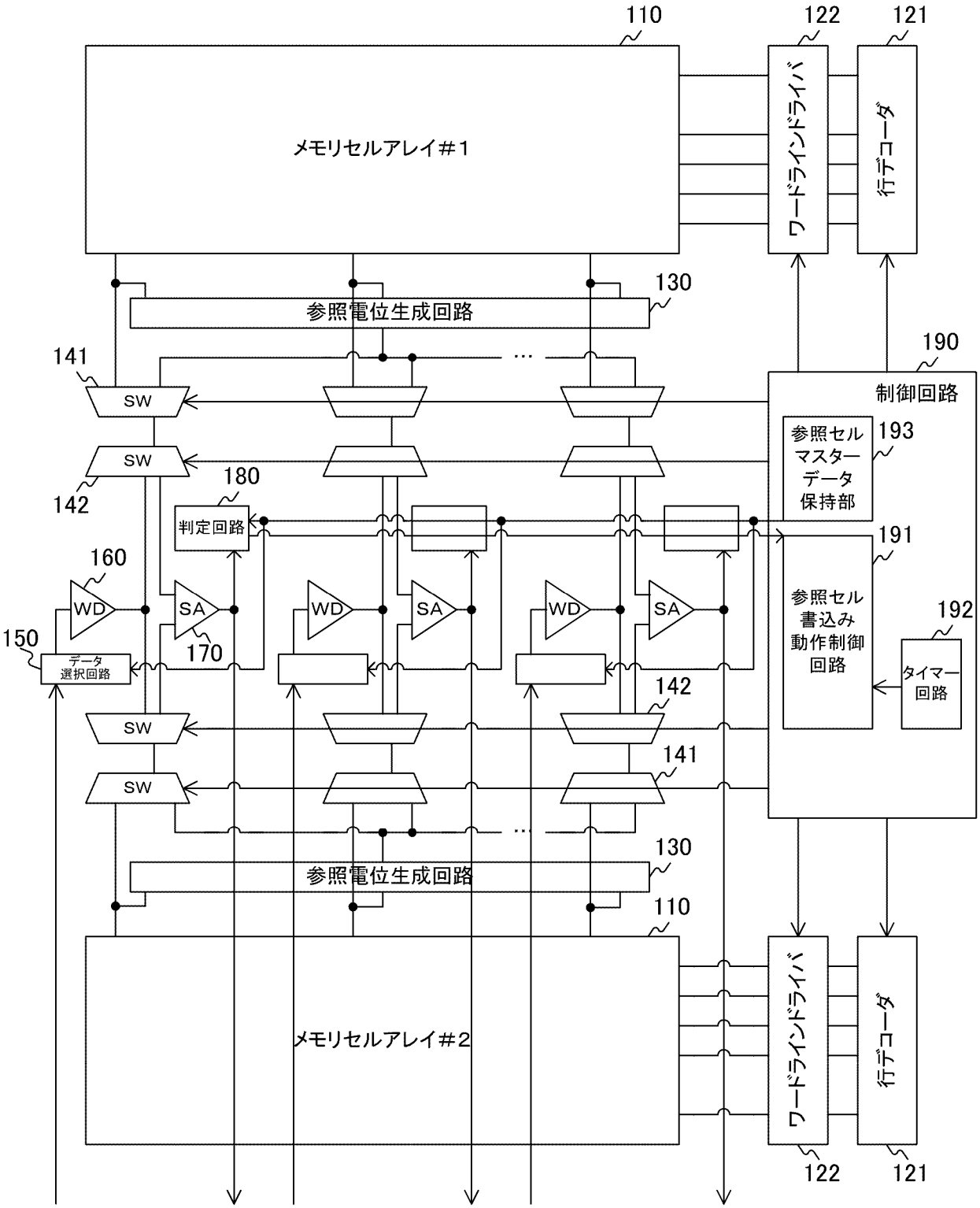
前記第１および第２のメモリセルアレイに対してリードまたはライトを行うコマンドを発行するホストコンピュータと、

前記第１および第２の参照セルのそれぞれについて保持される値の確からしさを示す状態を記憶する状態記憶部と、

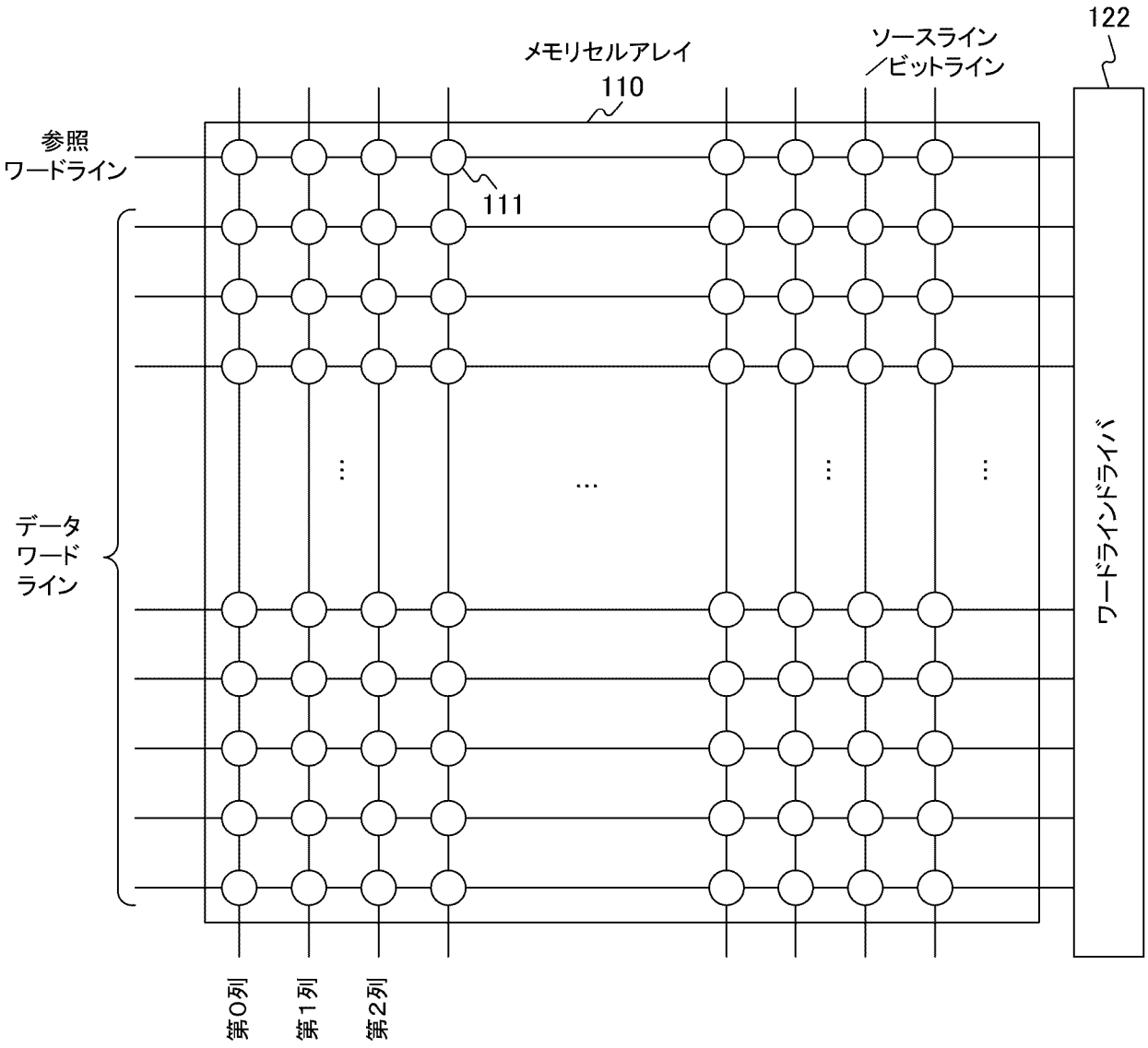
前記第１および第２の参照セルの何れか一方に対する書込みが指示された際に前記状態記憶部に記憶される前記第１および第２の参照セルに関する前記状態に基づいて前記指示された書込みの制御を行う書込み制御部と

を具備する情報処理システム。

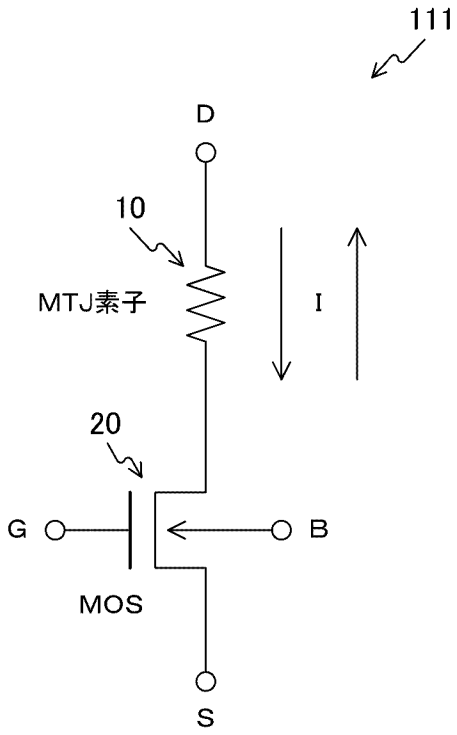
[図1]


110
122
121
メモリセルアレイ＃1
ワードラインドライバ
行デコーダ
130
参照電位生成回路
141
SW
142
180
判定回路
160
WD
SA
170
150
データ
選択回路
190
制御回路
参照セル
マスター
データ
保持部
193
191
参照セル
書込み
動作制御
回路
192
タイマー
回路
メモリセルアレイ＃2

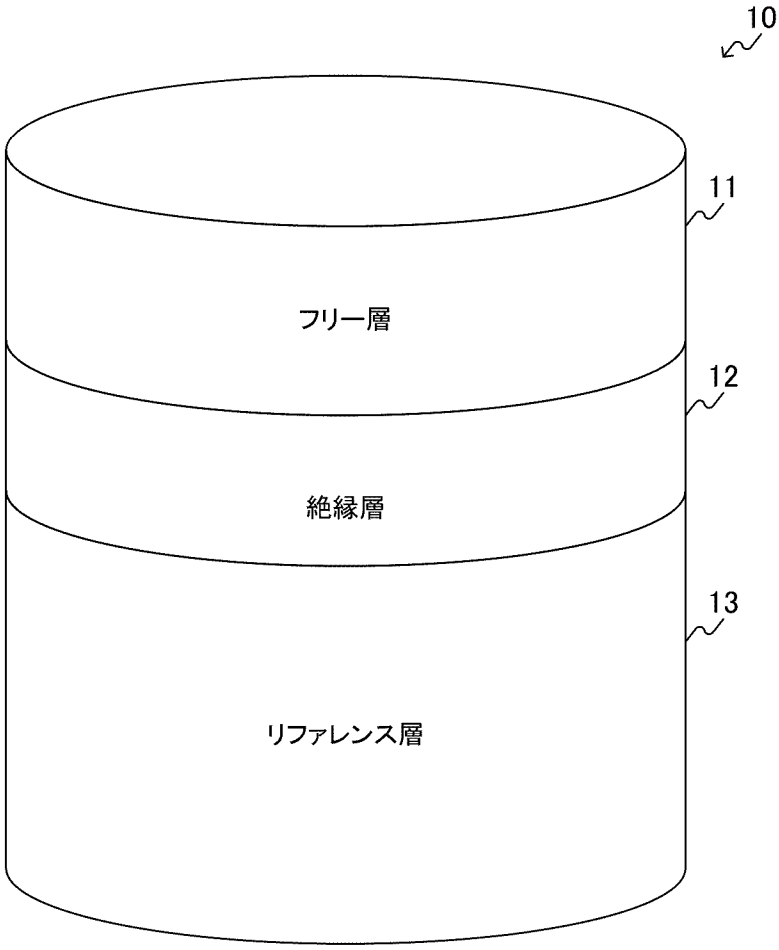
[図2]


122
メモリセルアレイ
110
ソースライン
／ビットライン
参照
ワードライン
111
データ
ワード
ライン
ワードラインドライバ
第0列
第1列
第2列

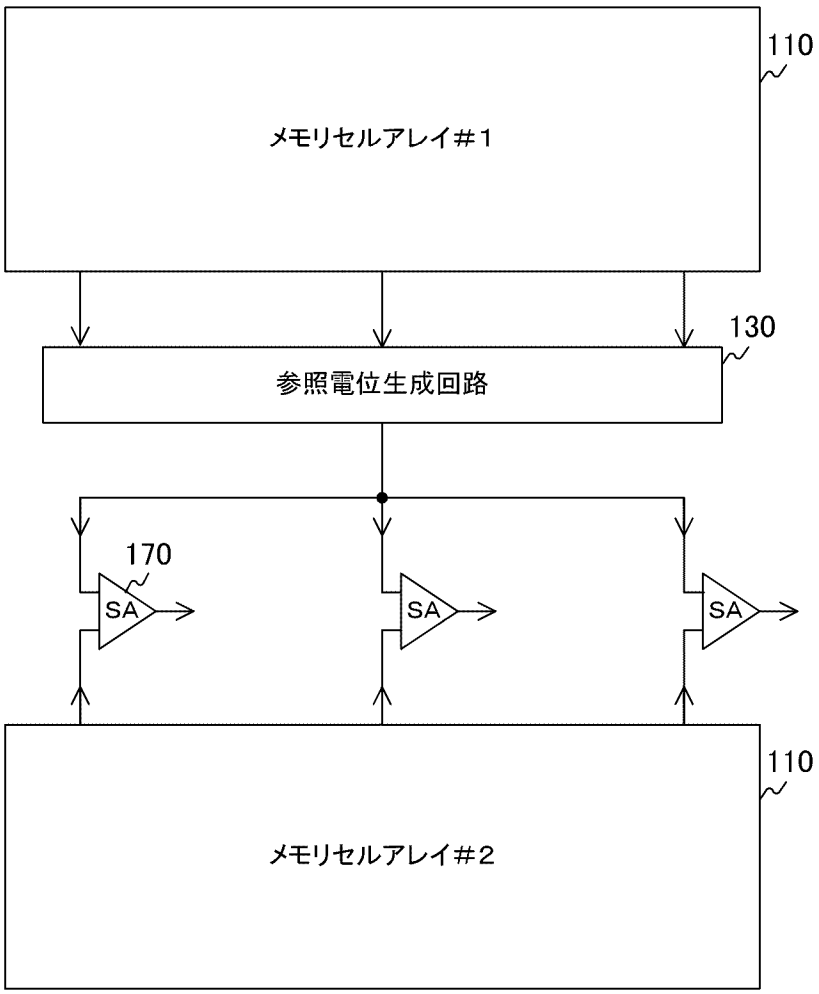
[図3]



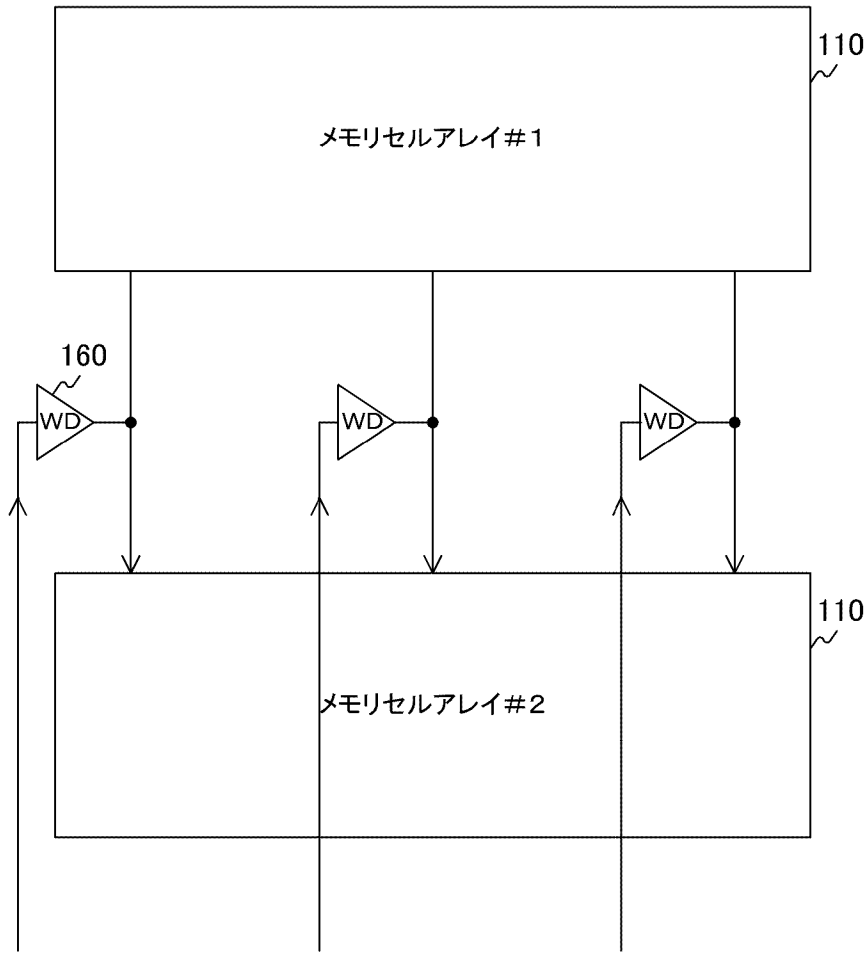
[図4]



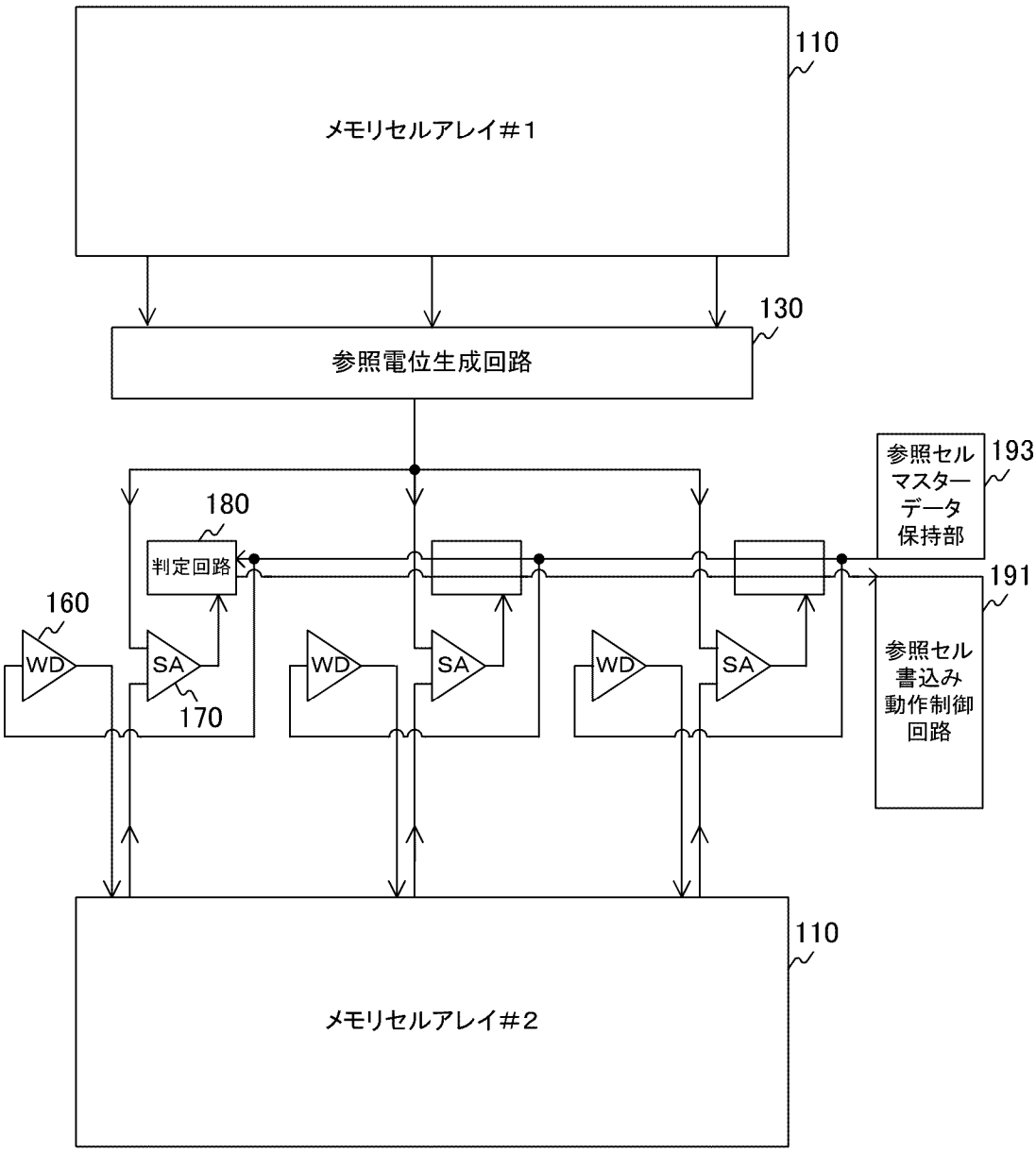
[図5]



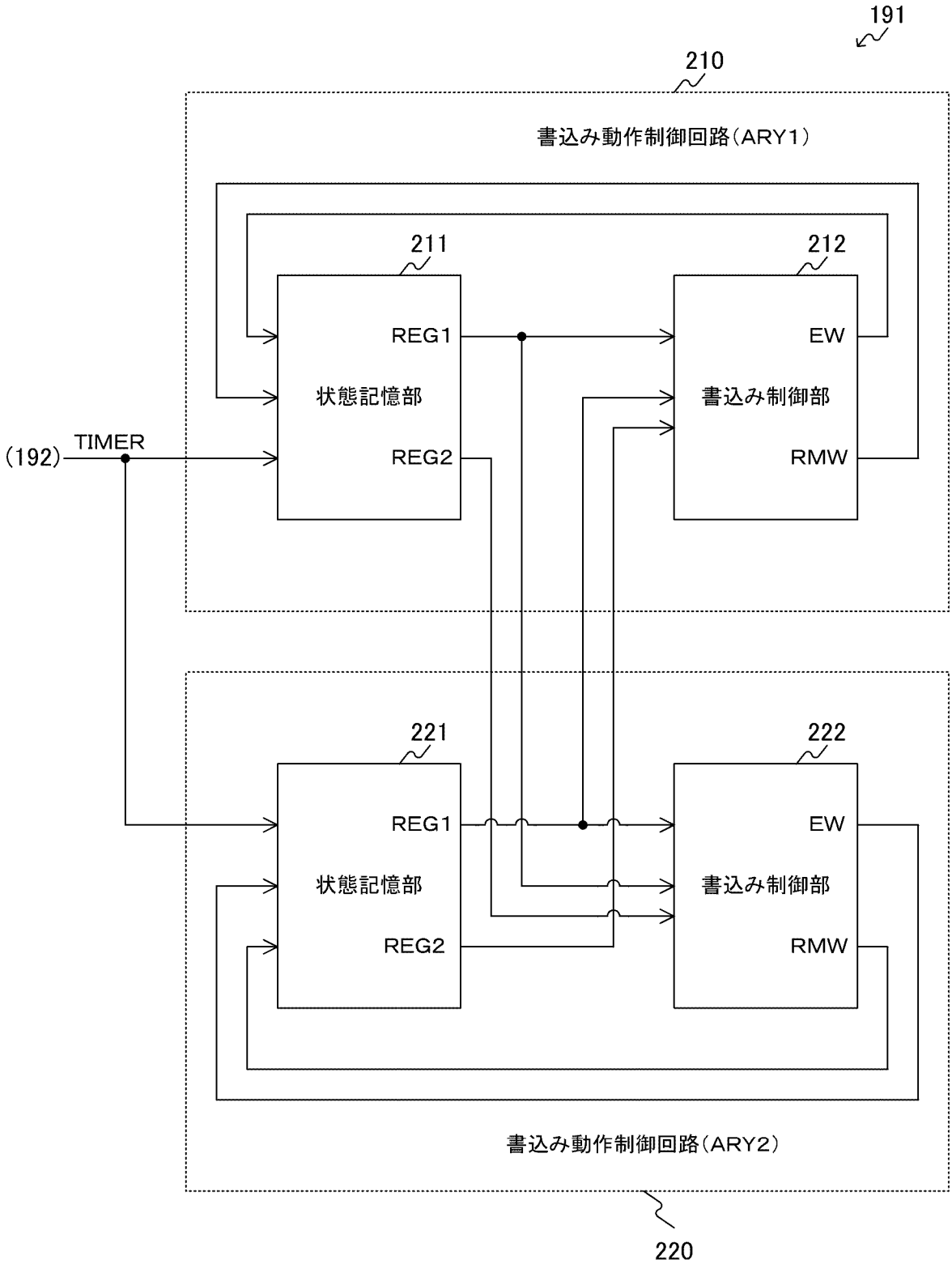
[図6]



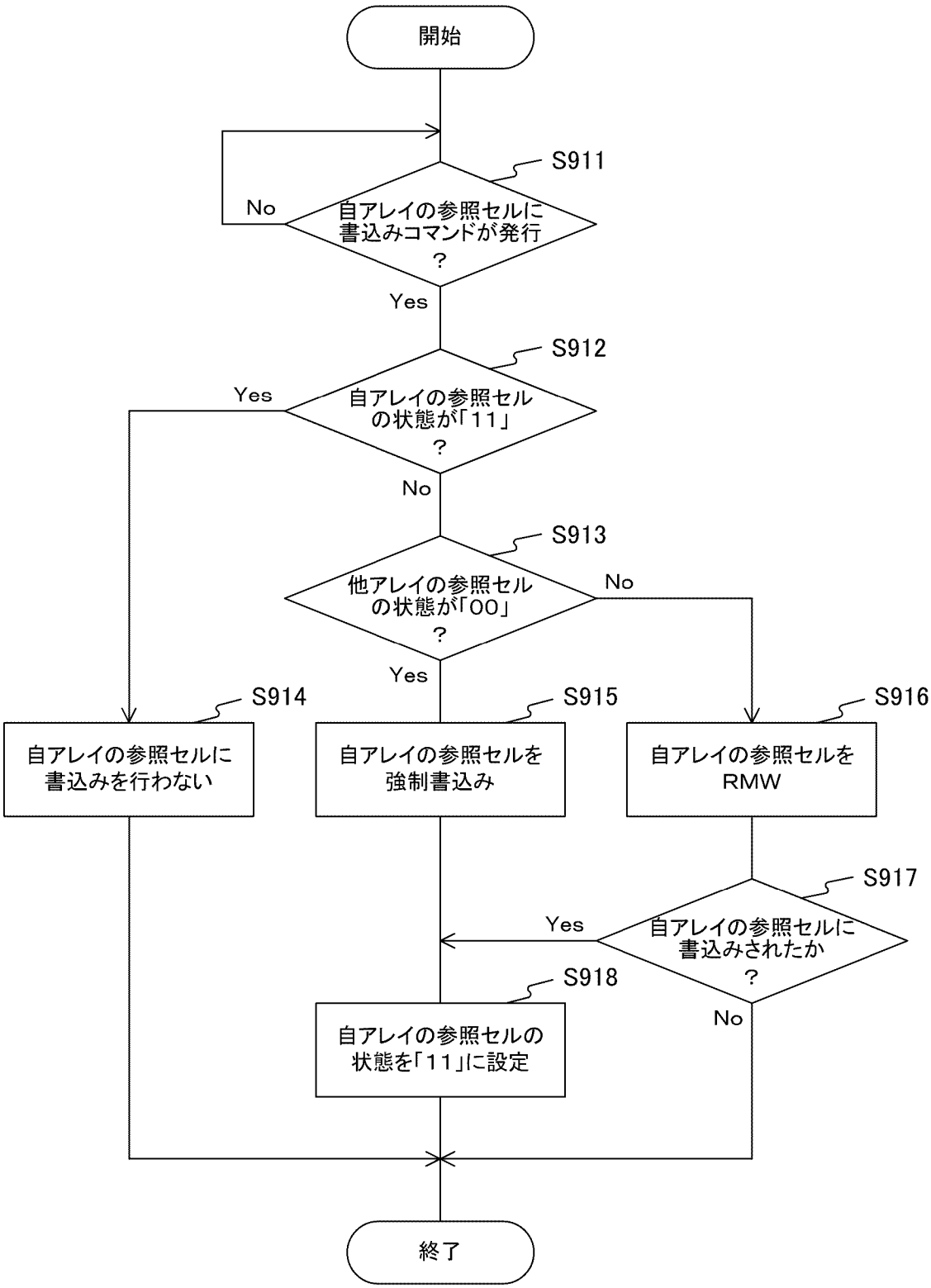
[図7]


110
メモリセルアレイ＃1
130
参照電位生成回路
参照セル
マスター
データ
保持部
193
180
判定回路
191
160
WD
SA
170
参照セル
書込み
動作制御
回路
110
メモリセルアレイ＃2

[図8]


191
210
書込み動作制御回路(ARY1)
211
212
REG1
状態記憶部
REG2
EW
書込み制御部
RMW
TIMER
(192)
221
222
REG1
状態記憶部
REG2
EW
書込み制御部
RMW
書込み動作制御回路(ARY2)
220

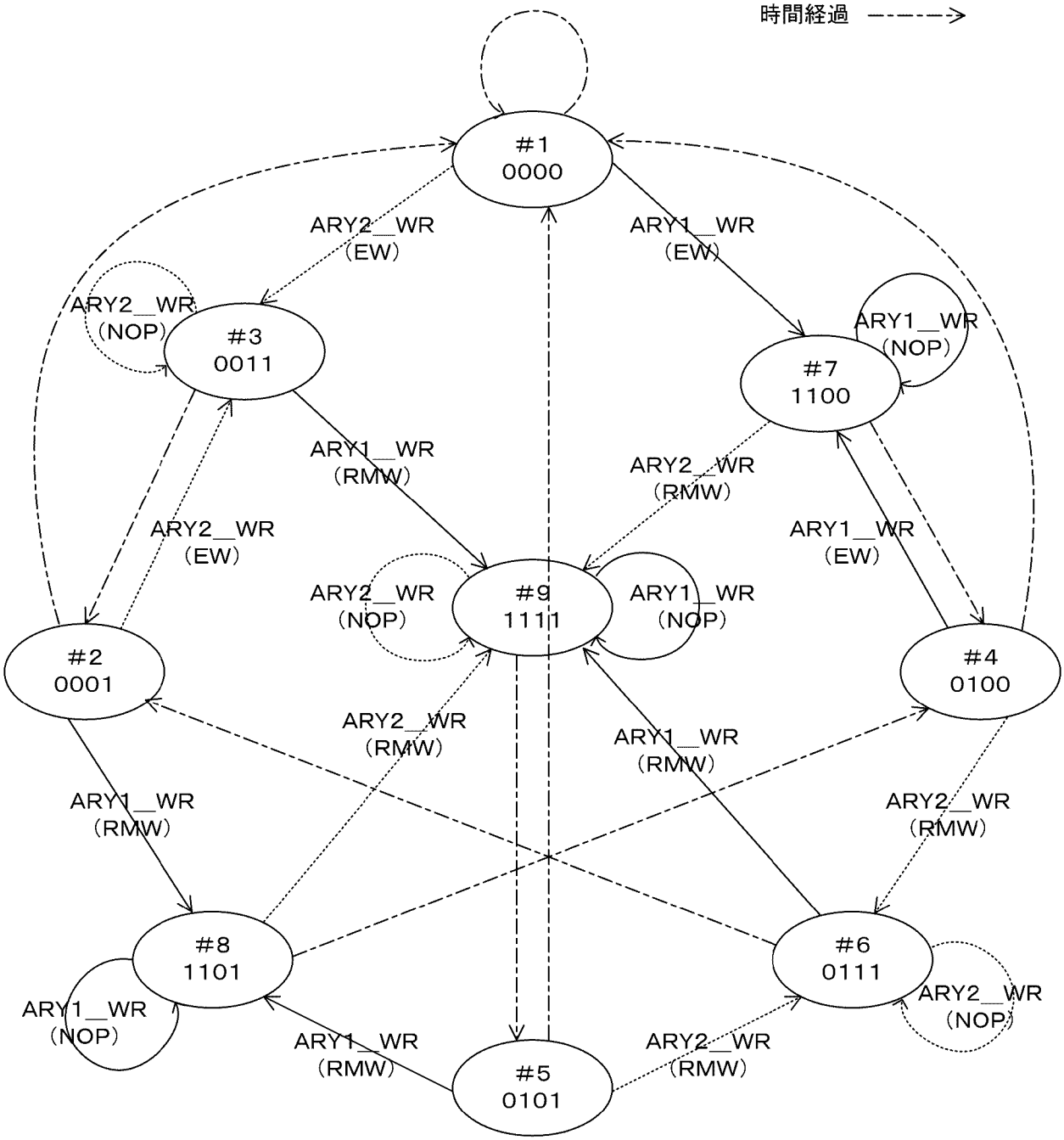
[図9]


開始
S911
自アレイの参照セルに書込みコマンドが発行？
No
Yes
S912
自アレイの参照セルの状態が「11」？
Yes
No
S913
他アレイの参照セルの状態が「00」？
No
Yes
S914
自アレイの参照セルに書込みを行わない
S915
自アレイの参照セルを強制書込み
S916
自アレイの参照セルをRMW
S917
自アレイの参照セルに書込みされたか？
Yes
No
S918
自アレイの参照セルの状態を「11」に設定
終了

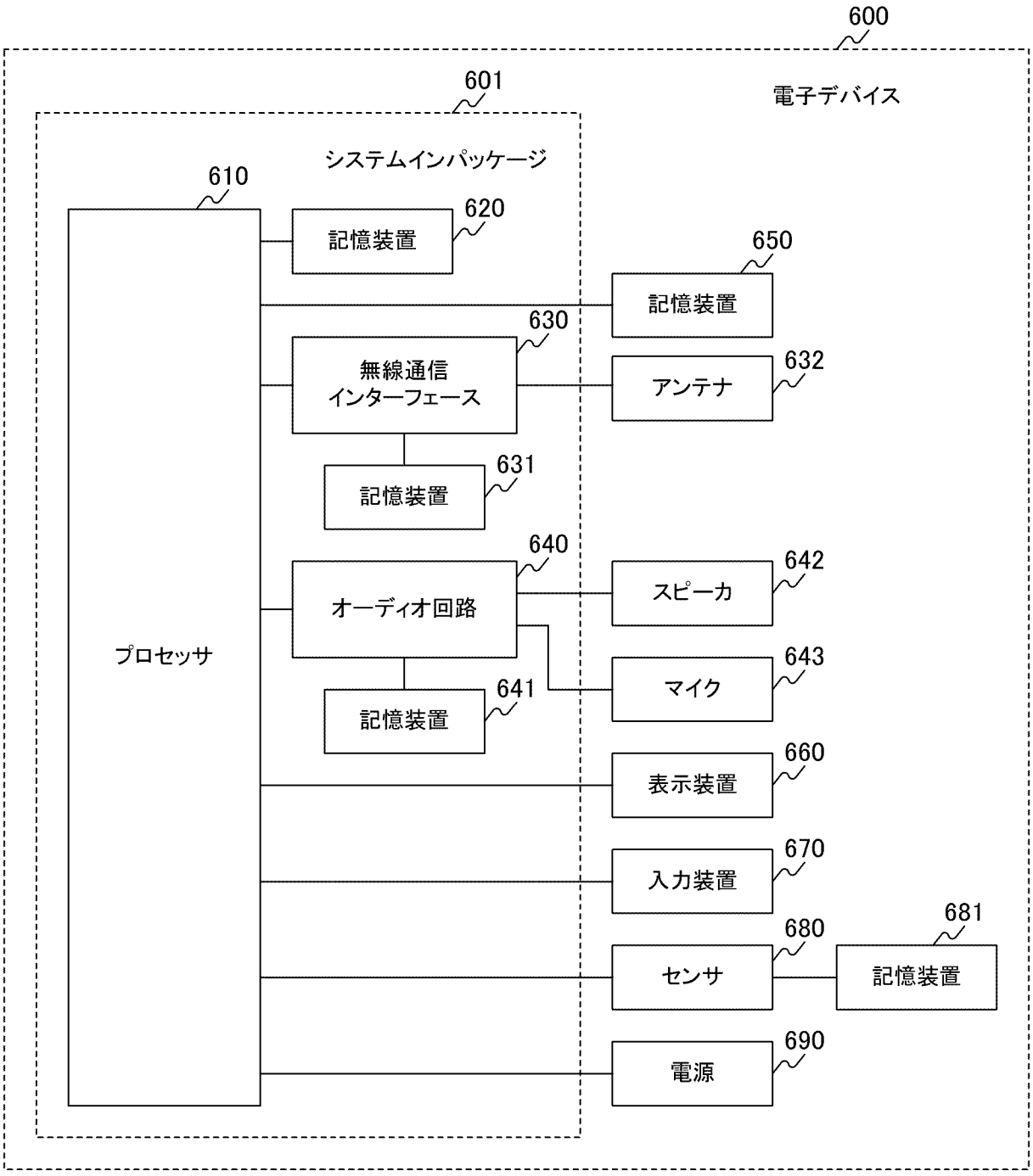
[図10]

ケース	状態				参照セル書込み時の動作	
	ARY1		ARY2			
	REG1	REG2	REG1	REG2	ARY1	ARY2
#1	0	0	0	0	EW	EW
#2	0	0	0	1	RMW	EW
#3	0	0	1	1	RMW	NOP
#4	0	1	0	0	EW	RMW
#5	0	1	0	1	RMW	RMW
#6	0	1	1	1	RMW	NOP
#7	1	1	0	0	NOP	RMW
#8	1	1	0	1	NOP	RMW
#9	1	1	1	1	NOP	NOP

[図11]


時間経過
#1
0000
ARY2__WR
(EW)
ARY1__WR
(EW)
ARY2__WR
(NOP)
#3
0011
ARY1__WR
(NOP)
#7
1100
ARY1__WR
(RMW)
ARY2__WR
(RMW)
ARY2__WR
(EW)
ARY1__WR
(EW)
ARY2__WR
(NOP)
#9
1111
ARY1__WR
(NOP)
#2
0001
#4
0100
ARY2__WR
(RMW)
ARY1__WR
(RMW)
ARY1__WR
(RMW)
ARY2__WR
(RMW)
#8
1101
#6
0111
ARY1__WR
(NOP)
ARY2__WR
(NOP)
ARY1__WR
(RMW)
ARY2__WR
(RMW)
#5
0101

[図12]


600
電子デバイス
601
システムインパッケージ
610
プロセッサ
620
記憶装置
650
記憶装置
630
無線通信
インターフェース
632
アンテナ
631
記憶装置
640
オーディオ回路
642
スピーカ
643
マイク
641
記憶装置
660
表示装置
670
入力装置
681
680
センサ
記憶装置
690
電源

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/034349

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. G11C7/14(2006.01)i, G11C11/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. G11C7/14, G11C11/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-334589 A (ST MICROELECTRONICS SA) 22 November 2002, abstract, paragraphs [0001], [0009], [0024], fig. 3 & US 2002/0159308 A1, abstract, paragraphs [0001], [0010], [0048], fig. 3 & EP 1233422 A1 & FR 2820539 A1	1-14
A	JP 2004-185745 A (SHARP CORP.) 02 July 2004, abstract, paragraphs [0008]-[0017], [0037], [0043], fig. 1 & US 2004/0109353 A1, abstract, paragraphs [0009]-[0018], [0042], [0048], fig. 1 & EP 1426970 A2 & CN 1506977 A & KR 10-2004-0048870 A	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07.11.2019	19.11.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/034349

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/163737 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 13 September 2018, paragraphs [0018], [0040], [0042], fig. 1 & JP 2018-147545 A & TW 201837915 A	1-14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０３４３４９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G11C7/14(2006.01)i, G11C11/16(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G11C7/14, G11C11/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	JP 2002-334589 A (エステーミクロエレクトロニクス　ソシエテ　アノニム) 2002.11.22, 要約, 段落[0001], 段落[0009], 段落[0024], 図 3 & US 2002/0159308 A1, ABSTRACT, 段落[0001], 段落[0010], 段落[0048], 図 3 & EP 1233422 A1 & FR 2820539 A1	1－14

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０７．１１．２０１９	１９．１１．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｎ　９１９０
酒井　恭信
電話番号　０３－３５８１－１１０１　内線　３５８６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2004-185745 A（シャープ株式会社）2004.07.02, 要約，段落[0008]－[0017]，段落[0037]，段落[0043]，図１ & US 2004/0109353 A1，ABSTRACT，段落[0009]－[0018]， 段落[0042]，段落[0048]，図１ & EP 1426970 A2 & CN 1506977 A & KR 10-2004-0048870 A	1－14
A	WO 2018/163737 A1（ソニーセミコンダクタソリューションズ株式会社）2018.09.13，段落[0018]，段落[0040]，段落[0042]，図１ & JP 2018-147545 A & TW 201837915 A	1－14