

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4974492号  
(P4974492)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int.Cl.

F I

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 51/50 (2006.01)

G 0 9 G 3/30 H

G 0 9 G 3/30 K

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 2 P

G 0 9 G 3/20 6 7 0 A

請求項の数 6 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2005-234205 (P2005-234205)  
 (22) 出願日 平成17年8月12日(2005.8.12)  
 (65) 公開番号 特開2006-79077 (P2006-79077A)  
 (43) 公開日 平成18年3月23日(2006.3.23)  
 審査請求日 平成20年6月25日(2008.6.25)  
 (31) 優先権主張番号 特願2004-236094 (P2004-236094)  
 (32) 優先日 平成16年8月13日(2004.8.13)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 納 光明  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 安西 彩  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 山崎 仁之

最終頁に続く

(54) 【発明の名称】 発光装置

(57) 【特許請求の範囲】

【請求項1】

第1の電極と第2の電極を備えた発光素子と、pチャネル型のトランジスタと、インバーターと、定電流源と、を備えた回路を有し、

前記第1の電極は、前記第2の電極の電位よりも低い電位を与える機能を有する端子と電気的に接続され、

前記第2の電極は、前記トランジスタのソース又はドレインの一方及び前記インバーターの入力端子と電気的に接続され、

前記トランジスタのソース又はドレインの他方は、前記定電流源と電気的に接続され、  
 前記トランジスタのゲートは、前記インバーターの出力端子と電気的に接続されている  
 ことを特徴とする発光装置。

10

【請求項2】

第1の電極と第2の電極を備えた発光素子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、定電流源と、を備えた回路を有し、

前記第1のトランジスタ及び前記第2のトランジスタは、pチャネル型のトランジスタであり、

前記第3のトランジスタは、nチャネル型のトランジスタであり、

前記第1の電極は、前記第2の電極の電位よりも低い電位を与える機能を有する第1の端子と電気的に接続され、

前記第2の電極は、前記第1のトランジスタのソース又はドレインの一方、前記第2の

20

トランジスタのゲート、及び前記第3のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのゲートは、前記第2のトランジスタのソース又はドレインの一方及び前記第3のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記定電流源と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第1のトランジスタをオフにする電位を与える機能を有する第2の端子と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第1のトランジスタをオンにする電位を与える機能を有する第3の端子と電氣的に接続されていることを特徴とする発光装置。

【請求項3】

第1の電極と第2の電極を備えた発光素子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、定電流源と、を備えた回路を有し、

前記第1のトランジスタ及び前記第2のトランジスタは、pチャネル型のトランジスタであり、

前記第3のトランジスタ及び前記第4のトランジスタは、nチャネル型のトランジスタであり、

前記第1の電極は、前記第2の電極の電位よりも低い電位を与える機能を有する第1の端子と電氣的に接続され、

前記第2の電極は、前記第1のトランジスタのソース又はドレインの一方、前記第2のトランジスタのゲート、及び前記第3のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのゲートは、前記第2のトランジスタのソース又はドレインの一方及び前記第3のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記定電流源と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第1のトランジスタをオフにする電位を与える機能を有する第2の端子と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第4のトランジスタをオフにする電位を与える機能を有する第3の端子と電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1のトランジスタをオンにする電位を与える機能を有する第4の端子と電氣的に接続されていることを特徴とする発光装置。

【請求項4】

第1の電極と第2の電極を備えた発光素子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、定電流源と、を備えた回路を有し、

前記第1のトランジスタ、前記第2のトランジスタ、及び前記第4のトランジスタは、pチャネル型のトランジスタであり、

前記第3のトランジスタ及び前記第5のトランジスタは、nチャネル型のトランジスタであり、

前記第1の電極は、前記第2の電極の電位よりも低い電位を与える機能を有する第1の端子と電氣的に接続され、

前記第2の電極は、前記第1のトランジスタのソース又はドレインの一方、前記第2のトランジスタのゲート、及び前記第3のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのゲートは、前記第2のトランジスタのソース又はドレインの一方、前記第3のトランジスタのソース又はドレインの一方、及び前記第5トランジスタのソース又はドレインの一方と電氣的に接続され、

10

20

30

40

50

前記第 1 のトランジスタのソース又はドレインの他方は、前記定電流源と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタをオンにする電位を与える機能を有する第 2 の端子と電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 4 のトランジスタをオン、前記第 5 のトランジスタをオフにする電位を与える機能を有する第 3 の端子、及び前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタをオフにする電位を与える機能を有する第 4 の端子と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタをオンにする電位を与える機能を有する第 5 の端子と電氣的に接続されていることを特徴とする発光装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記発光素子に逆方向電圧を印加することにより前記発光素子のショートした部分を絶縁化させる機能を有することを特徴とする発光装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記回路を複数有することを特徴とする発光装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自発光素子を有する発光装置、及びその駆動方法に関する。

【背景技術】

【0002】

近年、EL (Electro Luminescence) 素子を代表とする発光素子を含む発光装置の開発が進められ、自発光型ゆえの高画質、広視野角、薄型、軽量等の利点を活かして、幅広い利用が期待されている。

【0003】

このような発光素子は経時劣化や初期不良を生じることがある。経時劣化や初期不良を防止するため、発光素子を作製するときに、陽極表面を PVA (ポリビニルアルコール) 系の多孔質体などを用いて拭い、平坦化およびゴミの除去を行う方法が提案されている (特許文献 1 参照)。

【特許文献 1】特開 2002 - 318546

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、上記発光素子の経時劣化や初期不良に対し、上記特許文献 1 とは異なる新たな方法により解決することを課題とする。

【課題を解決するための手段】

【0005】

上記課題を鑑み本発明は、発光装置の一部にモニター用発光素子を設け、該モニター素子の変動を考慮し、発光素子へ供給する電圧、又は電流を補正することを特徴とする。

【0006】

具体的な本発明の一形態は、複数のモニター用発光素子と、複数のモニター用発光素子が有する電極の電位の変化をモニターするモニター線と、複数のモニター用発光素子のいずれかがショートすると、モニター線を介してショートしたモニター用発光素子へ供給される電流を電氣的に遮断する手段とを有する発光装置である。

10

20

30

40

50

## 【 0 0 0 7 】

また本発明の別形態は、モニター用発光素子と、モニター用発光素子に、一方の電極が接続されたモニター制御用トランジスタと、モニター制御用トランジスタのゲート電極に出力端子が接続され、かつモニター制御用トランジスタの一方の電極及びモニター用発光素子に入力端子が接続されたインバーターを有する発光装置である。

## 【 0 0 0 8 】

また本発明の別形態は、モニター用発光素子と、モニター用発光素子に接続されたモニター制御用トランジスタとを有し、モニター制御用トランジスタを、モニター用発光素子がショートしたときオフとする発光装置の駆動方法である。

## 【 0 0 0 9 】

上記のように駆動させるため、インバーターは、モニター制御用トランジスタを、モニター用発光素子がショートしたときにオフさせる機能を有する回路である。そのため、本発明は該機能を有する回路であればインバーターに限定されるものではない。

## 【 0 0 1 0 】

またモニター用発光素子は、画素部に設けられた複数の発光素子と、同一工程により作製される。そのため、発光装置が置かれる環境の温度（単に、環境温度と表記する）や、経時変化（一般的には劣化することが多いため、経時劣化と表記する）に対する特性は、同じ、又はほぼ同じである。

## 【 発明の効果 】

## 【 0 0 1 1 】

本発明により、環境温度の変化や経時劣化による輝度バラツキが低減された発光装置を提供することができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 2 】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

## 【 0 0 1 3 】

なお本明細書において、各素子間の接続は、電氣的に接続されていることを示す。そのため、接続関係を有する素子間に、半導体素子やスイッチング素子等を介して接続することもありうる。

## 【 0 0 1 4 】

また本明細書において、トランジスタのソース電極及びドレイン電極は、トランジスタの構成上、ゲート電極以外の電極を便宜上区別するために採用されている名称である。本発明において、トランジスタの極性に限定されない構成の場合、その極性を考慮すると、ソース電極及びドレイン電極の名称は変化する。そのため、ソース電極又はドレイン電極を、一方の電極及び他方の電極のいずれかとして記載することがある。

## 【 0 0 1 5 】

## （実施の形態 1）

本実施の形態では、モニター用発光素子を有するパネルの構成について説明する。

## 【 0 0 1 6 】

図 1 には、絶縁基板 2 0 上に、画素部 4 0、信号線駆動回路 4 3、第 1 の走査線駆動回路 4 1、第 2 の走査線駆動回路 4 2、モニター用回路 6 4 が設けられている。

## 【 0 0 1 7 】

画素部 4 0 には、複数の画素 1 0 が設けられ、各画素には、発光素子 1 3、発光素子 1 3 に接続し、電流の供給を制御する機能を有するトランジスタ（以下、駆動用トランジスタと表記する）1 2 が設けられている。発光素子は、電源 1 8 に接続されている。なお、よ

10

20

30

40

50

り具体的な画素 10 の構成は、以下の実施の形態で例示する。

【0018】

モニター用回路 64 には、モニター用発光素子 66、モニター用発光素子 66 に接続されたトランジスタ（以下、モニター制御用トランジスタと表記する）111、モニター制御用トランジスタのゲート電極に出力端子が接続され、かつモニター制御用トランジスタの一方の電極及びモニター用発光素子に出力端子が接続されたインバーター 112 を有する。モニター制御用トランジスタ 111 には、モニター用電流線（以下、モニター線と表記する）113 を介して、一定電流を供給する機能を有する定電流源 105 が接続されている。モニター制御用トランジスタ 111 は、複数のモニター用発光素子のそれぞれへ、モニター線からの電流供給を制御し、モニター線を介してショートしたモニター用発光素子へ供給される電流を電氣的に遮断する機能を有する。インバーター 112 は、モニター用発光素子のいずれかがショートするとき、モニター制御用トランジスタをオフとする機能を有する。モニター線は、複数のモニター用発光素子が有する電極に接続されているため、該電極の電位の変化をモニターする機能を有することができる。また定電流源は、モニター線へ一定電流を供給する機能を有すればよい。

10

【0019】

モニター用発光素子 66 は、発光素子 13 と同一の作製条件により、同一の工程で作製されたものであり、同一構成を有する。そのため、環境温度の変化と経時劣化に対して同じ特性、又はほぼ同じ特性を有する。このようなモニター用発光素子 66 は、電源 18 に接続されている。ここで、発光素子 13 と接続される電源と、該モニター用発光素子 66 に接続される電源とは、同一電位のため、同一の符号を用いて、電源 18 と記載する。なお本実施の形態では、モニター制御用トランジスタ 111 の極性を p チャネル型として説明するが、これに限定されるものではなく、n チャネル型を用いてもよい。その場合、適宜周囲の回路構成を変更させる。

20

【0020】

このようなモニター用回路 64 を設ける位置は限定されず、信号線駆動回路 43 と画素部 40 との間や、第 1 又は第 2 の走査線駆動回路 41、42 と画素部 40 との間に設けてもよい。また信号線駆動回路や第 1 又は第 2 の走査線駆動回路は、絶縁基板上に COG により設けられた IC チップを適用してもよい。

【0021】

モニター用回路 64 と、画素部 40 との間には、バッファアンプ回路 110 が設けられている。バッファアンプ回路とは、入力と出力とが同じ電位であって、入力インピーダンスが高く、出力電流容量が高いという特性をもつ回路である。そのため、このような特性をもつ回路であれば、回路構成は適宜決定することができる。

30

【0022】

このような構成において、バッファアンプ回路は、モニター用発光素子 66 の一方の電極の電位の変化に伴い、画素部 40 が有する発光素子 13 に印加する電圧を変化させる機能を有する。

【0023】

このような構成において、定電流源 105、及びバッファアンプ回路 110 は同一な絶縁基板 20 上に設けても、別の基板上に設けてもよい。

40

【0024】

以上のような構成において、モニター用発光素子 66 には定電流源 105 から一定の電流が供給される。この状態で、環境温度の変化や、経時劣化が生じると、モニター用発光素子 66 の抵抗値が変化する。例えば、経時劣化が生じると、モニター用発光素子 66 の抵抗値が増加する。すると、モニター用発光素子 66 へ供給される電流値は一定であるため、モニター用発光素子 66 の両端の電位差が変化する。具体的には、モニター用発光素子 66 が有する両電極間の電位差が変化する。このとき、電源 18 に接続された電極の電位は固定されているため、定電流源 105 に接続されている電極の電位が変化する。この電極の電位の変化は、モニター線 113 を介してバッファアンプ回路 110 に供給される。

50

## 【 0 0 2 5 】

すなわち、バッファアンプ回路 1 1 0 の入力端子には、上記電極の電位の変化が入力される。また、バッファアンプ回路 1 1 0 の出力端子から出力される電位は、駆動用トランジスタ 1 2 を介して、発光素子 1 3 に供給される。具体的には、出力された電位は、発光素子 1 3 が有する電極の一方の電位として与えられる。

## 【 0 0 2 6 】

このようにして、環境温度の変化や経時劣化の変化に応じたモニター用発光素子 6 6 の変化を、発光素子 1 3 にフィードバックする。その結果、発光素子 1 3 は、環境温度の変化や経時劣化の変化に応じた輝度で点灯することができる。従って、環境温度の変化や経時劣化の変化によらない表示を行うことができる発光装置を提供することができる。

10

## 【 0 0 2 7 】

さらに、複数のモニター用発光素子 6 6 を設けているため、これらの電位の変化を平均化して、発光素子 1 3 へ供給することができる。すなわち本発明において、モニター用発光素子 6 6 を複数設けることにより電位の変化を平均化することができ、好ましい。

## 【 0 0 2 8 】

また複数のモニター用発光素子 6 6 を設けることにより、ショート等が生じたモニター用発光素子の代替を用意することができる。

## 【 0 0 2 9 】

さらに本発明は、モニター用発光素子 6 6 に接続されたモニター制御用トランジスタ 1 1 1 及びインバーター 1 1 2 を設けたことを特徴とする。これはモニター用発光素子 6 6 の不良（初期不良や経時不良を含む）により生じる、モニター用回路 6 4 の動作不良を考慮して設けられている。例えば、定電流源 1 0 5 とモニター制御用トランジスタ 1 1 1 とが、その他のトランジスタ等を介さず接続されている場合、複数のモニター用発光素子のうち、あるモニター用発光素子 6 6 が、作製工程中の不良等により、モニター用発光素子が有する陽極と陰極とがショート（短絡）する場合を考える。すると、定電流源 1 0 5 からの電流は、モニター線 1 1 3 を介して、ショートしたモニター用発光素子 6 6 へ多く供給されてしまう。複数のモニター用発光素子は、それぞれ並列に接続されているため、ショートしたモニター用発光素子 6 6 へ多くの電流が供給されると、その他のモニター用発光素子には、所定の一定電流が供給されなくなる。その結果、適切なモニター用発光素子 6 6 の電位の変化を、発光素子 1 3 へ供給することができなくなってしまう。

20

30

## 【 0 0 3 0 】

このようなモニター用発光素子のショートは、該モニター用発光素子が有する陽極の電位と、陰極の電位とが同じとなる、または近づくことにより発生する。例えば、作製行程中、陽極と、陰極との間のゴミ等により、ショートすることがある。また、陽極と陰極とのショート以外にも、走査線と陽極がショートすること等により、モニター用発光素子がショートすることもある。

## 【 0 0 3 1 】

そこで本発明は、モニター制御用トランジスタ 1 1 1 及びインバーター 1 1 2 を設けている。モニター制御用トランジスタ 1 1 1 は、上記のようなモニター用発光素子 6 6 のショート等による多量な電流の供給を防止するため、ショートしたモニター用発光素子 6 6 への電流の供給を止める、つまりショートしたモニター用発光素子と、モニター線とを電氣的に遮断することを特徴とする。

40

## 【 0 0 3 2 】

インバーター 1 1 2 は、複数のモニター用発光素子のいずれかがショートすると、モニター制御用トランジスタをオフとする電位を出力する機能を有する。加えてインバーター 1 1 2 は、複数のモニター用発光素子のいずれもショートしていないときには、モニター制御用トランジスタをオンとする電位を出力する機能を有する。

## 【 0 0 3 3 】

図 5 を用いて、モニター用回路 6 4 の詳しい動作を説明する。図 5 ( A ) に示すように、モニター用発光素子 6 6 が有する電極において、高電位側をアノード電極 6 6 a、低電位

50

側をカソード電極 66c とすると、アノード電極 66a はインバーター 112 の入力端子に接続され、カソード電極 66c は電源 18 に接続され、固定電位となる。そのため、モニター用発光素子 66 が有する陽極と陰極とがショートすると、アノード電極 66a の電位が、カソード電極 66c の電位に近づく。その結果、インバーター 112 には、カソード電極 66c の電位に近い低電位が供給されるため、インバーター 112 が有する p チャネル型のトランジスタ 112p がオンとなる。すると、高電位側の電位 (Va) がインバーター 112 より出力され、モニター制御用トランジスタ 111 のゲート電位となる。すなわち、モニター制御用トランジスタ 111 のゲートに入力される電位は Va となり、モニター制御用トランジスタ 111 はオフとなる。

【0034】

なお、高い側の電位 (High) となる VDD は、アノード電位と同じか、アノード電位より高く設定する。また、インバーター 112 の低い側電位、電源 18 の電位、モニター線 113 の低い側電位、Va に印加する低い側電位は、すべて等しくすることができる。一般的には、低い側電位は、グランドとする。ただしこれに限定されることはなく、低い側の電位は、高い側電位と、所定の電位差を有するように決定すればよい。所定の電位差は、発光材料の電流、電圧、輝度特性、または装置の仕様により決定することができる。

【0035】

ここで、モニター用発光素子 66 に一定電流を流す順序に注意する。モニター制御用トランジスタ 111 がオンの状態で、モニター線 113 に一定電流を流し始める必要がある。本実施の形態では、図 5 (B) に示すように Va を Low にしたまま、モニター線 113 に電流を流し始めている。そして Va は、モニター線 113 の電位が飽和状態となった後、VDD となるようにする。その結果、モニター制御用トランジスタ 111 がオンの状態であっても、モニター線 113 を充電することができる。

【0036】

一方、モニター用発光素子 66 がショートしていない場合、アノード電極 66a の電位がインバーター 112 に供給されるため、n チャネル型のトランジスタ 112 がオンとなる。すると、低電位側の電位がインバーター 112 より出力され、モニター制御用トランジスタ 111 はオンとなる。

【0037】

このようにして、ショートしたモニター用発光素子 66 へは、定電流源 105 からの電流が、供給されないようにすることができる。従って、モニター用発光素子が複数ある場合、モニター用発光素子がショートしたとき、ショートしたモニター用発光素子への電流供給を遮断することでモニター線 113 の電位の変化を最小限に抑えることができる。その結果、適切なモニター用発光素子 66 の電位の変化を、発光素子 13 へ供給することができる。

【0038】

なお本実施の形態において、定電流源 105 は、一定の電流を供給することができる回路であればよく、例えばトランジスタを用いて作製することができる。

【0039】

また本実施の形態では、モニター用回路 64 に複数のモニター用発光素子 66、モニター制御用トランジスタ 111、及びインバーター 112 を有するように説明したが、これに限定されない。例えばインバーター 112 は、モニター用発光素子がショートすると、それを検知して、モニター線 113 を介して、ショートしたモニター用発光素子へ供給される電流を遮断する機能を有していれば、どのような回路を用いてもよい。具体的には、ショートしたモニター用発光素子へ、供給される電流を遮断するため、モニター制御用トランジスタをオフとする機能を有していればよい。

【0040】

また本実施の形態では、複数のモニター用発光素子 66 を用いることを特徴とし、それらのいずれかが不良となっても、モニター動作を行うことができるため、好ましい。さらに、複数のモニター用発光素子で、モニター動作を平均化することができ、好ましい。

10

20

30

40

50

## 【 0 0 4 1 】

本実施の形態において、バッファアンプ回路 1 1 0 は電位の変動を防止するために設けられている。従って、バッファアンプ回路 1 1 0 のように、電位の変動を防止することが可能な回路ならば、当該バッファアンプ回路 1 1 0 ではなく、別の回路を用いてもよい。すなわち、モニター用発光素子 6 6 の一方の電極の電位を発光素子 1 3 に伝達する際、モニター用発光素子 6 6 と発光素子 1 3 の間に、電位の変動を防止するための回路を設けると、そのような回路として、上記のバッファアンプ回路 1 1 0 に制約されず、どのような構成の回路を用いてもよい。

## 【 0 0 4 2 】

( 実施の形態 2 )

本実施の形態では、上記実施の形態と異なり、モニター用発光素子がショートしたときにモニター制御用トランジスタをオフとする回路構成及びその動作について説明する。

## 【 0 0 4 3 】

図 6 ( A ) に示すモニター用回路 6 4 は、p チャンネル型の第 1 のトランジスタ 8 0、第 1 のトランジスタにゲート電極が共通し、並列に接続されている n チャンネル型の第 2 のトランジスタ 8 1、第 2 のトランジスタに直列に接続されている n チャンネル型の第 3 のトランジスタ 8 2 を有する。モニター用発光素子 6 6 は、第 1 及び第 2 のトランジスタ 8 0、8 1 のゲート電極に接続されている。モニター制御用トランジスタ 1 1 1 のゲート電極は、第 1 及び第 2 のトランジスタ 8 0、8 1 が互いに接続されている電極に接続されている。その他の構成は図 5 に示すモニター用回路 6 4 と同様である。

## 【 0 0 4 4 】

また、第 1 の p チャンネル型のトランジスタ 8 0 の高電位側の電位を  $V_a$  とし、第 3 の n チャンネル型のトランジスタ 8 2 のゲート電極の電位を  $V_b$  とする。そして、モニター線 1 1 3 の電位、 $V_a$ 、 $V_b$  の電位を図 6 ( B ) に示すように動作させる。

## 【 0 0 4 5 】

まず、モニター線 1 1 3 の電位を飽和状態にさせ、その後、 $V_a$  の電位を  $H i g h$  とする。モニター用発光素子 6 6 がショートしている場合、モニター用発光素子 6 6 の陽極の電位、つまり点 D の電位は、モニター用発光素子 6 6 の陰極と、同程度にまで下がる。すると、第 1 及び第 2 のトランジスタ 8 0、8 1 のゲート電極には、低い電位、つまり  $L o w$  が入力され、n チャンネル型である第 2 のトランジスタ 8 1 がオフとなり、p チャンネル型である第 1 のトランジスタ 8 0 がオンとなる。そして、第 1 のトランジスタ 8 0 の一方の電位である、高い側電位が、モニター制御用トランジスタ 1 1 1 のゲート電極へ入力され、オフとなる。その結果、ショートしたモニター用発光素子 6 6 には、モニター線 1 1 3 からの電流は供給されない。

## 【 0 0 4 6 】

このとき、ショートの状態がわずかであり、陽極の電位が微少に低下した場合であると、第 1 及び第 2 のトランジスタ 8 0、8 1 のいずれがオン、またはオフとなるか制御しづらいことがある。そこで、図 6 に示すように、第 3 のトランジスタ 8 2 のゲート電極へ  $V_b$  の電位を供給する。すなわち、図 6 ( B ) に示すように、 $V_a$  が  $H i g h$  となっている間に、 $V_b$  の電位を  $L o w$  とする。すると、n チャンネル型である第 3 のトランジスタ 8 2 はオフとなる。その結果、陽極の電位が、 $V_{DD}$  から第 1 のトランジスタのしきい値電圧分下がった電位なら、第 1 のトランジスタ 8 0 をオンとすることができ、モニター制御用トランジスタ 1 1 1 をオフとすることができる。

## 【 0 0 4 7 】

このように  $V_b$  の電位を制御することにより、陽極の電位が、微少に下がった場合であっても、モニター制御用トランジスタ 1 1 1 を正確にオフとすることができる。

## 【 0 0 4 8 】

なおモニター用発光素子が正常である場合、モニター制御用トランジスタ 1 1 1 がオンとなるように制御される。すなわち陽極の電位は、モニター線 1 1 3 の高電位とほぼ同じとなるため、第 2 のトランジスタ 8 1 がオンとなる。その結果、低電位がモニター制御用ト

10

20

30

40

50



ランジスタ 1 1 1 のゲート電極に印加されるため、オンとなる。

【 0 0 4 9 】

また図 7 ( A ) に示すように、 p チヤネル型の第 1 のトランジスタ 8 3 と、第 1 のトランジスタに直列に接続される、 p チヤネル型の第 2 のトランジスタ 8 4 と、第 2 のトランジスタとゲート電極を共通とした、 n チヤネル型の第 3 のトランジスタ 8 5 と、第 1 のトランジスタとゲート電極を共通とし、並列に接続される n チヤネル型の第 4 のトランジスタ 8 6 とを有する。モニター用発光素子 6 6 は、第 2 及び第 3 のトランジスタ 8 4、8 5 のゲート電極に接続されている。モニター制御用トランジスタ 1 1 1 のゲート電極は、第 2 及び第 3 のトランジスタ 8 4、8 5 が互いに接続されている電極に接続されている。さらにモニター制御用トランジスタ 1 1 1 のゲート電極は、第 4 のトランジスタ 8 6 の一方の電極に接続されている。その他の構成は図 5 に示すモニター用回路 6 4 と同様である。

10

【 0 0 5 0 】

まず、モニター線 1 1 3 の電位を飽和状態にさせ、その後、V e の電位を L o w とする。モニター用発光素子 6 6 がショートしている場合、モニター用発光素子 6 6 の陽極の電位、つまり点 D の電位は、モニター用発光素子 6 6 の陰極と、同程度にまで下がる。すると、第 2 及び第 3 のトランジスタ 8 4、8 5 のゲート電極には、低い電位、つまり L o w が入力され、n チヤネル型である第 3 のトランジスタ 8 5 がオフとなり、p チヤネル型である第 2 のトランジスタ 8 4 がオンとなる。また V e の電位を L o w とすると、第 1 のトランジスタ 8 3 はオンとなり、第 4 のトランジスタ 8 6 はオフとなる。そして、第 2 のトランジスタ 8 4 を介して、第 1 のトランジスタの高い側電位が、モニター制御用トランジスタ 1 1 1 のゲート電極へ入力され、オフとなる。その結果、ショートしたモニター用発光素子 6 6 には、モニター線 1 1 3 からの電流は供給されない。

20

【 0 0 5 1 】

このようにゲート電極の電圧 V e を制御することにより、モニター制御用トランジスタ 1 1 1 を正確にオフとすることができる。

【 0 0 5 2 】

( 実施の形態 3 )

本発明において、発光素子及びモニター用発光素子に逆方向電圧を印加することができる。そこで本実施の形態では、逆方向電圧を印加する場合について説明する。

【 0 0 5 3 】

逆方向電圧とは、発光素子 1 3 やモニター用発光素子 6 6 を発光させるときに印加する電圧を順方向電圧とすると、順方向電圧における高い側の電位と、低い側の電位とを反転させた電圧を印加することである。具体的にモニター用発光素子 6 6 を用いて説明すると、アノード電極 6 6 a と、カソード電極 6 6 c との電位を反転させるため、電源 1 8 の電位より、モニター線 1 1 3 に印加する電位を低くすることである。

30

【 0 0 5 4 】

具体的には、図 1 3 に示すように、アノード電極 6 6 a の電位 ( アノード電位 : V a ) を H i g h から L o w に反転させ、且つカソード電極 6 6 c の電位 ( カソード電位 : V c ) を L o w から H i g h に反転させる。このとき同時に、モニター線 1 1 3 の電位 ( V<sub>113</sub> ) も H i g h から L o w へ反転させる。このアノード電位及びカソード電位が反転している期間を、逆方向電圧印加期間という。そして、所定の逆方向電圧印加期間経過後、カソード電位を H i g h から L o w へ戻すと、モニター線 1 1 3 に一定電流が流れはじめ、充電が完了する。充電が完了した、つまりモニター線 1 1 3 の電圧が H i g h となった後、アノード線の電位を L o w から H i g h へ戻す。このとき、モニター線 1 1 3 の電位が時間と共に曲線状に戻るの、一定電流で複数のモニター用発光素子を充電し、さらには寄生容量を充電することによる。

40

【 0 0 5 5 】

好ましくは、アノード電位を反転させ、次いでカソード電位を反転させるとよい。そして所定の逆方向電圧期間経過後、アノード電位を戻し、次いでカソード電位を戻す。そしてアノード電位の反転と同時に、モニター線 1 1 3 の電位を H i g h に充電とする。

50

## 【 0 0 5 6 】

この逆方向電圧印加期間では、駆動用トランジスタ 1 2 及びモニター制御用トランジスタ 1 1 1 がオンとなっていなければならない。

## 【 0 0 5 7 】

逆方向電圧を発光素子へ印加する結果、発光素子 1 3、加えてモニター用発光素子 6 6 の不良状態を改善し、信頼性を向上させることができる。また、発光素子 1 3、加えてモニター用発光素子 6 6 は、異物の付着や、陽極又は陰極にある微細な突起によるピンホール、電界発光層の不均一性を起因として、陽極と陰極がショートする初期不良が生じることがある。このような初期不良が発生すると、信号に応じた点灯及び非点灯が行われず、電流のほとんどがショートした素子を通して流れてしまう。その結果、画像の表示が良好に行われないという問題が発生する。また、この不良は任意の画素に生じる恐れがある。

10

## 【 0 0 5 8 】

そこで本実施の形態のように、発光素子 1 3、加えてモニター用発光素子 6 6 に逆方向電圧を印加すると、ショートした部分に局所的な電流が流れ、該ショートした部分が発熱し、酸化又は炭化させることができる。その結果、ショートした部分を絶縁化させることができ、その部分以外の領域に電流が流れ、発光素子 1 3 又はモニター用発光素子 6 6 として、正常に動作させることが可能となる。このように逆方向電圧を印加することにより、初期不良が生じて、その不良を解消することができる。なお、このような短絡部の絶縁化は、出荷前に行うとよい。

20

## 【 0 0 5 9 】

また、初期不良だけでなく、時間の経過に伴い、新たに陽極と陰極のショートが発生することがある。このような不良は、進行性不良とも呼ばれる。そこで本発明のように、定期的に発光素子 1 3、加えてモニター用発光素子 6 6 に逆方向電圧を印加することにより、進行性不良が生じて、その不良を解消することができ、発光素子 1 3 又はモニター用発光素子 6 6 として、正常に動作させることが可能となる。

## 【 0 0 6 0 】

また加えて、逆方向電圧を印加することによって、画像の焼き付きを防止することができる。画像の焼き付きとは、発光素子 1 3 の劣化状態により生じるが、逆方向電圧を印加することにより、劣化状態を低減することができる。その結果、画像の焼き付きが防止できる。

30

## 【 0 0 6 1 】

また一般に発光素子 1 3、加えてモニター用発光素子 6 6 の劣化は、初期に大きく進み、時間と共に劣化の進行度合いが少なくなってくる。すなわち画素において、一度劣化した発光素子 1 3 やモニター用発光素子 6 6 は、さらなる劣化が生じにくくなる。その結果、各発光素子 1 3 にバラツキが生じる。そのため、出荷前、又は画像を表示しないとき等に、すべての発光素子 1 3、さらにはモニター用発光素子 6 6 を点灯し、劣化していない素子に劣化を生じさせることによって、全素子の劣化状態を平均化することができる。このような、全素子を点灯する構成を発光装置に設けてもよい。

## 【 0 0 6 2 】

( 実施の形態 4 )

40

本実施の形態では、画素回路及び構成の一例について説明する。

## 【 0 0 6 3 】

図 2 には、本発明の画素部に用いることのできる画素回路を示す。画素部 4 0 は、信号線 S x、走査線 G y、電源線 V x がマトリックス状に設けられており、それらの交点には画素 1 0 が設けられている。画素 1 0 は、スイッチング用トランジスタ 1 1、駆動用トランジスタ 1 2、容量素子 1 6、発光素子 1 3 を有する。

## 【 0 0 6 4 】

当該画素における接続関係を説明する。スイッチング用トランジスタ 1 1 は、信号線 S x と、走査線 G y との交点に設けられ、スイッチング用トランジスタ 1 1 の一方の電極は信号線 S x と、スイッチング用トランジスタ 1 1 のゲート電極は走査線 G y と接続されてい

50

る。駆動用トランジスタ 12 は、一方の電極が電源線  $V_x$  に接続され、ゲート電極はスイッチング用トランジスタ 11 の他方の電極と接続されている。容量素子 16 は、駆動用トランジスタ 12 のゲート・ソース間電圧を保持するように設けられている。本実施の形態では、容量素子 16 は、その一方の電極は  $V_x$  に、他方の電極は駆動用トランジスタ 12 のゲート電極に接続されている。なお、容量素子 16 は、駆動用トランジスタ 12 のゲート容量が大きく、リーク電流が少ない場合等は設ける必要がない。発光素子 13 は、駆動用トランジスタ 12 の他方の電極に接続されている。

【0065】

このような画素の駆動方法について説明する。

【0066】

まず、スイッチング用トランジスタ 11 がオンとなると、信号線  $S_x$  からビデオ信号が入力される。ビデオ信号に基づき、容量素子 16 に電荷が蓄積される。容量素子 16 に蓄積された電荷が、駆動用トランジスタ 12 のゲート・ソース間電圧 ( $V_{gs}$ ) を越えると、駆動用トランジスタ 12 がオンとなる。すると、発光素子 13 に電流が供給され、点灯する。このとき、駆動用トランジスタ 12 は、線形領域又は飽和領域で動作させることができる。飽和領域で動作させると、一定の電流を供給することができる。また線形領域で動作させると、低電圧で動作させることができ、低消費電力化を図ることができる。

【0067】

以下に、タイミングチャートを用いて、画素の駆動方法について説明する。

【0068】

図 8 (a) には、1 秒間に 60 フレームの画像の書き換えが行われる場合のある 1 フレーム期間のタイミングチャートを示す。該タイミングチャートにおいて、縦軸は走査線  $G$  (1 行目から最終行目)、横軸は時間を示している。

【0069】

1 フレーム期間は  $m$  ( $m$  は 2 以上の自然数) 個のサブフレーム期間  $SF_1$ 、 $SF_2$ 、...、 $SF_m$  を有し、 $m$  個のサブフレーム期間  $SF_1$ 、 $SF_2$ 、...  $SF_m$  は、それぞれ書き込み動作期間  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{am}$  と表示期間 (点灯期間)  $T_{s1}$ 、 $T_{s2}$ 、...、 $T_{sm}$  と、逆方向電圧印加期間とを有する。本実施の形態では、図 8 (A) に示すように、1 フレーム期間は、サブフレーム期間  $SF_1$ 、 $SF_2$ 、及び  $SF_3$  と、逆方向電圧印加期間 ( $FRB$ ) とが設けられている。そして、各サブフレーム期間は、書き込み動作期間  $T_{a1} \sim T_{a3}$  が順に行われ、それぞれ表示期間  $T_{s1} \sim T_{s3}$  となる。

【0070】

図 8 (B) に記載のタイミングチャートには、ある行 ( $i$  行目) に着目したときの、書き込み動作期間、表示期間、及び逆方向電圧印加期間について示す。書き込み動作期間、表示期間が交互に現れた後、逆方向電圧印加期間が現れる。この書き込み動作期間、及び表示期間を有する期間が、順方向電圧印加期間となる。

【0071】

書き込み動作期間  $T_a$  は複数の動作期間に分けることができる。本実施の形態では、二つの動作期間に分け、一方で消去動作を行い、他方で書き込み動作を行う。このように消去動作と、書き込み動作を設けるため、 $WE$  ( $Write\ Erase$ ) 信号が入力される。その他の消去動作及び書き込み動作や信号の詳細は、以下の実施の形態で説明する。

【0072】

また、逆方向電圧印加期間の直前には、全画素のスイッチング用トランジスタを同時にオンとする期間、つまり全走査線をオンとする期間 (オン期間) を設ける。

【0073】

逆方向電圧印加期間の直後には、全画素のスイッチング用トランジスタを同時にオフとする期間、つまり全走査線をオフとする期間 (オフ期間) を設けるとよい。

【0074】

また、逆方向電圧印加期間の直前には、消去期間 ( $SE$ ) が設けられている。消去期間は、上記消去動作と同様な動作により行うことができる。消去期間は、直前のサブフレーム

10

20

30

40

50

期間、本実施の形態では S F 3 で書き込まれたデータを、順に消去する動作が順次行われる。なぜなら、オン期間では、最終行目の画素の表示期間が終了後、一斉にスイッチング用トランジスタをオンとするため、1 行目等の画素は、不要な表示期間を有することになるからである。

【 0 0 7 5 】

このように、オン期間、オフ期間、消去期間を設けるための制御は、走査線駆動回路や信号線駆動回路等の駆動回路によって行われる。

【 0 0 7 6 】

なお、発光素子 1 3 に逆方向電圧の電圧を印加するタイミング、つまり逆方向電圧印加期間は、図 8 ( A ) ( B ) に限定されない。すなわち、フレーム毎に逆方向電圧印加期間を設ける必要はない。また 1 フレームの後半に逆方向電圧印加期間を設ける必要もない。またオン期間は、少なくとも印加期間 ( R B ) の直前にあればよく、オフ期間は少なくとも印加期間 ( R B ) 直後にあればよい。また発光素子の陽極の電位と、陰極の電位とを逆にする順序も図 8 ( A ) ( B ) に限定されない。すなわち、陰極の電位を上げた後、陽極の電位を下げてよい。

【 0 0 7 7 】

図 3 には、図 2 に示した画素回路のレイアウト例を示す。スイッチング用トランジスタ 1 1、駆動用トランジスタ 1 2 を構成する半導体膜を形成する。その後、ゲート絶縁膜として機能する絶縁膜を介して、第 1 の導電膜を形成する。該導電膜は、スイッチング用トランジスタ 1 1、駆動用トランジスタ 1 2 のゲート電極として用い、また走査線 G y として用いることができる。このとき、スイッチング用トランジスタ 1 1 は、ダブルゲート構造とするとよい。

【 0 0 7 8 】

その後、層間絶縁膜として機能する絶縁膜を介して、第 2 の導電膜を形成する。該導電膜は、スイッチング用トランジスタ 1 1、駆動用トランジスタ 1 2 のドレイン配線、及びソース配線として用い、また信号線 S x、電源線 V x としてもちいることができる。このとき、容量素子 1 6 は、第 1 の導電膜、層間絶縁膜として機能する絶縁膜、第 2 の導電膜の積層構造により形成することができる。駆動用トランジスタ 1 2 のゲート電極と、スイッチング用トランジスタの他方の電極とは、コンタクトホールを介して接続される。

【 0 0 7 9 】

そして、画素に設けられた開口部には、画素電極 1 9 を形成する。該画素電極は、駆動用トランジスタ 1 2 の他方の電極に接続されている。このとき、第 2 の導電膜と画素電極との間に絶縁膜等が設けられている場合、コンタクトホールを介して接続する必要がある。絶縁膜等が設けられていない場合、駆動用トランジスタ 1 2 の他方の電極に、画素電極が直接接続することができる。

【 0 0 8 0 】

図 3 に示すようなレイアウトにおいて、高開口率を確保するため、領域 4 3 0 のように、第 1 の導電膜と、画素電極とが重なってしまうことがある。そのような領域 4 3 0 には、結合容量が生じてしまうことがある。この結合容量は不要な容量である。このような不要な容量は、本発明の駆動方法によって、除去することができる。

【 0 0 8 1 】

図 4 には、図 3 に示した A - B、B - C の断面図例を示す。

【 0 0 8 2 】

絶縁基板 2 0 上には、下地膜を介して、パターンニングされた半導体膜が形成されている。絶縁基板 2 0 には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ステンレス ( S U S ) 基板等を用いることができる。また、P E T ( ポリエチレンテレフタレート )、P E N ( ポリエチレンナフタレート )、P E S ( ポリエーテルスルホン ) に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板は、一般的に他の基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。下地膜には、酸化珪

10

20

30

40

50

素や、窒化珪素、窒化酸化珪素などの絶縁膜を用いることができる。

【0083】

下地膜上に非晶質半導体膜を形成する。非晶質半導体膜の膜厚は25～100nm（好ましくは30～60nm）とする。また非晶質半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。

【0084】

次に、必要に応じて非晶質半導体膜を結晶化し、結晶性半導体膜を形成する。結晶化する方法は、加熱炉、レーザー照射、若しくはランプから発する光の照射（以下、ランプアニールと表記する）、又はそれらを組み合わせて用いることができる。例えば、非晶質半導体膜に金属元素を添加し、加熱炉を用いた熱処理を行うことによって結晶性半導体膜を形成する。このように、金属元素を添加することにより、低温で結晶化できるため好ましい。

10

【0085】

このように形成された結晶性半導体膜を、所定の形状にパターニングする。所定の形状とは、図3で示したように、スイッチング用トランジスタ11、駆動用トランジスタ12となる形状である。

【0086】

次いで、ゲート絶縁膜として機能する絶縁膜を形成する。該絶縁膜は、半導体膜を覆うように、厚さを10～150nm、好ましくは20～40nmとして形成される。例えば、酸化窒化珪素膜、酸化珪素膜等を用いることができ、単層構造または積層構造としてもよい。

20

【0087】

そしてゲート絶縁膜を介して、ゲート電極として機能する第1の導電膜を形成する。ゲート電極は、単層であっても積層であってもよいが、本実施の形態では導電膜22a、22bの積層構造を用いる。各導電膜22a、22bは、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成すればよい。本実施の形態では、導電膜22aとして膜厚10～50nm、例えば30nmの窒化タンタル膜を形成し、導電膜22bとして膜厚200～400nm、例えば370nmのタングステン膜を順次形成する。

【0088】

ゲート電極をマスクとして不純物元素を添加する。このとき、高濃度不純物領域に加えて、低濃度不純物領域を形成してもよい。これをLDD（Lightly Doped Drain）構造という。特に低濃度不純物領域がゲート電極と重なった構造をGOLD（Gate-drain Overlapped LDD）構造という。特に、nチャネル型トランジスタは、低濃度不純物領域を有する構成とするとよい。

30

【0089】

この低濃度不純物領域に起因して、不要な容量が形成されてしまうこともある。そのため、LDD構造やGOLD構造を有するTFTを用いて画素を形成する場合、本発明の駆動方法を用いると好適である。

【0090】

その後、層間絶縁膜30として機能する絶縁膜28、29を形成する。絶縁膜28は、窒素を有する絶縁膜であればよく、本実施の形態では、プラズマCVD法により100nmの窒化珪素膜を用いて形成する。また絶縁膜29は、有機材料又は無機材料を用いて形成することができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。なお、シロキサンとは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。または置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。またポリシラザンとは、珪素（Si）と窒素（N）の結合を有するポリマー材料、いわゆるポリシラザンを含む液体材料を出発原料として

40

50

形成される。無機材料としては、酸化珪素 ( $\text{SiO}_x$ )、窒化珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{Ny}$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) ( $x, y = 1, 2 \dots$ ) 等の酸素、又は窒素を有する絶縁膜を用いることができる。また、第2の絶縁膜107として、これら絶縁膜の積層構造を用いてもよい。特に、有機材料を用いて第2の層間絶縁膜を形成すると、平坦性は高まる一方で、有機材料によって水分や酸素が吸収されてしまう。これを防止するため、有機材料上に、無機材料を有する絶縁膜を形成するとよい。無機材料に、窒素を有する絶縁膜を用いると、Na等のアルカリイオンの侵入を防ぐことができ、好ましい。絶縁膜29に、有機材料を用いると平坦性を高めることができ、好ましい。

#### 【0091】

層間絶縁膜30にコンタクトホールを形成する。そして、スイッチング用トランジスタ11、駆動用トランジスタ12のソース配線及びドレイン配線24、信号線Sx、電源線Vxとして機能する第2の導電膜を形成する。第2の導電膜は、アルミニウム (Al)、チタン (Ti)、モリブデン (Mo)、タングステン (W) もしくはシリコン (Si) の元素からなる膜又はこれらの元素を用いた合金膜を用いることができる。本実施の形態では、チタン膜/窒化チタン膜/アルミニウムとシリコンとを有する膜/チタン膜 (Ti/TiN/Al-Si/Ti) をそれぞれ60/40/300/100nmに積層して第2の導電膜を形成する。

#### 【0092】

その後、第2の導電膜を覆うように絶縁膜31を形成する。絶縁膜31は、層間絶縁膜30で示した材料を用いることができる。このように絶縁膜31を設けることにより、開口率を高めることができる。

#### 【0093】

そして、絶縁膜31に設けられた開口部に画素電極 (第1の電極ともいう) 19を形成する。該開口部において、画素電極の段差被覆性を高めるため、開口部端面に、複数の曲率半径を有するように丸みを帯びさせるとよい。画素電極19には、透光性を有する材料として、インジウム錫酸化物 (ITO、indium tin oxide)、酸化インジウムに2~20atom%の酸化亜鉛 (ZnO) を混合したIZO (indium zinc oxide)、酸化インジウムに2~20atom%の酸化珪素 ( $\text{SiO}_2$ ) を混合したITO-SiO<sub>x</sub> (便宜上ITSOと表記する)、有機インジウム、有機スズ等を用いることもできる。また非透光性を有する材料として、銀 (Ag) 以外にタンタル、タングステン、チタン、モリブデン、アルミニウム、銅から選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料を用いることができる。このとき、有機材料を用いて絶縁膜31を形成し、平坦性を高めると、画素電極形成面の平坦性が向上するため、均一な電圧を印加でき、さらには短絡を防止することができる。

#### 【0094】

第1の導電膜と、画素電極とが重なってしまう領域430には、結合容量が生じてしまうことがある。この結合容量は不要な容量である。このような不要な容量は、本発明の駆動方法によって、除去することができる。

#### 【0095】

その後、蒸着法、またはインクジェット法により電界発光層33を形成する。電界発光層140は、有機材料、又は無機材料を有し、電子注入層 (EIL)、電子輸送層 (ETL)、発光層 (EML)、正孔輸送層 (HTL)、正孔注入層 (HIL) 等を適宜組み合わせ構成される。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。また、電界発光層は上記積層構造に限定されない。

#### 【0096】

そして、スパッタリング法、又は蒸着法により第2の電極35を形成する。電界発光層 (発光素子) の第1の電極 (画素電極) 19、及び第2の電極35は、画素構成により陽極又は陰極となる。

10

20

30

40

50

## 【0097】

陽極材料としては、仕事関数の大きい（仕事関数4.0 eV以上）金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることが好ましい。陽極材料の具体例としては、ITO、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合したIZOの他、金（Au）、白金（Pt）、ニッケル（Ni）、タングステン（W）、クロム（Cr）、モリブデン（Mo）、鉄（Fe）、コバルト（Co）、銅（Cu）、パラジウム（Pd）、または金属材料の窒化物（TiN）などを用いることができる。

## 【0098】

一方、陰極材料としては、仕事関数の小さい（仕事関数3.8 eV以下）金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることが好ましい。陰極材料の具体例としては、元素周期律の1族または2族に属する元素、すなわちLiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金（Mg：Ag、Al：Li）や化合物（LiF、CsF、CaF<sub>2</sub>）の他、希土類金属を含む遷移金属を用いて形成することができる。但し、陰極は透光性を有する必要があるため、これら金属、又はこれら金属を含む合金を非常に薄く形成し、ITO等の金属（合金を含む）との積層により形成する。

## 【0099】

上記の材料のうち非透光性材料は、その膜厚を薄くすることによって透明電極として適用することができる。

## 【0100】

その後、第2の電極35を覆って、保護膜を形成してもよい。保護膜としては、窒化珪素膜やDLC膜を用いることができる。

## 【0101】

このようにして、発光装置の画素を形成することができる。

## 【0102】

（実施の形態5）

本実施の形態では、上記実施の形態で示した画素回路を有するパネル全体の構成について説明する。

## 【0103】

図12に示すように、本発明の発光装置は、上述した画素10がマトリクス状に複数配置された画素部40と、第1の走査線駆動回路41と、第2の走査線駆動回路42と、信号線駆動回路43とを有する。第1の走査線駆動回路41と第2の走査線駆動回路42は、画素部40を挟んで対向するように配置するか、画素部40の上下左右の四方のうち一方に配置するとよい。

## 【0104】

信号線駆動回路43は、パルス出力回路44、ラッチ45及び選択回路46を有する。ラッチ45は第1のラッチ47と第2のラッチ48を有する。選択回路46は、スイッチング手段としてトランジスタ49（以下TFT49と表記）と、アナログスイッチ50とを有する。TFT49とアナログスイッチ50は、信号線に対応して、各列に設けられている。加えて、本実施の形態では、WE信号の反転信号を生成するために、インバーター51が各列に設けられている。なおインバーター51は、外部からWE信号の反転信号を供給する場合には設けなくてもよい。

## 【0105】

TFT49のゲート電極は選択信号線52に接続し、一方の電極は信号線に接続し、他方の電極は電源53に接続する。アナログスイッチ50は、第2のラッチ48と各信号線の間に設けられる。すなわち、アナログスイッチ50の入力端子は第2のラッチ48に接続し、出力端子は信号線に接続する。アナログスイッチ50の2つの制御端子は、一方は選択信号線52に接続し、他方はインバーター51を介して選択信号線52に接続する。電源53の電位は、画素が有する駆動用トランジスタ12をオフにする電位であり、駆動用トランジスタ12の極性がnチャネル型の場合は電源53の電位をLowとし、駆動用ト

10

20

30

40

50

ランジスタ 12 が p チャンネル型の場合は電源 53 の電位を High とする。

【0106】

第1の走査線駆動回路41はパルス出力回路54と選択回路55を有する。第2の走査線駆動回路42はパルス出力回路56と選択回路57を有する。パルス出力回路54、56には、それぞれスタートパルス(G1SP、G2SP)が入力される。またパルス出力回路54、56にはそれぞれクロックパルス(G1CK、G2CK)と、その反転クロックパルス(G1CKB、G2CKB)が入力される。

【0107】

選択回路55、57は、選択信号線52に接続する。但し、第2の走査線駆動回路42が含む選択回路57は、インバーター58を介して選択信号線52に接続する。つまり、選択信号線52を介して、選択回路55、57に入力されるWE信号は、互いに反転した関係にある。

【0108】

選択回路55、57の各々はトライステートバッファを有する。トライステートバッファは、選択信号線52から伝達される信号がHレベルのときに動作状態となり、Lレベルのときにハイインピーダンス状態となる。

【0109】

信号線駆動回路43が含むパルス出力回路44、第1の走査線駆動回路41が含むパルス出力回路54、第2の走査線駆動回路42が含むパルス出力回路56は、複数のフリップフロップ回路からなるシフトレジスタやデコーダ回路を有する。パルス出力回路44、54、56として、デコーダ回路を適用すれば、信号線又は走査線をランダムに選択することができる。信号線又は走査線をランダムに選択できると、時間階調方式を適用した場合に生じる疑似輪郭の発生を抑制することができる。

【0110】

なお信号線駆動回路43の構成は上記の記載に制約されず、レベルシフタやバッファを設けてもよい。また、第1の走査線駆動回路41と第2の走査線駆動回路42の構成も上記の記載に制約されず、レベルシフタやバッファを設けてもよい。また、信号線駆動回路43、第1の走査線駆動回路41、又は第2の走査線駆動回路42は、それぞれ保護回路を有してもよい。

【0111】

また本発明において、保護回路を設けてもよい。保護回路は、複数の抵抗素子を有するように形成することができる。例えば複数の抵抗素子として、pチャンネル型のトランジスタを用いることができる。保護回路は、信号線駆動回路43、第1の走査線駆動回路41、又は第2の走査線駆動回路42にそれぞれ設けることができ、好ましくは、信号線駆動回路43、第1の走査線駆動回路41、又は第2の走査線駆動回路42と画素部40との間に設けるとよい。このような保護回路により、静電気に起因した素子の劣化や破壊を抑制することができる。

【0112】

また本実施の形態において、発光装置は電源制御回路63を有する。電源制御回路63は、発光素子13に電源を供給する電源回路61とコントローラ62を有する。電源回路61は、第1の電源17を有し、第1の電源17は駆動用トランジスタ12と電源線Vxを介して発光素子13の画素電極に接続する。また、電源回路61は、第2の電源18を有し、第2の電源18は対向電極に接続される電源線を介して、発光素子13に接続する。

【0113】

このような電源回路61は、発光素子13に順方向電圧を印加して、発光素子13に電流を流して発光させるときは、第1の電源17の電位が、第2の電源18の電位よりも高くなるように設定する。一方、発光素子13に逆方向電圧を印加するとき、第1の電源17の電位が、第2の電源18の電位よりも低くなるように設定する。このような電源の設定は、コントローラ62から電源回路61に所定の信号を供給することにより、行うことができる。



## 【 0 1 1 4 】

また本実施の形態において、発光装置は、モニター用回路 6 4 と制御回路 6 5 を有することとを特徴とする。制御回路 6 5 は定電流源とバッファアンプ回路を有する。また、モニター用回路 6 4 は、モニター用発光素子 6 6、モニター制御用トランジスタ 1 1 1、インバーター 1 1 2 を有する。

## 【 0 1 1 5 】

制御回路 6 5 は、モニター用回路 6 4 の出力に基づき、電源電位を補正する信号を、電源制御回路 6 3 に供給する。電源制御回路 6 3 は、制御回路 6 5 から供給される信号に基づき、画素部 4 0 に供給する電源電位を補正する。

## 【 0 1 1 6 】

上記構成を有する本発明の発光装置は、環境温度の変化や経時劣化に起因した電流値の変動を抑制して、信頼性を向上させることができる。さらにモニター制御用トランジスタ 1 1 1 及びインバーター 1 1 2 により、ショートしたモニター用発光素子 6 6 に、定電流源 1 0 5 からの電流が流れることを防止でき、正確な電流値の変動を発光素子 1 3 へ供給することができる。

## 【 0 1 1 7 】

( 実施の形態 6 )

本実施の形態では、上記構成を有する本発明の発光装置の動作について図面を参照して説明する。

## 【 0 1 1 8 】

まず、信号線駆動回路 4 3 の動作について図 1 4 ( A ) を用いて説明する。パルス出力回路 4 4 には、クロック信号 ( 以下 S C K と表記 )、クロック反転信号 ( 以下 S C K B と表記 ) 及びスタートパルス ( 以下 S S P と表記 ) が入力され、これらの信号のタイミングに従って、第 1 のラッチ 4 7 にサンプリングパルスを出力する。データが入力される第 1 のラッチ 4 7 は、サンプリングパルスが入力されるタイミングに従って、1 列目から最終列目までビデオ信号を保持する。第 2 のラッチ 4 8 は、ラッチパルスが入力されると、第 1 のラッチ 4 7 に保持されていたビデオ信号を、一斉に第 2 のラッチ 4 8 に転送する。

## 【 0 1 1 9 】

ここで、選択信号線 5 2 から伝達される W E 信号が L レベルのときを期間 T 1 とし、W E 信号が H レベルのときを期間 T 2 として、各期間における選択回路 4 6 の動作について説明する。期間 T 1、T 2 は水平走査期間の半分の期間に相当し、期間 T 1 を第 1 のサブゲート選択期間、期間 T 2 を第 2 のサブゲート選択期間とよぶ。

## 【 0 1 2 0 】

期間 T 1 ( 第 1 のサブゲート選択期間 ) において、選択信号線 5 2 から伝達される W E 信号は L レベルであり、トランジスタ 4 9 はオン状態、アナログスイッチ 5 0 は非導通状態となる。そうすると、複数の信号線 S 1 ~ S n は、各列に配置されたトランジスタ 4 9 を介して、電源 5 3 と電気的に接続する。つまり、複数の信号線 S x は、電源 5 3 と同電位になる。このとき、選択された画素 1 0 が有するスイッチング用トランジスタ 1 1 は、オンとなっており、当該スイッチング用トランジスタ 1 1 を介して、電源 5 3 の電位が駆動用トランジスタ 1 2 のゲート電極に伝達される。そうすると、駆動用トランジスタ 1 2 はオフ状態となり、発光素子 1 3 が有する両電極間には電流が流れず非発光となる。このように、信号線 S x に入力されるビデオ信号の状態に関係なく、電源 5 3 の電位が駆動用トランジスタ 1 2 のゲート電極に伝達されて、当該スイッチング用トランジスタ 1 1 がオフ状態になり、発光素子 1 3 が強制的に非発光となる動作が消去動作である。

## 【 0 1 2 1 】

期間 T 2 ( 第 2 のサブゲート選択期間 ) において、選択信号線 5 2 から伝達される W E 信号は H レベルであり、トランジスタ 4 9 はオフ状態、アナログスイッチ 5 0 は導通状態となる。そうすると、第 2 のラッチ 4 8 に保持されたビデオ信号は、1 行分が同時に各信号線 S x に伝達される。このとき、画素 1 0 が含むスイッチング用トランジスタ 1 1 はオンとなり、当該スイッチング用トランジスタ 1 1 を介して、ビデオ信号が駆動用トランジスタ

10

20

30

40

50

タ 1 2 のゲート電極に伝達される。そうすると、入力されたビデオ信号に従って、駆動用トランジスタ 1 2 はオン又はオフとなり、発光素子 1 3 が有する第 1 及び第 2 の電極は、互いに異なる電位又は同電位となる。より詳しくは、駆動用トランジスタ 1 2 がオンとなると、発光素子 1 3 が有する第 1 及び第 2 の電極は互いに異なる電位となり、発光素子 1 3 に電流が流れる。すると、発光素子 1 3 は点灯する。なお発光素子 1 3 に流れる電流は、駆動用トランジスタ 1 2 のソースドレイン間に流れる電流と同じである。

#### 【 0 1 2 2 】

一方、駆動用トランジスタ 1 2 がオフとなると、発光素子 1 3 が有する第 1 及び第 2 の電極は同電位となり、発光素子 1 3 に電流は流れない。すなわち、発光素子 1 3 は非発光となる。このように、ビデオ信号に従って、駆動用トランジスタ 1 2 がオン状態又はオフ状態になり、発光素子 1 3 が有する第 1 及び第 2 の電極の電位が互いに異なる電位又は同電位となる動作が書き込み動作である。

10

#### 【 0 1 2 3 】

次に、第 1 の走査線駆動回路 4 1、第 2 の走査線駆動回路 4 2 の動作について説明する。パルス出力回路 5 4 には、G 1 C K、G 1 C K B、G 1 S P が入力され、これらの信号のタイミングに従って、選択回路 5 5 に順次パルスを出力する。パルス出力回路 5 6 には、G 2 C K、G 2 C K B、G 2 S P が入力され、これらの信号のタイミングに従って、選択回路 5 7 に順次パルスを出力する。図 1 4 ( B ) には、i 行目、j 行目、k 行目、p 行目 ( i、j、k、p は自然数、 $1 \leq i, j, k, p \leq n$  ) の各列の選択回路 5 5、5 7 に供給されるパルスの電位を示す。

20

#### 【 0 1 2 4 】

ここで、信号線駆動回路 4 3 の動作の説明と同様に、選択信号線 5 2 から伝達される W E 信号が L レベルのときを期間 T 1 とし、W E 信号が H レベルのときを期間 T 2 として、各期間における第 1 の走査線駆動回路 4 1 が含む選択回路 5 5 と、第 2 の走査線駆動回路 4 2 が含む選択回路 5 7 の動作について説明する。なお、図 1 4 ( B ) のタイミングチャートでは、第 1 の走査線駆動回路 4 1 から信号が伝達されたゲート線 G y ( y は自然数、 $1 \leq y \leq n$  ) の電位を V G y ( 4 1 ) と表記し、第 2 の走査線駆動回路 4 2 から信号が伝達されたゲート線の電位を V G y ( 4 2 ) と表記する。そして、V G y ( 4 1 ) と V G y ( 4 2 ) は、同じ走査線 G y により供給することができる。

30

#### 【 0 1 2 5 】

期間 T 1 ( 第 1 のサブゲート選択期間 ) において、選択信号線 5 2 から伝達される W E 信号は L レベルである。そうすると、第 1 の走査線駆動回路 4 1 が含む選択回路 5 5 には、L レベルの W E 信号が入力され、選択回路 5 5 は不定状態となる。一方、第 2 の走査線駆動回路 4 2 が含む選択回路 5 7 には、W E 信号が反転した H レベルの信号が入力され、選択回路 5 7 は動作状態となる。つまり、選択回路 5 7 は H レベルの信号 ( 行選択信号 ) を i 行目のゲート線 G i に伝達し、ゲート線 G i は H レベルの信号と同電位となる。すなわち、第 2 の走査線駆動回路 4 2 により i 行目のゲート線 G i が選択される。その結果、画素 1 0 が含むスイッチング用トランジスタ 1 1 はオン状態となる。そして、信号線駆動回路 4 3 が含む電源 5 3 の電位が駆動用トランジスタ 1 2 のゲート電極に伝達され、駆動用トランジスタ 1 2 はオフ状態となり、発光素子 1 3 の両電極の電位は同電位となる。すなわち、この期間では、発光素子 1 3 が非発光となる消去動作が行われる。

40

#### 【 0 1 2 6 】

期間 T 2 ( 第 2 のサブゲート選択期間 ) において、選択信号線 5 2 から伝達される W E 信号は H レベルである。そうすると、第 1 の走査線駆動回路 4 1 が含む選択回路 5 5 には、H レベルの W E 信号が入力され、選択回路 5 5 は動作状態となる。つまり、選択回路 5 5 は H レベルの信号を i 行目のゲート線 G i に伝達し、ゲート線 G i は H レベルの信号と同電位となる。つまり、第 1 の走査線駆動回路 4 1 により、i 行目のゲート線 G i が選択される。その結果、画素 1 0 が含むスイッチング用トランジスタ 1 1 はオン状態となる。そして、信号線駆動回路 4 3 が含む第 2 のラッチ 4 8 からビデオ信号が駆動用トランジスタ 1 2 のゲート電極に伝達され、駆動用トランジスタ 1 2 はオン状態又はオフ状態となり、

50

発光素子 1 3 が含む 2 つの電極の電位は、互いに異なる電位又は同電位となる。つまり、この期間では、発光素子 1 3 は発光又は非発光となる書き込み動作が行われる。一方、第 2 の走査線駆動回路 4 2 が含む選択回路 5 7 には、L レベルの信号が入力され、不定状態となる。

【 0 1 2 7 】

このように、ゲート線  $G_y$  は、期間  $T_1$  (第 1 のサブゲート選択期間) において第 2 の走査線駆動回路 4 2 により選択され、期間  $T_2$  (第 2 のサブゲート選択期間) において第 2 の走査線駆動回路 4 2 により選択される。すなわち、ゲート線は、第 1 の走査線駆動回路 4 1 と第 2 の走査線駆動回路 4 2 により、相補的に制御される。そして、第 1 及び第 2 のサブゲート選択期間において、一方で消去動作を行って、他方で書き込み動作を行う。

10

【 0 1 2 8 】

なお第 1 の走査線駆動回路 4 1 が  $i$  行目のゲート線  $G_i$  を選択する期間では、第 2 の走査線駆動回路 4 2 は動作していない状態 (選択回路 5 7 が不定状態)、又は  $i$  行目を除く他の行のゲート線に行選択信号を伝達する。同様に、第 2 の走査線駆動回路 4 2 が  $i$  行目のゲート線  $G_i$  に行選択信号を伝達する期間は、第 1 の走査線駆動回路 4 1 は不定状態、又は  $i$  行目を除く他の行のゲート線に行選択信号を伝達する。

【 0 1 2 9 】

また上記のような動作を行う本発明は、発光素子 1 3 を強制的にオフにすることができるために、デューティ比の向上を実現する。さらに、発光素子 1 3 を強制的にオフにすることができるにも関わらず、容量素子 1 6 の電荷を放電する T F T を設ける必要がないため、高開口率を実現する。高開口率を実現すると、光を発する面積の増加に伴って、発光素子の輝度を下げることができる。つまり、駆動電圧を下げるため、消費電力を削減することができる。

20

【 0 1 3 0 】

なお、本発明は、ゲート選択期間を 2 分割する上記の形態に制約されない。ゲート選択期間を 3 つ以上に分割してもよい。

【 0 1 3 1 】

( 実施の形態 7 )

本実施の形態では、本発明の駆動方法を適用できる画素構成を例示する。なお、図 2 で示した構成と重複する説明は省略する。

30

【 0 1 3 2 】

図 9 には、図 2 に示した画素構成に加え、容量素子 1 6 の両端に第 3 のトランジスタ 2 5 が設けられていることを特徴とした画素構成を示す。第 3 のトランジスタ 2 5 は、所定の期間で、容量素子 1 6 に蓄積された電荷を放電する機能を有する。この第 3 のトランジスタ 2 5 を消去用トランジスタとも表記する。所定の期間は、第 3 のトランジスタ 2 5 のゲート電極が接続されている消去用走査線  $R_y$  によって制御される。

【 0 1 3 3 】

例えば、複数のサブフレーム期間を設ける場合、短いサブフレーム期間において、第 3 のトランジスタ 2 5 により容量素子 1 6 の電荷を放電する。その結果、デューティ比を向上させることができる。

40

【 0 1 3 4 】

図 1 0 ( A ) には、図 2 に示した画素構成に加え、駆動用トランジスタ 1 2 と発光素子 1 3 との間に、第 4 のトランジスタ 3 6 が設けられていることを特徴とした画素構成を示す。第 4 のトランジスタ 3 6 のゲート電極には、固定電位となっている第 2 の電源線  $V_{ax}$  が接続されている。そのため、発光素子 1 3 へ供給される電流は、駆動用トランジスタ 1 2 や第 4 のトランジスタ 3 6 のゲート電極とソース電極間の電圧によらず、一定とすることができる。この第 4 のトランジスタ 3 6 を、電流制御用トランジスタとも表記する。

【 0 1 3 5 】

図 1 0 ( B ) には、図 1 0 ( A ) と異なり、固定電位となっている第 2 の電源線  $V_{ax}$  が、走査線  $G_y$  と並行に設けられていることを特徴とした画素構成を示す。

50

## 【 0 1 3 6 】

また図 1 0 ( C ) には、図 1 0 ( A ) ( B ) と異なり、固定電位となっている、第 4 のトランジスタ 3 6 のゲート電極が、駆動用トランジスタ 1 2 のゲート電極に接続されていることを特徴とした画素構成である。図 1 0 ( C ) のように、新たに電源線を設けることがない画素構成では、開口率を維持することができる。

## 【 0 1 3 7 】

図 1 1 には、図 1 0 ( A ) に示した画素構成に加え、図 9 に示した消去用トランジスタを設けたことを特徴とした画素構成を示す。消去用トランジスタにより、容量素子 1 6 の電荷を放電することができる。勿論、図 1 0 ( B ) 又は図 1 0 ( C ) に示した画素構成に加えて、消去用トランジスタを設けることも可能である。

10

## 【 0 1 3 8 】

すなわち、本発明は、画素構成に限定されることなく適用することが可能である。

## 【 0 1 3 9 】

## ( 実施の形態 8 )

本発明は、定電流駆動を行う発光装置にも適用することができる。本実施の形態では、モニター用発光素子 6 6 を用いて経時変化の度合いを検出する場合であって、この検出結果を基に、ビデオ信号又は電源電位を補正することで、発光素子の経時変化を補償する場合について説明する。

## 【 0 1 4 0 】

本実施の形態は、第 1 及び第 2 のモニター用発光素子を設ける。第 1 のモニター用発光素子には第 1 の定電流源から一定の電流が供給され、第 2 のモニター用発光素子には第 2 の定電流源から一定の電流が供給される。第 1 の定電流源から供給される電流値と、第 2 の定電流源から供給される電流値を変えることで、第 1 及び第 2 のモニター用発光素子に流れる総電流量は異なる。そうすると、第 1 及び第 2 のモニター用発光素子の間には経時変化の違いが生じる。

20

## 【 0 1 4 1 】

第 1 及び第 2 のモニター用発光素子は演算回路に接続しており、当該演算回路では、第 1 のモニター用発光素子と、第 2 のモニター用発光素子との電位の差を算出する。演算回路で算出された電圧値は、ビデオ信号発生回路に供給される。ビデオ信号発生回路では、演算回路から供給される電圧値を基に、各画素に供給するビデオ信号を補正する。上記構成により、発光素子の経時変化を補償することができる。

30

## 【 0 1 4 2 】

なお、各モニター用発光素子と、各演算回路の間には、バッファアンプ回路などの電位の変動を防止する回路を設けるとよい。

## 【 0 1 4 3 】

なお本実施の形態において、定電流駆動を行う構成を有する画素としては、例えば、カレントミラー回路を用いた画素等がある。

## 【 0 1 4 4 】

## ( 実施の形態 9 )

本発明は、パッシブマトリクス型の発光装置に適用することができる。パッシブマトリクス型の発光装置は、絶縁基板上に、画素部、該画素部の周辺に配置されたカラム信号線駆動回路、ロウ信号線駆動回路、駆動回路を制御するコントローラを有する。カラム信号線駆動回路、ロウ信号線駆動回路、又はコントローラは、絶縁基板上に C O G によって設けられた I C チップを用いてもよい。画素部は、列方向に配置された各カラム信号線、行方向に配置されたロウ信号線、及びマトリクス状に配置された複数の発光素子を有する。この画素部が形成された絶縁基板上には、モニター用回路 6 4 を設けることができる。

40

## 【 0 1 4 5 】

本実施の形態の発光装置では、モニター用回路 6 4 を用いて、カラム信号線駆動回路に入力される画像データ、又は定電圧源から発生される電圧を、温度変化及び経時変化に応じて補正することができ、温度変化及び経時変化の両者に起因する影響が低減された発光装

50

置を提供することができる。

【 0 1 4 6 】

(実施の形態 1 0 )

発光素子を含む画素部を備えた電子機器として、テレビジョン装置（単にテレビ、又はテレビジョン受信機ともよぶ）、デジタルカメラ、デジタルビデオカメラ、携帯電話装置（単に携帯電話機、携帯電話ともよぶ）、PDA等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図 1 5 を参照して説明する。

【 0 1 4 7 】

図 1 5 ( A ) に示す携帯情報端末機器は、本体 9 2 0 1、表示部 9 2 0 2 等を含んでいる。

表示部 9 2 0 2 は、本発明の発光装置を適用することができる。すなわち、モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制した携帯情報端末機器を提供することができる。

【 0 1 4 8 】

図 1 5 ( B ) に示すデジタルビデオカメラは、表示部 9 7 0 1、表示部 9 7 0 2 等を含んでいる。表示部 9 7 0 1 は本発明の発光装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制したデジタルビデオカメラを提供することができる。

【 0 1 4 9 】

図 1 5 ( C ) に示す携帯電話機は、本体 9 1 0 1、表示部 9 1 0 2 等を含んでいる。表示部 9 1 0 2 は、本発明の発光装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制した携帯電話機を提供することができる。

【 0 1 5 0 】

図 1 5 ( D ) に示す携帯型のテレビジョン装置は、本体 9 3 0 1、表示部 9 3 0 2 等を含んでいる。表示部 9 3 0 2 は、本発明の発光装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制した携帯型のテレビジョン装置を提供することができる。またテレビジョン装置としては、携帯電話機などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの（例えば 4 0 インチ以上）まで、幅広いものに、本発明の発光装置を適用することができる。

【 0 1 5 1 】

図 1 5 ( E ) に示す携帯型のコンピュータは、本体 9 4 0 1、表示部 9 4 0 2 等を含んでいる。表示部 9 4 0 2 は、本発明の発光装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制した携帯型のコンピュータを提供することができる。

【 0 1 5 2 】

図 1 5 ( F ) に示すテレビジョン装置は、本体 9 5 0 1、表示部 9 5 0 2 等を含んでいる。表示部 9 5 0 2 は、本発明の発光装置を適用することができる。モニター用発光素子を用いて発光素子に与える電源電位を補正する本発明により、環境温度の変化と経時変化に起因した、発光素子の電流値の変動による影響を抑制したテレビジョン装置を提供することができる。

【 0 1 5 3 】

(実施の形態 1 1 )

本実施の形態では、フルカラー表示を行うことができるパネルであって、各発光色を呈する発光素子ごとにモニター用発光素子を有する場合の構成について説明する。

【0154】

図16には、絶縁基板20上に、画素部40、信号線駆動回路43、第1の走査線駆動回路41、第2の走査線駆動回路42、モニター用回路64R、64G、64Bが設けられた発光装置を示す。画素部40にはフルカラー表示を行うため、各発光色を呈する発光材料を用いた発光素子が、各画素10R、10G、10Bに設けられている。また各発光素子は、それぞれ電源18R、18G、18Bに接続されている。なお、同色の発光を呈する発光素子は、ストライプ状に設けられている。

【0155】

モニター用回路64R、64G、64Bと、画素10R、10G、10Bとの間には、バッファアンプ回路110R、110G、110Bがそれぞれ設けられている。バッファアンプ回路の動作は、実施の形態1を参照することができる。

【0156】

モニター用回路64R、64G、64Bの構成は、実施の形態1を参照することができる。具体的には、各発光を呈する発光材料からなるモニター用発光素子と、モニター用発光素子に接続されたモニター制御用トランジスタと、モニター制御用トランジスタのゲート電極に出力端子が接続され、かつモニター制御用トランジスタの一方の電極及びモニター用発光素子に入力端子が接続されたインバーターを有する。また各モニター用発光素子は、それぞれ電源18MR、18MG、18MBに接続されている。そして各モニター制御用トランジスタには、モニター線を介して、それぞれ定電流源105R、105G、105Bが接続されている。モニター制御用トランジスタは、複数のモニター用発光素子のそれぞれへ、モニター線からの電流供給を制御するための機能を有する。モニター線は、複数のモニター用発光素子が有する電極に接続されているため、該電極の電位の変化をモニターする機能を有することができる。また定電流源は、モニター線へ一定電流を供給する機能を有する。

【0157】

このような構成を有する発光装置において、各発光を呈する発光素子の劣化が異なる場合であっても、各モニター用発光素子によって、その劣化を補償することができる。すなわち、発光素子の材料ごとに劣化の程度が異なるが、本実施の形態に示すように、発光素子ごとにモニター用発光素子を設けることによって、各劣化を補償することができる。その結果、環境温度の変化と経時変化に起因した各色発光素子の輝度バラツキが低減された発光装置を提供することができる。また本発明のモニター用回路64R、64G、64Bは、複数のモニター用発光素子を有するため、これらの平均値から上記輝度バラツキを補正することができる。そして、モニター用発光素子のいずれかが欠陥等により機能しなくなっても、残りのモニター用発光素子で対応することができる。

【0158】

なお本実施の形態において、同色の発光を呈する発光素子がストライプ状に設けられている構成を用いて説明したが、これに限定されるものではない。例えば、デルタ状に配置されている画素において、各発光色を呈する発光素子ごとにモニター用発光素子を有する構成を適用することができる。

【0159】

また本実施の形態において、青色発光素子用のモニター用回路64Bを画素部40に対して左側へ、赤色及び緑色のモニター用回路64R、64Gを画素部40に対して右側へ設けたが、これに限定されるものではない。例えば、全発光素子用のモニター用回路を画素部に対して左側へ設けてもよいし、いずれか一のモニター用回路を画素部に対して上側、又は下側に設けてもよい。但し、発光装置全体からして、モニター用回路を設ける領域を均等、且つ分散して設けた方が好ましい。

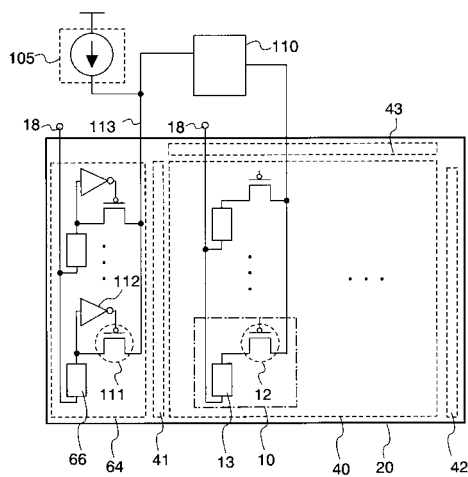
【図面の簡単な説明】

【0160】

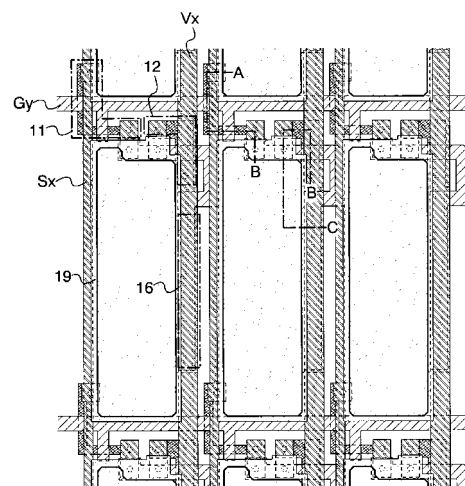
【図 1】本発明の発光装置を示した図である  
【図 2】本発明の画素の等価回路を示した図である  
【図 3】本発明の画素のレイアウトを示した図である  
【図 4】本発明の画素の断面を示した図である  
【図 5】本発明のモニター用回路を示した図である  
【図 6】本発明のモニター用回路を示した図である  
【図 7】本発明のモニター用回路を示した図である  
【図 8】本発明のタイミングチャートを示した図である  
【図 9】本発明の画素の等価回路を示した図である  
【図 10】本発明の画素の等価回路を示した図である  
【図 11】本発明の画素の等価回路を示した図である  
【図 12】本発明のパネルを示した図である  
【図 13】本発明のタイミングチャートを示した図である  
【図 14】本発明のタイミングチャートを示した図である  
【図 15】本発明の電子機器を示した図である  
【図 16】本発明の発光装置を示した図である

10

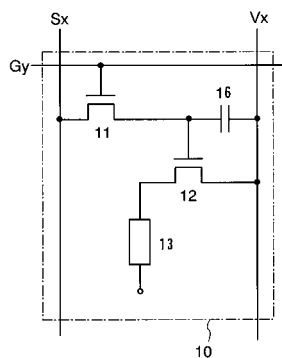
【 図 1 】



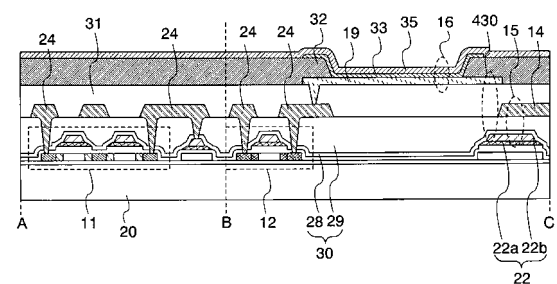
【 図 3 】



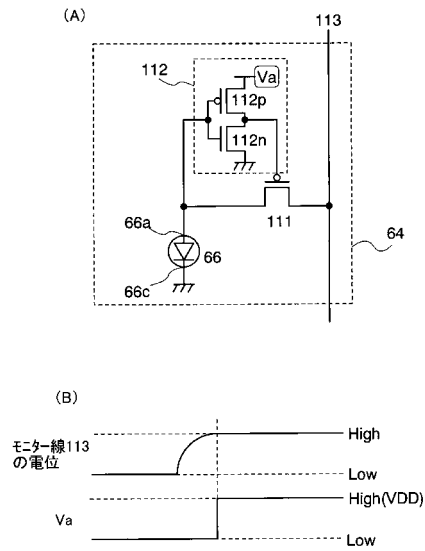
【圖 2】



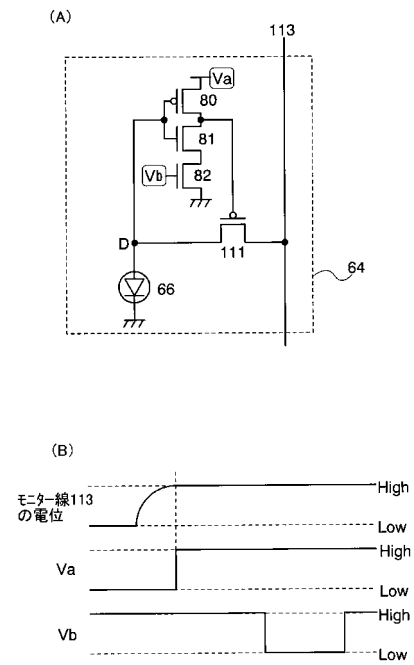
【 図 4 】



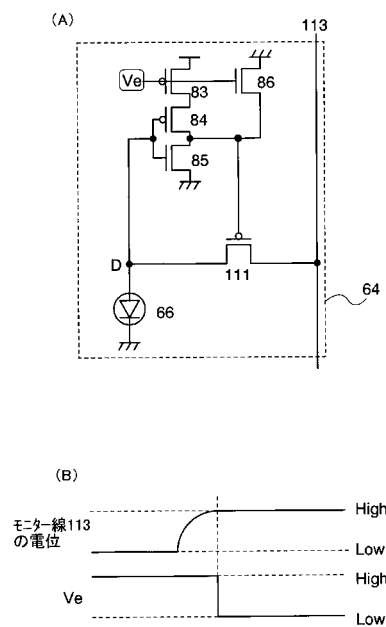
【図 5】



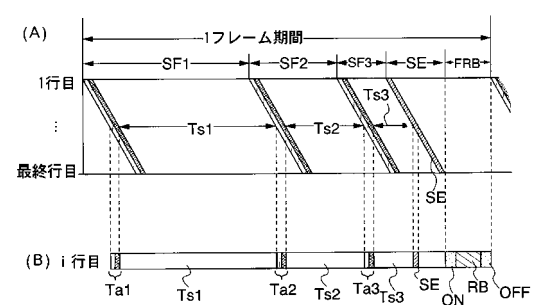
【図 6】



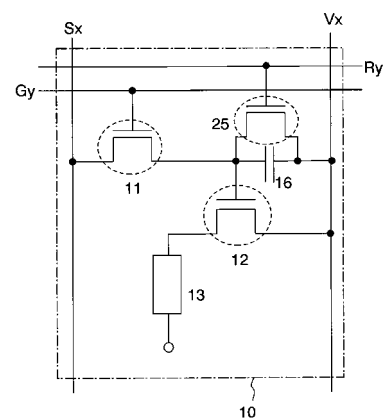
【図 7】



【図 8】

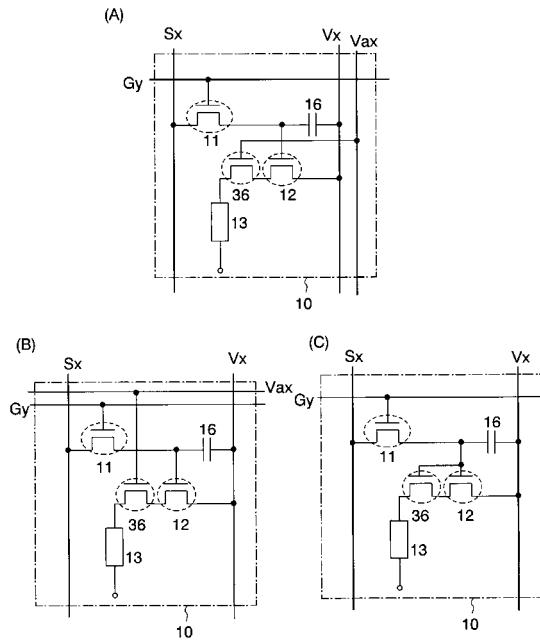


【図 9】

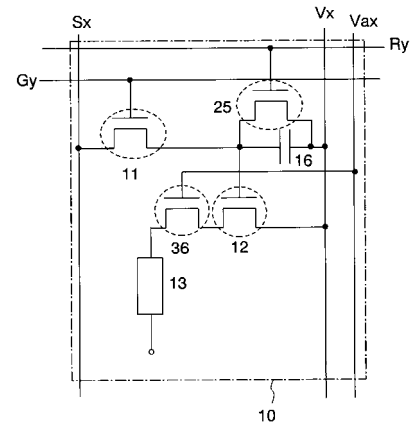




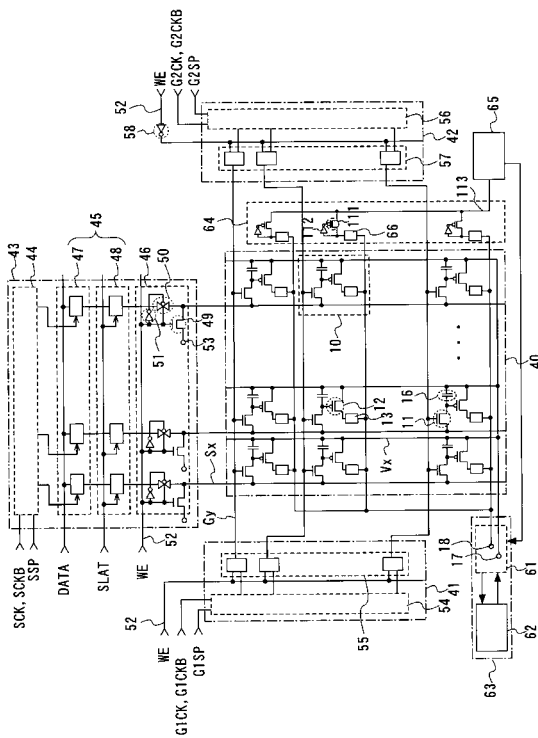
【図 10】



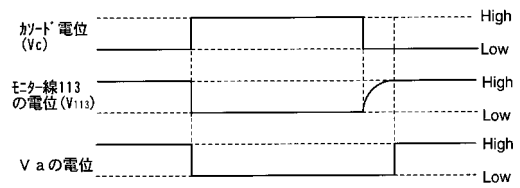
【図 11】



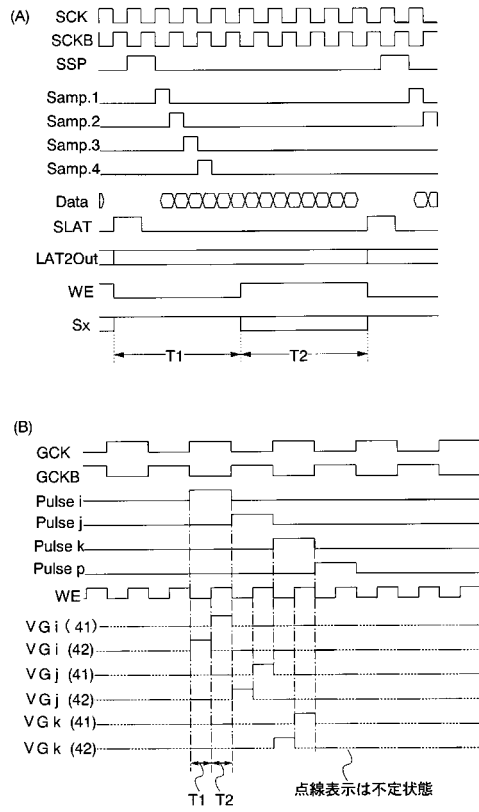
【図 12】



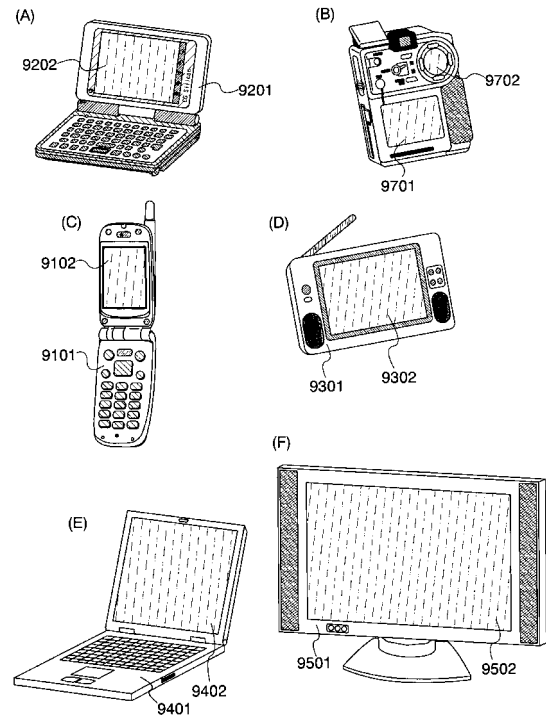
【図 13】



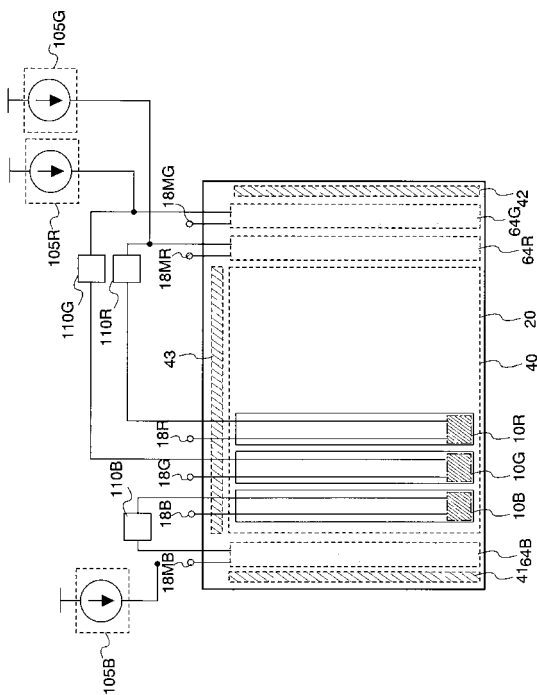
【図 14】



【図 15】



【図 16】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 7 0 J  
H 0 5 B 33/14 A

(56)参考文献 特開平 0 7 - 0 3 6 4 0 9 ( J P , A )  
特開平 0 2 - 2 8 7 4 9 2 ( J P , A )  
特開平 0 4 - 1 2 8 8 7 5 ( J P , A )  
特開平 1 1 - 0 8 7 7 7 4 ( J P , A )  
特開 2 0 0 4 - 1 7 0 9 4 3 ( J P , A )  
特開 2 0 0 2 - 2 7 8 4 9 8 ( J P , A )  
特開 2 0 0 3 - 3 1 7 9 4 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 3 0  
G 0 9 G 3 / 2 0  
H 0 1 L 5 1 / 5 0