

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年6月14日(14.06.2012)



(10) 国際公開番号
WO 2012/077309 A1

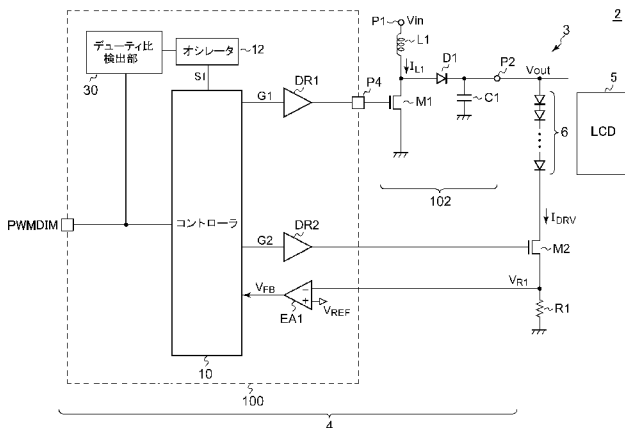
- (51) 国際特許分類:
H05B 37/02 (2006.01) G09G 3/34 (2006.01)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
G09G 3/20 (2006.01) H01L 33/00 (2010.01)
- (21) 国際出願番号: PCT/JP2011/006739
- (22) 国際出願日: 2011年12月1日(01.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-273461 2010年12月8日(08.12.2010) JP
- (71) 出願人(米国を除く全ての指定国について): ローム株式会社(ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 Kyoto (JP).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 佐々木 義和(SASAKI, Yoshikazu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 ローム株式会社内 Kyoto (JP). 齊藤 俊亮(SAITO, Shunsuke) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 森下 賢樹(MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西2-1-1-12 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: DRIVE CIRCUIT FOR OPTICAL ELEMENT AND LIGHT EMITTING DEVICE AND ELECTRONIC DEVICE USING SAME

(54) 発明の名称: 発光素子の駆動回路、それを用いた発光装置および電子機器

[図3]



10 Controller
12 Oscillator
30 Duty ratio detecting unit

(57) Abstract: A detection resistor (R1) is provided in the path of an LED string (6). A controller (10) generates a gate pulse signal (G1) for which the duty ratio is adjusted such that the voltage drop (VR1) for the detection resistor (R1) is the same as a prescribed reference voltage (VREF). In addition, the controller (10) receives a dimming control signal (PWMDIM) that dictates a burst dimming duty ratio and generates a burst dimming pulse (G2) according to this burst dimming duty ratio. A first driver (DR1) drives an output circuit (102) that generates a drive voltage (VDRV) based on the gate pulse signal (G1). A second driver (DR2) switches between connecting and disconnecting a drive current (IDRV) based on the burst dimming pulse (G2). A duty ratio detecting unit (30) controls the frequency of the gate pulse signal (G1) according to the duty ratio (α) dictated by the dimming control signal (PWMDIM).

(57) 要約: 検出抵抗 (R1) は、LED ストリング (6) の経路上に設けられる。コントローラ (10) は、検出抵抗 (R1) の電圧降下 (VR1) が所定の基準電圧 (VREF) と一致するようにデューティ比が調節されるゲートパルス信号 (G1) を生成する。またコント

ローラ (10) は、バースト調光のデューティ比を指示する調光制御信号 (PWMDIM) を受け、それに応じたバースト調光パルス (G2) を生成する。第1ドライバ (DR1) は、ゲートパルス信号 (G1) にもとづき、駆動電圧 (VDRV) を生成する出力回路 (102) を駆動する。第2ドライバ (DR2) は、バースト調光パルス (G2) にもとづき、駆動電流 (IDRV) の導通、遮断を切りかえる。デューティ比検出部 (30) は、調光制御信号 (PWMDIM) が指示するデューティ比 (α) に応じて、ゲートパルス信号 (G1) の周波数を制御する。

WO 2012/077309 A1

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, — 國際調查報告 (條約第 21 條(3))
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：

発光素子の駆動回路、それを用いた発光装置および電子機器

技術分野

[0001] 本発明は、発光素子の駆動技術に関し、特にその調光技術に関する。

背景技術

[0002] 近年、液晶パネルのバックライトや照明機器として、LED（発光ダイオード）をはじめとする発光素子を利用した発光装置が利用される。図1は、比較技術に係る発光装置の構成例を示す回路図である。発光装置1003は、LEDストリング6と、スイッチング電源1004と、を備える。

[0003] LEDストリング6は、直列に接続された複数のLEDを含む。スイッチング電源1004は、入力端子P1に入力された入力電圧 V_{in} を昇圧して、出力端子P2に接続されたLEDストリング6の一端に駆動電圧 V_{out} を供給する。

[0004] スwitchング電源1004は、出力回路102と、制御IC1100を備える。出力回路102は、インダクタL1、スイッチングトランジスタM1、整流ダイオードD1、出力キャパシタC1を含む。制御IC1100は、スイッチングトランジスタM1のオン、オフのデューティ比を制御することにより、駆動電圧 V_{out} を調節する。

[0005] LEDストリング6の経路上には、PWM調光用スイッチ（トランジスタ）M2および電流検出用の検出抵抗R1が設けられる。コントローラ1010は、外部からの調光制御信号PWMDIMにもとづき、目標輝度に応じてデューティ比が調節されるパルス幅変調（PWM）されたバースト調光パルスG2を生成する。ドライバDR2は、バースト調光パルスG2にもとづき、PWM調光用スイッチM2をスイッチングする。

[0006] 検出抵抗R1には、LEDストリング6に流れる駆動電流 I_{DRV} に比例した電圧降下（検出電圧） V_{R1} が発生する。誤差増幅器EA1は、検出電圧 V_{R1}

と、基準電圧 V_{REF} との誤差を増幅し、フィードバック電圧 V_{FB} を生成する。コントローラ1010は、フィードバック電圧 V_{FB} にもとづいてパルス変調されるゲートパルス信号G1を生成する。ドライバDR1は、ゲートパルス信号G1にもとづいてスイッチングトランジスタM1をスイッチングする。

[0007] 以上の構成により、

$$I_{DRV} = V_{REF} / R1$$

が成り立つように、フィードバックがかかり、基準電圧 V_{REF} に応じた輝度でLEDストリング6を発光させることができる（電流調光）。

[0008] またPWM調光用スイッチM2のオン、オフのデューティ比に応じて、LEDストリング6の発光時間が制御され、実効的な輝度が調節される（PWM調光あるいはバースト調光）。

先行技術文献

特許文献

[0009] 特許文献1：特開2009-261158号公報

発明の概要

発明が解決しようとする課題

[0010] 液晶パネルのコントラスト比は、LEDストリング6の輝度をダイナミックに制御することによって拡張される。つまり、LEDストリング6の最低輝度になるべく小さいほど、液晶パネルのコントラスト比を大きくすることができる。

[0011] 本発明に係る状況においてなされたものであり、そのある態様の例示的な目的のひとつは、なるべく小さな輝度でLEDストリングを駆動可能な駆動回路の提供にある。

課題を解決するための手段

[0012] 本発明のある態様は、発光素子に駆動電圧および駆動電流を供給する駆動回路に関する。この駆動回路は、発光素子の経路上に設けられた検出抵抗と、検出抵抗の電圧降下が所定の基準電圧と一致するようにデューティ比が調

節されるゲートパルス信号を生成するとともに、バースト調光のデューティ比を指示する調光制御信号を受け、それに応じたバースト調光パルスを生成するコントローラと、ゲートパルス信号にもとづき、駆動電圧を生成するスイッチング電源を駆動する第1ドライバと、バースト調光パルスにもとづき、駆動電流の導通、遮断を切りかえる第2ドライバと、調光制御信号が指示するデューティ比に応じて、ゲートパルス信号の周波数を制御するデューティ比検出部と、を備える。

[0013] 本発明の別の態様もまた、駆動回路である。この駆動回路は、発光素子の経路上に設けられた電流源と、電流源の電圧降下が所定の基準電圧と一致するようにデューティ比が調節されるゲートパルス信号を生成するとともに、バースト調光のデューティ比を指示する調光制御信号を受け、それに応じたバースト調光パルスを生成するコントローラと、ゲートパルス信号にもとづき、駆動電圧を生成するスイッチング電源を駆動する第1ドライバと、バースト調光パルスにもとづき、駆動電流の導通、遮断を切りかえる第2ドライバと、調光制御信号が指示するデューティ比に応じて、ゲートパルス信号の周波数を制御するデューティ比検出部と、を備える。

[0014] これらの態様によると、バースト調光のデューティ比に応じて、スイッチング電源のスイッチングトランジスタのスイッチング周波数を切りかえることにより、発光素子の輝度を、デューティ比が小さい領域においてもデューティ比に応じて制御できる。

[0015] デューティ比検出部は、調光制御信号が指示するデューティ比が小さいほど、ゲートパルス信号の周波数と高くしてもよい。

[0016] 本発明のさらに別の態様は、発光装置である。この装置は、発光素子と、発光素子を駆動する上述のいずれかの態様の駆動回路と、を備える。

[0017] 本発明のさらに別の態様は、電子機器である。この電子機器は、液晶パネルと、液晶パネルのバックライトとして設けられた上述の発光装置と、を備える。

[0018] なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、

方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0019] 本発明のある態様によれば、回路保護の機能を損なうことなく、消費電力を低減できる。

図面の簡単な説明

[0020] [図1]比較技術に係る発光装置の構成例を示す回路図である。

[図2]図2 (a) は、図1の発光装置における、バースト調光パルスのデューティ比と、駆動電流の関係を示す図であり、図2 (b) は、図1の発光装置におけるバースト調光パルスとゲートパルス信号を示す波形図である。

[図3]第1の実施の形態に係る発光装置の構成を示す回路図である。

[図4]図4 (a) は、図3のデューティ比検出部の第1の構成例を示す回路図であり、図4 (b) は、図4 (a)のデューティ比検出部の動作を示す波形図である。

[図5]図3のデューティ比検出部の第2の構成例を示す回路図である。

[図6]図6 (a)、(b) は、図3の発光装置の動作を示す波形図であり、図6 (c) は、図3の発光装置における、バースト調光パルスのデューティ比と駆動電流の関係を示す図である。

[図7]第2の実施の形態に係る駆動回路の構成を示す回路図である。

発明を実施するための形態

[0021] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0022] 本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合のほか、部材Aと部材Bが、電

氣的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電氣的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

[0023] 本発明者らは、図1の発光装置1003において最低輝度を下げる技術について検討した。最低輝度を下げるには、2つのアプローチがある。第1は、電流調光によって駆動電流 I_{DRV} を小さくすること、第2は、バースト調光のデューティ比を小さくすることである。

[0024] 第1のアプローチにおいて、基準電圧 V_{REF} を小さくすると駆動電流 I_{DRV} を小さくできる。しかしながら、基準電圧 V_{REF} と検出電圧 V_{R1} を受ける誤差増幅器EA1の入力電圧範囲には下限があるため、このアプローチには限界がある。

[0025] そこで第2のアプローチについて検討する。図2(a)は、図1の発光装置1003における、バースト調光パルスG2のデューティ比と、駆動電流 I_{DRV} の関係を示す図である。バースト調光パルスG2のデューティ比が、ある下限値 β (0.04%)より大きい範囲では、デューティ比に応じて駆動電流 I_{DRV} が変化する。ところが、デューティ比が下限値 β (0.04%)より小さくなると、駆動電流 I_{DRV} が急激に低下する。つまり、下限値 β を低下させることができれば、第2のアプローチによって最低輝度をさらに下げることができる。

[0026] 本発明者らは、下限値 β が存在する理由および下限値 β を小さくする方法について検討した。なお、以下の検討は、本発明者らが独自に行ったものであり、当業者の共通の認識であると考えてはならない。

[0027] バースト調光を行う場合、PWM調光用スイッチM2がオフの期間は、フィードバックが遮断され、スイッチングトランジスタM1のスイッチングが停止する。PWM調光用スイッチM2がオンの期間 T_{ON} には、検出電圧 V_{R1}

にもとづくフィードバックが有効となり、スイッチングトランジスタM1のデューティ比が調節され、出力電圧 V_{out} が安定化される。したがってバースト調光パルスG2のパルス幅（デューティ比）、つまりオン期間が小さくなると、フィードバックが有効な期間が短くなる。図2（b）は、図1の発光装置1003におけるバースト調光パルスG2とゲートパルス信号G1を示す波形図である。

[0028] バースト調光パルスG2のパルス幅（オン期間 T_{ON} ）が、ゲートパルス信号G1の周期（スイッチング周期 T_{SW} ）に近づくと、ゲートパルス信号G1の位相によって、バースト調光パルスG2のオン期間 T_{ON} に含まれる有効なゲートパルス信号G1の数が増える。ある位相のゲートパルス信号G1（1）は、オン期間 T_{ON} に2個のパルスが含まれる。ところが別のゲートパルス信号G1（2）では、ひとつのパルスのみが含まれ、インダクタL1に蓄えられるエネルギーが減少し、出力電圧 V_{out} を目標値に保つことができなくなる。本発明者らは、この現象が、図2（a）に示される特性の要因となると考えた。

[0029] （第1の実施の形態）

図3は、第1の実施の形態に係る発光装置3の構成を示す回路図である。電子機器2は、ノートPC、デジタルカメラ、デジタルビデオカメラ、携帯電話端末、PDA（Personal Digital Assistant）などの電池駆動型の機器であり、発光装置3とLCD（Liquid Crystal Display）パネル5を備える。発光装置3はLCDパネル5のバックライトとして設けられる。

[0030] 発光装置3は、発光素子であるLEDストリング6と、その駆動回路4を備える。

[0031] LEDストリング6は、直列に接続された複数のLEDを含む。駆動回路4は、昇圧型のDC/DCコンバータを含み、入力端子P1に入力された入力電圧（たとえば電池電圧） V_{in} を昇圧して、出力端子P2から出力電圧（駆動電圧） V_{out} を出力する。LEDストリング6の一端（アノード）は、出力端子P2に接続される。

- [0032] 駆動回路4は、制御IC100および出力回路102を備える。出力回路102は、インダクタL1、整流ダイオードD1、スイッチングトランジスタM1、出力キャパシタC1を含む。出力回路102のトポロジーは一般的であるため、説明を省略する。
- [0033] 制御IC100のスイッチング端子P4は、スイッチングトランジスタM1のゲートと接続される。制御IC100は、LEDストリング6の点灯に必要な出力電圧Voutが得られ、かつLEDストリング6が目標の輝度で発光するように、フィードバックによりスイッチングトランジスタM1のオン、オフのデューティ比を調節する。なおスイッチングトランジスタM1は制御IC100に内蔵されてもよい。
- [0034] LEDストリング6の経路上には、具体的にはLEDストリング6のカソードと接地端子の間には、PWM調光用スイッチM2が設けられる。PWM調光用スイッチM2のオン、オフ比率（デューティ比）を調節することにより、LEDストリング6の点灯期間と消灯期間の比率が調節され、LEDストリング6の実効的な輝度を調節することができる。これをバースト調光（PWM調光）という。PWMDIM端子には、調光制御信号PWMDIMが入力される。調光制御信号PWMDIMは、バースト調光のデューティ比を指定する信号であり、それ自体がパルス幅変調されたパルス信号である。コントローラ10は、調光制御信号PWMDIMにもとづき、バースト調光パルスG2を生成する。最も簡易には、バースト調光パルスG2は調光制御信号PWMDIMであってもよい。
- [0035] 検出抵抗R1は、LEDストリング6の経路上、具体的にはLEDストリング6のカソードと接地端子の間に設けられる。
- [0036] オシレータ12は、可変オシレータである。コントローラ10は、オシレータ12が生成する周期信号S1を利用して、ゲートパルス信号G1を生成する。つまり、ゲートパルス信号G1の周波数は、オシレータ12の発振周波数に応じている。周期信号S1は、パルス信号であってもよいし、のこぎり波や三角波であってもよく、その種類はコントローラ10の構成によって

適宜設計される。

- [0037] 誤差増幅器E A 1は、検出抵抗R 1に生ずる電圧降下 V_{R1} と基準電圧 V_{REF} の誤差を増幅し、誤差電圧 V_{FB} を生成する。コントローラ10は誤差電圧 V_{FB} および周期信号S 1を受け、検出抵抗R 1の電圧降下 V_{R1} が制御電圧 V_{DIM} と一致するようにデューティ比が調節されるゲートパルス信号G 1を生成する。ゲートパルス信号G 1の周波数は、周期信号S 1の周波数に依っている。第1ドライバD R 1は、ゲートパルス信号G 1にもとづきDC/DCコンバータのスイッチングトランジスタM 1を駆動する。
- [0038] デューティ比検出部30は、調光制御信号PWMDIMを受け、そのデューティ比を検出する。そして、検出したデューティ比に応じてオシレータ12の発振周波数を制御する。デューティ比が大きいときには、オシレータ12の発振周波数を低くし、デューティ比が小さくなると、オシレータ12の発振周波数を高くする。
- [0039] たとえばデューティ比検出部30は、検出したデューティ比 α が所定のしきい値THより高いとき、オシレータ12の周波数を第1の値 f_1 にする。デューティ比 α が所定のしきい値THより低くなると、デューティ比検出部30はオシレータ12の周波数を、第1の値 f_1 より高い第2の値 f_2 にする。このしきい値THは、図2に示される下限値 β より少し高い値に設定することが望ましい。
- [0040] 以上が駆動回路4の構成である。続いてデューティ比検出部30の構成例を説明する。図4(a)は、図3のデューティ比検出部30の第1の構成例を示す回路図である。デューティ比検出部30は、キャパシタC 2、ヒステリシスコンパレータ32、第1電流源34、第2電流源36、スイッチ38を備える。
- [0041] キャパシタC 2の一端は接地される。第1電流源34は、第1電流 I_{C1} を生成し、キャパシタC 2を充電する。第2電流源36は、第2電流 I_{C2} を生成し、キャパシタC 2を放電する。スイッチ38は、第2電流 I_{C2} を遮断、導通するためのスイッチであり、調光制御信号PWMDIMに応じてオン、

オフが制御される。第2電流 I_{C2} を、定数 K を用いて、

$$I_{C2} = K \times I_{C1} \quad \dots (1)$$

と表す。

- [0042] ヒステリシスコンパレータ32は、キャパシタC2に生ずる電圧 V_1 を、所定のしきい値電圧 V_{TH} と比較する。しきい値電圧 V_{TH} は、上のしきい値 V_{TH} に応じて定められる。ヒステリシスコンパレータ32のしきい値電圧 V_{TH} は、その出力がローレベルのとき、第1の値 V_{TH1} 、その出力がハイレベルのとき、第1の値 V_{TH1} より低い第2の値 V_{TH2} をとるものとする。一例として、

$$V_{TH1} = V_{DD} \times 2 / 3$$

$$V_{TH2} = V_{DD} \times 1 / 3$$

とする。コンパレータ32の出力OUTは、調光制御信号PWMDIMのデューティ比 α と、しきい値との比較結果を示す。ヒステリシスコンパレータを用いることにより、調光制御信号PWMDIMのデューティ比 α がしきい値 V_{TH} 付近をとるときに、ゲートパルス信号G1の周波数が振動するのを防止できる。

- [0043] 図4(b)は、図4(a)のデューティ比検出部30の動作を示す波形図である。調光制御信号PWMDIMがローレベルの期間、スイッチ38はオフし、キャパシタC2は第1電流 I_{C1} により充電される。その結果、キャパシタC2の電圧 V_1 は、傾き $(I_{C1} / C2)$ で増加する。調光制御信号PWMDIMのデューティ比が α 、周期が T_P であるとき、オフ期間 T_{OFF} 、オン期間 T_{ON} はそれぞれ、

$$T_{OFF} = T_P \times (1 - \alpha) \quad \dots (2a)$$

$$T_{ON} = T_P \times \alpha \quad \dots (2b)$$

となる。したがって、1回のオフ期間 T_{OFF} でのキャパシタC2の電圧 V_1 の増加量は、

$$\Delta V_{UP} = I_{C1} / C2 \times T_P \times (1 - \alpha) \quad \dots (3)$$

となる。

- [0044] 調光制御信号PWMDIMがハイレベルの期間、スイッチ38はオンし、

キャパシタC2は、第2電流Ic2と第1電流Ic1の差分電流(Ic2-Ic1) = (K-1)・Ic1により放電される。その結果、キャパシタC2の電圧V1は、傾き(K-1)・Ic1/C2で減少する。したがって、1回のオン期間TONでのキャパシタC2の電圧V1の減少量は、

$$\Delta V_{DN} = (K-1) \cdot I_{C1} / C2 \times T_P \times \alpha \quad \dots (4)$$

となる。

[0045] 式(3)、(4)から、1周期あたりの電圧V1の変動量は、

$$\Delta V = \Delta V_{UP} - \Delta V_{DN} = I_{C1} \times T_P / C2 \times (1 - K \cdot \alpha)$$

となる。したがってK・α=1のときにΔV=0となり、電圧V1はあるレベルでバランスする。α<1/Kのとき、電圧V1は増大し、α>1/Kのとき電圧V1は低下する。つまりデューティ比検出部30が調光制御信号PWMDIMのデューティ比αと比較するしきい値THは、1/Kとなる。たとえばK=20とすると、デューティ比αが5%より高いか低いか判定される。

[0046] デューティ比αがしきい値TH=1/Kより高い状態が持続すると、電圧V1=0を維持する。電圧V1=0Vの状態から、デューティ比αがしきい値1/Kより低くなる際に、電圧V1が、0Vからしきい値電圧VTH1まで上昇するまでに必要なサイクル数Nは、式(5)で与えられる。

$$\begin{aligned} N &= V_{TH1} / \Delta V = V_{TH1} / \{ I_{C1} \times T_P / C2 \times (1 - K \cdot \alpha) \} \\ &= 2/3 \cdot V_{DD} / \{ I_{C1} \times T_P / C2 \times (1 - K \cdot \alpha) \} \quad \dots (5) \end{aligned}$$

[0047] たとえばK=20、α=0のときに、N=5となるように、各パラメータを決定する。つまり、

$$\begin{aligned} 5 &= 2/3 \times V_{DD} / \{ I_{C1} \times T_P / C2 \} \\ V_{DD} / \{ I_{C1} \times T_P / C2 \} &= 15/2 \quad \dots (6) \end{aligned}$$

が成り立つ。式(6)を式(5)に代入すると、式(7)を得る。

$$N = 5 / (1 - 20 \cdot \alpha) \quad \dots (7)$$

[0048] したがって、

$$\alpha = 1\% \text{のとき、} N = 6.25$$

$$\alpha = 2\% \text{のとき、} N = 8.33$$

$\alpha = 3\%$ のとき、 $N = 8.33$

$\alpha = 4\%$ のとき、 $N = 12.5$

$\alpha = 5\%$ のとき、 $N = 25$

[0049] デューティ比が α が大きくなると検出周期 N は増大するが、液晶パネルのディスプレイのコントラスト制御には十分な速度を実現できる。

[0050] 反対に、デューティ比 α がしきい値 $1/K$ より低い状態が持続すると、電圧 V_1 は電源電圧 V_{DD} と等しくなる。この状態から、デューティ比 α がしきい値 $1/K$ より高くなる際に、電圧 V_1 が、電源電圧 V_{DD} からしきい値電圧 V_{TH2} ($=V_{DD}/3$) まで低下するまでのサイクル数 N は、式(8)で与えられる。

$$N = (V_{DD} - V_{TH2}) / \Delta V \\ = 2/3 \cdot V_{DD} / \{I_{C1} \times T_P / C2 \times (1 - K \cdot \alpha)\} \quad \dots (8)$$

$\alpha = 1$ のとき、式(8)に式(6)を代入すると、

$$N = 200/19$$

となる。

[0051] 調光制御信号PWMDIMの周波数が、可変であり、その周期の最大値を $T_{P_{MAX}}$ とすると、式(6)から、

$$I_{C1} / C2 = 2/15 \times V_{DD} / T_{P_{MAX}}$$

となるように、電流 I_{C1} および容量 $C2$ を決めればよい。これにより、全周波数においてデューティ比の検出が可能となる。たとえば調光制御信号PWMDIMの周波数が $100\text{Hz} \sim 500\text{Hz}$ の範囲を取り得る場合、その周期の最大値は $T_{P_{MAX}} = 10\text{ms}$ となる。

[0052] 図5は、図3のデューティ比検出部30の第2の構成例を示す回路図である。このデューティ比検出部30bは、図4(a)のデューティ比検出部30aと等価的な処理を、デジタル信号処理で実現する。

[0053] デューティ比検出部30bは、フリップフロップ40、カウンタ42、デジタルコンパレータ44を備える。フリップフロップ40は、調光制御信号PWMDIMを、クロック信号CLKのポジティブエッジのタイミングでラ

ッチする。なおフリップフロップ40は省略してもよい。カウンタ42は、ラッチされた信号S2がハイレベルのとき、カウント値CNTを(K-1)減少させ(カウントダウン)、信号S2がローレベルのとき、カウント値CNTを1増加させる(カウントアップ)。

[0054] カウンタ42は、図4(a)の第1電流源34、第2電流源36、キャパシタC2に相当し、カウントダウンは、図4(a)の放電に、カウントダウンは図4(a)の充電に、カウント値CNTは、図4(a)の電圧V₁に相当する。クロック信号CLKの周波数は、調光制御信号PWMDIMの周波数よりも十分に高く設定され、調光制御信号PWMDIMの周波数が100Hz~500Hzであるとき、クロック信号CLKの周波数は100kHz程度に設定される。

[0055] デジタルコンパレータ44は、図4(a)のヒステリシスコンパレータ32に相当する。デジタルコンパレータ44は、カウント値CNTがTH₁より大きくなると、その出力OUTをアサート(ハイレベル)とし、カウント値CNTがTH₂より小さくなると、その出力OUTをネゲート(ローレベル)とする。デジタルコンパレータ44の出力OUTは、調光制御信号PWMDIMのデューティ比αと、しきい値THとの比較結果を示す。

[0056] たとえばデジタルコンパレータ44はカウント値CNTの上限がMAX=1500とすると、TH₁=2/3×MAX=1000、TH₂=1/3×MAX=500としてもよい。上限値MAXは、V_{DD}に相当する。

[0057] 図5のデューティ比検出部30bによれば、図4(a)のデューティ比検出部30aと同様に、調光制御信号PWMDIMのデューティ比αを、しきい値THと比較することができる。

[0058] 以上が駆動回路4の構成である。続いてその動作を説明する。

図3に戻る。発光装置3が正常に動作するとき、駆動電流I_{DRV}は、

$$I_{DRV} = V_{REF} / R1$$

に安定化される(電流調光)。

[0059] そして、この駆動電流I_{DRV}がLEDストリング6に流れる時間比率が、調

光制御信号PWMDIMによって制御され、駆動電流 I_{DRV} の平均値、つまりLEDストリング6の実効的な輝度が調節される（バースト調光）。バースト調光パルスG2のデューティ比を α とすると、駆動電流 I_{DRV} の平均値 I_{DRV_AVE} は、

$$I_{DRV_AVE} = V_{REF/R1} \times \alpha$$

で与えられる。

[0060] 図6(a)、(b)は、図3の発光装置3の動作を示す波形図である。図6(a)は、調光制御信号PWMDIMが指定するデューティ比 α が、所定のしきい値より大きい場合を示す。このとき、ゲートパルス信号G1の周波数は、第1の値 f_1 となる。調光制御信号PWMDIMのデューティ比がしきい値より高いときには、ゲートパルス信号G1の周波数が低くなり、制御IC100の消費電力を小さく抑えられる。

[0061] 図6(b)は、調光制御信号PWMDIMが指定するデューティ比 α が、所定のしきい値より小さい場合を示す。このとき、ゲートパルス信号G1の周波数は第2の値 f_2 となる。これにより、バースト調光パルスG2の短いオン期間 T_{ON} の中に、ゲートパルス信号G1が複数含まれることになり、検出電圧 V_{R1} にもとづくフィードバックにより調節されるゲートパルス信号G1のデューティ比に応じて、出力電圧 V_{out} を適切な値に安定化できる。

[0062] 図6(c)は、図3の発光装置3における、バースト調光パルスG2のデューティ比と、駆動電流 I_{DRV_AVE} の関係を示す図である。実線(I)は図3の平均駆動電流を、一点鎖線(II)は図1の平均駆動電流を示す。このように、バースト調光パルスG2のデューティ比が小さい領域において、ゲートパルス信号G1の周波数を高めることにより、従来よりもデューティ比が小さい範囲($\beta' \sim \beta$)において、平均駆動電流 I_{DRV_AVE} を、調光制御信号PWMDIMが指定するデューティ比に応じて変化させることができる。つまり、従来よりも小さな輝度でLEDストリング6を駆動できる。

[0063] (第2の実施の形態)

図7は、第2の実施の形態に係る駆動回路4aの構成を示す回路図である

。駆動回路4 aは、複数のLEDストリング6__1~6__mを駆動可能に構成され、制御IC100 a、出力回路102に加えて、電流ドライバ8を備える。

- [0064] 電流ドライバ8は、LEDストリング6ごとに設けられた電流源CSを備える。各電流源CSは、トランジスタM3、検出抵抗R1、誤差増幅器EA2を含む。トランジスタM3および検出抵抗R1は、対応するLEDストリング6の経路上に直列に設けられる。誤差増幅器EA2は、検出抵抗R1の電圧降下 V_{R1} が制御電圧 V_{DIM} と一致するように、トランジスタM3の制御端子の電圧を調節する。各電流源CSによって、対応するLEDストリング6に流れる駆動電流 I_{DRV} が、 $I_{DRV} = V_{DIM} / R1$ に安定化される。
- [0065] 誤差増幅器EA1は、トランジスタM3および検出抵抗R1の電圧降下の合計、言い換えれば、LEDストリング6のカソードの電位と、所定の基準電圧 V_{REF} との誤差に応じたフィードバック電圧 V_{FB} を生成する。誤差増幅器EA1には、複数の反転入力端子が設けられ、それぞれには、複数のLEDストリング6のカソード電圧が入力される。誤差増幅器EA1は、複数のカソード電圧のうち、最も低い電圧と、基準電圧 V_{REF} の誤差を増幅する。コントローラ10はフィードバック電圧 V_{FB} を受け、最も低いカソード電圧が、基準電圧 V_{REF} と一致するようにデューティ比が調節されるゲートパルス信号G1を生成する。
- [0066] オシレータ12およびデューティ比検出部30の動作は、図3の駆動回路4と同様である。
- [0067] 以上が駆動回路4 aの構成である。この駆動回路4 aは、図3の駆動回路4と同様に、従来よりも小さな輝度でLEDストリング6を駆動できる。
- [0068] 以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセス、それらの組み合わせには、さまざまな変形例が存在しうる。以下、こうした変形例について説明する。
- [0069] 実施の形態では、ゲートパルス信号G1の周波数を離散的な2値 f_1 、 f_2

で切りかえる場合を説明したが、本発明はそれに限定されず、3値以上で切りかえてもよいし、連続的な値で変化させてもよい。

[0070] 実施の形態では、調光制御信号PWMDIMがパルス信号である場合を説明したが、本発明はそれに限定されない。たとえば調光制御信号PWMDIMは、その電圧レベルが、バースト調光パルスG2のデューティ比を指示するアナログ電圧であってもよい。この場合、デューティ比検出部30は、調光制御信号PWMDIMの電圧レベルを、しきい値に相当する電圧 V_{TH1} 、 V_{TH2} と比較するアナログの電圧コンパレータで構成できる。

[0071] 実施の形態ではインダクタを用いた非絶縁型のスイッチング電源を説明したが、本発明はトランスを用いた絶縁型のスイッチング電源にも適用可能である。

[0072] 実施の形態では、発光装置3のアプリケーションとして電子機器を説明したが、用途は特に限定されず、照明などにも利用できる。

[0073] また、本実施の形態において、ハイレベル、ローレベルの論理信号の設定は一例であって、インバータなどによって適宜反転させることにより自由に変更することが可能である。

[0074] 実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

符号の説明

[0075] 2…電子機器、3…発光装置、4…駆動回路、5…LCDパネル、6…LEDストリング、8…電流ドライバ、10…コントローラ、100…制御IC、102…出力回路、EA1…誤差増幅器、DR1…第1ドライバ、DR2…第2ドライバ、R1…検出抵抗、M2…PWM調光用スイッチ、12…オシレータ、30…デューティ比検出部、C2…キャパシタ、32…コンパレータ、34…第1電流源、36…第2電流源、38…スイッチ、40…フリップフロップ、42…カウンタ、44…デジタルコンパレータ、L1…イン

ダクタ、C 1…出力キャパシタ、D 1…整流ダイオード、M 1…スイッチングトランジスタ、G 1…ゲートパルス信号、G 2…バースト調光パルス、S 1…周期信号、PWMD I M…調光制御信号。

産業上の利用可能性

[0076] 本発明は、発光素子の駆動に利用できる。

請求の範囲

[請求項1]

発光素子に駆動電圧および駆動電流を供給する駆動回路であって、
前記発光素子の経路上に設けられた検出抵抗と、

前記検出抵抗の電圧降下が所定の基準電圧と一致するようにデューティ比が調節されるゲートパルス信号を生成するとともに、バースト調光のデューティ比を指示する調光制御信号を受け、それに応じたバースト調光パルスを生成するコントローラと、

前記ゲートパルス信号にもとづき、前記駆動電圧を生成するスイッチング電源を駆動する第1ドライバと、

前記バースト調光パルスにもとづき、前記駆動電流の導通、遮断を切りかえる第2ドライバと、

前記調光制御信号が指示するデューティ比に応じて、前記ゲートパルス信号の周波数を制御するデューティ比検出部と、

を備えることを特徴とする駆動回路。

[請求項2]

発光素子に駆動電圧および駆動電流を供給する駆動回路であって、
前記発光素子の経路上に設けられた電流源と、

前記電流源の電圧降下が所定の基準電圧と一致するようにデューティ比が調節されるゲートパルス信号を生成するとともに、バースト調光のデューティ比を指示する調光制御信号を受け、それに応じたバースト調光パルスを生成するコントローラと、

前記ゲートパルス信号にもとづき、前記駆動電圧を生成するスイッチング電源を駆動する第1ドライバと、

前記バースト調光パルスにもとづき、前記駆動電流の導通、遮断を切りかえる第2ドライバと、

前記調光制御信号が指示するデューティ比に応じて、前記ゲートパルス信号の周波数を制御するデューティ比検出部と、

を備えることを特徴とする駆動回路。

[請求項3]

前記デューティ比検出部は、前記デューティ比が小さいほど、前記

ゲートパルス信号の周波数と高くすることを特徴とする請求項1または2に記載の駆動回路。

[請求項4] 前記調光制御信号は、その周波数およびデューティ比が、前記バースト調光の周波数およびデューティ比を指示するようにパルス変調されており、

前記デューティ比検出部は、

一端の電位が固定されたキャパシタと、

前記キャパシタを充電する第1電流源と、

前記調光制御信号に応じてオン、オフが切りかえ可能に構成され、オン状態において前記第1電流源のK倍（Kは1より大きい実数）の電流を生成し、前記キャパシタを放電する第2電流源と、

前記キャパシタに生ずる電圧を、所定のしきい値電圧と比較するコンパレータと、

を備えることを特徴とする請求項1から3のいずれかに記載の駆動回路。

[請求項5] 前記コンパレータは、ヒステリシスコンパレータであることを特徴とする請求項4に記載の駆動回路。

[請求項6] 前記調光制御信号は、その周波数およびデューティ比が、前記バースト調光の周波数およびデューティ比を指示するようにパルス変調されており、

前記デューティ比検出部は、

所定のクロック信号のエッジのタイミングごとに、前記調光制御信号がハイレベルのときに、そのカウント値を第1の方向に第1の値だけ変化させ、前記調光制御信号がローレベルのときに、前記カウント値を第2の方向に第2の値だけ変化させるカウンタと、

前記カウント値を所定のしきい値と比較するデジタルコンパレータと、

を備えることを特徴とする請求項1から3のいずれかに記載の駆動

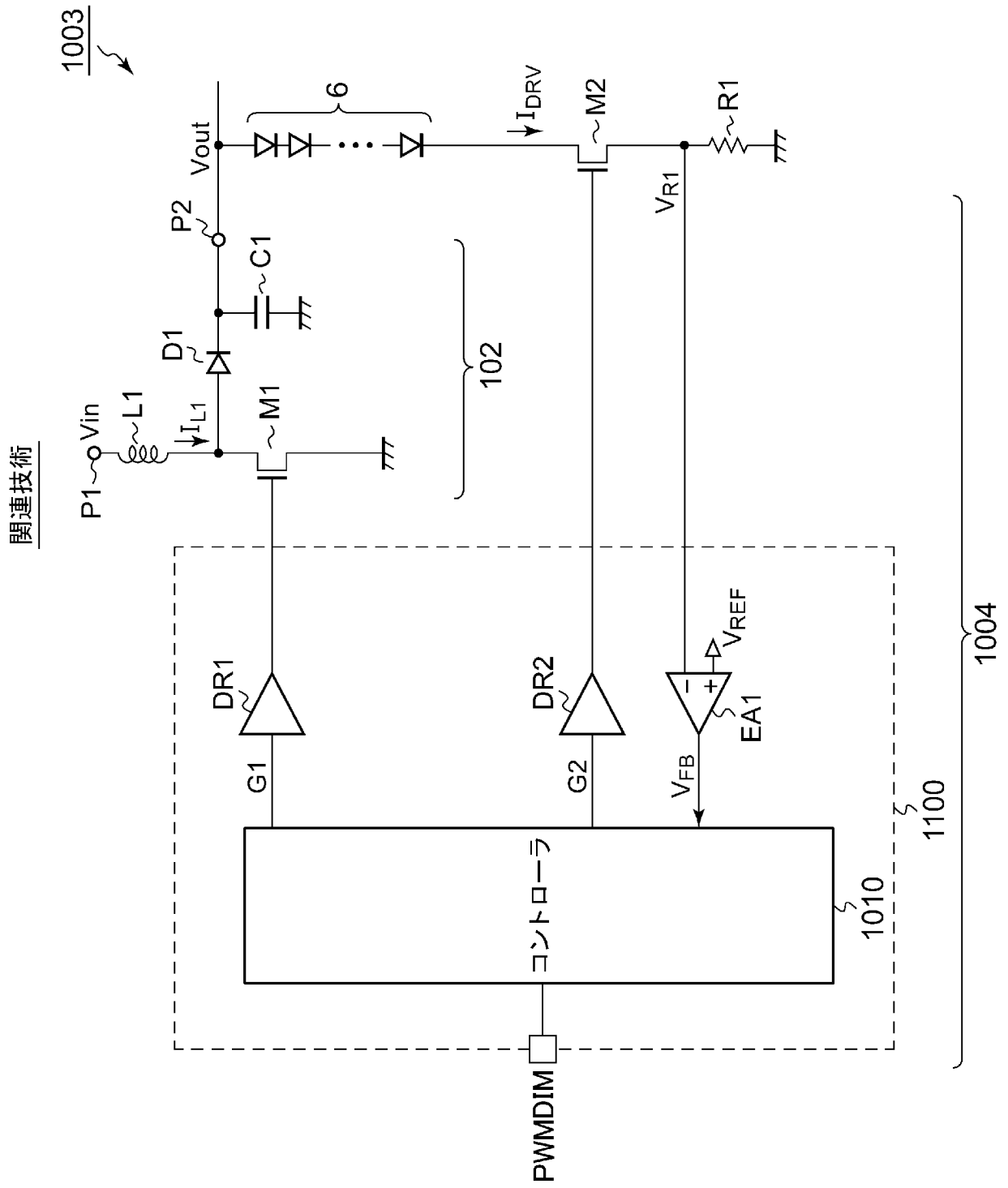
回路。

[請求項7] 前記デジタルコンパレータは、ヒステリシスコンパレータであることを特徴とする請求項6に記載の駆動回路。

[請求項8] 発光素子と、
前記発光素子を駆動する請求項1から7のいずれかに記載の駆動回路と、
を備えることを特徴とする発光装置。

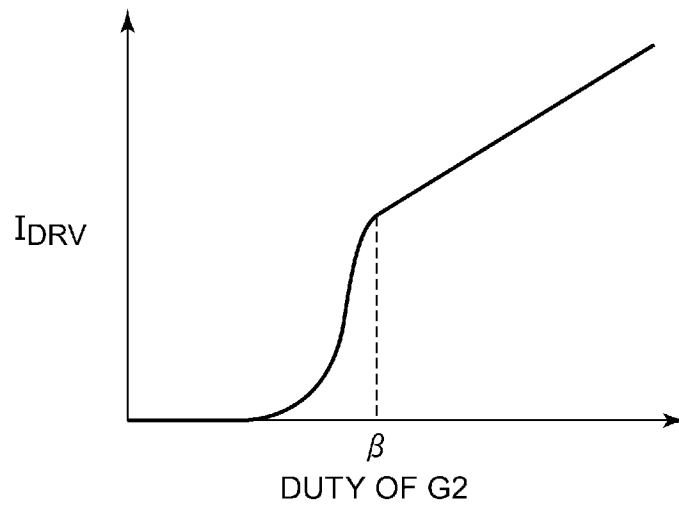
[請求項9] 液晶パネルと、
前記液晶パネルのバックライトとして設けられた請求項8に記載の発光装置と、
を備えることを特徴とする電子機器。

[図1]

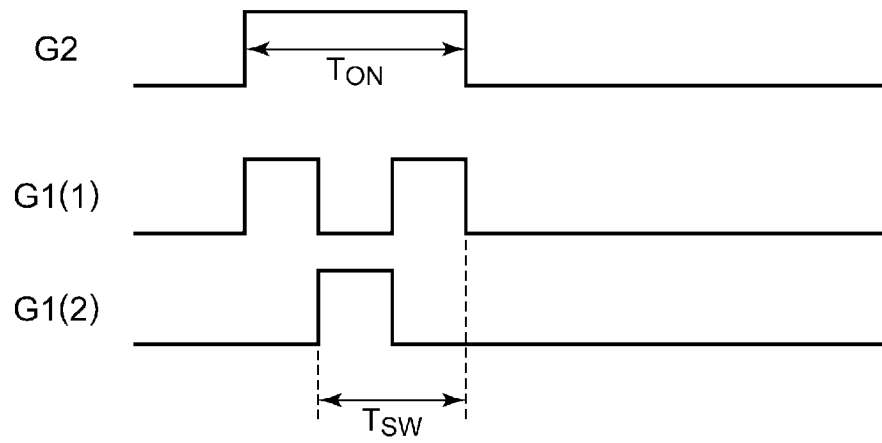


[圖2]

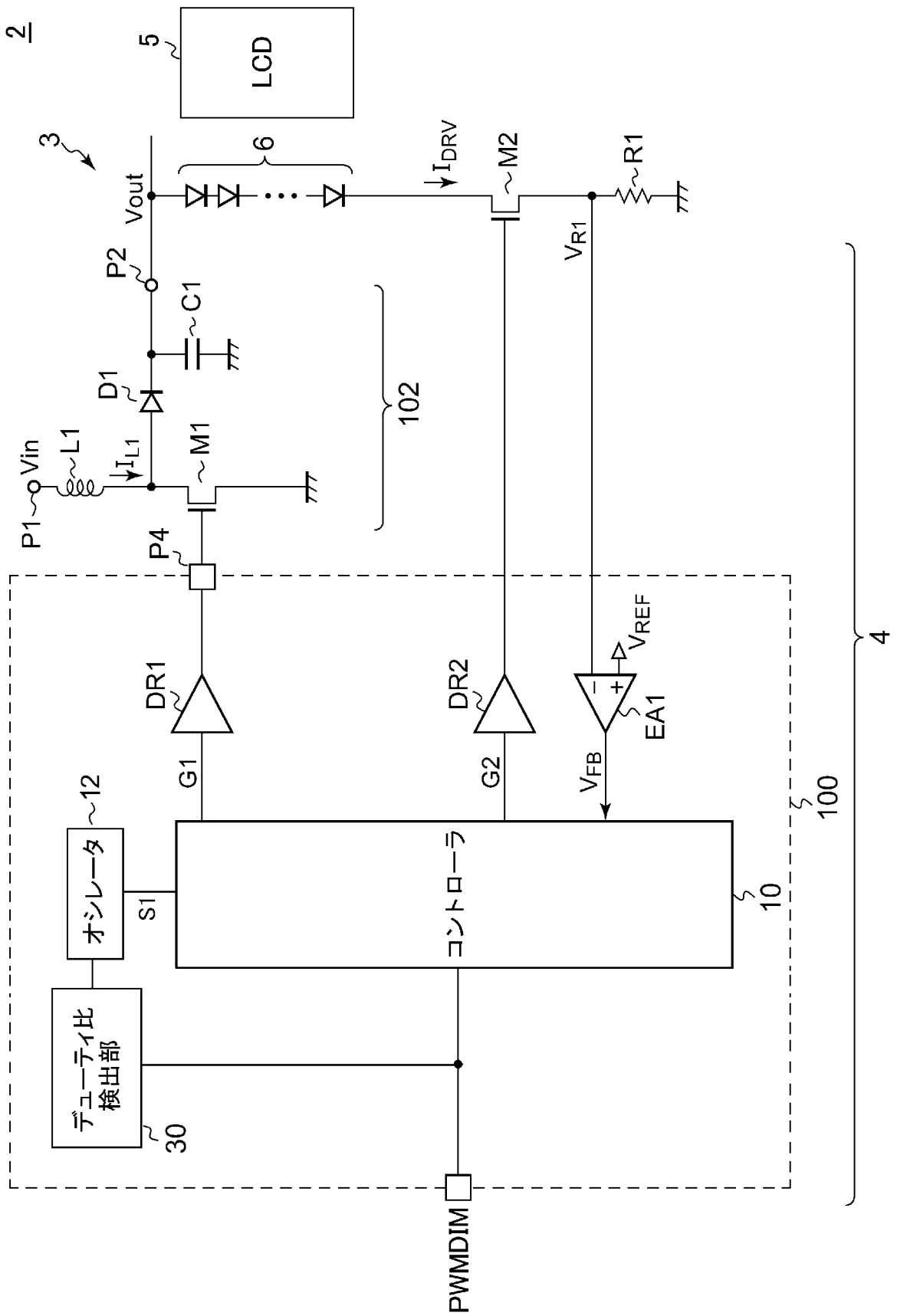
(a)



(b)

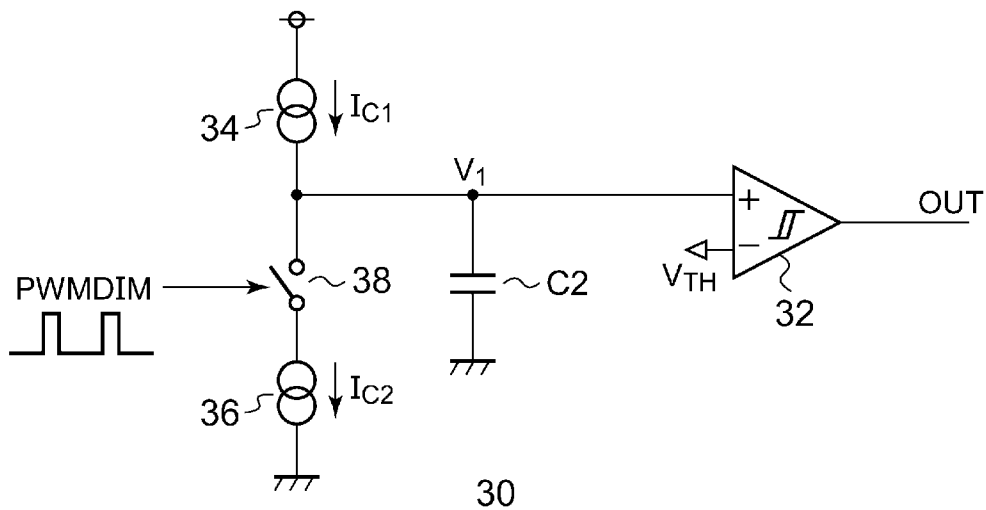


[図3]

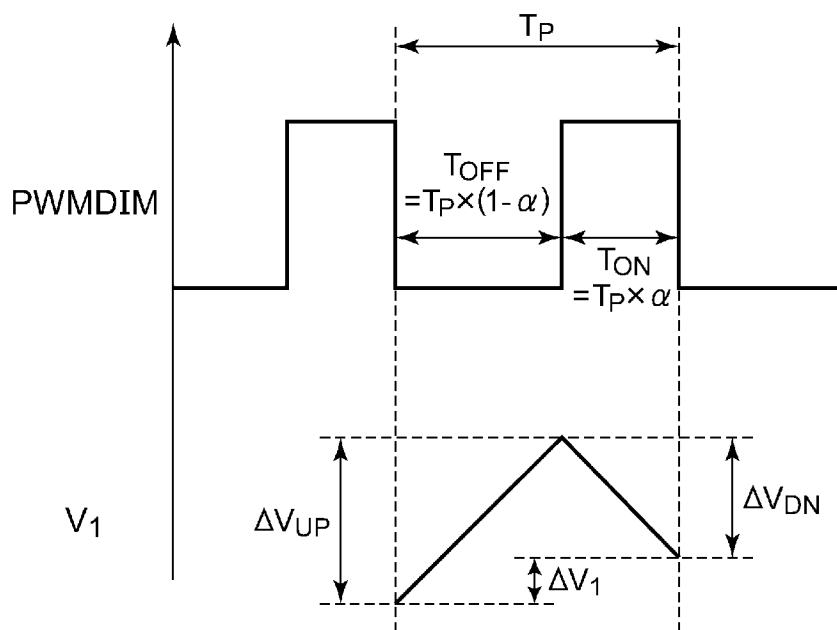


[圖4]

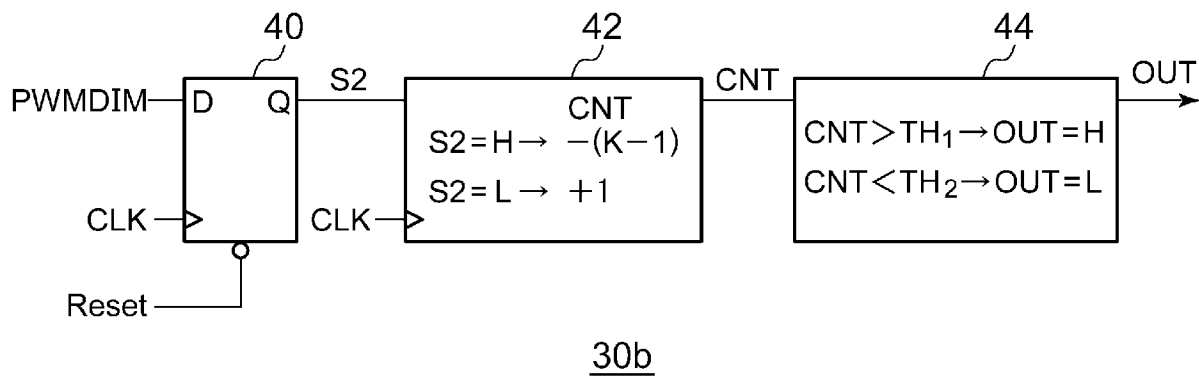
(a)



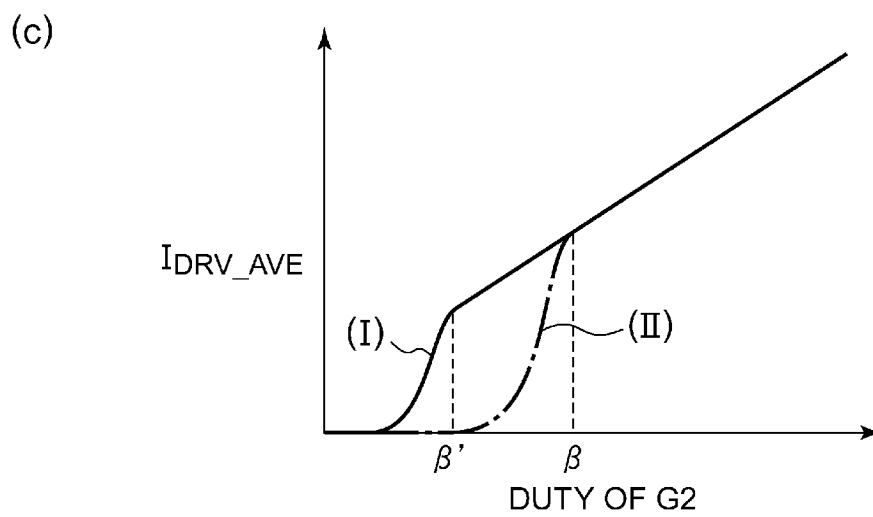
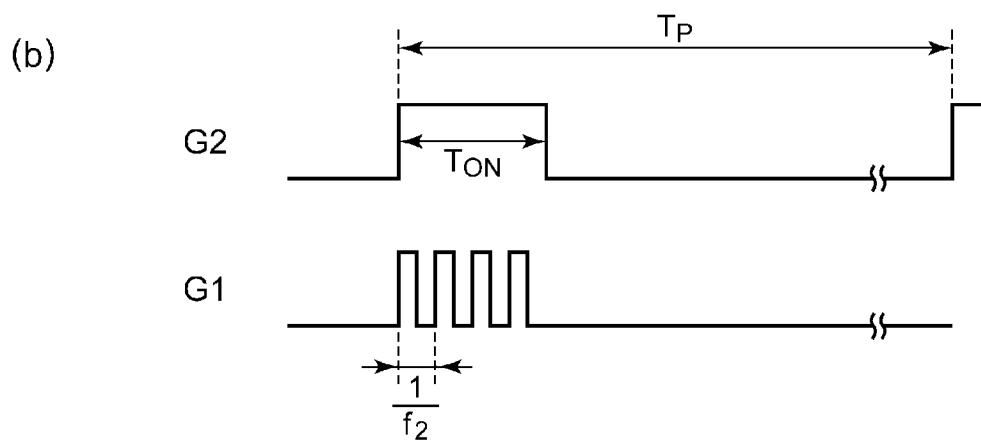
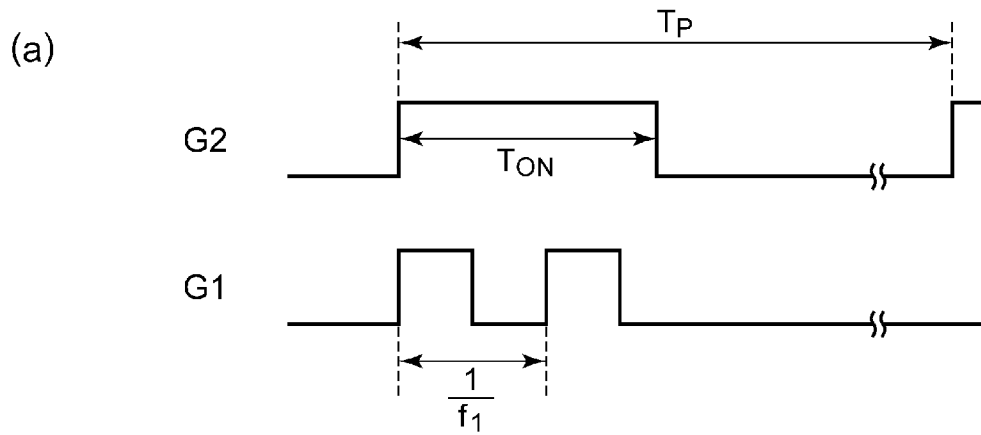
(b)



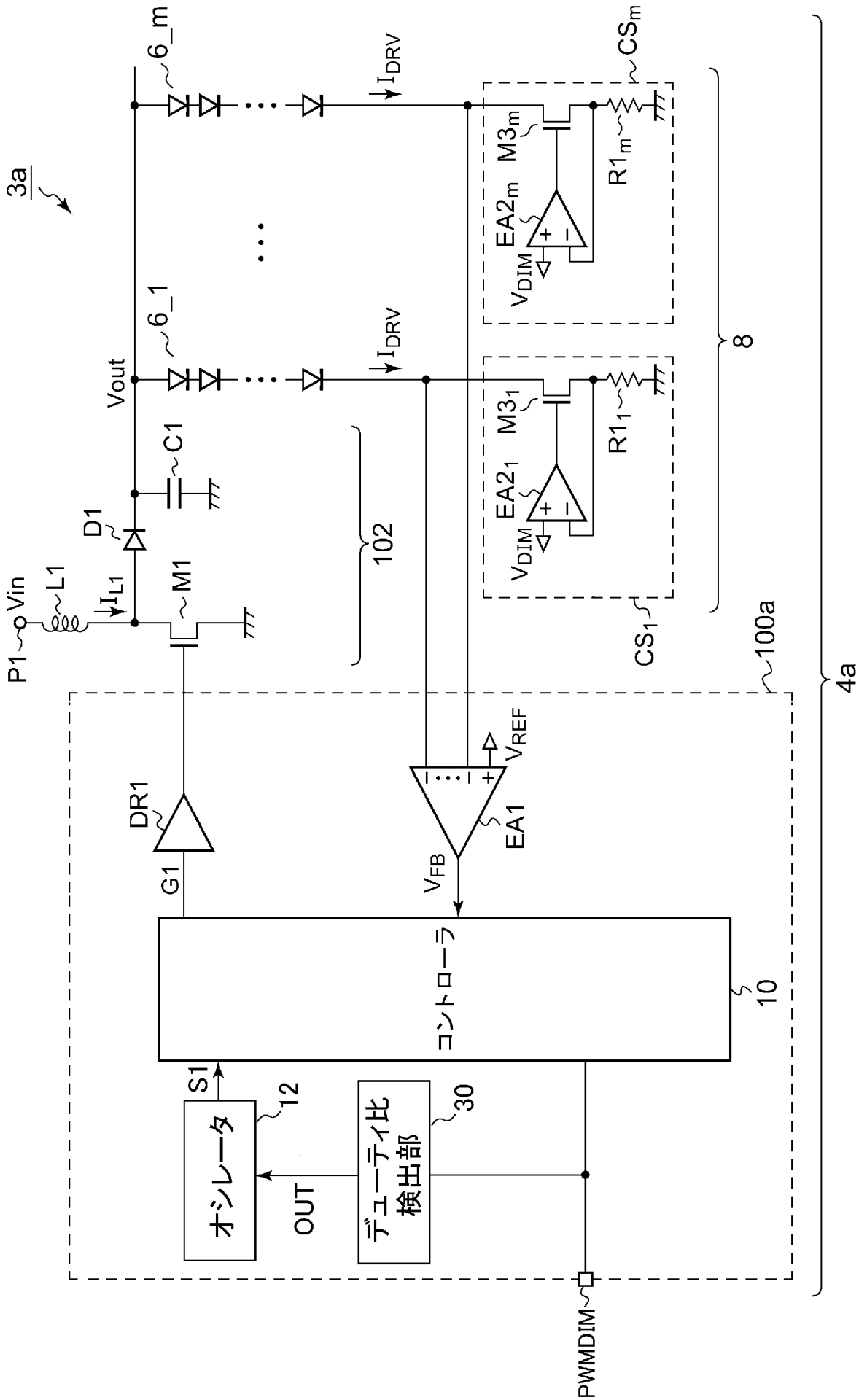
[圖5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006739

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>H05B37/02</i> (2006.01) i, <i>G02F1/133</i> (2006.01) i, <i>G09G3/20</i> (2006.01) i, <i>G09G3/34</i> (2006.01) i, <i>G09G3/36</i> (2006.01) i, <i>H01L33/00</i> (2010.01) i</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>											
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) <i>H05B37/02</i>, <i>G02F1/133</i>, <i>G09G3/20</i>, <i>G09G3/34</i>, <i>G09G3/36</i>, <i>H01L33/00</i></p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>											
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2008-77892 A (Alpine Electronics, Inc.), 03 April 2008 (03.04.2008), entire text; all drawings (Family: none)</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 2010-27362 A (Asahi Kasei Toko Power Device Kabushiki Kaisha), 04 February 2010 (04.02.2010), entire text; all drawings (Family: none)</td> <td>1-9</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	JP 2008-77892 A (Alpine Electronics, Inc.), 03 April 2008 (03.04.2008), entire text; all drawings (Family: none)	1-9	A	JP 2010-27362 A (Asahi Kasei Toko Power Device Kabushiki Kaisha), 04 February 2010 (04.02.2010), entire text; all drawings (Family: none)	1-9
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
A	JP 2008-77892 A (Alpine Electronics, Inc.), 03 April 2008 (03.04.2008), entire text; all drawings (Family: none)	1-9									
A	JP 2010-27362 A (Asahi Kasei Toko Power Device Kabushiki Kaisha), 04 February 2010 (04.02.2010), entire text; all drawings (Family: none)	1-9									
<p><input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>											
<p>* Special categories of cited documents:</p> <table border="0"> <tr> <td style="vertical-align: top;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="vertical-align: top;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>							
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>Date of the actual completion of the international search 23 February, 2012 (23.02.12)</p>		<p>Date of mailing of the international search report 06 March, 2012 (06.03.12)</p>									
<p>Name and mailing address of the ISA/ Japanese Patent Office</p>		<p>Authorized officer</p>									
<p>Facsimile No.</p>		<p>Telephone No.</p>									

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int.Cl. H05B37/02(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i, G09G3/36(2006.01)i, H01L33/00(2010.01)i		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int.Cl. H05B37/02, G02F1/133, G09G3/20, G09G3/34, G09G3/36, H01L33/00		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報	1922-1996年	
日本国公開実用新案公報	1971-2012年	
日本国実用新案登録公報	1996-2012年	
日本国登録実用新案公報	1994-2012年	
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-77892 A (アルパイン株式会社) 2008.04.03, 全文、全図 (ファミリーなし)	1-9
A	JP 2010-27362 A (旭化成東光パワーデバイス株式会社) 2010.02.04, 全文、全図 (ファミリーなし)	1-9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	23.02.2012	国際調査報告の発送日
		06.03.2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) ▲桑▼原 恭雄 電話番号 03-3581-1101 内線 3372	3X 4484