



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월30일
 (11) 등록번호 10-1454817
 (24) 등록일자 2014년10월20일

- | | |
|---|--|
| (51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2008-0003547
(22) 출원일자 2008년01월11일
심사청구일자 2013년01월07일
(65) 공개번호 10-2009-0077538
(43) 공개일자 2009년07월15일
(56) 선행기술조사문헌
US20060106972 A1*
US20080313505 A1*
US20090157947 A1*
US20050091445 A1
*는 심사관에 의하여 인용된 문헌 | (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이태민
경기 안양시 동안구 안양천동로 162, 107동 903호
(비산동, 비산힐스테이트아파트)
(74) 대리인
권혁수, 오세준, 송윤호 |
|---|--|

전체 청구항 수 : 총 9 항

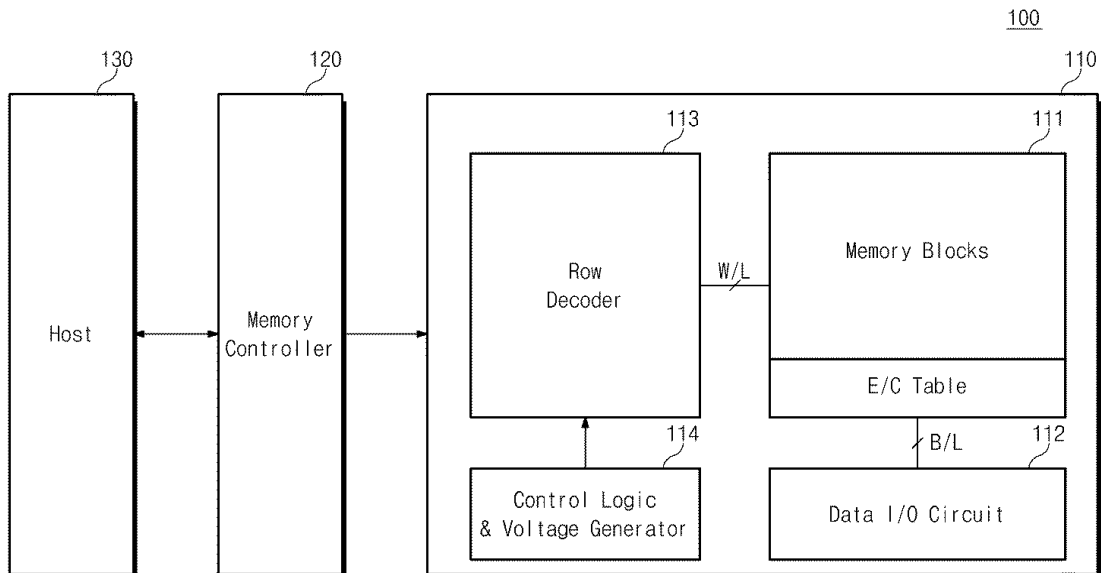
심사관 : 류정현

(54) 발명의 명칭 **반도체 메모리 장치 및 그것의 마모도 관리 방법**

(57) 요약

본 발명은 반도체 메모리 장치에 관한 것으로, 더욱 상세하게는 반도체 메모리 장치 및 그것의 마모도 관리 방법에 관한 것이다. 본 발명에 따른 반도체 메모리 장치는 복수의 메모리 블록을 가지며, 상기 복수의 메모리 블록 중에서 적어도 하나에는 메모리 블록 각각의 소거 횟수들이 저장되는 불휘발성 메모리; 및 상기 불휘발성 메모리의 마모도를 관리하기 위한 메모리 컨트롤러를 포함하되, 상기 메모리 컨트롤러는 상기 소거 횟수들을 참조하여 상기 마모도 관리의 주기를 조절한다. 본 발명에 의하면 반도체 메모리 장치의 성능 및 수명이 향상된다.

대표도



특허청구의 범위

청구항 1

복수의 메모리 블록을 가지며, 상기 복수의 메모리 블록 중에서 적어도 하나에는 메모리 블록 각각의 소거 횟수들이 저장되는 불휘발성 메모리; 및

상기 불휘발성 메모리의 마모도를 관리하기 위한 메모리 컨트롤러를 포함하되,

상기 메모리 컨트롤러는 상기 소거 횟수들을 참조하여 상기 마모도 관리의 주기를 조절하고,

상기 메모리 컨트롤러는 상기 소거 횟수들을 참조하여 기준 횟수를 결정하며, 상기 기준 횟수와 병합 동작 횟수를 비교하고, 상기 비교 결과에 따라 마모도 관리를 수행하는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 메모리 컨트롤러는 상기 소거 횟수들의 증가에 따라 상기 마모도 관리의 주기를 감소시키는 반도체 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 메모리 컨트롤러는 상기 메모리 블록 사이의 상기 소거 횟수들을 평준화시키는 방법으로 상기 마모도 관리를 수행하고, 가장 작은 소거 횟수를 가지는 상기 메모리 블록에 저장된 데이터와 가장 큰 소거 횟수를 가지는 상기 메모리 블록에 저장된 데이터를 교환하는 반도체 메모리 장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 메모리 컨트롤러는 상기 소거 횟수들을 참조하여 기준 횟수를 결정하며, 상기 소거 횟수들의 증가에 따라 상기 기준 횟수를 감소시키는 반도체 메모리 장치.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 메모리 컨트롤러는 상기 병합 동작 횟수가 상기 기준 횟수에 도달된 경우 마모도 관리를 수행하고, 병합 동작이 수행될 때마다 상기 병합 동작 횟수를 증가시키는 반도체 메모리 장치.

청구항 9

삭제

청구항 10

제 1 항에 있어서,

상기 불휘발성 메모리는

상기 복수의 메모리 블록을 포함하는 메모리 셀 어레이;

복수의 비트 라인을 통해 상기 메모리 셀 어레이에 연결되고, 상기 비트 라인을 통해 상기 메모리 셀 어레이에 저장된 데이터를 감지하는 데이터 입출력 회로;

복수의 워드 라인을 통해 상기 메모리 셀 어레이에 연결되고, 외부로부터의 어드레스에 응답하여 상기 복수의 메모리 블록 중 어느 하나를 선택하는 행 디코더; 및

상기 메모리 컨트롤러로부터의 명령에 응답하여 상기 데이터 입출력 회로 및 상기 행 디코더를 제어하는 제어 로직을 포함하고,

상기 제어 로직은 상기 메모리 컨트롤러로부터의 명령에 응답하여 상기 메모리 블록 사이의 상기 소거 횟수들을 평준화시키는 반도체 메모리 장치.

청구항 11

삭제

청구항 12

복수의 메모리 블록을 포함하는 반도체 메모리 장치의 마모도 관리 방법에 있어서;

상기 복수의 메모리 블록 각각의 소거 횟수들을 검출하는 단계;

상기 소거 횟수들을 참조하여 기준 횟수를 결정하는 단계;

상기 기준 횟수와 병합 동작 횟수를 비교하는 단계; 및

상기 비교 결과에 따라 마모도 관리를 수행하는 단계를 포함하는 마모도 관리 방법.

청구항 13

제 12 항에 있어서,

상기 마모도 관리의 주기는 상기 소거 횟수들의 증가에 따라 감소되는 마모도 관리 방법.

청구항 14

제 12 항에 있어서,

상기 메모리 블록들 사이의 병합 동작이 수행될 때마다 병합 동작 횟수를 증가시키는 단계를 더 포함하고,

상기 병합 동작 횟수가 상기 기준 횟수에 도달된 경우 마모도 관리를 수행하되, 상기 기준 횟수는 상기 소거 횟수들의 증가에 따라 감소되는 마모도 관리 방법.

청구항 15

삭제

청구항 16

삭제

명세서

발명의 상세한 설명

기술분야

본 발명은 반도체 메모리 장치에 관한 것으로, 더욱 상세하게는 반도체 메모리 장치 및 그것의 마모도 관리 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 반도체 메모리 장치는 데이터를 저장하기 위해 사용된다. 반도체 메모리 장치는 크게 휘발성(volatile) 메모리 장치와 불휘발성(nonvolatile) 메모리 장치로 구분된다. 휘발성 메모리 장치에 저장된 데이터는 전원 공급이 중단되면 소멸된다. 반면에, 불휘발성 메모리 장치에 저장된 데이터는 전원 공급이 중단된 경우에도 유지된다. 따라서, 불휘발성 메모리 장치는 이동형 저장 장치로서 각광받고 있다.
- [0003] 불휘발성 메모리 장치의 일종으로 플래시(flash) 메모리 장치가 있다. 플래시 메모리 장치는 디스크(disk) 장치와는 달리 프로그램 동작 전에 소거 동작이 선행되어야 한다(erase before program). 플래시 메모리 장치에 저장된 데이터를 직접 갱신(update)하는 것은 불가능하기 때문이다.
- [0004] 그런데, 소거 동작은 플래시 메모리 장치를 마모(wear)시킨다. 플래시 메모리 장치 내의 각 메모리 블록은 소거될 수 있는 한계 횡수를 가진다. 따라서, 각 블록에 대한 소거 횡수를 평균화할 것이 요구된다. 소거 동작이 집중적으로 수행된 블록은 다른 블록들에 비해 빠르게 마모된다. 반도체 메모리 장치가 마모에 견디는 능력은 내구도(endurance)에 의해 설명된다. 내구도는 반도체 메모리 장치가 정상적으로 동작될 수 있는 최대 소거 횡수이다. 내구도는 반도체 메모리 장치의 종류에 따라 달라진다. 예를 들어, 플래시 메모리 장치의 경우, 수십에서 수십만의 내구도를 갖는다.
- [0005] 따라서, 소거 동작이 특정 블록에 집중되지 않도록 마모도 관리 방법이 사용된다. 마모도 관리 방법은 플래시 메모리 장치를 안정적으로 오래 사용할 수 있도록 한다. 그런데, 마모도 관리 방법은 반도체 메모리 장치에 오버헤드(overhead)를 야기시킨다. 마모도 관리 방법은 반도체 메모리 장치의 입출력 동작과 직접적인 연관성이 없기 때문이다. 따라서, 반도체 메모리 장치가 통상의 입출력 동작과 관계없이 동작하는 경우, 마모도 관리가 수행되는 것으로 판단될 수 있다. 결국, 마모도 관리에 의해 반도체 메모리 장치의 성능이 저하된다.

발명의 내용

해결 하고자하는 과제

- [0006] 본 발명은 상술한 문제점을 해결하기 위하여 제안된 것으로, 본 발명의 목적은 반도체 메모리 장치의 마모 정도를 고려하여 유연한 마모도 관리를 수행하는 반도체 메모리 장치 및 그것의 마모도 관리 방법을 제공하는 데 있다.

과제 해결수단

- [0007] 본 발명에 따른 반도체 메모리 장치는 복수의 메모리 블록을 가지며, 상기 복수의 메모리 블록 중에서 적어도 하나에는 메모리 블록 각각의 소거 횡수들이 저장되는 불휘발성 메모리; 및 상기 불휘발성 메모리의 마모도를 관리하기 위한 메모리 컨트롤러를 포함하되, 상기 메모리 컨트롤러는 상기 소거 횡수들을 참조하여 상기 마모도 관리의 주기를 조절한다.
- [0008] 실시 예로서, 상기 메모리 컨트롤러는 상기 소거 횡수들의 증가에 따라 상기 마모도 관리의 주기를 감소시킨다. 상기 메모리 컨트롤러는 상기 메모리 블록 사이의 상기 소거 횡수들을 평균화시키는 방법으로 상기 마모도 관리를 수행한다. 상기 메모리 컨트롤러는 가장 작은 소거 횡수를 가지는 상기 메모리 블록에 저장된 데이터와 가장 큰 소거 횡수를 가지는 상기 메모리 블록에 저장된 데이터를 교환한다.
- [0009] 다른 실시예로서, 상기 메모리 컨트롤러는 상기 소거 횡수들을 참조하여 기준 횡수를 결정한다. 상기 메모리 컨트롤러는 상기 소거 횡수들의 증가에 따라 상기 기준 횡수를 감소시킨다. 상기 메모리 컨트롤러는 상기 기준 횡수와 병합 동작 횡수를 비교하고, 상기 비교 결과에 따라 마모도 관리를 수행한다. 상기 메모리 컨트롤러는 상기 병합 동작 횡수가 상기 기준 횡수에 도달된 경우 마모도 관리를 수행한다. 상기 메모리 컨트롤러는 병합 동작이 수행될 때마다 상기 병합 동작 횡수를 증가시킨다.
- [0010] 다른 실시예로서, 상기 불휘발성 메모리는 상기 복수의 메모리 블록을 포함하는 메모리 셀 어레이; 복수의 비트 라인을 통해 상기 메모리 셀 어레이에 연결되고, 상기 비트 라인을 통해 상기 메모리 셀 어레이에 저장된 데이터를 감지하는 데이터 입출력 회로; 복수의 워드 라인을 통해 상기 메모리 셀 어레이에 연결되고, 외부로부터의 어드레스에 응답하여 상기 복수의 메모리 블록 중 어느 하나를 선택하는 행 디코더; 및 상기 메모리 컨트롤러로부터의 명령에 응답하여 상기 데이터 입출력 회로 및 상기 행 디코더 회로를 제어하는 제어 로직을 포함한다. 상기 제어 로직은 상기 메모리 컨트롤러로부터의 명령에 응답하여 상기 메모리 블록 사이의 상기 소거 횡수들을

평준화시킨다.

- [0011] 본 발명에 따른 복수의 메모리 블록을 포함하는 반도체 메모리 장치의 마모도 관리 방법은 상기 복수의 메모리 블록 각각의 소거 횟수들을 검출하는 단계; 상기 소거 횟수들을 참조하여 기준 횟수를 결정하는 단계; 상기 기준 횟수와 병합 동작 횟수를 비교하는 단계; 및 상기 비교 결과에 따라 마모도 관리를 수행하는 단계를 포함한다.
- [0012] 실시 예로서, 상기 마모도 관리의 주기는 상기 소거 횟수들의 증가에 따라 감소된다. 상기 메모리 블록들 사이의 병합 동작이 수행될 때마다 병합 동작 횟수를 증가시키는 단계를 더 포함한다. 상기 병합 동작 횟수가 기준 횟수에 도달된 경우 마모도 관리를 수행하되, 상기 기준 횟수는 상기 소거 횟수들의 증가에 따라 감소된다. 상기 소거 횟수들을 참조하여 기준 횟수를 결정하는 단계는 상기 소거 횟수가 기준 값에 도달하였는지 여부를 검출하는 단계; 및 상기 검출 결과에 따라 기준 횟수를 결정하는 단계를 포함한다.

효 과

- [0013] 본 발명에 따른 반도체 메모리 장치에는 마모 정도를 고려한 마모도 관리 방법이 적용된다. 본 발명에 의하면 반도체 메모리 장치의 성능 및 수명이 향상된다.

발명의 실시를 위한 구체적인 내용

- [0014] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예들을 첨부된 도면을 참조하여 설명한다. 본 발명의 실시 예들에서, 반도체 메모리 장치에는 플래시 메모리 장치 외에도 PRAM, MRAM, FRAM, 그리고 CTF 메모리 등과 같은 다른 불휘발성 메모리들도 포함된다.
- [0015] 본 발명에 따른 실시 예들에 있어서, 반도체 메모리 장치의 마모 정도를 고려한 다른 마모도 관리 방법이 수행된다. 본 발명에 따르면, 마모가 조금 진행된 구간에서는 마모도 관리를 드물게 함으로써 반도체 메모리 장치의 성능을 향상시킨다. 반면에, 마모가 많이 진행된 구간에서는 마모도 관리를 자주 함으로써 반도체 메모리 장치의 수명을 증가시킨다.
- [0016] 도 1은 본 발명에 따른 반도체 메모리 장치를 예시적으로 보여주는 블록도이다. 도 1을 참조하면, 반도체 메모리 장치(100)는 플래시 메모리 장치(110), 메모리 컨트롤러(120), 그리고 호스트(130)를 포함한다. 플래시 메모리 장치(110)는 메모리 셀 어레이(111), 데이터 입/출력 회로(112), 행 디코더(113), 그리고 제어 로직 및 전압 발생 회로(114)를 포함한다.
- [0017] 메모리 셀 어레이(111)는 복수의 메모리 블록(memory block)을 포함한다. 각각의 메모리 블록은 복수의 페이지(page)로 구성된다. 도면에는 도시되지 않았지만 각각의 페이지는 복수의 메모리 셀(memory cell)로 구성된다. 메모리 셀은 싱글 비트 데이터(single bit data)를 저장하거나 멀티 비트 데이터(multi bit data)를 저장할 수 있다. 플래시 메모리 장치(110)는 블록 단위로 소거(erase) 동작을 수행하고, 페이지 단위로 읽기(read) 또는 쓰기(program) 동작을 수행한다. 메모리 셀 어레이(111)는 메모리 블록 영역과 소거 횟수 표(E/C table) 영역으로 구분된다.
- [0018] 플래시 메모리 장치(110)가 다시 쓰기(overwrite)를 지원하지 않기 때문에, 메모리 블록 내의 일부 페이지를 갱신(update)하는 것이 불가능하다. 따라서, 갱신된 페이지는 다른 메모리 블록에 저장되고, 이전 메모리 블록(data block)의 데이터는 무효(invalid)한 것으로 지정된다. 갱신 동작이 반복됨에 따라, 메모리 블록 내의 무효 영역은 증가하게 된다. 무효 영역이 증가되면, 반도체 메모리 장치의 사용 가능한 용량이 줄어든다. 결국, 무효 영역을 소거하여 사용 가능한 영역으로 만드는 동작이 필요한데 이를 병합(merge) 동작이라 한다.
- [0019] 소거 횟수 표에는 메모리 블록들 각각의 소거 횟수(erase count; E/C)가 저장된다. 메모리 블록이 소거될 때, 상기 메모리 블록의 소거 횟수는 증가된다. 그러나, 메모리 블록들은 균등하게 소거되지 않을 수 있다. 따라서, 반도체 메모리 장치의 수명 향상을 위해 메모리 블록 사이의 소거 횟수를 평준화할 것이 요구된다.
- [0020] 데이터 입/출력 회로(112)는 복수의 비트 라인(bitline; B/L)을 통해 메모리 셀 어레이(111)에 연결된다. 데이터 입/출력 회로(112)는 데이터 입출력 라인(도시되지 않음)을 통해 데이터를 입력받는다. 입력된 데이터는 메모리 셀 어레이(111)에 저장된다. 한편, 데이터 입/출력 회로(112)는 메모리 셀 어레이(111)에 저장된 데이터를 비트 라인(B/L)을 통해 읽어낸다. 읽혀진 데이터는 데이터 입출력 라인을 통해 외부로 출력된다.
- [0021] 행 디코더(113)는 복수의 워드 라인(wordline; W/L)을 통해 메모리 셀 어레이(111)에 연결된다. 행 디코더(11

3)는 어드레스(address)를 입력받고 메모리 블록 또는 페이지를 선택한다. 여기에서, 메모리 블록을 선택하기 위한 어드레스를 블록 어드레스(block address)라고 하고, 페이지를 선택하기 위한 어드레스를 페이지 어드레스(page address)라고 한다.

- [0022] 제어 로직 및 전압 발생 회로(114)는 메모리 컨트롤러(120)로부터의 커맨드(command) 및 제어 신호에 응답하여 데이터 입/출력 회로(112) 및 행 디코더(113)를 제어한다. 제어 로직 및 전압 발생 회로(114)는 쓰기 또는 읽기 동작 시에 워드 라인으로 제공될 바이어스 전압을 발생한다. 읽기 동작 시에 제어 로직 및 전압 발생 회로(114)는 선택 워드 라인으로 제공되는 선택 읽기 전압과 비선택 워드 라인으로 제공되는 비선택 읽기 전압을 발생한다. 일반적으로, 비선택 읽기 전압은 선택 읽기 전압보다 높은 전위를 갖는다.
- [0023] 메모리 컨트롤러(120)는 본 발명에 따른 마모도 관리 방법이 수행되도록 플래시 메모리 장치(110)를 제어한다. 메모리 컨트롤러(120)가 마모도 관리를 수행하는 방법이 도 2를 참조하여 설명될 것이다.
- [0024] 도 2는 본 발명에 따른 마모도 관리 방법을 보여주는 순서도이다. 본 발명에 따른 마모도 관리는 메모리 블록 사이의 소거 횟수를 평균화함으로써 수행된다. 그러나, 본 발명의 범위는 이에 한정되지 않는다. 마모도 관리 방법은 다양한 방법으로 수행될 수 있다. 본 발명의 특징은 마모도 관리의 방법이 아니라, 마모도 관리의 수행 시점임을 유의할 필요가 있다.
- [0025] S110 단계에서, 메모리 컨트롤러(120)는 가장 작은 소거 횟수(E/C)를 가지는 메모리 블록을 찾아낸다. 이를 위해, 메모리 컨트롤러(120)는 메모리 셀 어레이(111)의 소거 횟수 표(E/C table)를 검출한다.
- [0026] S120 단계에서, 메모리 컨트롤러(120)는 가장 큰 소거 횟수(E/C)를 가지는 메모리 블록을 찾아낸다. 이를 위해, 메모리 컨트롤러(120)는 메모리 셀 어레이(111)의 소거 횟수 표(E/C table)를 검출한다.
- [0027] S130 단계에서, 메모리 컨트롤러(120)는 상기 선택된 메모리 블록들에 저장된 데이터들이 교환(swap)되도록 플래시 메모리 장치(110)를 제어한다. 플래시 메모리 장치(110)는 메모리 컨트롤러(120)로부터의 제어에 응답하여 메모리 블록들에 저장된 데이터들을 교환한다.
- [0028] S140 단계에서, 메모리 컨트롤러(120)는 소거 횟수 표를 갱신(update)한다.
- [0029] 상술한 방법에 의해, 가장 많이 마모된 메모리 블록과 가장 적게 마모된 메모리 블록에 저장된 데이터들이 교환된다. 따라서, 메모리 블록들 사이의 마모도가 평균화될 수 있다.
- [0030] 도 3은 도 2에 도시된 마모도 관리 방법을 도식적으로 보여주는 다이어그램이다. 도 3(a)는 마모도 관리 수행 전의 소거 횟수(E/C)를 보여주는 표이고, 도 3(b)는 마모도 관리 수행 후의 소거 횟수(E/C)를 보여주는 표이다.
- [0031] 도 3(a)를 참조하면, 기호 LBN은 논리 블록 번호(logical block number)를 나타내고, 기호 PBN은 물리 블록 번호(physical block number)를 나타낸다. 플래시 메모리가 블록 단위로 액세스되는 경우에, 플래시 메모리는 복수의 블록들로 분할된다. 분할된 블록에 순차적으로 할당된 번호는 물리 블록 번호라 불리며, 사용자가 생각하는 분할된 블록의 가상 번호는 물리 블록 번호라 불린다. 논리 블록 번호와 물리 블록 번호 간의 사상을 제공하는 방법은 블록 사상 기법, 페이지 사상 기법, 그리고 로그 사상 기법을 포함한다. 사상 기법에 있어서, 논리적으로 연속된 어드레스를 가지는 데이터가 물리적으로는 상이한 위치에 저장될 수 있다.
- [0032] 이하, 본 발명에 따른 마모도 관리 방법이 설명될 것이다. 먼저, 메모리 컨트롤러(120)는 가장 작은 소거 횟수(minimum E/C)를 가지는 메모리 블록을 찾기 위해 소거 횟수 표를 참조한다. 도시된 바와 같이, 논리 블록 번호 '101'을 가지는 메모리 블록이 선택된다. 상기 메모리 블록은 45회의 소거 횟수를 가진다. 그 다음, 메모리 컨트롤러(120)는 가장 큰 소거 횟수(maximum E/C)를 가지는 메모리 블록을 찾기 위해 소거 횟수 표를 참조한다. 도시된 바와 같이, 논리 블록 번호 '202'를 가지는 메모리 블록이 선택된다. 상기 메모리 블록은 599회의 소거 횟수를 가진다. 그 다음, 상기 메모리 블록들에 저장된 데이터가 교환(swap)된다.
- [0033] 데이터 교환 후에는 소거 횟수 표가 갱신된다. 도 3(b)를 참조하면, 논리 블록 번호 '101'을 가지는 메모리 블록은 물리 블록 번호 '202'에 대응된다. 그리고, 논리 블록 번호 '202'을 가지는 메모리 블록은 물리 블록 번호 '101'에 대응된다. 또한, 메모리 블록들은 소거에 의해 소거 횟수(E/C)가 하나 증가된다. 결국, 마모의 정도가 큰 메모리 블록과 마모의 정도가 작은 메모리 블록을 교환함으로써, 메모리 블록 사이의 마모도가 평균화될 수 있다.
- [0034] 상기한 마모도 관리는 특정 조건이 만족될 때 수행된다. 예를 들어, 병합(merge) 동작의 수행 횟수가 그 기준이 될 수 있다. 이하에서는 병합 동작의 수행 횟수를 기준으로 한 마모도 관리 방법이 설명될 것이다. 단, 본 발명

의 범위는 이에 한정되지 않는다. 본 발명에 따른 마모도 관리는 반도체 메모리 장치의 마모도를 반영하는 다양한 요소를 고려하여 수행될 수 있다. 예를 들어, 저장될 데이터의 특성(크기, 수정 빈도 등)을 고려한 마모도 관리가 수행될 수 있다.

- [0035] 도 4는 본 발명에 따른 마모도 관리의 수행 시점을 보여주는 순서도이다.
- [0036] S210 단계에서, 메모리 컨트롤러(120)는 병합 동작(merge operation)이 필요한지 여부를 검출한다. 병합 동작은 다양한 이유로 인해 수행될 수 있다. 예를 들어, 병합 동작은 메모리 셀 어레이(111) 내에 사용 가능한 메모리 블록이 존재하지 않을 때 수행될 수 있다. 병합 동작이 요구되는 경우, S220 단계로 진행한다.
- [0037] S220 단계에서, 메모리 컨트롤러(120)는 병합 동작을 수행하도록 플래시 메모리 장치(110)를 제어한다. 플래시 메모리 장치(110)는 메모리 컨트롤러(120)로부터의 커맨드(command)에 응답하여, 병합 동작을 수행한다. 병합 동작시, 무효(invalid) 데이터들이 소거된다.
- [0038] S230 단계에서, 메모리 컨트롤러(120)는 병합 동작 수행 횟수(mg_cnt: merge operation count)를 증가시킨다. 병합 동작 수행 횟수(mg_cnt)는 메모리 컨트롤러(120)에 저장될 수 있다. 후술 될 바와 같이, 병합 동작 수행 횟수(mg_cnt)는 마모도 관리 수행 여부의 판단 기준이 된다.
- [0039] S240 단계에서, 메모리 컨트롤러(120)는 메모리 블록의 소거 횟수를 참조하여 기준 횟수(ref_cnt)를 결정한다. 복수의 메모리 블록이 있는 경우, 가장 큰 소거 횟수를 참조하여 기준 횟수(ref_cnt)가 결정될 수 있다. 단, 본 발명의 범위는 이에 한정되지 않는다. 예를 들어, 소거 횟수들의 평균을 참조하여 기준 횟수(ref_cnt)가 결정될 수 있다. 본 실시예에서는 가장 큰 소거 횟수를 참조하여 기준 횟수(ref_cnt)가 결정된다. 기준 횟수(ref_cnt)가 결정되는 방법은 후술 될 도 5를 참조하여 설명될 것이다.
- [0040] S250 단계에서, 메모리 컨트롤러(120)는 병합 동작 수행 횟수(mg_cnt)가 기준 횟수(ref_cnt)에 도달되었는지 여부를 판단한다. 병합 동작 수행 횟수(mg_cnt)가 기준 횟수(ref_cnt) 미만인 경우, 마모도 관리는 수행되지 않는다. 반면에, 병합 동작 수행 횟수(mg_cnt)가 기준 횟수(ref_cnt) 이상인 경우, S260 단계가 수행된다.
- [0041] S260 단계에서, 마모도 관리(wear leveling)가 수행된다. 마모도 관리는 도 2를 참조하여 설명된 방법에 의해 수행될 것이다. 단, 본 발명의 범위는 이에 한정되지 않음은 이미 설명한바 있다. 마모도 관리 수행 후에는 S270 단계에서, 병합 동작 수행 횟수가 0으로 초기화된다.
- [0042] 상기한 방법을 통해, 본 발명에 따른 마모도 관리의 수행 시점이 결정된다. 요약하면, 본 발명에 따른 마모도 관리 방법은 병합 동작 수행 횟수(mg_cnt)가 기준 횟수(ref_cnt)에 도달한 경우에 수행된다. 병합 동작이 수행됨에 따라 메모리 셀의 마모가 진행되기 때문이다.
- [0043] 본 발명에 따른 실시 예들에 있어서, 상기 기준 횟수(ref_cnt)는 반도체 메모리 장치의 마모 정도에 따라 가변된다. 따라서, 마모 정도를 고려하여 마모도 관리를 수행하는 것이 가능하다. 예를 들어, 마모 정도가 낮은 초기에는 마모도 관리의 빈도를 줄임으로써 반도체 메모리 장치의 성능을 향상시킬 수 있다. 반면에, 마모가 많이 수행된 경우에는 마모도 관리의 빈도를 늘림으로써 반도체 메모리 장치의 수명을 증가시킬 수 있다.
- [0044] 기준 횟수(ref_cnt)는 다양한 방법으로 결정될 수 있다. 예를 들어, 메모리 블록의 소거 횟수에 따라 기준 횟수가 결정될 수 있다. 메모리 블록의 소거 횟수가 작은 경우, 기준 횟수(ref_cnt)는 큰 값을 갖는다. 따라서, 마모도 관리는 낮은 빈도로 수행된다. 이 경우, 마모도 관리 수행에 따른 반도체 메모리 장치의 성능 저하가 발생하지 않는다. 반대로, 메모리 블록의 소거 횟수가 큰 경우, 기준 횟수(ref_cnt)는 작은 값을 갖는다. 따라서, 마모도 관리는 높은 빈도로 수행된다. 이 경우, 메모리 블록들이 고른 마모도를 갖기 때문에 반도체 메모리 장치의 수명이 증가된다.
- [0045] 표 1은 본 발명에 따른 예시적인 실시 예에 있어서 메모리 블록의 소거 횟수(data block E/C)에 따른 기준 횟수(ref_cnt)를 보여준다.

표 1

Memory block E/C	ref_cnt
≤500	25
≤750	20
≤875	15
≤930	10
>900	5

- [0047] 표 1을 참조하면, 메모리 블록의 소거 횟수가 500 이하인 경우, 기준 횟수는 25로 설정된다. 이는 병합 동작(merge operation)이 25번 수행될 때마다 마모도 관리(wear leveling)가 수행됨을 의미한다. 또한, 메모리 블록의 소거 횟수가 900을 초과한 경우, 기준 횟수는 5로 설정된다. 이는 병합 동작이 5번 수행될 때마다, 마모도 관리가 수행됨을 의미한다.
- [0048] 상술한 바와 같이 메모리 블록의 소거 횟수를 참조하여 마모도 관리를 수행함으로써 마모 정도가 낮은 초기에는 반도체 메모리 장치의 성능 향상에 비중을 두고, 마모가 많이 수행된 경우에는 반도체 메모리 장치의 수명 증가에 비중을 둔다.
- [0049] 도 5는 본 발명에 따른 마모도 관리 방법에서 기준 횟수를 결정하는 방법을 보여주는 순서도이다. 도 5를 참조하면, 본 발명에 따른 기준 횟수 결정 방법은 메모리 블록의 소거 횟수 검출 단계(S310), 메모리 블록의 소거 횟수와 기준 값 비교 단계(S320, S330), 그리고 기준 횟수 결정 단계(S340 ~ S360)를 포함한다.
- [0050] S310 단계에서, 메모리 컨트롤러(120)는 소거 횟수 표(E/C table)를 참조하여 메모리 블록의 소거 횟수(E/C)를 검출한다. 메모리 블록의 소거 횟수는 기준 횟수(ref_cnt) 결정의 기준이 된다.
- [0051] S320 단계에서, 메모리 블록의 소거 횟수가 제 1 기준 값(ref_1)에 도달하였는지 여부가 검출된다. 소거 횟수가 제 1 기준 값(ref_1)에 도달하지 않은 경우에는 S330 단계로 진행한다. 소거 횟수가 제 1 기준 값(ref_1)에 도달한 경우에는 S340 단계로 진행한다. S340 단계에서, 기준 횟수(ref_cnt)는 제 1 값(value_1)으로 설정된다.
- [0052] S330 단계에서, 소거 횟수가 제 2 기준 값(ref_2)에 도달하였는지 여부가 검출된다. 여기서, 제 2 기준 값(ref_2)은 제 1 기준 값(ref_1)보다 큰 값을 가질 것이다. 소거 횟수가 제 2 기준 값(ref_2)에 도달하지 않은 경우에는 S360 단계로 진행한다. 소거 횟수가 제 2 기준 값(ref_2)에 도달한 경우에는 S350 단계로 진행한다. S350 단계에서, 기준 횟수(ref_cnt)는 제 2 값(value_2)으로 설정되고, S360 단계에서 기준 횟수(ref_cnt)는 제 3 값(value_3)으로 설정된다. 여기서, 제 3 값(value_3)은 가장 작은 값(minimum value), 제 2 값(value_2)은 중간값(medium value), 그리고 제 1 값(value_1)은 가장 큰 값(maximum value)을 가질 것이다.
- [0053] 상기 실시 예에서, 메모리 블록의 소거 횟수에 따라 기준 횟수(ref_cnt)는 3개의 서로 다른 값(value_1 ~ value_3)을 갖는다. 따라서, 메모리 블록의 마모도에 따라 서로 다른 기준 횟수(ref_cnt)가 설정될 수 있다. 단, 본 발명의 범위는 이에 한정되지 않는다. 메모리 블록의 소거 횟수에 따라 기준 횟수(ref_cnt)가 가질 수 있는 값은 더욱 세분화될 수 있다.
- [0054] 도 6은 본 발명에 따른 마모도 관리 방법 적용시, 마모도 변화를 보여주는 그래프이다. 도 6을 참조하면, 가로 축은 논리 블록 번호(logical block number)를 나타내고, 세로 축은 소거 횟수(E/C)를 나타낸다. 본 실시예에 있어서, 한계 소거 횟수는 1000인 것으로 가정된다. 또한, 제 1 내지 제 3 기준 값(ref_1 ~ ref_3)은 각각 500, 700, 900인 것으로 가정된다. 또한, 제 1 내지 제 3 값(value_1 ~ value_3)은 각각 25, 15, 5인 것으로 가정된다. 단, 상기 수치들이 변경될 수 있음은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명할 것이다.
- [0055] 도 6을 참조하면, 메모리 블록의 소거 횟수가 500에 도달된 경우, 기준 횟수(ref_cnt)는 25로 설정된다. 따라서, 병합 동작(merge operation)이 25번 수행될 때마다, 마모도 관리(wear leveling)가 한 번 수행된다. 마모도 관리가 드물게 수행되기 때문에 반도체 메모리 장치의 성능이 향상된다.
- [0056] 메모리 블록의 소거 횟수가 900에 도달된 경우, 기준 횟수(ref_cnt)는 5로 설정된다. 따라서, 병합 동작이 5번 수행될 때마다, 마모도 관리가 한 번 수행된다. 마모도 관리가 빈번하게 수행되기 때문에 반도체 메모리 장치 내의 메모리 블록들에 대해 고르게 마모가 이루어진다. 따라서, 반도체 메모리 장치의 수명이 증가될 수 있다.
- [0057] 도 7은 본 발명에 따른 반도체 메모리 장치를 포함한 컴퓨팅 시스템(200)을 개략적으로 보여주는 블록 도이다. 컴퓨팅 시스템(200)은 통상적으로, 디지털 카메라, 비디오 카메라, 셀룰러 통신 장치, 휴대용 계산 장치, 오디오 플레이어, 비디오 플레이어 또는 MP3 플레이어와 같은 시스템일 수 있다. 또한, 단지 데이터를 기록하거나 단지 데이터를 검색하는 시스템일 수 있다.
- [0058] 도 7을 참조하면, 컴퓨팅 시스템(200)은 프로세서(210), 외부 기기와 데이터를 교환하는 입/출력부(220), 랜덤 액세스 메모리(230), 외부로부터의 데이터를 불휘발적으로 보존하는 플래시 메모리(240), 상기 플래시 메모리(240)로의 데이터 과일의 읽기, 쓰기 및 갱신 등의 일련의 동작을 제어하는 메모리 컨트롤러(250) 및 이들을 통신시키는 시스템 버스(260)를 포함한다. 도면에 도시되지는 않았으나, 컴퓨팅 시스템(200)은 디스플레이

(display) 장치들 및 네트워킹(networking) 장치들 더 포함할 수 있다.

[0059] 상기 프로세서(210)는 상기 입출력부(220)를 이용하여 외부로부터 데이터 파일의 소정의 작업요청(예를 들면, 쓰기 내지 갱신)이 있는 경우에, 상기 RAM(230)의 일부 영역을 작업 공간으로 할당하고, 상기 RAM(230)이 할당 받은 작업 공간에서 플래시 메모리(240) 내의 데이터를 반복적으로 읽어들이어 데이터 파일을 수정한다. 여기서, 데이터 파일은 실제의 데이터 내용과 실제의 데이터 내용의 파일 크기, 갱신 시점, 논리 어드레스 정보 등과 같은 실제의 데이터의 일종의 관리 정보를 포함한다. 그리고, 데이터 파일의 수정이 완료된 후, 수정된 데이터 파일은 플래시 메모리(240)에 기록된다.

[0060] 메모리 컨트롤러(250)는 프로세서(210)의 제어 명령에 따라 플래시 메모리(240)로부터 출력되는 데이터 파일을 해석하며, 플래시 메모리(240)로 입력되는 데이터 파일을 저장 및 삭제 등의 플래시 메모리(240)로/로부터의 데이터 파일을 관리하고 제어한다. 구체적으로, 메모리 컨트롤러(250)는 플래시 메모리(240)의 수명을 저하시키는 특정 영역에 빈번한 데이터 파일의 삭제 및 기록을 회피하도록 소프트웨어적으로 프로그래밍 된다. 소프트웨어적인 프로그래밍은 "웨어 레벨링 기법"으로 널리 알려져 있다.

[0061] 본 발명에 따른 반도체 메모리 시스템(200)은 SSD(Solid State Drive)에도 적용될 수 있다. 최근, 하드디스크 드라이브(HDD)를 대체할 것으로 예상되는 SSD 장치가 차세대 메모리시장에서 각광을 받고 있다. SSD는 하드디스크 드라이브에 비해 속도가 빠르고 외부 충격에 강하며, 저 전력으로 동작한다.

[0062] 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

도면의 간단한 설명

[0063] 도 1은 본 발명에 따른 반도체 메모리 장치를 예시적으로 보여주는 블록도이다.

[0064] 도 2는 본 발명에 따른 마모도 관리 방법을 보여주는 순서도이다.

[0065] 도 3은 도 2에 도시된 마모도 관리 방법을 도식적으로 보여주는 다이어그램이다.

[0066] 도 4는 본 발명에 따른 마모도 관리의 수행 시점을 보여주는 순서도이다.

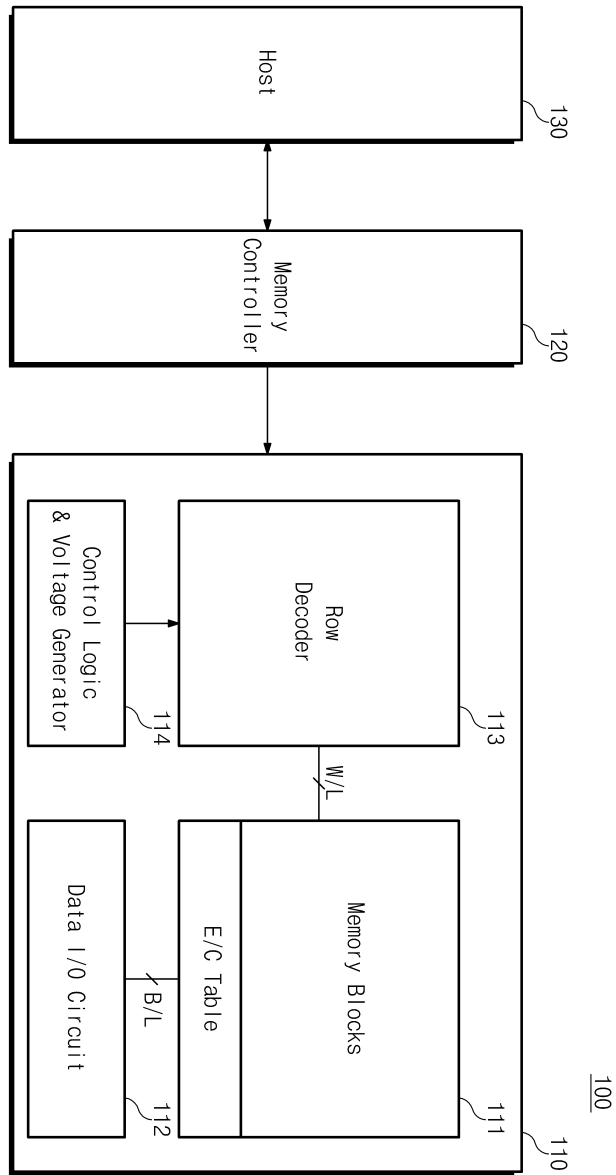
[0067] 도 5는 본 발명에 따른 마모도 관리 방법에서 기준 횡수를 결정하는 방법을 보여주는 그래프이다.

[0068] 도 6은 본 발명에 따른 마모도 관리 방법 적용시, 마모도 변화를 보여주는 그래프이다.

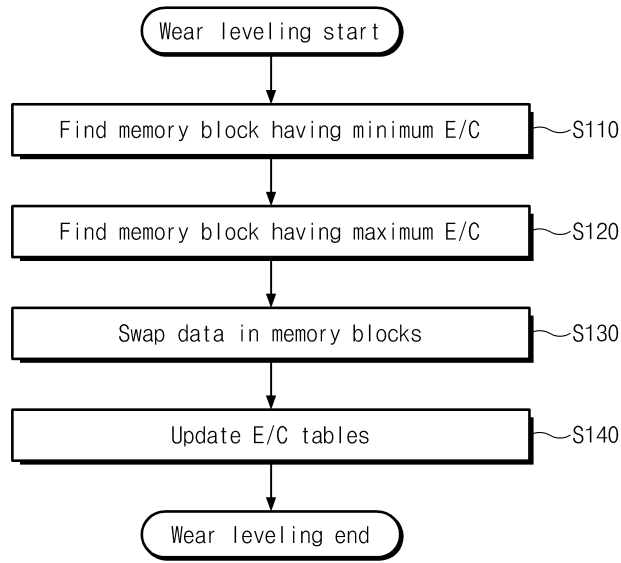
[0069] 도 7은 본 발명에 따른 반도체 메모리 장치를 포함한 컴퓨팅 시스템을 개략적으로 보여주는 블록 도이다.

도면

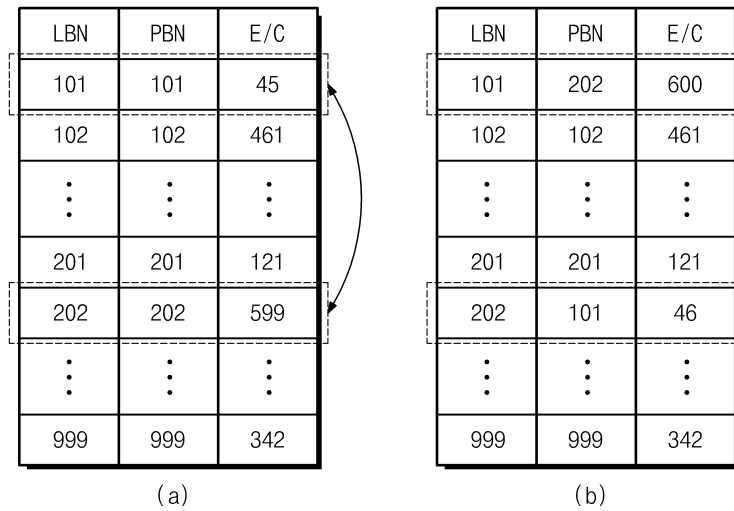
도면1



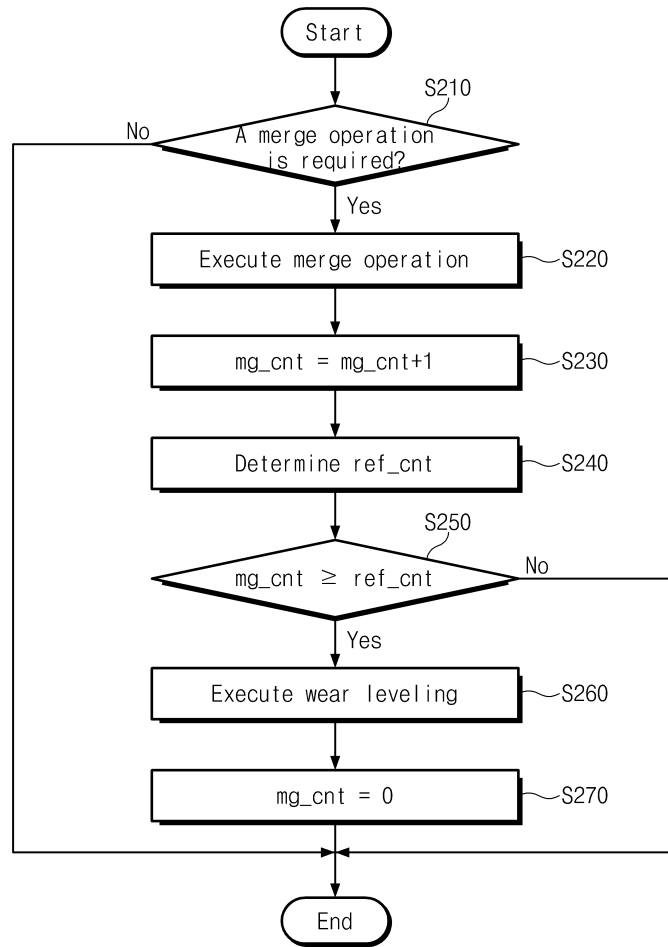
도면2



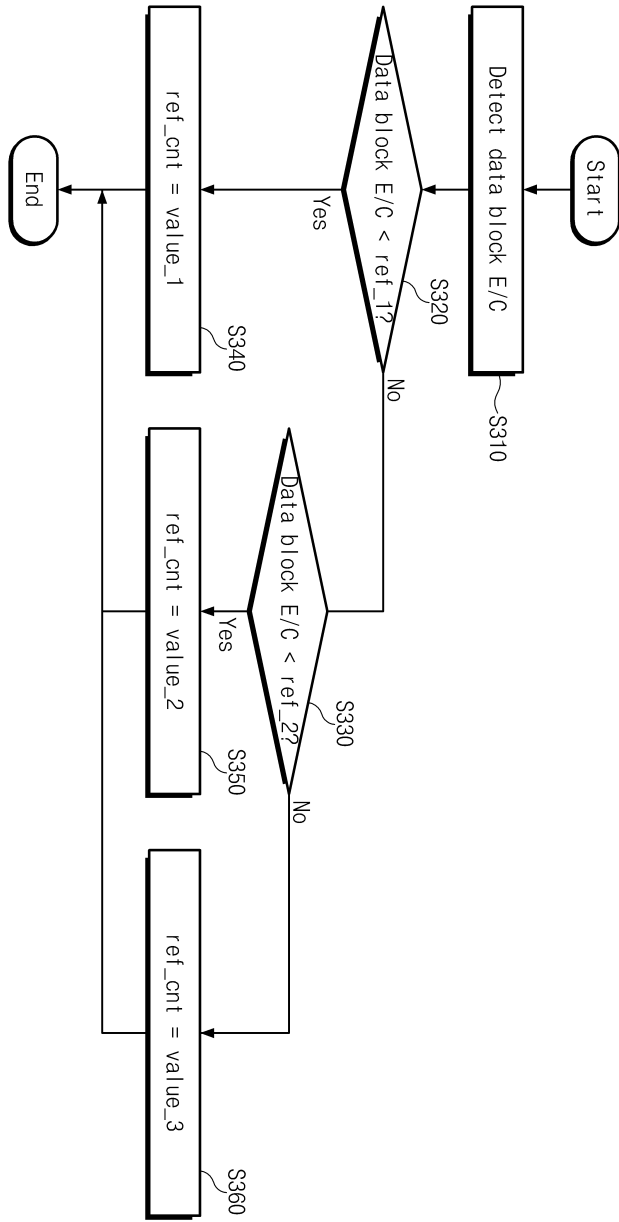
도면3



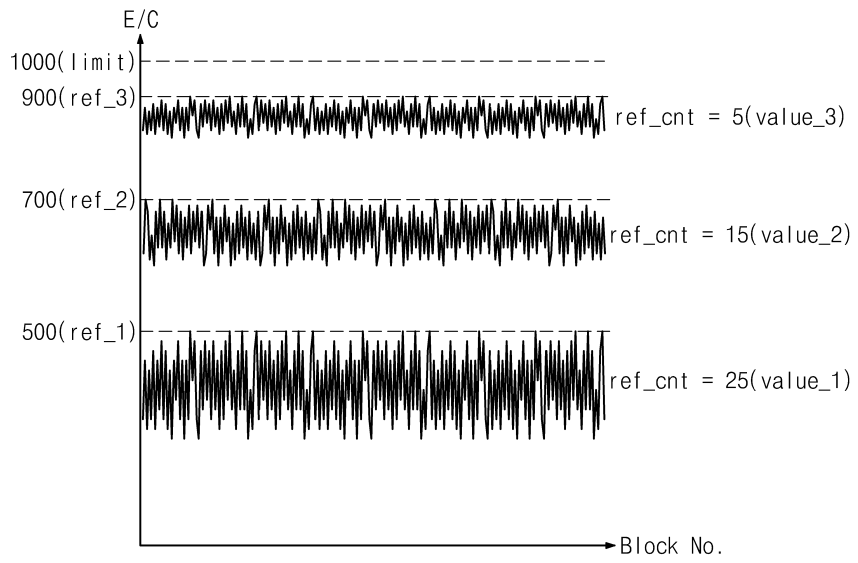
도면4



도면5



도면6



도면7

