



(12) 发明专利

(10) 授权公告号 CN 101361073 B

(45) 授权公告日 2010. 09. 22

(21) 申请号 200680010103. X

(22) 申请日 2006. 04. 12

(30) 优先权数据

11/125, 696 2005. 05. 10 US

(85) PCT申请进入国家阶段日

2007. 09. 27

(86) PCT申请的申请数据

PCT/US2006/013562 2006. 04. 12

(87) PCT申请的公布数据

W02006/121563 EN 2006. 11. 16

(73) 专利权人 国际商业机器公司

地址 美国纽约阿芒克

(72) 发明人 拉吉夫·M·拉纳德

特里斯塔·Q·马格托托

加里·W·贝姆

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波

(51) Int. Cl.

G06F 19/00 (2006. 01)

G03F 7/36 (2006. 01)

(56) 对比文件

CN 1459048 A, 2003. 11. 26, 全文.

US 2003/0093762 A1, 2003. 05. 15, 全文.

US 2002/0142252 A1, 2002. 10. 03, 全文.

审查员 吴媛媛

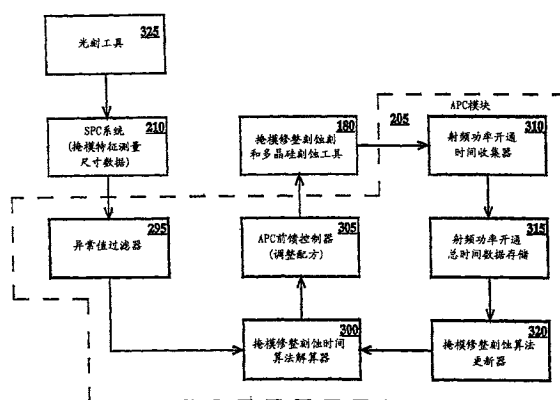
权利要求书 4 页 说明书 7 页 附图 8 页

(54) 发明名称

用于刻蚀工艺的线尺寸控制的方法和系统

(57) 摘要

一种用于控制刻蚀特征 (150) 的尺寸的方法和系统。该方法包括: 测量 (250) 形成在基板 (100) 上的层 (110) 顶表面上的构图掩模层 (115) 的掩模特征 (145) 以获得掩模特征尺寸值; 和计算所述构图掩模层的掩模修整等离子体刻蚀时间, 基于所述掩模特征尺寸值、掩模特征尺寸目标值 (255)、从发生在用于等离子体刻蚀 (275) 所述层的所述等离子体刻蚀工具的一个腔或多个腔中的事件起所选的射频功率开通时间 (260) 总量以及在等离子体刻蚀所述层期间由没受到所述掩模特征保护的所述层中形成的层特征的刻蚀偏差目标。



1. 一种用于刻蚀工艺的线尺寸控制的方法,包括:

测量 (250) 形成在基板 (100) 上的层 (110) 顶表面上的构图掩模层 (115) 的掩模特征 (145) 以获得掩模特征尺寸值;和

计算 (265) 所述构图掩模层的掩模修整等离子体刻蚀时间,该计算基于所述掩模特征尺寸值、掩模特征尺寸目标值 (255)、从发生在用于等离子体刻蚀 (275) 所述层的等离子体刻蚀工具 (180) 的一个腔或多个腔中的事件起所选的射频功率开通时间 (260) 的总量以及在等离子体刻蚀所述层期间由没受到所述掩模特征保护的所述层形成的层特征的刻蚀偏差目标。

2. 权利要求 1 的方法,还包括:

执行所述构图掩模层的掩模修整等离子体刻蚀 (270) 持续所述掩模修整等离子体刻蚀时间;和

在所述的执行所述掩模修整等离子体刻蚀之后,执行所述层的所述等离子体刻蚀 (275)。

3. 权利要求 2 的方法,其中在一个或多个基板的一批中对第一基板 (100) 执行所述的计算 (265) 所述掩模修整等离子体刻蚀时间,和所述一个或多个基板的批次的所有基板都被掩模修整等离子体刻蚀 (270) 了所述掩模修整等离子体刻蚀时间且被层等离子体刻蚀 (275) 了相同的层等离子体刻蚀时间。

4. 权利要求 2 的方法,其中在一个或多个基板的一批中对每个基板 (100) 执行所述的计算 (265) 所述掩模修整等离子体刻蚀时间以对每个所述基板产生唯一的掩模修整等离子体刻蚀时间,和所述一个或多个基板的批次中的每个基板都被掩模修整等离子体刻蚀 (270) 了相应的唯一的掩模修整等离子体刻蚀时间且被层等离子体刻蚀 (275) 了相同的层等离子体刻蚀时间。

5. 权利要求 1 的方法,其中所述事件为对所述等离子体刻蚀工具 (180) 的所述腔进行清洁或同时进行清洁和调节,并且所述所选的射频功率开通时间的总量在每次所述事件之后重置为零。

6. 权利要求 1 的方法,其中所述所选的射频功率开通时间 (260) 包括层等离子体刻蚀工艺 (275) 的所有射频功率开通时间、或所述层等离子体刻蚀工艺的所有射频功率开通时间和所有掩模修整等离子体刻蚀工艺 (270) 的所有射频功率开通时间。

7. 权利要求 1 的方法,其中在一批基板的一个或多个基板 (100) 上的一个或多个掩模特征 (145) 上执行所述测量掩模特征 (250)。

8. 权利要求 1 的方法,其中所述层特征 (150) 的所述刻蚀偏差目标基于施加掩模修整等离子体刻蚀时间与得到的刻蚀偏差的测量之间的由经验确定的关系式。

9. 权利要求 1 的方法,其中所述掩模修整等离子体刻蚀时间由经验关系式计算 (265):

$$T_{\text{TRIM}} = (1 + T_{\text{BIAS}})^{(1 + (\frac{W1 - WT1}{WT1})^2)} + (1 + \frac{1}{T_{\text{RF}}}) \ln(T_{\text{RF}})^{C2}$$

其中:

WT1 = 所述掩模特征尺寸目标值,单位微米;

T_{TRIM} = 基于 $WT1$ 值的范围上的所述掩模修整等离子体刻蚀时间, 单位秒 ;

T_{BIAS} = 基于所述 $WT1$ 值的范围上的所述刻蚀偏差目标, 单位秒 ;

$W1$ = 基于所述 $WT1$ 值的范围上的所述掩模特征尺寸值, 单位微米 ;

T_{RF} = 基于所述 $WT1$ 值的范围上的从上次清洁和调节起所述所选的射频功率开通时间的总量, 单位小时 ; 和

$C1$ 和 $C2$ 为基于 $WT1$ 值的由经验确定的。

10. 权利要求 1 的方法, 其中所述掩模修整等离子体刻蚀时间由经验关系式计算 (265) :

$$T_{\text{TRIM}} = (1 + T_{\text{BIAS}})^{\left(1 + \left(\frac{W1 - WT1}{WT1}\right)^2\right)} + \left(1 + \frac{1}{T_{\text{RF}}^{C1}}\right) \ln(T_{\text{RF}})^{C2}$$

其中 :

$C1$ 和 $C2$ 为基于 $WT1$ 值的由经验确定的 ;

T_{TRIM} = 所述掩模修整等离子体刻蚀时间, 在约 22 秒至约 35 秒范围上, 单位秒 ;

T_{BIAS} = 所述刻蚀偏差目标, 在约 18 秒至约 27 秒范围上, 单位秒 ;

$W1$ = 所述掩模特征尺寸值, 当 $C1 = 1$ 和 $C2 = 1$ 时在约 0.112 至约 0.118 微米范围上, 当 $C1 = 0.1$ 和 $C2 = 1.5$ 时在约 0.082 至约 0.088 微米范围上, 单位微米 ;

$WT1$ = 所述掩模特征尺寸目标值, 当 $C1 = 1$ 和 $C2 = 1$ 时, 约 0.115 微米或当 $C1 = 0.1$ 和 $C2 = 1.5$ 时约 0.085 微米, 单位微米 ; 和

T_{RF} = 从上次清洁和调节起所述所选的射频功率开通时间的总量, 在约 4 小时至约 450 小时范围上。

11. 权利要求 1 的方法, 其中所述掩模特征 (145) 包括光刻胶。

12. 权利要求 1 的方法, 其中所述层 (110) 和所述层特征 (150) 都包括多晶硅。

13. 一种工艺控制系统, 包括 :

用于测量 (250) 构图掩模层 (115) 的掩模特征 (145) 的掩模特征尺寸值的模块, 所述构图掩模层形成在基板 (100) 上的层 (110) 的顶表面上 ; 和

用于计算 (265) 用于所述构图掩模层的掩模修整等离子体刻蚀时间的模块, 该计算基于所述掩模特征尺寸值、掩模特征尺寸目标值 (255)、从发生在用于等离子体刻蚀所述层的等离子体刻蚀工具 (180) 的一个腔或多个腔中的事件起所选的射频功率开通时间的总量以及在等离子体刻蚀所述层期间由没受到所述掩模特征保护的所述层形成的层特征 (150) 的刻蚀偏差目标。

14. 权利要求 13 的系统, 还包括 :

指示所述等离子体刻蚀工具 (180) 执行所述构图掩模层 (115) 的掩模修整等离子体刻蚀 (270) 持续所述掩模修整等离子体刻蚀时间的模块 ; 和

指示所述等离子体刻蚀工具在完成所述掩模修整等离子体刻蚀之后执行所述层 (110) 的所述等离子体刻蚀 (275) 的模块。

15. 权利要求 13 的系统, 其中在一个或多个基板的一批中对第一基板 (100) 执行所述的计算 (265) 所述掩模修整等离子体刻蚀时间。

16. 权利要求 13 的系统, 其中在一个或多个基板的一批中对每个基板 (100) 执行所述的计算 (265) 所述掩模修整等离子体刻蚀时间。

17. 权利要求 13 的系统,其中所述事件为对所述等离子体刻蚀工具(180)的所述腔进行清洁或进行清洁和调节。

18. 权利要求 13 的系统,其中所述所选的射频功率开通时间(260)包括层等离子体刻蚀工艺的所有射频功率开通时间、或层等离子体刻蚀工艺的所有射频功率开通时间和掩模修整等离子体刻蚀工艺的所有射频功率开通时间。

19. 权利要求 13 的系统,其中所述层特征(150)的所述刻蚀偏差目标基于施加的掩模修整等离子体刻蚀时间与得到的刻蚀偏差的测量之间的经验确定的关系式。

20. 权利要求 13 的系统,其中所述掩模修整等离子体刻蚀时间由经验关系式计算(265):

$$T_{\text{TRIM}} = (1 + T_{\text{BIAS}})^{(1 + (\frac{W1 - WT1}{WT1})^2)} + (1 + \frac{1}{T_{\text{RF}}^{C1}}) \ln(T_{\text{RF}})^{C2}$$

其中:

WT1 = 所述掩模特征尺寸目标值,单位微米;

T_{TRIM} = 基于所述 WT1 值的范围上的所述掩模修整等离子体刻蚀时间,单位秒;

T_{BIAS} = 基于所述 WT1 值的范围上的所述刻蚀偏差目标,单位秒;

W1 = 基于所述 WT1 值的范围上的所述掩模特征尺寸,单位微米;

T_{RF} = 基于所述 WT1 值的范围上的从上次清洁和调节起所述所选的射频功率开通时间的总量,单位小时;和

C1 和 C2 为基于 WT1 值的由经验确定的。

21. 权利要求 13 的系统,其中所述掩模修整等离子体刻蚀时间由经验关系式计算(265):

$$T_{\text{TRIM}} = (1 + T_{\text{BIAS}})^{(1 + (\frac{W1 - WT1}{WT1})^2)} + (1 + \frac{1}{T_{\text{RF}}^{C1}}) \ln(T_{\text{RF}})^{C2}$$

其中:

C1 和 C2 为基于 WT1 值的由经验确定的;

T_{TRIM} = 所述掩模修整等离子体刻蚀时间,在约 22 秒至约 35 秒范围上,单位秒;

T_{BIAS} = 所述刻蚀偏差目标,在约 18 秒至约 27 秒范围上,单位秒;

W1 = 所述掩模特征尺寸,当 C1 = 1 和 C2 = 1 时在约 0.112 至约 0.118 微米范围上,当 C1 = 0.1 和 C2 = 1.5 时在约 0.082 至约 0.088 微米范围上,单位微米;

WT1 = 所述掩模特征尺寸目标值,当 C1 = 1 和 C2 = 1 时,约 0.115 微米,或

当 C1 = 0.1 和 C2 = 1.5 时约 0.085 微米,单位微米;和

T_{RF} = 从上次清洁和调节起所述所选的射频功率开通时间的总量,在约 4 小时至约 450 小时范围上。

22. 一种工艺控制系统,包括:

掩模修整刻蚀时间算法解算器(300),适于产生(265)掩模修整等离子体刻蚀时间且与前馈控制器(305)连接,所述前馈控制器适于将所述掩模修整等离子体刻蚀时间集成入等离子体刻蚀工具工艺配方;

射频功率开通控制器(310),适于收集等离子体刻蚀工具射频功率开通时间和存储射频功率开通时间的运行总量并且与适于存储所述射频功率开通时间的运行总量的数据存

储单元连接；

掩模修整刻蚀时间算法更新器 (320), 连接在所述数据存储单元和所述掩模修整刻蚀时间算法解算器之间, 并且适于将所述射频功率开通时间的运行总量传送到所述掩模修整刻蚀时间算法解算器。

23. 权利要求 22 的系统, 还包括异常值过滤器 (295), 其与所述掩模修整刻蚀时间算法解算器 (300) 连接并且适于将掩模特征测量的过滤组传送到所述掩模修整刻蚀时间算法解算器。

24. 权利要求 23 的系统, 其中所述异常值过滤器 (295) 基于统计分析或编程的标准从一组掩模特征测量去除单独的掩模特征测量。

25. 权利要求 23 的系统, 其中所述射频功率开通时间的运行总量包括发生在特定事件之后的层等离子体刻蚀工艺 (275) 的所有射频功率开通时间, 或所述层等离子体刻蚀工艺的所有射频功率开通时间和掩模修整等离子体刻蚀工艺 (270) 的所有射频功率开通时间。

26. 权利要求 25 的系统, 其中所述特定事件为对等离子体刻蚀工具 (180) 的等离子体刻蚀腔体进行清洁或同时进行清洁和调节。

用于刻蚀工艺的线尺寸控制的方法和系统

技术领域

[0001] 本发明涉及集成电路制造的领域；更具体地，其涉及等离子体刻蚀工具中用于刻蚀线尺寸控制的方法和系统。

背景技术

[0002] 应用于制造集成电路的工艺步骤之一是等离子体刻蚀。在等离子体刻蚀中，构图的掩模形成在将要被刻蚀和暴露于等离子体刻蚀工具中产生的刻蚀物的层（在半导体基板上）上方，该等离子体刻蚀工具去除了没有受到构图的掩模保护的层。如此刻蚀的结构尺寸控制对集成电路的良好性能很重要，并且受到覆盖腔体和等离子体刻蚀工具的腔体内夹具的刻蚀副产物聚合物的量的影响。然而，随着在工具中刻蚀越来越多的基板而腔体被过多的聚合物覆盖，使刻蚀尺寸控制恶化。因此，等离子体刻蚀工具必须定期地清洁以去除过多的聚合物，并调节等离子体刻蚀工具以恢复刻蚀尺寸控制所需的最小量聚合物。然而，清洁和调节它们自身也能影响线尺寸控制。

[0003] 因此，存在对于考虑了腔体清洁和调节效应的用于刻蚀线尺寸控制的方法和系统的需求。

发明内容

[0004] 本发明利用从第一等离子体刻蚀或反应离子刻蚀（RIE）工具的等离子体腔体上次进行清洁和调节起追踪总射频（RF）功率开通时间，从而在下层的第二等离子体刻蚀或 RIE 之前调节掩模特征修整工艺的刻蚀时间，以达到通过第二等离子体刻蚀或 RIE 控制由下层形成的特征的特征尺寸的目的。

[0005] 本发明的第一方面为一种方法，包括：测量在基板上的层的顶表面上形成的构图掩模层的掩模特征以获得掩模特征尺寸值；和计算构图掩模层的掩模修整等离子体刻蚀时间，基于掩模特征尺寸值、掩模特征尺寸目标值、从发生在用于等离子体刻蚀所述层的等离子体刻蚀工具的一个腔或多个腔中的事件起所选的射频功率开通总时间以及在等离子体刻蚀所述层期间由没受到掩模特征保护的层形成的层特征的刻蚀偏差目标。

[0006] 本发明的第二方面为工艺控制系统，包括：微处理器和连接以与处理器通信的存储单元。存储单元包括指令，当执行该指令时则实施用于控制等离子体刻蚀工艺的方法。该方法包括微处理器实施以下步骤：确定构图掩模层的掩模特征的掩模特征尺寸，该构图掩模层形成在基板上的层的顶表面上；和计算用于构图掩模层的掩模修整等离子体刻蚀时间，基于掩模特征尺寸值、掩模特征尺寸目标值、从发生在用于等离子体刻蚀层的等离子体刻蚀工具的一个腔或多个腔中的事件起所选的射频功率开通总时间以及在等离子体刻蚀层期间由没受到掩模特征保护的层形成的层特征的刻蚀偏差目标。

[0007] 本发明的第三方面为处理控制系统，包括：掩模修整刻蚀时间算法解算器，适于产生掩模修整等离子体刻蚀时间且与前馈控制器连接，该前馈控制器适于将掩模修整等离子体刻蚀时间集成入等离子体刻蚀工具工艺配方；射频功率开通控制器，适于收集等离子体

刻蚀工具射频功率开通时间,和存储射频功率开通时间的运行总量,并且与适于存储射频功率开通时间的运行总量的数据存储单元连接;掩模修整刻蚀时间算法更新器,连接在数据存储单元和掩模修整刻蚀算法解算器之间并且适于将射频功率开通时间的运行总量传送到掩模修整刻蚀时间算法解算器。

附图说明

[0008] 本发明的特征在所附的权利要求中阐述。然而,结合附图并参考随后对说明的实施例的详细描述将最好的理解发明本身,其中:

[0009] 图 1A 至 1E 为说明依照本发明的示范性制造刻蚀线的截面图;

[0010] 图 2A 至 2E 为说明依照本发明的可选实施例制造刻蚀线的截面图;

[0011] 图 3 为依照本发明制造期间半导体基板的俯视图;

[0012] 图 4 为依照本发明的示范性等离子体刻蚀工具的示意图;

[0013] 图 5 为依照本发明的示范性统计过程控制 (SPC) 图;

[0014] 图 6 为依照本发明的等离子体刻蚀工具中刻蚀线尺寸控制方法的流程图;和

[0015] 图 7 为依照本发明的等离子体刻蚀工具中刻蚀线尺寸控制的系统构造的系统图。

具体实施方式

[0016] 术语等离子体刻蚀将被用于本发明的说明书的全文。术语等离子体刻蚀可理解为包括产生引导到将刻蚀的材料表面的电荷或中性基团物质的全部工艺,这些工艺包括,但不限于,例如前面提到的 RIE 和化学顺流刻蚀 (DCE) 的工艺。等离子体刻蚀工艺为一种工艺,其中在低压下产生等离子体,将刻蚀剂导入等离子体中,刻蚀剂被离子化或基团化且离子或基团物质能与将刻蚀的材料发生反应。

[0017] 本发明将描述为将发明应用于在半导体基板上刻蚀多晶硅栅结构,但应该理解的是本发明可应用于在等离子体刻蚀工艺中可刻蚀的任意材料的层刻蚀。

[0018] 本发明的发明人已发现对于腔体清洁 (通常称作湿清洁或湿剥离) 和调节之后通过多晶硅等离子体刻蚀工具的最初批次 (约 10 或更少),等离子体工具中刻蚀的最初几批的产品的特征尺寸控制较差且只在已经刻蚀一定数量批次产品后才会提高。执行腔体清洁以去除积累在等离子体刻蚀腔体内的壁和部件部分上的聚合物堆积物,从而防止微粒污染和稳定刻蚀速率。为了用已知的聚合物层重覆盖腔体和部件部分以及稳定刻蚀速率,通常在腔体清洁之后执行调节步骤。此外,发明人发现不仅能用本发明解决最初批次刻蚀特征尺寸控制问题,还能对于经过该工具处理的所有批次产品,甚至近邻下次腔体清洁和调节之前处理的后处理批次产品,提高其刻蚀特征尺寸控制。

[0019] 图 1A 至 1E 为示出依照本发明的示范性制造刻蚀线的截面图。在图 1A 中,在基板 100 上形成栅介电层 105 和在栅介电层 105 上形成多晶硅层 110。多晶硅层可以由 n 型和 p 型掺杂剂完全或部分地掺杂。在多晶硅层 110 上形成光刻胶层 115。虽然有很多类型的光掩模,但在本范例中,光化辐射 120 通过光掩模 125 引导到光刻胶层 115,该光掩模 115 具有形成在透明 (对光化辐射 120) 基板 135 上的不透明 (对光化辐射 120) 区域 130。曝光工艺在光刻胶层 115 中产生了潜像 140。

[0020] 在图 1B 中,在显影工艺之后,经过去除暴露于光化辐射 120 (见图 1A) 的光刻胶

层 115(见图 1A) 的区域,在多晶硅层 110 上形成了光刻胶特征 145。在本范例中,光刻胶层 115(见图 1A) 为正性光刻胶。可以采用包括负性、双色调和多层光刻胶系统的其它光刻胶系统。光刻胶特征 145 可以在测量光刻胶特征 145 的控制尺寸之前通过加热(后显影烘焙) 或暴露于紫外光(UV 硬化) 对光刻胶特征 145 进行进一步处理。在图 1B 中,光刻胶特征 145 具有测量到的尺寸 W1(或宽度)。

[0021] 在图 1C 中,在图 1B 的光刻胶特征 145 上执行等离子体刻蚀掩模修整工艺以产生具有尺寸(或宽度) W2 的光刻胶特征 145A。等离子体刻蚀掩模修整工艺从光刻胶特征 145(见图 1B) 的所有暴露的表面(顶部和侧面) 去除了光刻胶的一薄层以产生光刻胶特征 145A。光刻胶特征 145A 的尺寸 W2 比光刻胶特征 145 的尺寸 W1(见图 1B) 小。

[0022] 在图 1D 中,通过去除所有未受光刻胶特征 145A 保护的多晶硅层 110,执行等离子体多晶硅刻蚀工艺以形成多晶硅特征 150。上文所述的等离子体刻蚀掩模修整工艺和等离子体多晶硅刻蚀工艺可以通过在射频功率开通时改变反应物而在同一等离子体刻蚀腔中顺序执行。然而,可以提供两个分开的腔,一个用于等离子体刻蚀掩模修整工艺和另一个用于等离子体多晶硅刻蚀工艺。

[0023] 在图 1E 中,去除光刻胶特征 145A(见图 1D) 和测量多晶硅特征 150 的尺寸(或宽度) W3。多晶硅特征 150 的尺寸 W3 比光刻胶特征 145A 的尺寸 W2(见图 1C) 小。因此,多晶硅特征 150 的测量尺寸 W3 比光刻胶特征 145(见图 1B) 的测量尺寸 W1 小。W3 和 W1 之间的差别为多晶硅等离子体刻蚀工艺的刻蚀偏差。

[0024] 图 2A 至 2D 为说明依照本发明的可选实施例制造刻蚀线的截面图。在图 2A 中,在基板 100 上形成栅介电层 105,在栅介电层 105 上形成多晶硅层 110 和在多晶硅层 110 上形成硬掩模层 155。在一个范例中,硬掩模层 155 为介电层。

[0025] 在图 2B 中,已经执行了与上文所述参考图 1A 相似的光刻工艺,随后刻蚀硬掩模层 155 和去除光刻胶层以形成具有测量到的尺寸(或宽度) W1 的硬掩模特征 158。

[0026] 在图 2C 中,等离子体刻蚀修整工艺在图 2B 的硬掩模特征 158 上执行以产生具有尺寸(或宽度) W2 的硬掩模特征 158A。等离子体刻蚀掩模修整工艺从硬掩模特征 158(见图 2B) 的所有暴露的表面(顶部和侧面) 去除硬掩模材料的一薄层。硬掩模特征 158A 的尺寸 W2 比硬掩模特征 158 的尺寸 W1(见图 2B) 小。

[0027] 在图 2D 中,在多晶硅等离子体刻蚀工艺之后,去除硬掩模特征 158A(见图 2C) 和测量多晶硅特征 150 的尺寸(或宽度)。在第三实施例中,如在图 2E 中所示,没有去除硬掩模特征 158A 和测量暴露于多晶硅刻蚀工艺之后硬掩模特征的尺寸(或宽度) 为 W3。

[0028] 图 3 为依照本发明制造期间半导体基板的俯视图。在图 3 中,正在制作的半导体基板(或晶片) 包括被划片沟道(也称为切口或马路) 170 分开的集成电路芯片 165 的阵列。在划片沟道 170 内有多测量结构 175。在测量结构 175 的特征上测量到多晶硅特征 150(见图 1E) 的测量尺寸 W3 和光刻胶特征 145(见图 1B) 的测量尺寸 W1。可选地,由集成电路芯片 165 内特征的测量可以决定 W1 和 W3。

[0029] 图 4 为依照本发明的示范性等离子体刻蚀工具的示意图。在图 4 中,等离子体刻蚀工具 180 包括腔体 185、可选的磁铁 190、排气真空泵 195 和射频功率及直流偏压电路 200。等离子体刻蚀系统由自动化工艺控制(APC) 模块 205 控制。APC 模块 205 通过制造执行系统(MES) 210 与 SPC 数据库连接和与进气阀 215 连接。腔体 185 与螺线管进气阀 215(只显

示一个) 匹配用于将等离子体和刻蚀剂气体导入到腔体内。腔体 185 内有上板 220 和下板 225。射频功率和直流偏压电路 200 与上板 220 和下板 225 耦合。横跨上和下板施加的射频信号产生等离子体 230。将被刻蚀的基板 235 置于下板 225 上, 其将被刻蚀的表面面对等离子体 230。磁铁 190 帮助产生、成形和维持等离子体 190。

[0030] APC 模块 205 包括微处理器 206 和存储器储存器件 207。存储器储存器件 207 储存作为用于控制等离子体刻蚀系统 180 的指令的包括参数设定单的刻蚀配方、工具信息(例如射频功率开通的整个运行时间)和产品信息(例如刻蚀特征目标尺寸值), 并且还可作为计算例如掩模修整等离子体刻蚀时间的特定参数的指令。配方包括刻蚀参数值, 例如刻蚀时间、气体选择、腔压力、气体流动速率、泵节流阀位置、射频功率、射频功率升高速率、直流偏压和其它用于每个刻蚀工艺的参数, 以及当两个不同刻蚀工艺例如掩模修整等离子体刻蚀和多晶硅等离子体刻蚀将顺序执行时的连接信息。微处理器 207 能进入 SPC 系统 210 以达到取出正在进行处理的批次的掩模特征尺寸 W1 测量数据和执行基于取出的数据、储存的数据和储存的指令的计算, 决定配方和调整对于一个基板或一组基板的掩模修整刻蚀时间的配方。在图 7 中示出了 APC 模块 205 且在下文更详细的描述 APC 模块 205。在一范例中, 等离子体刻蚀工具 180 是单个基板(晶片)工具, 在腔体 185 中每次只能刻蚀一个基板。然而, 本发明可应用于批量等离子体等工具, 其中可同时刻蚀两个或更多基板(晶片)。

[0031] 图 5 为依照本发明的示范性 SPC 图 240。在图 5 中, 对于每一批, 所测的掩模特征尺寸 W1 减去所测的多晶硅特征尺寸 W3(W1-W3) 得到的多晶硅刻蚀偏差 245 按通过相同的等离子体刻蚀系统的时间顺序绘出。在一范例中, 对每一批刻蚀偏差的绘出值都是掩模特征尺寸 W1 的 48 个测量减去多晶硅特征尺寸 W3 的 48 个测量的平均值, 其中对于每批基板在四个基板中的每一个上执行 12 个测量。在一范例中, 一批基板是 25 个基板。在一范例中, 在与测量掩模特征的 48 个尺寸 W1 相同的基板上在同样的测量结构上对多晶硅特征的 48 个尺寸 W3 中的每一个进行测量, 尽管四个基板中的每一个上 12 个测量结构的位置可以是独特的。在图 240 中, 显示了目标值、控制上限(UCL)、控制下限(LCL)、行动上限(UAL)和行动下限(LAL)。

[0032] 图 6 为依照本发明的等离子体刻蚀工具中刻蚀线尺寸控制方法的流程图。在步骤 250 中, 对于将被等离子体刻蚀的一批测量掩模特征尺寸(W1)。在步骤 255 中, 从 SPC 数据库取出掩模特征的目标尺寸(WT1)。在步骤 260 中, 确定了整个射频功率开通时间, 其从用于刻蚀当前批次的等离子体刻蚀系统的上一次腔体清洁和/或调节算起。

[0033] 在步骤 262 中, 射频功率开通时间在清洁之后重置为 0 小时, 和在清洁和随后的调节之后重置为约 4 小时。在一范例中, 在每个 450 射频功率开通小时之后执行清洁。通常步骤 262 被禁止直到任意批次的所有晶片开始的刻蚀都完成。

[0034] 在步骤 265 中, 基于在变量的一定范围上有效的经验关系式计算掩模修整刻蚀工艺的刻蚀时间, 所述变量的范围对于不同的最小基本原则技术不同:

[0035]

$$T_{\text{TRIM}} = (1 + T_{\text{BIAS}})^{\left(1 + \left(\frac{W1 - WT1}{WT1}\right)^2\right)} + \left(1 + \frac{1}{T_{\text{RF}} C1}\right) \ln(T_{\text{RF}})^{C2} \quad (1)$$

[0036] 其中:

[0037] WT1 = 所述掩模特征尺寸目标, 单位微米;

- [0038] T_{TRIM} = 基于所述 WT1 值的范围上的所述掩模修整等离子体刻蚀时间, 单位秒 ;
- [0039] T_{BIAS} = 基于所述 WT1 值的范围上的所述刻蚀偏差目标, 单位秒 ;
- [0040] W1 = 基于所述 WT1 值的范围上的所述掩模特征尺寸, 单位微米 ;
- [0041] T_{RF} = 基于所述 WT1 值的范围上的从上次清洁和调节起所述选择的射频功率开通时间的总量, 单位小时 ; 和
- [0042] C1 和 C2 为基于 WT1 值的由经验确定的。
- [0043] 在第一范例中 :
- [0044] T_{TRIM} = 执行掩模修整工艺的时间量 (在约 22 秒至约 35 秒范围上, 单位秒) ;
- [0045] T_{BIAS} = 基于 (W1-W3) 和 T_{BIAS} 之间的经验关系式, 执行掩模修整刻蚀工艺以达到的 (W1-W3) 目标值的时间量 (在约 18 秒至约 27 秒范围上, 单位秒) ;
- [0046] W1 = 测量的掩模特征尺寸 (在约 0.112 至约 0.118 微米范围上, 单位微米) ;
- [0047] W3 = 测量的刻蚀多晶硅特征尺寸 (在约 0.057 至约 0.061 微米范围上, 单位微米) ;
- [0048] WT1 = 对于 0.115 微米的掩模特征测量 W1 的目标值 ;
- [0049] (W1-WT1) 是在约 -0.003 至 +0.003 微米范围内 ;
- [0050] C1 = 1 (无量纲) ; 和
- [0051] C2 = 1 (无量纲) 。
- [0052] 在第二范例中 :
- [0053] T_{TRIM} = 执行掩模修整工艺的时间量 (在约 22 秒至约 35 秒范围上, 单位秒) ;
- [0054] T_{BIAS} = 基于 (W1-W3) 和 T_{BIAS} 之间的经验关系式, 执行掩模修整刻蚀工艺以达到 (W1-W3) 目标值的时间量 (在约 18 秒至约 27 秒范围上, 单位秒) ;
- [0055] W1 = 测量的掩模特征尺寸 (在约 0.082 至约 0.088 微米范围上, 单位微米) ;
- [0056] W3 = 测量的刻蚀多晶硅特征尺寸 (在约 0.057 至约 0.061 微米范围上, 单位微米) ;
- [0057] WT1 = 对于 0.085 微米的掩模特征测量 W1 的目标值 ;
- [0058] (W1-WT1) 是在约 -0.003 至 +0.003 微米范围内 ;
- [0059] C1 = 0.1 (无量纲) ; 和
- [0060] C2 = 1.5 (无量纲) 。
- [0061] 对于第一和第二范例 :
- [0062] T_{RF} = 从上次等离子体腔清洁和 / 或调节起耗用的射频功率开通时间的总量 (在清洁后的约 0 小时和调节后的约 4 小时至约 450 小时范围上, 单位小时), 其中耗用的射频功率开通时间总量包括用于多晶硅刻蚀的射频功率开通时间、或用于掩模修整等离子体刻蚀和多晶硅等离子体刻蚀的射频功率开通时间。仅当单一腔体用于两个工艺时, 射频功率开通时间的总量将包括用于掩模修整等离子体刻蚀和多晶硅等离子体刻蚀的射频功率开通时间。无论单一腔体用于两个工艺或不同腔体用于掩模修整等离子体刻蚀和多晶硅等离子体刻蚀时, 射频功率开通时间的总量可仅包括用于多晶硅等离子体刻蚀的射频功率开通时间。
- [0063] 对于任意给定的最小基本准则技术, C1 或 C2 可不为零。
- [0064] 在一范例中刻蚀偏差和修整时间之间的关系式为线性关系形式 :

[0065] $T_{\text{BIAS}} = A(W1 - W3) + B$ (2)

[0066] 其中 A 和 B 为经验确定的常数。

[0067] 在步骤 265 中,采用刚刚计算的修整时间对该批次的第一 / 下一个基板执行掩模修整刻蚀。在步骤 268 中,在等离子体刻蚀工具中开动已经执行了步骤 250、255、260 和 265 的批次。在步骤 275 中,采用标准多晶硅刻蚀配方和时间刻蚀基板。在步骤 280 中,记录多晶硅射频功率开通和 / 或掩模修整射频功率开通时间,并将其添加到从上次腔体清洁和 / 或调节起射频功率开通时间的运行总量中。在步骤 285 中选择该批次的下一个基板。如果没有更多的批次,则此方法在步骤 287 中完成直到在步骤 268 再次开始处理另一个批次。在步骤 290 中,选择应用本发明的模式。本发明能够以批次模式运行,其中在该批次中的所有基板都将采用相同的掩模修整刻蚀时间刻蚀,在这种情况下该方法返回到步骤 270。本发明也能以单一基板模式运行,其中对每个基板重计算掩模修整刻蚀时间且在这种情况下该方法返回到步骤 260。应该理解的是射频功率开通时间的运行总量在清洁和 / 或调节之后重置为零。

[0068] 图 7 为依照本发明的等离子体刻蚀工具中刻蚀线尺寸控制的系统构造的系统方框图。图 7 中,APC 模块 205(见图 4)包括异常值过滤器(outlier filter)295、掩模修整刻蚀时间算法解算器 300、APC 前馈控制器 305、射频功率开通时间控制器 310、总射频功率开通时间数据存储单元 315 和掩模修整刻蚀算法更新器 320。

[0069] 在运行 APC 模块 205 之前,经过光刻工具 325 处理之后的产品批次得到测量(如上文所述的掩模特征 W1)且测量数据存入 SPC 系统 210 中。异常值过滤器 295 从 SPC 系统 210 中取出关于当时计划处理通过光刻胶刻蚀和多晶硅刻蚀工具 180 的批次的原始测量数据(即,接着上文所述的例子,被测量的 48 个掩模特征的尺寸 W1 的所有 48 个单独的测量)。接着基于设定的 48 个测量的组的统计分析和 / 或例如放弃任何高于或低于设定值的测量的预编程的标准,异常值过滤器 295 去除任何高或低的单独的测量。此后异常值过滤器将产生 W1 的单一值以发送给掩模修整刻蚀时间算法解算器 300。

[0070] 掩模修整刻蚀算法更新器 320 发送从上次腔体清洁和调节起射频功率开通(T_{RF})时间的运行总量的最近值到掩模修整刻蚀时间算法解算器 300。掩模修整刻蚀时间算法解算器 300 采用掩模特征尺寸值(W1)和射频功率开通时间(T_{RF})值作为上文所述的公式(1)的输入,并计算对于当前批次或基板的掩模修整刻蚀时间(T_{TRIM})。掩模修整刻蚀时间算法解算器 300 计算执行掩模修整刻蚀工艺(T_{BIAS})的时间量的目标值和基于将刻蚀的产品类型(或技术类型、或批次号)的掩模特征测量(WT1)的目标值(或存取其储存值)。

[0071] 掩模修整刻蚀时间算法解算器 300 发送掩模修整刻蚀时间(T_{TRIM})给 APC 前馈控制器 305,该 APC 前馈控制器 305 设定了存储在 APC 模块中的掩模修整刻蚀配方的掩模修整刻蚀时间参数并且指示抗蚀剂修整刻蚀和多晶硅修整刻蚀工具 180 刻蚀基板。

[0072] 射频功率开通时间收集器 310 收集刚被刻蚀的基板的多晶硅刻蚀(和可选地掩模修整刻蚀)射频功率开通时间并且传递该数据给射频功率开通耗用时间数据存储 315,其将刚被刻蚀的基板的射频功率开通时间添加到已存储的射频功率开通时间上以获得射频功率开通时间(T_{RF})的运行总量。掩模修整刻蚀算法更新器 320 按要求存取射频功率开通时间(T_{RF})。

[0073] 因此,本发明提供了一种考虑了腔体清洁和调节效应的等离子体刻蚀工具中用于

刻蚀线尺寸控制的方法和系统。

[0074] 为了理解本发明上文已给出了本发明实施例的描述。可以理解的是本发明不限于在此描述的具体实施例,对本领域的一般技术人员显而易见的是在不脱离本发明的范围的情况下,能够作出各种修改、重组和替换。因此,所附的权利要求旨在覆盖落在本发明的真正精神和范围内的所有这些修改和变化。

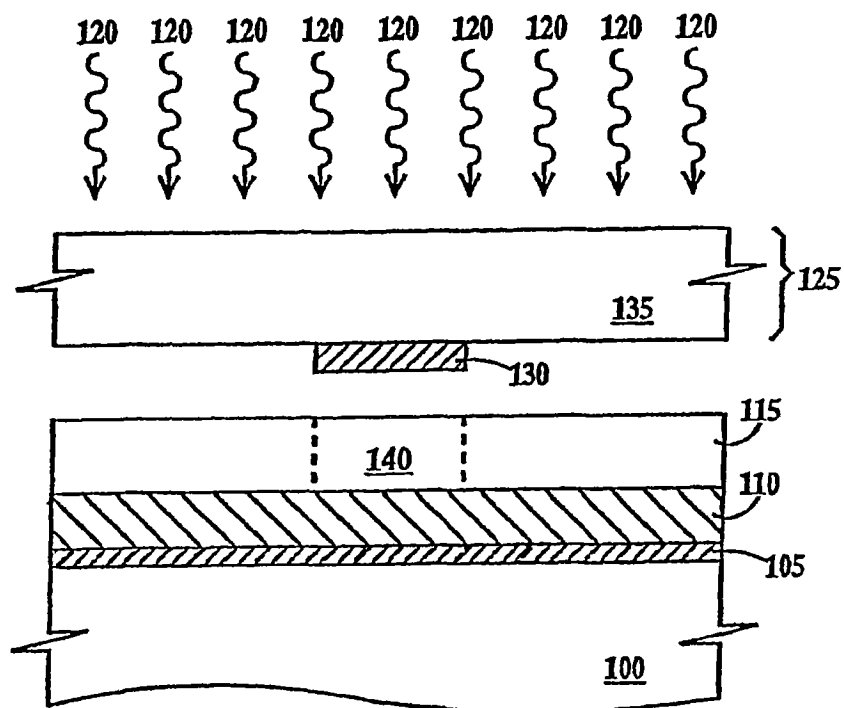


图 1A

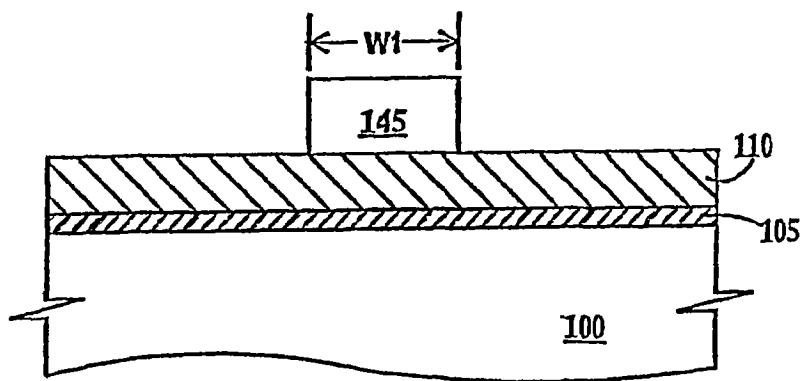


图 1B

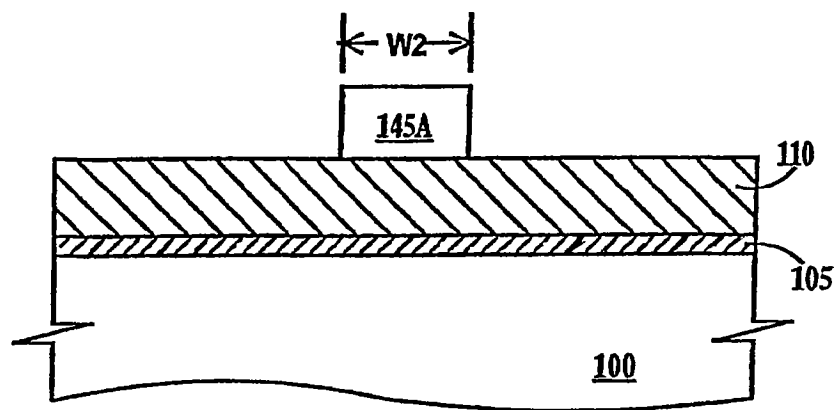


图 1C

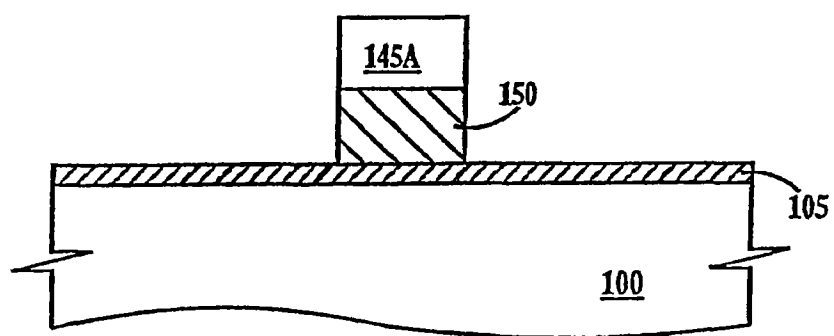


图 1D

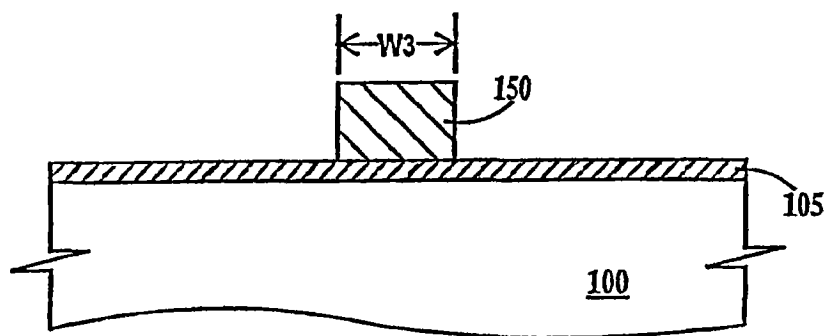


图 1E

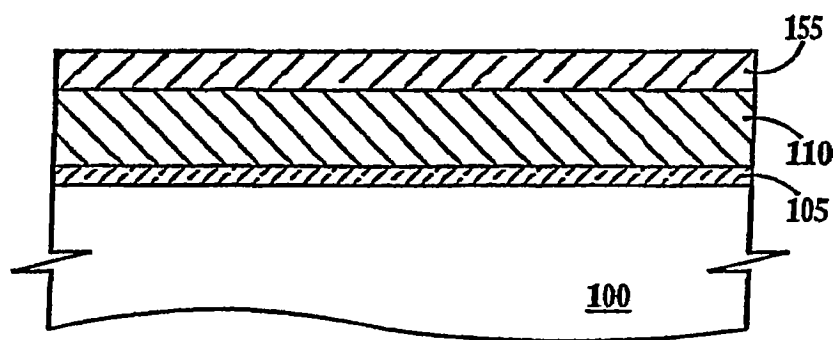


图 2A

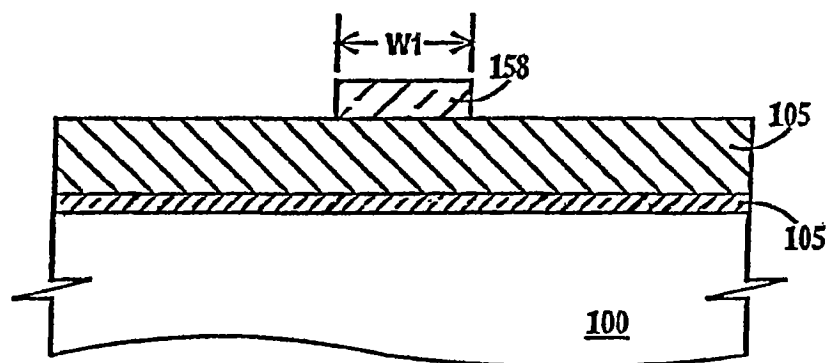


图 2B

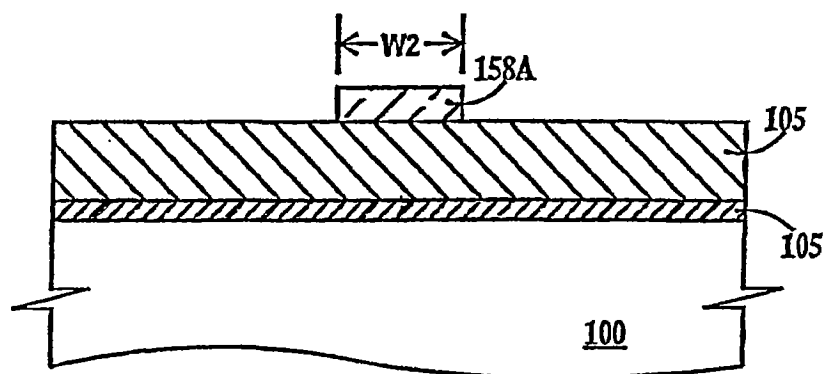


图 2C

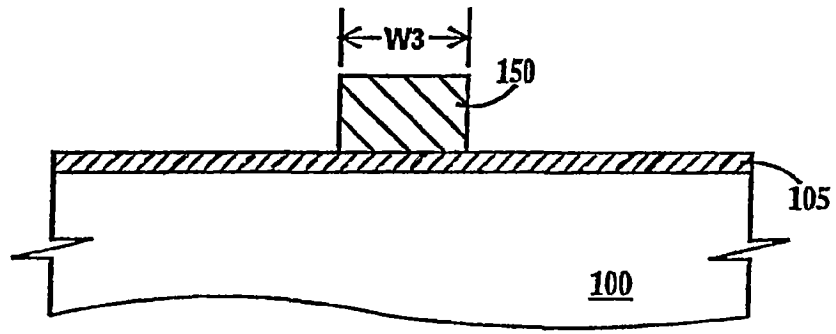


图 2D

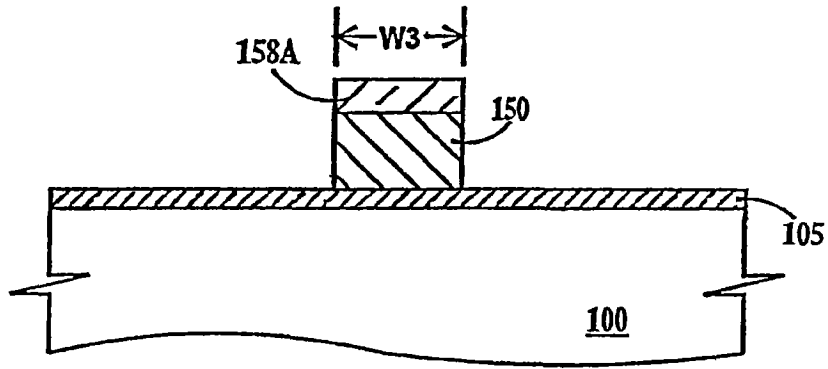


图 2E

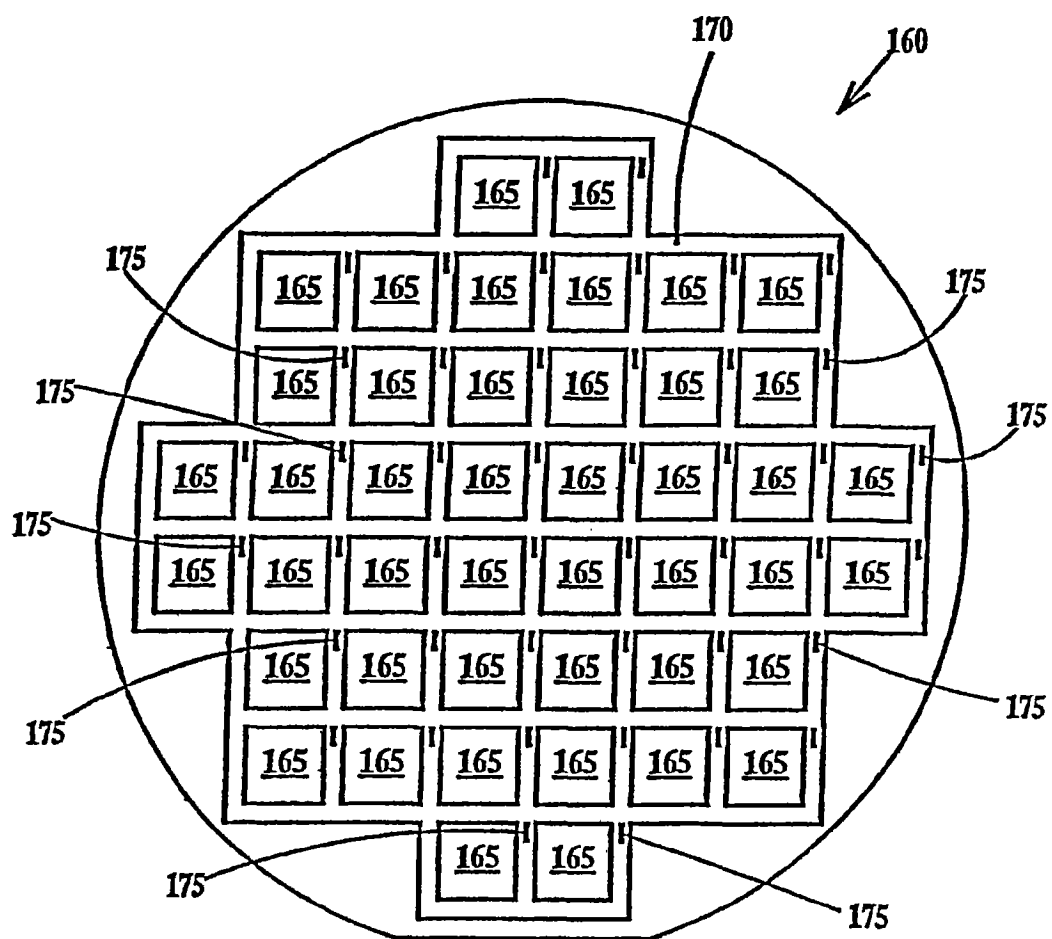


图 3

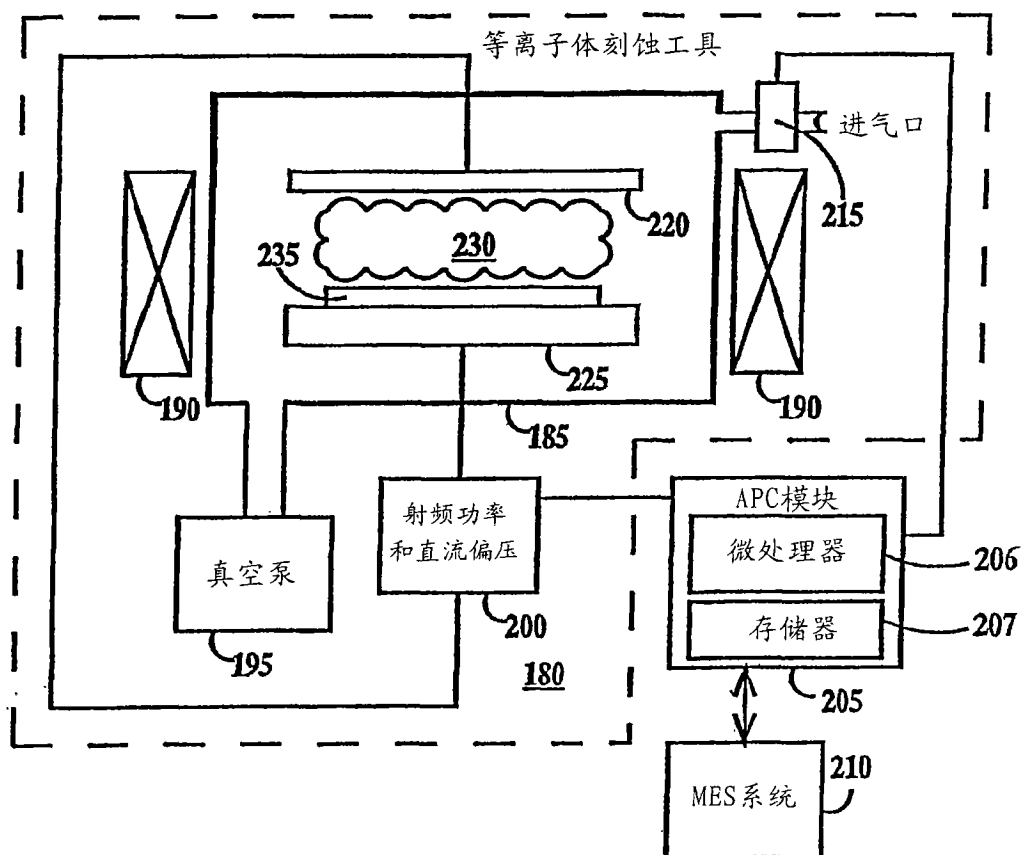


图 4

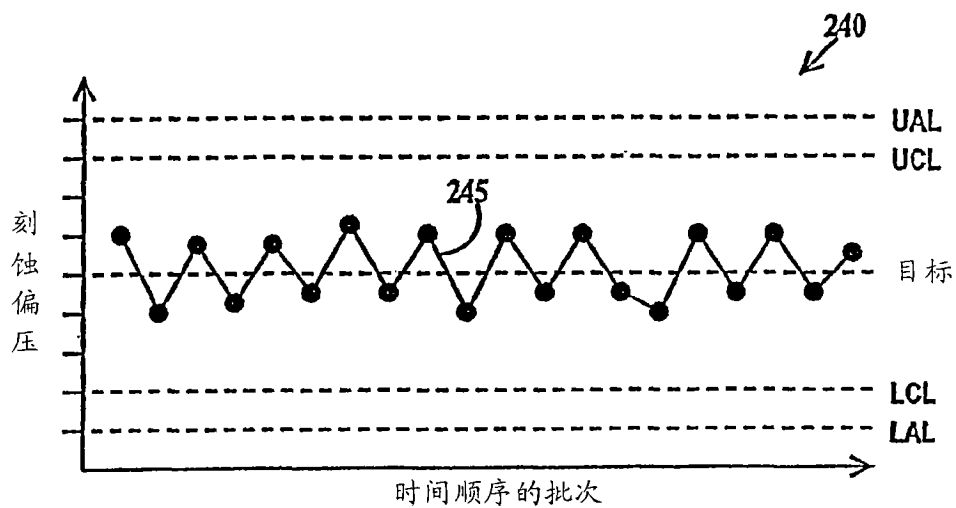


图 5

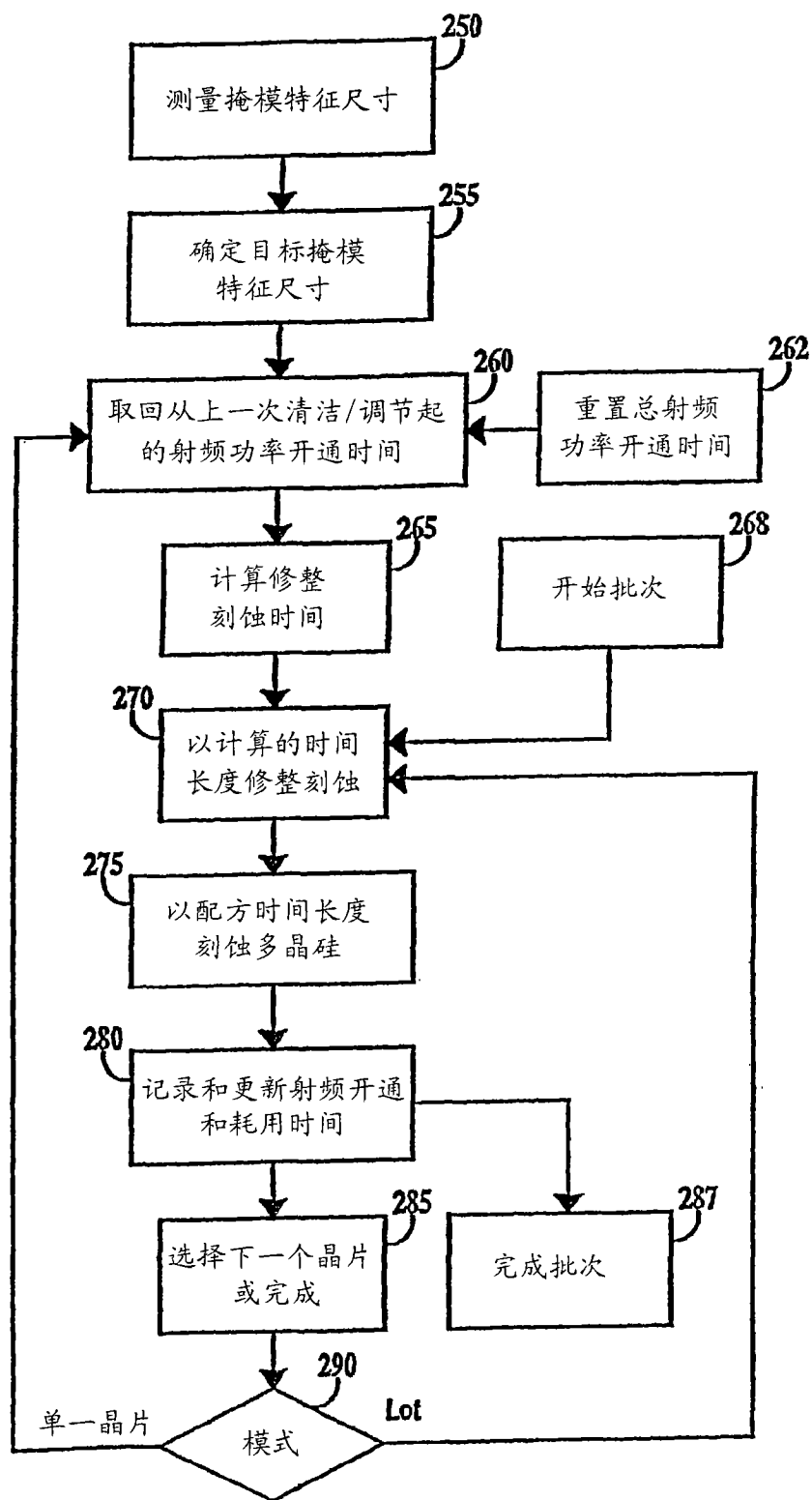


图 6

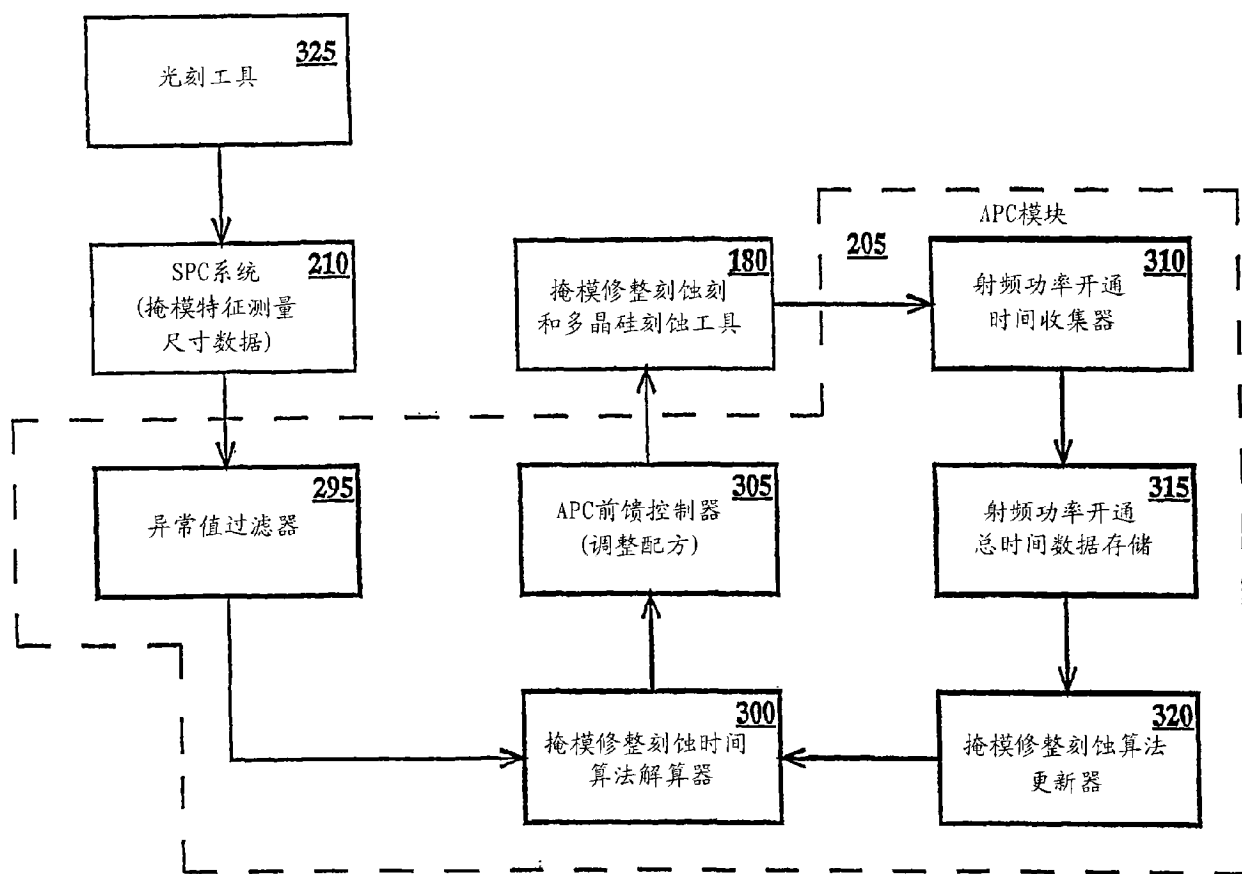


图 7